

采用 SimpleLink™ MSP432™ 微控制器设计超低功耗 (ULP) 应用

Dung Dang
Atul Lele
Evan Wakefield

MSP Applications
Architect – Senior Member Technical Staff
MSP Applications

摘要

随着低功耗微控制器 (MCU) 应用中系统复杂度的不断增大，最大程度降低总能耗已成为亟待解决的难题之一。硅片、其他板载硬件组件和应用软件等方面都必须加以考虑。目前有一些效果明显的通用技术可用于降低能耗，例如降低工作电压或频率。这些通用技术中有很多在单独使用时并不能显著降低能耗，但搭配起来使用时效果非常显著，因为它们之间存在强烈的依存关系。

本应用报告概略介绍了行业领先的超低功耗微控制器的各种低功耗特性，更为重要的是，如何利用这些特性的最优组合使给定应用实现最低能耗。本应用报告使用嵌入式微处理器基准协会 (EEMBC) 符合行业标准的 ULPBench™ 基准作为案例研究，旨在将 SimpleLink™ MSP432™ MCU 中各低功耗特性及不同特性组合映射至相关应用场景。

内容

1	微控制器中的功耗优化矢量	2
2	使用 SimpleLink MSP432 SDK 设计 ULP 应用	3
3	电源管理	3
4	电源系统	4
5	时钟系统	6
6	存储器执行优化	6
7	优化整个 MCU 系统的功耗	9
8	总结	12
9	器件功耗的其他优化方法	12
10	免责声明	12
11	参考文献	13

附图目录

1	DC-DC 和 LDO 稳压器：特性、优势和弊端	5
2	MSP432P4xx ULPBench 结果	10
3	MSP432P4xx ULPBench 结果	10
4	MSP432P4xx ULPBench 结果	11

附表目录

1	LDO 和 DCDC 电流消耗	5
2	增加系统工作频率的影响	9

商标

SimpleLink, MSP432, MSP430, EnergyTrace, LaunchPad are trademarks of Texas Instruments.
Bluetooth is a registered trademark of Bluetooth SIG.
ULPBench is a trademark of Embedded Microprocessor Benchmarking Consortium.
Wi-Fi is a registered trademark of Wi-Fi Alliance.
All other trademarks are the property of their respective owners.

1 微控制器中的功耗优化矢量

SimpleLink MSP432 微控制器集成多种功率增强功能，包括低有功功耗、低功耗 (LP) 模式电流消耗以及电流消耗较低的高效外设。此外，MSP432 器件还提供多种选项和功率配置，支持开发人员进一步优化特定 MSP432 应用的功耗。然而，对于所有给定的微控制器，提供多个优化器件功耗的矢量。

【矢量 1】降低工作电压

功率是电压与电流的乘积。对于消耗一定电流的给定应用系统，降低电源电压有助于降低功耗，但约束条件是满足最低电压要求。该要求有时可能与微控制器电源电压本身 (MSP432P4xx 的最低 $V_{CC} = 1.62V$) 或将内部稳压器设置为适当电压有关。这可能取决于 CPU 工作频率或某外设完全正常工作所需的最低电压。例如，如果应用中的模数转换器 (ADC) 需要 2.5V 基准电压，则电源电压必须大于等于 2.5V。

【矢量 2】降低工作频率

从所有微控制器数据表均可推断以下结论：功耗和电流消耗与工作频率成正比。在多数情况下，高工作频率意味着 CPU 运行代码和完成任务的速度更快。然而，在某些实时情况下，众多应用活动与时序相关或由事件驱动。如果 CPU 在空闲循环中快速运行，等待某个事件触发，或等待以较低波特率传入的串行数据，则将额外消耗本可节省的功率。对于上述情况，将器件置于低功耗模式或降低工作频率均具备研究价值。

【矢量 3】最大程度延长休眠时间

中，将“【矢量 3】最大程度延长休眠时间”下的“750nA”更改为“700nA”典型低功耗嵌入式应用在其大部分使用寿命中采用两种模式：第一种是执行有效任务的工作模式，另一种是低功耗模式，即除计时或等待将器件唤醒为工作模式的中断或事件外，最大限度减少活动。低功耗模式消耗的电流远低于工作模式 - 在 MSP432P4xx 系列器件中，LPM3 的电流可降至约 700nA，而工作模式电流可高达数毫安。最大程度缩短工作模式时间并延长低功耗模式时间可显著降低总体电流消耗。这通常可通过最大程度减少工作模式任务、优化工作模式代码或提高工作模式运行速度得到实现。

【矢量 4】最大程度缩短转换时间

除了为工作和低功耗模式分配的时间外，部分应用可能在无形中将大量时间投入于上述功耗模式的转换过程。如果不重视转换时间，可能导致总能耗增加。优化活动之一是识别所有系统转换并确定能否减少转换数量或将其删除。

【矢量 5】解析模块间的相关性

之前的矢量均可单独优化。然而，在给定的微控制器平台中，这些矢量可能存在某些相关性，或优化特定矢量可能对另一矢量产生不利影响。例如，降低工作频率可能增加工作占空比。因此，更为重要的是考虑模块间的相关性并确定给定平台的最优设置组合。

本应用报告的剩余章节将介绍 MSP432 MCU 的系统外设，确定关键特性和选项，将其关联回上述五个矢量的一个或多个矢量，确定其如何协助优化功率和能耗。MSP432P4xx 器件的关键核心外设包括：电源系统 [电源控制器模块 (PCM)]、时钟系统和存储器系统（闪存、静态随机存取存储器 (SRAM) 和只读存储器 (ROM)）。更重要的内容是探讨特定于 MSP432 的模块间相关性，以帮助获取适用于 MSP432 应用的组合。

2 使用 SimpleLink MSP432 SDK 设计 ULP 应用

SimpleLink™ MCU 产品组合提供的单一开发环境提供灵活的硬件、软件和工具选项，以便客户开发有线和无线应用。为了最终能够在主机 MCU、Wi-Fi®、Bluetooth®低功耗、1 GHz 以下器件等平台中完全重复使用代码，可根据客户的设计选择 MCU 或连接标准。只需购买一次 SimpleLink 软件开发套件 (SDK) 即可重复使用，为用户开启创造无限应用的大门。更多详细信息，请访问 www.ti.com/simplelink。

SimpleLink MSP432 SDK 内置多种软件工具和库，可用于自动集成上一章节探讨的功耗优化矢量，同时具备其他优势。

3 电源管理

电源管理可显著延长为嵌入式应用供电的电池使用寿命。然而，当执行重要操作时，如果应用、操作系统和外设驱动程序进行动态节能转换，可能受到负面影响。要管理此类影响，有效方式是给这些组件提供电源管理功能，以协调并安全管理节能状态转换。SimpleLink MCU SDK 包括支持 CC13xx/CC26xx、CC32xx 和 MSP432 器件的电源管理器框架。所有三个 MCU 系列均使用相同的顶层 API、概念和惯例约定。

SimpleLink MSP432 SDK 中集成有采用 TI-RTOS 和 Free-RTOS 的电源管理方案。若启用电源管理器并使用 TI 驱动程序，可在处理器空闲时自动降低功耗。应用开发人员无需编写电源管理代码；默认情况下会提供。

包含电源管理器框架的应用可降低功耗，因为在应用空闲期间会调用目标特定的电源策略，以便制定有关何时激活和最大化节能的明智决策。这些目标特定的电源策略了解目标上可用的更低功耗状态。TI 驱动程序与电源管理器通信，以启用和禁用外设资源和模式切换。

从应用开发角度来看，管理功耗只需很少甚至不需要应用程序代码。然而，应用程序可使用 API 根据需要定制功耗。有关电源管理器 API 的详细信息，请参见《[SDK 电源管理：MSP432、CC13xx/CC26xx、和 CC32xx SimpleLink MCU](#)》。

3.1 电源策略

对于 MSP432，SimpleLink SDK 提供两种电源策略。这些电源策略提供多种性能配置，可供开发人员选择。这些配置具有各种时钟频率、电源设置（LDO 与 DC-DC 工作模式）和闪存选项，有助于降低功耗。如果开发人员希望提升电源策略的控制效果，将应用的特定信息纳入决策制定过程，则可创建专属电源策略。有关该技术的信息，请参见《[SDK 电源管理：MSP432、CC13xx/CC26xx 和 CC32xx SimpleLink MCU](#)》的第 4.6 节。

3.2 性能等级

每款电源策略均提供一种 MSP432 性能等级。MSP432Power TI 驱动程序提供四种预定义性能等级。有关这些性能等级的信息，请参见 TI 资源管理器中的 [SimpleLink SDK 文档概述](#)。从此处转至 MSP432Power.h，向下滚动至 PowerMSP432_PerfLevel，确定如何利用四种既有性能等级或创建自定义性能等级。

4 电源系统

采用电源管理器应用程序编程接口 (API) 的实时操作系统 (RTOS) 以 MSP432 MCU 的电源系统为基础。许多 MCU 的性能随电压发生变化。随着电压不断下降，MCU 核心将降低工作频率。如果 MCU 必须长时间保持唤醒状态方可执行等量工作，该特性将增加能耗。然而，MSP432 MCU 的核心在电压最低时仍能以相对较快的速度运行。因此，在较低电压下运行能够真正地提高能效。[\[矢量 1\]](#)

4.1 CPU 和数字逻辑核心电压

对于 MSP432P4xx 系列器件，除了对其施加的主核心电压 (V_{CC}) 外，还需施加辅核心电压 (V_{CORE}) 执行内部数字操作。一般而言， V_{CORE} 为 CPU、存储器（闪存和 RAM）及其他数字模块供电，而 V_{CC} （与器件的 DVCC 和 AVCC 引脚相连）为 I/O 和所有模拟模块（包括振荡器）供电。 V_{CORE} 输出通过专用稳压器保持稳定。 V_{CORE} 可通过两种预定义电压等级进行编程，每种等级受到特定最高工作频率的限制。此举可执行可编程动态电压频率调节 (DVFS) 操作。

这直接与 [\[矢量 1\]](#) 相关联，原因是针对系统的数字逻辑施加的电压较低，因此与整个系统由较高 V_{CC} 电源轨供电的微控制器相比，其功耗较低。

此外，如果应用的工作频率不需要较高 V_{CORE} 电压，则降低 V_{CORE} 电压等级可进一步降低器件功耗。例如，针对 MSP432P4xx 系列器件，如果最高工作时钟频率 $\leq 24\text{MHz}$ ，则可选择典型值为 1.2V 的 VCORE0 选项，而非典型值为 1.4V 的 VCORE1。与 VCORE1 相比，VCORE0 在给定频率 ($\leq 24\text{MHz}$) 下的功耗较低。

开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序以编程方式控制 VCORE 等级。有关如何使用 VCORE 的详细信息，请参见 [3.2 节](#) 引用的文档。

4.2 稳压器：LDO 和 DC-DC

为了通过主电压 (DVCC) 生成辅核心电压 (V_{CORE})，MSP432P4xx 系列器件使用两款稳压器：将低压降稳压器 (LDO) 作为默认稳压器，基于电感的 DC-DC 降压开关稳压器 (DC-DC) 作为辅助稳压器或选配的稳压器。LDO 与 DC-DC 并联。两个模共用同一公共输出（数字电源 VCORE 轨）及一个公共基准或目标电压。

开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序通过编程方式控制使用 DC-DC 或 LDO 稳压器。有关如何该特性的详细信息，请参见 [3.2 节](#) 引用的文档。

多数配备多条电压轨 (V_{CC} 和 V_{CORE}) 的微控制器通常使用 LDO 稳压器。与其他稳压器相比，LDO 提供诸多优势，如具有成本效益、因不使用开关组件产生相对无噪声的输出以及由低功耗模式快速斜升和斜降。部分应用对模拟/射频性能或成本敏感性要求严格，更加凸显了上述优势的重要性。然而，LDO 稳压器在节能方面并非最佳选择，原因是电源与 LDO 消耗的电流相同： $I_{in} = I_{负载} = I_{Vcore}$ 。

另一方面，与 LDO 相比，DC-DC 稳压器的主要优势节能效果显著。线性稳压器通过降低线性高效无源元件的多余电压，由一电压轨生成目标电压轨（因此，浪费的功率等于压降乘以负载电流消耗）。DC-DC 稳压器的不同之处是使用有源（电感和电容）元件由另一电压轨高效生成目标电压轨。在理想 DC-DC 中，输出电压轨功耗 ($V_{CORE} \times I_{负载}$) 等于输入电压轨功耗 ($V_{CC} \times I_{in}$)。因此， I_{in} 小于 I_{load} ，二者之比为 V_{CORE} / V_{CC} 。请注意，如上一章节所述，如果选择 V_{CORE0} 电平而非 V_{CORE1}，该特性还将具备其他优势。考虑效率损耗后，中等至最大负载的 DC-DC 的效率范围通常仍介于 75% 至 90% 之间。因此，与 LDO 稳压器相比，DC-DC 稳压器最高可节能 45%，效果显著。表 1 所示为系统以 24MHz 和 48MHz 运行时，DC-DC 和 LDO 相关电流消耗的比较。

表 1. LDO 和 DCDC 电流消耗

稳压器	CPU 频率 = 24MHz	CPU 频率 = 48MHz
LDO	3270µA	6760µA
DC-DC	1920µA	4270µA

虽然 DC-DC 在工作模式下显著节能，但如前文所述，在部分情况下，应用仍需要 LDO 的优势和灵活性。此外，器件启动或由低功耗模式返回工作模式后，默认使用 LDO 作为稳压器。因此，使用 DC-DC 稳压器时还应考虑由 LDO 转换为 DC-DC 的时间以及在返回低功耗模式前由 DC-DC 返回 LDO 的转换时间。

两种稳压器还具备另一些优势和弊端。图 1 总结了 LDO 和 DC-DC 的优势和弊端，有助于开发人员确定如何以及何时使用 DC-DC 稳压器最大程度实现节能。

开发人员通常必须在所有用例中选择使用 LDO 或 DC-DC 转换器。通过提供种电源稳压选项，开发人员可根据当前工作模式动态优化稳压性能。例如，当系统处于待机工作模式时，可使用 LDO 最大程度缩短唤醒时间。对于工作模式或工作电流在功耗方面占比较大的用例，可使用 DC-DC 转换器。有关 DC-DC 用途的详细信息及其优势和弊端的深入分析，请参见《最大程度提升 MSP432P4xx 稳压器效率：DC-DC 和 LDO 的特性和弊端》。

Power | Regulators: LDO & DC-DC

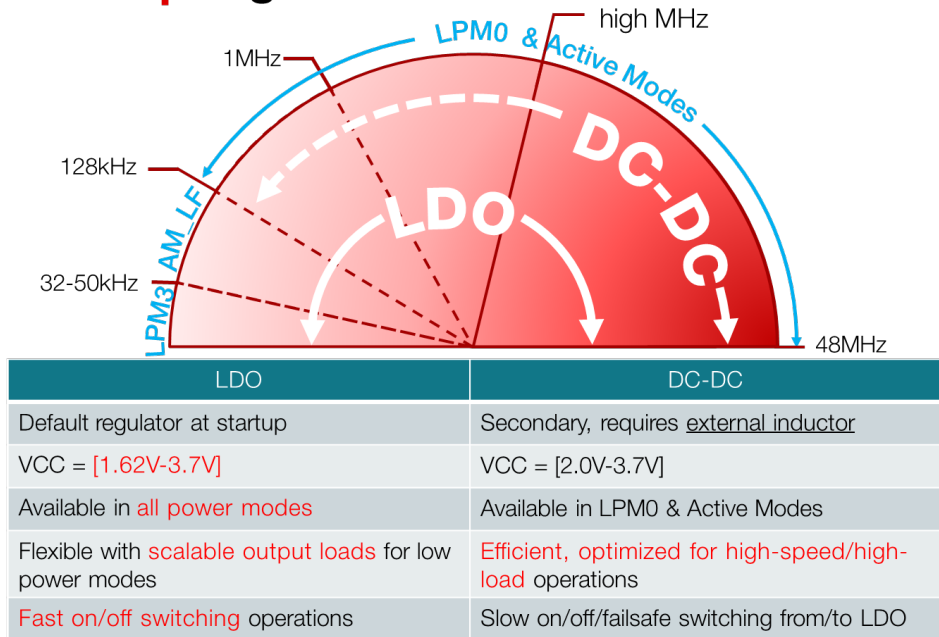


图 1. DC-DC 和 LDO 稳压器：特性、优势和弊端

4.3 低功耗模式

MSP432P4xx 系列可提供多种来源于 MSP430™ 器件（包括 LPM3、LPM4、LPM3.5 和 LPM4.5）的低功耗工作模式。与早期 MSP 器件类似，由于 MSP432P4xx 中的这些低功耗模式功耗极低，因此可实现优异的节能性能。

除传统 MSP 低功耗模式外，MSP432P4xx 系列还引入了另一类可以额外节能的低功耗模式：低频功耗模式。低频模式是特殊的低功耗低频选项，可与工作模式和 LPM0 模式结合使用。在这些低频模式下，存储器和外设能够以最高速度 128kHz 执行相关操作。稳压器可通过降低驱动强度提供最低电流，以此驱动整个低频系统，因此在采用这些模式时，器件的总电流消耗可降至 80μA 以下。

有关这些特殊功耗模式的详细信息，请参见《利用 SimpleLink™ MSP432P4xx 微控制器中的低频功耗模式》。

5 时钟系统

如 1 节所述，功率和电流消耗与工作频率 (f) 成正比。如果 (f) 下降，电流消耗自然以线性方式降低。然而，降低频率可能导致系统整体吞吐量下降或总能耗增加。原因是器件可能必须延长处于工作模式 (AM_VCORE0 或 AM_VCORE1) 的时间，同时缩短处于低功耗模式的时间。始终在高频状态下运行以完成工作模式任务也可能无效，原因是在此类短暂脉冲内满足峰值电流要求可能降低电池容量，进而缩短电池寿命。因此，选择最优系统运行时钟频率对于优化系统能耗至关重要。

时钟系统 (CS) 提供多种选项，例如选择不同振荡器作为不同时钟源、动态选择和时钟分频器，以实现最优功耗。

开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序通过编程方式控制时钟系统。有关如何该特性的详细信息，请参见 3.2 节引用的文档。

数控振荡器 (DCO) 提供多个选项，如实时更改频率和精调到 0.98MHz 至 52MHz 之间的中间频率，最小电流消耗在 24MHz 时约为 150μA，在 48MHz 时约 200μA。外部电阻模式和内部电阻模式下的 DCO 时钟频率最大温度漂移分别为 ±35ppm/°C 和 ±250ppm/°C。应用可针对 DCO 进行编程，以便获得最优功耗及所需精度的最佳组合。如果所需精度较高，应用需使用片上高频晶振 (HFXT)，但弊端是电流消耗较高。

CS 还为不同片上时钟源 (MCLK、SMCLK 和 ACLK) 提供灵活的时钟源和频率选择。该系统还可进行动态时钟分频，所有操作通过单一控制寄存器 (CSCTL1) 即可完成。

例如，DCO 可用作 MCLK、SMCLK 和 HSMCLK 的主时钟源。LFXT 可用作 RTC 时钟源。对于慢速外设（如 I²C），可将 DIVS 和 DIVHS 寄存器位配置为选择较慢源时钟频率。对于 ADC，MODOSC 可用作快速开/关振荡器，仅在进行 ADC 转换操作时保持使能状态。

为实现最优电流消耗，7 节中的 ULPBench 示例在 16MHz 而非 48MHz 下使用 DCO 作为主时钟源。

详细信息请参见以下文档中的 CS 部分：

- 《MSP432P4xx SimpleLink™ 微控制器技术参考手册》
- 《MSP432P401R、MSP432P401M SimpleLink™ 混合信号微控制器》
- 《MSP432P4xx 微控制器中的多频率范围可调 DCO》

6 存储器执行优化

虽然典型代码执行仅涉及提取存储器中的操作码和立即数，但还可能涉及向协议栈 (SRAM) 写入连续/间歇数据以及读取协议栈中的此类数据、从闪存或 ROM 提供的软件库调用函数、针对外设执行数据读写操作、DMA 数据传输及其他操作。典型 MCU 的功耗多数来源于在非易失性存储器（如闪存）中运行代码。因此，通过优化存储器访问尽可能地减少代码执行过程中的功耗十分有益。

6.1 闪存

MSP432P401x MCU 使用闪存作为应用程序代码和数据的主要非易失性存储器。

6.1.1 等待状态和时钟相关性

低功耗闪存通常比系统级使用的高频时钟（例如 CPU 或 DMA 使用的高频时钟）速度慢。因此，工作频率较高时，闪存需要等待状态访问，意味着 CPU 在一定数量的时钟周期内处于暂停状态，具体取决于 CPU 与闪存的频率比。相关详细信息，请参见器件数据表。

开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序以编程方式控制所需等待状态数。有关如何该特性的详细信息，请参见 3.2 节引用的文档。

6.1.2 数据和指令缓冲区

为了向主要连续存储器访问提供最优功耗和性能，闪存控制器提供读取缓冲功能。开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序以编程方式控制读取缓冲区功能。有关如何该特性的详细信息，请参见 3.2 节引用的文档。

如果使能读取缓冲，则即使读取访问位宽仅为 8、16 或 32，闪存也将始终读入完整的 128 位块。128 位数据及其相关地址由闪存控制器缓冲，以便由缓冲区在针对同一 128 位地址边界内的信息进行后续访问时（预期具有连续性）提供服务。使用该方案后，闪存访问仅在越过 128 位边界时需要经历等待状态，而针对缓冲区内信息进行读取访问时无需经历总线停转即可获得服务。如果禁用读取缓冲，闪存访问将绕过缓冲区，从闪存中读取的数据限制为访问宽度（8、16 或 32 位）。各存储区均采用独立的读取缓冲区设置。此外，在各存储区中，应用程序可仅针对指令提取、仅针对数据提取或同时针对二者灵活启用读取缓冲。

6.1.3 闪存功耗

闪存功耗取决于读取的位数。读取 128 位比读取 32 位的功耗更高，但前者的功耗并非后者的 4 倍。因此，对于连续或线性代码执行或数据提取，TI 建议启用缓冲区以提升性能并降低功耗。

6.1.4 针对执行闪存中的代码选择哪些选项

- 启用缓冲区在性能方面具有绝对优势，但是否有助于降低功耗取决于代码或数据读取的线性或非线性执行。如果应用以消耗电流为代价始终需要较高吞吐量，可始终启用缓冲区。如果闪存的等待状态配置 > 0，建议始终启用缓冲区以提升吞吐量。
- 一般而言，如果代码执行或数据读取采用线性方式，TI 建议启用指令和数据缓冲区，防止控制器持续访问闪存，最终降低整体电流消耗（请参见节 6.1.2）。
 - 特殊示例是代码以 0 等待状态运行，此时不具备性能或吞吐量优势。在这种情况下，代码配置文件可自行决定启用（执行线性代码具有功率优势）或禁用缓冲区。

- 由于缓冲配置是动态的，因此可针对特定代码段或函数调用进行启用或禁用。如果一个大型函数主要以线性方式执行代码，TI 建议在函数调用前后分别以动态方式启用和禁用缓冲区。
- 还建议检查特定应用的电流消耗，确定适用于该情况的最佳特定设置组合。MSP432P4xx 系列器件支持 EnergyTrace™ 技术。开发人员可通过该技术构建详细系统能量配置并关联回对于能耗产生重要作用的代码区域。基于上述发现，开发人员可利用 MSP432P401xx 提供的功能以动态方式更改等待状态，启用/禁用满足特定应用需求的可选缓冲区。
- 有关如何及何时使用闪存缓冲区的示例分析，请参见 ULPBench 结果。

6.1.5 闪存访问基准寄存器（闪存控制器中的 *BMRK* 寄存器）

闪存控制器提供两个适用于应用基准测试的计数器。该功能对监测闪存访问次数极为有效。如上文所述，使用这些计数值，应用程序可管理最优等待状态和缓冲区启用或禁用设置。

- 指令提取基准计数器（32 位）— 在每次将指令提取至闪存时递增
- 数据提取基准计数器（32 位）— 在每次数据提取至闪存时递增

6.2 SRAM

SRAM 是 MCU 中的标准读写存储器。尤其在 MSP432P401xx 中，SRAM 的运行速率与 CPU 时钟频率相同，因此在闪存中执行代码相比，在 SRAM 中执行代码明显更具性能和吞吐量优势。与闪存相比，SRAM 在功耗方面也具备一定优势。SRAM 的功耗（通常以 $\mu\text{A}/\text{MHz}$ 为单位）明显低于闪存的 $\mu\text{A}/\text{MHz}$ 消耗。因此，TI 建议执行 SRAM（而非闪存）中频繁使用的小型循环或函数，从而具备性能和功耗优势。

使用智能函数将闪存中的函数或代码子集复制至 SRAM 即可解决该问题，之后可根据需要随时在 SRAM 中执行复制的内容。该 SRAM 存储区可在 LPM3 模式下保持使能状态以保存内容，因此在 LPM3 唤醒后无需复制相同函数。

SRAM 保持

- SYS 模块中的 **SRAM_BANKRET** 可控制 LPM3 模式下 SRAM 内容的保持。根据应用需要，可将所有或部分存储区编程为在 LPM3 模式下保存内容，这可能影响 LPM3 模式下的电流消耗。

6.3 ROM

除闪存外，MSP432P4xx 还提供只读存储器 (ROM) 作为第二个非易失性存储器选项。正如名称所示，在器件制造过程中以编程方式预设 ROM 内容，之后仅可读取或执行存储器内容，但无法修改。MSP432P4xx 提供 32KB 片上 ROM，其中包括内置外设驱动程序库 (DriverLib) 应用程序接口 (API)，为开发人员提供了一组高度抽象的 API，以运行 MSP432P4xx 外设的各种功能。易于理解的 ROM DriverLib API 可提升开发人员学习如何配置外设寄存器、更改功耗模式及其他标准任务的速度。

ROM DriverLib 具有多种优势。首先，ROM 中的 DriverLib 经过完整测试和优化，代表了 TI 推荐使用的外设运行程序。在本应用报告的背景下，在 ROM 中执行将提升性能（访问 ROM 的等待状态为 0）并降低功耗（远低于闪存执行，略高于 SRAM 执行，后者的原因是容量不同：ROM 存储区容量为 32KB，SRAM 存储区容量仅为 8KB）。提升这两种性能、缩短执行时间并降低功耗将直接实现器件能耗最小化。[矢量 3]

最大程度利用驱动程序库有助于减少闪存访问并降低功耗。

除了功耗优势，使用软件驱动程序库还有一项间接优势。利用 ROM 中的 DriverLib 还将为应用程序代码释放宝贵的闪存空间。将约 31Kb 附加存储空间转移至智能软件的高级应用程序代码可使应用脱颖而出。与占用存储器处理常规外设配置任务相比，这种分配方式更加完善，原因是即使前者完美实现，其相对于 TI ROM 解决方案的改进同样微不足道。

7 优化整个 MCU 系统的功耗

我们已经研究了 MSP432 微控制器系统中的多个模块，以及如何对其进行配置以优化并降低功耗。下文将介绍如何将这些组件搭配使用及不同组件可能产生的相关性或约束条件。使用 EEMBC 的 ULPBench 作为案例研究，了解可能存在的弊端。

7.1 是否越快越好？

总体而言，MSP432 微控制器是高度依赖门控时钟的系统。因此，CPU 和工作时钟频率最终不仅极大影响时钟功耗，还将对维持其他外设运行所需的功率产生显著影响。根据 CPU 的频率要求，可抑制或提升多个外设的功耗。

如表 2 所示，等待状态为 0 的闪存操作频率在 AM*_VCORE0 模式下限制为 16MHz，在 AM*_VCORE1 模式下限制为 24MHz。具有等待状态 1 的闪存操作在 AM*_VCORE0 模式下限制为 24MHz，在 AM*_VCORE1 模式下限制为 48MHz。以超过 0 个闪存等待状态的任意频率运行 CPU 均导致 CPU 停转。停转的时钟周期数等于在完全提取闪存内容前配置的等待状态数。

结合上述相关性，表 2 总结了增加系统工作频率的影响。

表 2. 增加系统工作频率的影响

闪存等待状态 (WS) 数	最大 MCLK 频率 (MHz)	
	AM_LDO_VCORE0, AM_DCDC_VCORE0	AM_LDO_VCORE1, AM_DCDC_VCORE1
0	16	24
1	24	48

7.2 增加速度无法始终提高能效

CPU 以 48MHz 运行获得的 ULPMark 评分可能低于以 24MHz 运行的评分。在 48MHz 频率下，完成工作负荷的速度绝对比 24MHz 频率对应的速度快，但必须增加核心电压，同时涉及可能导致 ULPMark 评分下降的模式转换延时。以下章节将其作为转换延时影响的一部分进行介绍。请注意，这仅适用于 ULPBench 等示例。在其他部分算法中，CPU 在 SRAM 中处理数据的频率更高，48MHz 对应的性能也随之提升。在图 2 中，3、12 和 16MHz 评分的等待状态为 0，24MHz 和 48MHz 评分具有 1 个等待状态。48MHz 评分采用 VCORE1 设置。BUF_EN 或 BUF_DIS 分别指示 128 位预取缓冲区处于使能或禁用状态。

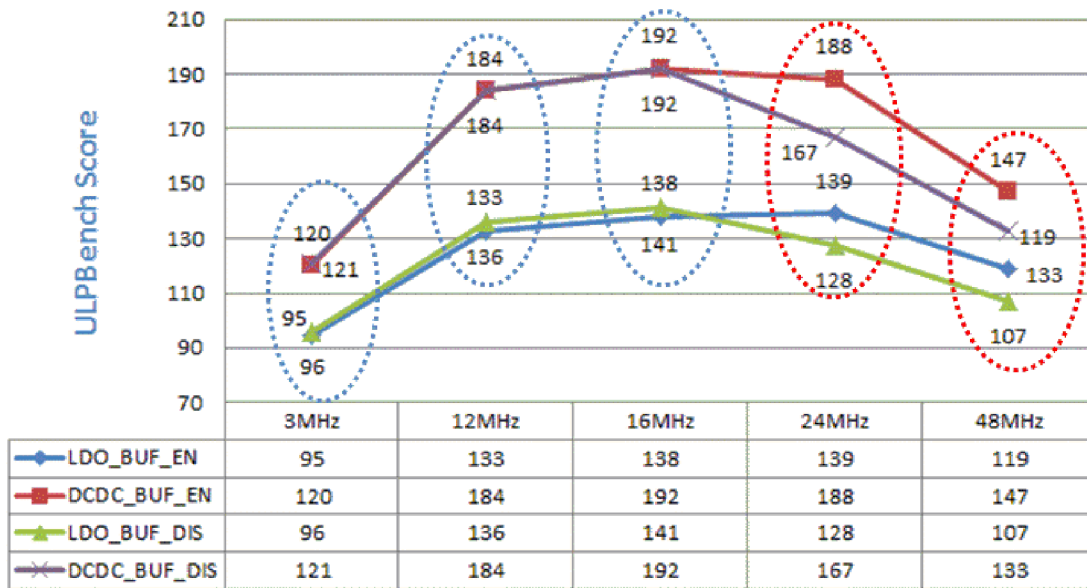


图 2. MSP432P4xx ULPBench 结果

7.3 闪存指令和数据缓冲区效率以及与等待状态的相关性

如果代码以线性方式执行，适用于闪存读取的 128 位指令和数据缓冲区可用于提升吞吐量并降低功耗。如果以非线性方式执行，可能产生开销，原因是读取 128 位需要消耗更多功率并丢弃部分字。MSP432P4xx 在动态使能或禁用缓冲区方面极具灵活性。软件可根据代码执行的线性或非线性性质使用该功能，从而实现最佳效果（请参见图 3）。

在以下两种不同情况下可能现代码非线性。第一种情况是代码执行的等待状态为 0，此时评分相似。第二种情况是代码执行具有 1 个等待状态，结果清晰显示缓冲区使能后的代码执行降低了功耗并改善了性能，进而提升了整体能效。

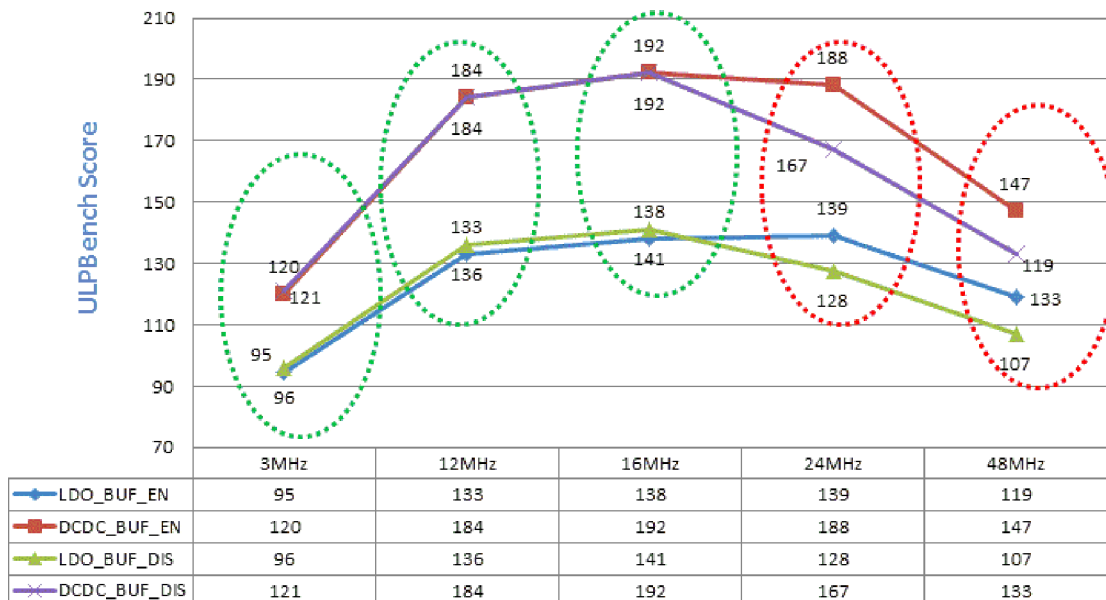


图 3. MSP432P4xx ULPBench 结果

7.4 V_{CORE} 开关延时降低节能效果

在 16MHz 下，IAR 编译器高度优化，等待状态数为 0，ULPBench 工作负载功能的代码执行在 MSP432P4xx 工作模式下占用周期数极少 (< 0.06%)，而 LPM3 模式极为耗时（约为 99.94%）。因此，在工作模式下额外耗费的任何时间均将严重影响 ULPBench 评分。

例如，如果在采用 V_{CORE0} 设置的 LPM3 模式下需要最低功耗，而在 48MHz 下需要最高性能，则根据《MSP432P4xx SimpleLink™ 微控制器技术参考手册》中的指南，可能涉及多种模式转换。

AM_LDO_V_{CORE0} → AM_LDO_V_{CORE1} → AM_DCDC_V_{CORE1} → AM_LDO_V_{CORE1} → AM_LDO_V_{CORE0} → LPM3_V_{CORE0}

例如，如果在器件由 LPM3 模式唤醒后立即需要提高性能，可避免附加转换。

AM_LDO_V_{CORE0} → AM_LDO_V_{CORE1} → AM_DCDC_V_{CORE1} → AM_LDO_V_{CORE1} → LPM3_V_{CORE1}

在这两种情况下，转换时间可能极长并影响器件处于工作模式的时间，进而影响 ULPBench 评分。因此，从应用角度了解以下四方面至关重要。

- 应用在工作模式耗费的时间
- 应用在低功耗模式耗费的时间
- 在不同工作模式之间转换耗费的时间
- 在工作和低功耗模式之间转换耗费的时间

执行由 LPM3 更改为工作模式的转换功能可启动模式转换并继续进行执行剩余代码，无需等待 PMR_BUSY 标志置 1。这有助于在 LDO 模式下继续执行代码，直至 LDO-DCDC 转换完毕。这将节约等待转换完成的时间。

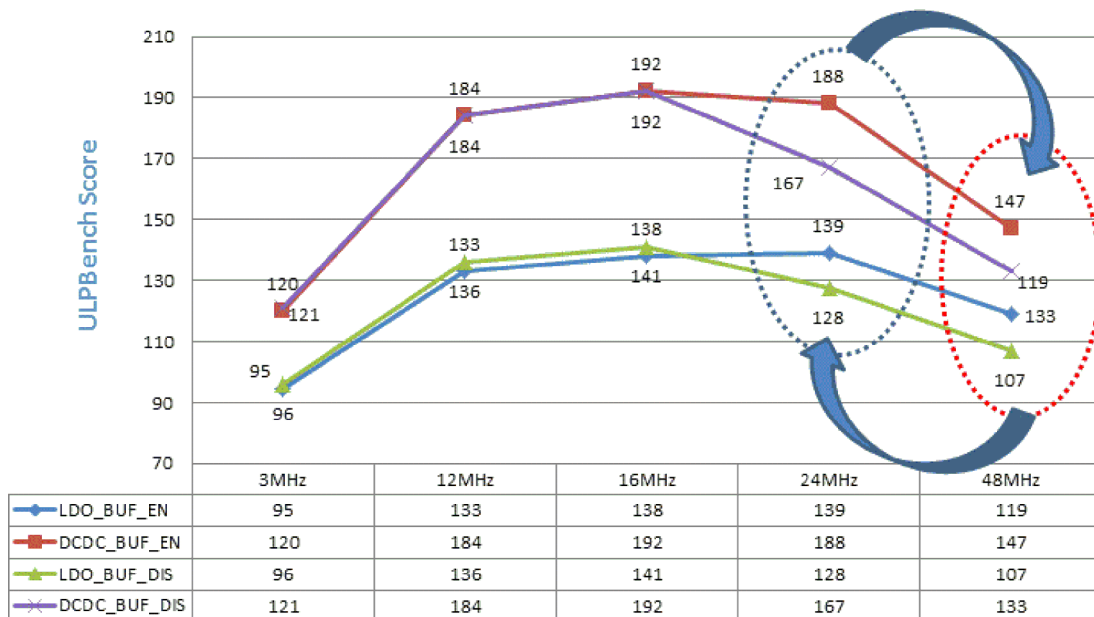


图 4. MSP432P4xx ULPBench 结果

8 总结

1 节 介绍了降低通用微控制器设计功耗的通用矢量，其余章节介绍在 SimpleLink MSP432 平台轻松实现这些功能的方法：

- 选择正确 CPU 频率与闪存等待状态组合以获得最优性能。更多相关信息，请参见数据手册。
- 根据 闪存 中代码执行的线性或非线性性质，使用允许闪存控制器中 128 位指令和数据缓冲区动态使能和禁用的功能。这可能影响性能和功耗。
- 选择最优工作电压点以平衡性能和功耗
- 根据在不同模式耗费的时间，通过最大程度缩短转换时间优化不同模式转换延时

9 器件功耗的其他优化方法

9.1 优化器件功耗

- 在应用启动后尽快端接并配置 I/O。所有 I/O 默认处于输入模式。根据应用情况，相关 I/O 应在外部驱动，在内部或外部上拉或下拉，或在输出模式下进行编程，将值驱动为 0 或 1。
- 仅在 需要 模块处于工作状态时，使用智能模块使能和禁用功能消耗功率。例如，使用 eUSCIA 和 eUSCIB 模块中的 UCSWRST 位使模块保持复位或工作状态。
- 使用最优时钟源。此外，可按需自动使能 MODOSC 或 SYSOSC，从而为 ADC14 提供 MODCLK 或 SYSCLK，而在 ADC14 或剩余器件不需要时可将其禁用。使用其作为 ADC14 时钟源以实现最优 ADC 操作。

9.2 利用其他 MSP432 ULP 工具

MSP432 微控制器生态系统还提供一套独特的强大超低功耗工具和软件集，便于开发人员进一步优化应用功耗。由基于芯片和硬件知识（例如来源于本应用报告）精心设计的嵌入式系统入手，嵌入式开发人员可利用静态代码分析器工具（如 [ULP Advisor](#)）进一步识别代码中的区域，从而缩短执行时间并降低功耗。下一步，开发人员在调试阶段可使用 EnergyTrace 技术构建应用能量分布曲线，然后将关键能耗峰值与代码区域相关联。这允许开发人员识别配置或软件中的高能分量，从而进一步改善功耗。

10 免责声明

- ULPBench 测量、电流消耗测量均在特定制造批次的有限单元中完成。在 LaunchPad™ 开发套件中测量或通过不同单元测量的结果可能有所不同。
- 外部电路板组件也会影响电流消耗。例如，LFXT 电流消耗可能随外部电容发生显著变化。
- 有关各种参数及其最小值、典型值和最大值的信息，请参见数据手册中的电气规范。

11 参考文献

1. 《MSP432P401xx 微控制器中的多频率范围可调 DCO》
2. 《最大限度提高 MSP432P4xx 稳压器效率》
3. 《MSP-EXP432P401R 中的 EEMBC ULPBench™ 入门》
4. 《利用 SimpleLink™ MSP432P4xx 微控制器的低频功耗模式》
5. 《MSP432P4xx SimpleLink™ 微控制器技术参考手册》
6. 《MSP432P401R、MSP432P401M SimpleLink™ 混合信号微控制器》
7. 《EnergyTrace 技术》
8. ULP Advisor

修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from March 19, 2015 to March 7, 2017	Page
• 添加了作者列表.....	1
• 根据需要添加了“SimpleLink”品牌并更新了参考文档标题.....	1
• 在1节“微控制器中的功率优化矢量”.....	2
• 添加了2节“使用 SimpleLink MSP432 SDK 设计 ULP 应用”.....	3
• 添加了3节“电源管理”.....	3
• 在4.1节“CPU 和数字逻辑核心电压”中添加了开头为“开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序...”的段落	4
• 在4.2节“稳压器：LDO 和 DCDC”中添加了开头为“开发人员可通过编程方式控制使用 DC-DC 或 LDO...”的段落.....	4
• 更新了表 1“LDO 和 DCDC 电流消耗”中的电流值.....	5
• 在5节，时钟系统中添加了以“开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序...”开头的段落.....	6
• 在5节,时钟系统中更新了以“数控振荡器 (DCO) 提供...”开头的段落中的电流值.....	6
• 在5节“时钟系统”中将以“ULPBench 示例...”开头的段落中的“24MHz”更改为“16MHz”.....	6
• 在节 6.1.1“等待状态和时钟相关性”中添加了以“开发人员可使用 SimpleLink SDK 中的 Power TI 驱动程序...”开头的段落..	7
• 在节 6.1.2“数据和指令缓冲区”中添加了开头为“为了向主要连续存储器访问提供最优功耗和性能...”的段落.....	7
• 在7.1节“是否越快越好？”中更新了开头为“如表 2 所示，闪存操作...”的段落.....	9
• 更新了7.2节“增加速度无法始终提高能效”中的第一段.....	9
• 替换了7.3节“闪存指令和数据缓冲区效率以及与等待状态的相关性”中的第二段.....	10
• 替换了7.4节“V _{CORE} 开关延时降低节能效果”中的段落，现以“执行由 LPM3 更改为工作模式的转换功能...”为开头.....	11
• 添加至11节，“参考文献”.....	13

有关 TI 设计信息和资源的重要通知

德州仪器 (TI) 公司提供的技术、应用或其他设计建议、服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用；如果您（个人，或如果是代表贵公司，则为贵公司）以任何方式下载、访问或使用了任何特定的 TI 资源，即表示贵方同意仅为该等目标，按照本通知的条款进行使用。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。

您理解并同意，在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，以及您的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。您就您的应用声明，您具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。您同意，在使用或分发包含 TI 产品的任何应用前，您将彻底测试该等应用和该等应用所用 TI 产品的功能。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

您只有在为开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等产权包括但不限于任何专利权、版权、屏蔽作品权或与使用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对 TI 资源及其使用作出所有其他明确或默认的保证或陈述，包括但不限于对准确性或完整性、产权保证、无复发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。

TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为您辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

您同意向 TI 及其代表全额赔偿因您不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

本通知适用于 TI 资源。另有其他条款适用于某些类型的材料、TI 产品和服务的使用和采购。这些条款包括但不限于适用于 TI 的半导体产品 (<http://www.ti.com/sc/docs/stdterms.htm>)、[评估模块](http://www.ti.com/sc/docs/sampters.htm)和样品 (<http://www.ti.com/sc/docs/sampters.htm>) 的标准条款。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司