

DS40MB200 具有发送预加重和接收均衡功能的双通道 4Gbps 2:1/1:2 CML 多路复用器/缓冲器

1 特性

- 1Gbps 至 4Gbps 低抖动运行
- 固定输入均衡
- 可编程输出预加重
- 独立的开关和线路侧预加重控制
- 可编程开关侧环回模式
- 片上终端
- 3.3V 电源
- 6kV HBM 的 ESD 等级
- 48 引线 WQFN 封装 (7mm × 7mm)
- 0°C 至 +85°C 工作温度范围

2 应用

- 背板或电缆驱动器
- 冗余和信号调节应用
- XAUI

3 说明

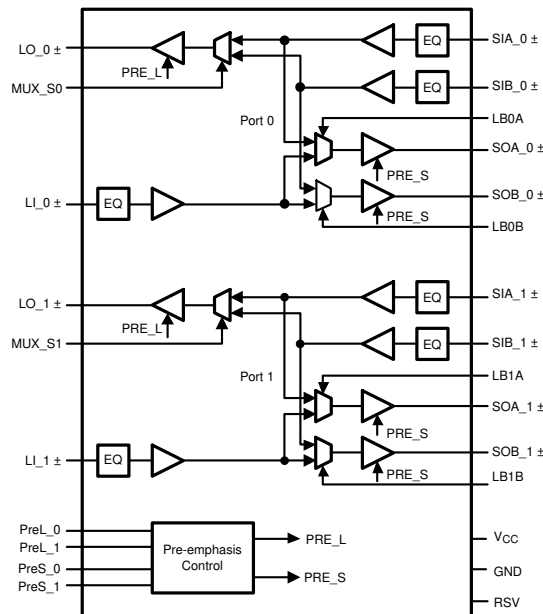
DS40MB200 器件是一款双路信号调节 2:1 多路复用器和 1:2 扇出缓冲器，设计用于背板冗余应用。信号调节功能包括连续时间线性均衡 (CTLE) 和可编程输出预加重，将 FR4 背板中的数据通信扩展至高达 4Gbps 的速率。每个输入级都有一个固定均衡器，用于减小电路板引线导致的符号间干扰失真。

所有输出驱动器都具有四个级别的可选预加重，用于补偿长 FR4 背板的传输损耗并降低确定性抖动。可以为线路侧和开关侧驱动器独立控制预加重电平。从开关侧输入端到开关侧输出端的内部环回路径可实现全速度系统测试。所有接收器输入端均由 100 Ω 差分端接电阻器在内部端接。所有驱动器均由 50 Ω 电阻器在内部端接至 V_{CC}。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值)
DS40MB200	WQFN (48)	7.00mm × 7.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



所有 CML 输入端和输出端都必须进行交流耦合，以实现最佳性能。

简化版方框图



内容

1 特性	1	8 应用和实施	13
2 应用	1	8.1 应用信息.....	13
3 说明	1	8.2 典型应用.....	13
4 引脚配置和功能	3	9 电源相关建议	18
5 规格	5	10 布局	18
5.1 绝对最大额定值.....	5	10.1 布局指南.....	18
5.2 ESD 等级.....	5	10.2 布局示例.....	18
5.3 建议运行额定值.....	5	11 器件和文档支持	20
5.4 热性能信息.....	5	11.1 文档支持.....	20
5.5 电气特性.....	6	11.2 接收文档更新通知.....	20
5.6 开关特性.....	7	11.3 支持资源.....	20
5.7 典型特性.....	9	11.4 商标.....	20
6 参数测量信息	9	11.5 静电放电警告.....	20
7 详细说明	10	11.6 术语表.....	20
7.1 概述.....	10	12 修订历史记录	20
7.2 功能方框图.....	10	13 机械、封装和可订购信息	20
7.3 特性说明.....	11		

4 引脚配置和功能

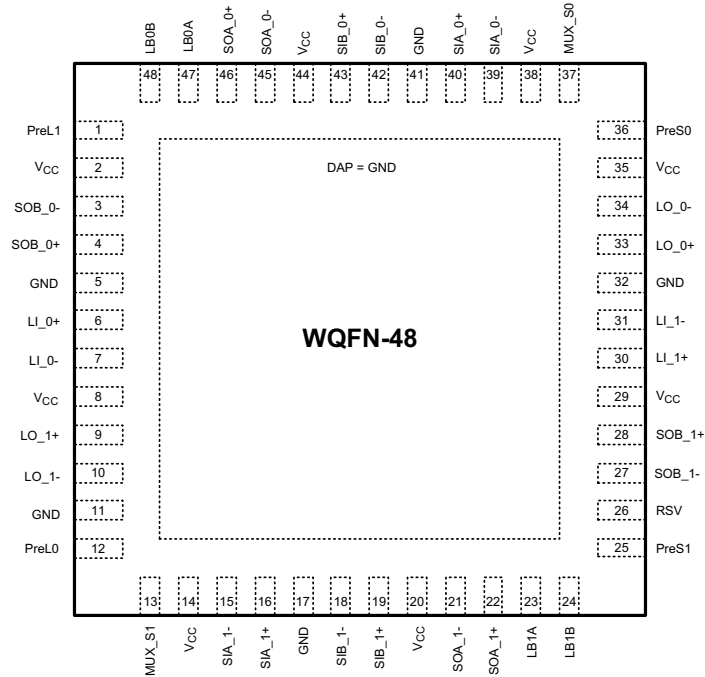


图 4-1. NJU 封装 48 引脚 WQFN 顶视图

表 4-1. 引脚功能

引脚		I/O ⁽¹⁾	说明 ⁽²⁾
名称	编号		
线路侧高速差分 I/O			
LI_0+ LI_0-	6 7	I	线路侧端口 0 的反相和同相差分输入。LI_0+ 和 LI_0- 具有一个连接到内部基准电压的内部 50 Ω 电阻器。请参阅图 1-1。
LI_1+ LI_1-	30 31	I	线路侧端口 1 的反相和同相差分输入。LI_1+ 和 LI_1- 具有一个连接到内部基准电压的内部 50 Ω 电阻器。请参阅图 1-1。
LO_0+ LO_0-	33 34	O	线路侧端口 0 的反相和同相差分输出。LO_0+ 和 LO_0- 具有一个连接到 V _{CC} 的内部 50 Ω 电阻器。
LO_1+ LO_1-	9 10	O	线路侧端口 1 的反相和同相差分输出。LO_1+ 和 LO_1- 具有一个连接到 V _{CC} 的内部 50 Ω 电阻器。
开关侧高速差分 I/O			
SIA_0+ SIA_0-	40 39	I	开关 A 侧多路复用器 0 的反相和同相差分输入。SIA_0+ 和 SIA_0- 具有一个连接到内部基准电压的内部 50 Ω 电阻器。请参阅图 1-1。
SIA_1+ SIA_1-	16 15	I	开关 A 侧多路复用器 1 的反相和同相差分输入。SIA_1+ 和 SIA_1- 具有一个连接到内部基准电压的内部 50 Ω 电阻器。请参阅图 1-1。
SIB_0+ SIB_0-	43 42	I	开关 B 侧多路复用器 0 的反相和同相差分输入。SIB_0+ 和 SIB_0- 具有一个连接到内部基准电压的内部 50 Ω 电阻器。请参阅图 1-1。
SIB_1+ SIB_1-	19 18	I	开关 B 侧多路复用器 1 的反相和同相差分输入。SIB_1+ 和 SIB_1- 具有一个连接到内部基准电压的内部 50 Ω 电阻器。请参阅图 1-1。
SOA_0+ SOA_0-	46 45	O	开关 A 侧多路复用器 0 的反相和同相差分输出。SOA_0+ 和 SOA_0- 具有一个连接到 V _{CC} 的内部 50 Ω 电阻器。
SOA_1+ SOA_1-	22 21	O	开关 A 侧多路复用器 1 的反相和同相差分输出。SOA_1+ 和 SOA_1- 具有一个连接到 V _{CC} 的内部 50 Ω 电阻器。
SOB_0+ SOB_0-	4 3	O	开关 B 侧多路复用器 0 的反相和同相差分输出。SOB_0+ 和 SOB_0- 具有一个连接到 V _{CC} 的内部 50 Ω 电阻器。

表 4-1. 引脚功能 (续)

引脚		I/O ⁽¹⁾	说明 ⁽²⁾
名称	编号		
SOB_1+ SOB_1-	28 27	O	开关 B 侧多路复用器 1 的反相和同相差分输出。SOB_1+ 和 SOB_1- 具有一个连接到 V _{CC} 的内部 50 Ω 电阻器。
控制 (3.3V LVCMOS)			
LB0A	47	I	LB0A 处的逻辑低电平启用从 SIA_0± 到 SOA_0± 的内部环回路径。LB0A 在内部被上拉。
LB0B	48	I	LB0B 处的逻辑低电平启用从 SIB_0± 到 SOB_0± 的内部环回路径。LB0B 在内部被上拉。
LB1A	23	I	LB1A 处的逻辑低电平启用从 SIA_1± 到 SOA_1± 的内部环回路径。LB1A 在内部被上拉。
LB1B	24	I	LB1B 处的逻辑低电平启用从 SIB_1± 到 SOB_1± 的内部环回路径。LB1B 在内部被上拉。
MUX_S0	37	I	MUX_S0 处的逻辑低电平选择多路复用器 0 为开关 B。MUX_S0 在内部被上拉。多路复用器 0 的默认状态为开关 A。
MUX_S1	13	I	MUX_S1 处的逻辑低电平选择多路复用器 1 为开关 B。MUX_S1 在内部被上拉。多路复用器 1 的默认状态为开关 A。
PREL_0 PREL_1	12 1	I	PREL_0 和 PREL_1 选择线路侧驱动器 (LO_0± 和 LO_1±) 的输出预加重。PREL_0 和 PREL_1 在内部被上拉。有关线路侧预加重电平, 请参阅表 7-3。
PRES_0 PRES_1	36 25	I	PRES_0 和 PRES_1 选择开关侧驱动器 (SOA_0±、SOB_0±、SOA_1± 和 SOB_1±) 的输出预加重。PRES_0 和 PRES_1 在内部被上拉。有关开关侧预加重电平, 请参阅表 7-4。
RSV	26	I	保留引脚以支持工厂测试。该引脚可以保持开路, 连接到 GND, 或者通过外部下拉电阻器连接到 GND。
电源			
GND	5、11、17、 32、41	P	参考接地。每个接地引脚都必须通过低电感路径连接到接地平面, 通常使用尽可能靠近 GND 引脚着陆焊盘的过孔。
GND	DAP	P	裸片连接焊盘 (DAP) 是底部的金属触点, 位于 WQFN-48 封装的中心。该焊盘必须至少通过 4 个过孔连接到 GND 平面, 以降低接地阻抗并提高封装的热性能。
V _{CC}	2、8、14、 20、29、 35、38、44	P	V _{CC} = 3.3V ± 5%。 每个 V _{CC} 引脚都必须通过低电感路径连接到 V _{CC} 平面, 通常使用尽可能靠近 V _{CC} 引脚着陆焊盘的过孔。 TI 建议在每个 V _{CC} 引脚与接地平面之间放置一个 0.01 μF 或 0.1 μF、X7R、0402 尺寸旁路电容器。

(1) I = 输入, O = 输出, P = 电源

(2) 所有 CML 输入或输出必须是交流耦合的。

5 规格

5.1 绝对最大额定值

请参阅⁽¹⁾ ⁽²⁾

	最小值	最大值	单位
电源电压 (V _{CC})	-0.3	4	V
CMOS/TTL 输入电压	-0.3	V _{CC} + 0.3	V
CML 输入/输出电压	-0.3	V _{CC} + 0.3	V
结温		125	°C
引线温度 (焊接时, 4 秒)		260	°C
贮存温度, T _{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果需要军用/航天专用器件, 请与 TI 销售办公室/分销商联系以了解供货情况和技术规格。

5.2 ESD 等级

	值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 1.5k Ω , 100pF, 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±6000
	机器放电模型 (MM), 符合 JEDEC 规范 JESD22-A115-A	±250

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行额定值

	最小值	标称值	最大值	单位
电源电压 (V _{CC} - GND)	3.135	3.3	3.465	V
电源噪声振幅 (10Hz 至 2GHz)			20	mV _{pp}
环境温度	0		85	°C
外壳温度			100	°C

5.4 热性能信息

热性能指标 ⁽¹⁾		DS40MB200	单位
		NJU (WQFN)	
		48 引脚	
R _{θJA}	结至环境热阻	32.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	15.2	°C/W
R _{θJB}	结至电路板热阻	9	°C/W
ψ _{JT}	结至顶部特征参数	0.2	°C/W
ψ _{JB}	结至电路板特征参数	9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	2.5	°C/W

- (1) 有关新旧热性能指标的更多信息, 请参阅半导体和 IC 封装热性能指标应用报告, [SPRA953](#)。

5.5 电气特性

在建议的工作电压和温度范围内（除非另外说明）

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
LVC MOS 直流规格						
V _{IH}	高电平输入电压		2		V _{CC} + 0.3	V
V _{IL}	低电平输入电压		-0.3		0.8	V
I _{IH}	高电平输入电流	V _{IN} = V _{CC}	-10		10	μA
I _{IL}	低电平输入电流	V _{IN} = GND	75	94	124	μA
R _{PU}	上拉电阻			35		kΩ
接收器规格						
V _{ID}	差分输入电压范围	交流耦合差分信号。 该参数未经生产测试。	低于 1.25Gbps	100	1750	mV _{P-P}
			1.25Gbps 至 3.125Gbps	100	1560	
			高于 3.125Gbps	100	1200	
V _{ICM}	接收器输入端的共模电压	在以接地为基准的接收器输入端测量。		1.3		V
R _{ITD}	输入差分终端	IN+ 和 IN- 之间的片上差分终端。	84	100	116	Ω
驱动器规格						
V _{ODB}	无预加重功能的输出差分电压摆幅	R _L = 100Ω ±1% PRES_1 = PRES_0 = 0 PREL_1 = PREL_0 = 0 禁用驱动器。 以 4Gbps 的速率运行 K28.7 模式。 有关测试电路, 请参阅 交流测试电路 。	1000	1200	1400	mV _{P-P}
V _{PE}	输出预加重电压比 20 × log(VODPE/VODB)	R _L = 100Ω ±1% 以 4Gbps 的速率 运行 K28.7 模式 ⁽²⁾ 对于开关侧预加重控制, x = S 对于线路侧预加重控制, x = L 有关波形, 请参阅 驱动器预加重差分波形 (显示全部 4 个预加重级别) 。 有关测试电路, 请参阅 交流测试电路 。	PREx_[1:0] = 00	0		dB
			PREx_[1:0] = 01	-3		
			PREx_[1:0] = 10	-6		
			PREx_[1:0] = 11	-9		
t _{PE}	预加重宽度 ⁽³⁾	在 -9dB 预加重电平下测试, PREx[1:0] = 11 对于开关侧预加重控制, x = S 对于线路侧预加重控制, x = L 有关测量条件, 请参阅 输出预加重持续时间的测试条件 。	125	200	250	ps
R _{OTSE}	输出终端	从 OUT+ 或 OUT- 到 V _{CC} 的片上终端 ⁽⁴⁾	42	50	58	Ω
R _{OTD}	输出差分终端	OUT+ 和 OUT- 之间的片上差分终端 ⁽⁴⁾		100		Ω
Δ R _{OTSE}	输出终端电阻器不匹配	OUT+ 和 OUT- 处的输出终端不匹配 ⁽⁴⁾			5%	
V _{OCM}	输出共模电压			2.7		V
功率耗散						
P _D	功率耗散	V _{DD} = 3.465V 所有输出均由 100Ω ±1% 电阻器端接。 PREL_[1:0] = 0, PRES_[1:0] = 0 以 4Gbps 的速率运行 PRBS 2 ⁷ - 1 模式			1	W

5.5 电气特性 (续)

在建议的工作电压和温度范围内 (除非另外说明)

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
交流特性						
RJ	器件随机抖动 ^{(5) (3)}	有关测试电路, 请参阅 交流测试电路 。 1-0 交替模式。 禁用预加重。	1.25Gbps		2	ps _{rms}
			4Gbps		2	
DJ	器件确定性抖动 ^{(6) (3)}	有关测试电路, 请参阅 交流测试电路 。 禁用预加重。	4Gbps, PRBS7 模式		30	ps _{p-p}
DR _{MAX}	最大数据速率 ⁽³⁾	采用 1-0 交替模式进行测试	4			Gbps

- (1) 在 $V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$ 时测得的典型参数。这些参数仅供参考, 未经生产测试。
- (2) K28.7 模式是 K28.7 代码组 {001111 1000} 的 10 位重复模式, K28.5 模式是 +K28.5 和 -K28.5 代码组 {110000 0101 001111 1010} 的 20 位重复模式
- (3) 使用统计分析根据设计和表征来指定。
- (4) IN+ 和 IN- 是通用名称, 指 DS40MB200 多对互补输入中的一对。OUT+ 和 OUT- 是通用名称, 指 DS40MB200 多对互补输出中的一对。差分输入电压 V_{ID} 定义为 $|IN+ - IN-|$ 。差分输出电压 V_{OD} 定义为 $|OUT+ - OUT-|$ 。
- (5) 器件输出随机抖动是对器件随机抖动贡献的度量。它是通过公式 $\sqrt{RJ_{OUT}^2 - RJ_{IN}^2}$ 推导而来的, 其中 RJ_{OUT} 是在器件的输出端测得的随机抖动 (单位为 ps_{rms}), RJ_{IN} 是驱动器件的模式发生器的随机抖动。
- (6) 器件输出确定性抖动是对器件确定性抖动贡献的度量。它是通过公式 $(DJ_{OUT} - DJ_{IN})$ 推导而来的, 其中 DJ_{OUT} 是在器件的输出端测得的确定性抖动峰峰值 (单位为 ps_{p-p}), DJ_{IN} 是驱动器件的模式发生器的确定性抖动峰峰值。

5.6 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
t _R	差分低电平到高电平转换时间	在 100MHz 频率下使用类似于时钟的模式进行测量, 介于差分输出电压的 20% 和 80% 之间。禁用预加重。 使用 交流测试电路 中显示的装置测量转换时间, 经过调整以反映输出引脚上的转换时间。	80			ps
t _F	差分高电平到低电平转换时间		80			ps
t _{PLH}	差分低电平到高电平传播延迟	针对从输入到输出的 50% 差分电压进行测量。	0.5		2	ns
t _{PHL}	差分高电平到低电平传播延迟		0.5		2	ns
t _{SKP}	脉冲偏移 ⁽²⁾	$ t_{PHL} - t_{PLH} $	20			ps
t _{SKO}	输出偏移 ^{(3) (2)}	同一器件中数据路径之间的传播延迟差异。	200			ps
t _{SKPP}	器件间偏移 ⁽²⁾	在相同条件下运行的器件的相同输出之间的传播延迟差异。	500			ps
t _{SM}	多路复用器开关时间	针对从多路复用器控制或环回控制的 V_{IH} 或 V_{IL} 到有效差分输出的 50% 进行测量。	1.8		6	ns

- (1) 在 $V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$ 时测得的典型参数。这些参数仅供参考, 未经生产测试。
- (2) 使用统计分析根据设计和表征来指定。
- (3) t_{SKO} 是同一端口的开关 A 与开关 B 之间以及端口 0 与端口 1 之间类似数据路径之间的传播延迟大小差异。一个示例是 SIA_0± 到 LO_0±、SIB_0± 到 LO_0±、SIA_1± 到 LO_1± 以及 SIB_1± 到 LO_1± 的数据路径之间的输出偏移。另一个示例是 LI_0± 到 SOA_0±、LI_0± 到 SOB_0±、LI_1± 到 SOA_1± 以及 LI_1± 到 SOB_1± 的数据路径之间的输出偏移。t_{SKO} 还指同一端口的环回路径以及端口 0 和端口 1 之间类似数据路径之间的延迟偏移。一个示例是数据路径 SIA_0± 到 SOA_0±、SIB_0± 到 SOB_0±、SIA_1± 到 SOA_1± 以及 SIB_1± 到 SOB_1± 之间的输出偏移。

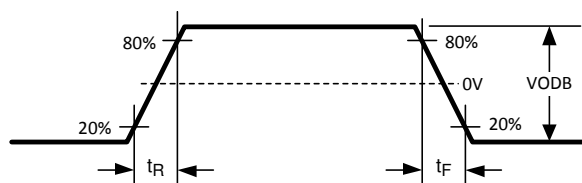


图 5-1. 驱动器输出转换时间

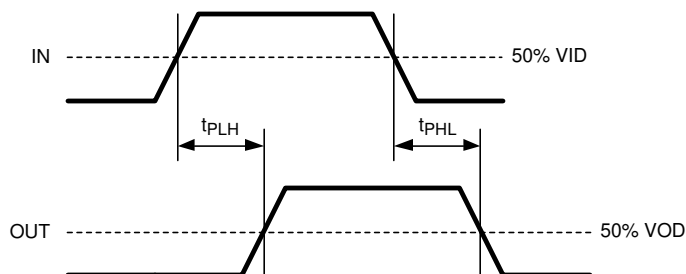


图 5-2. 从输入到输出的传播延迟

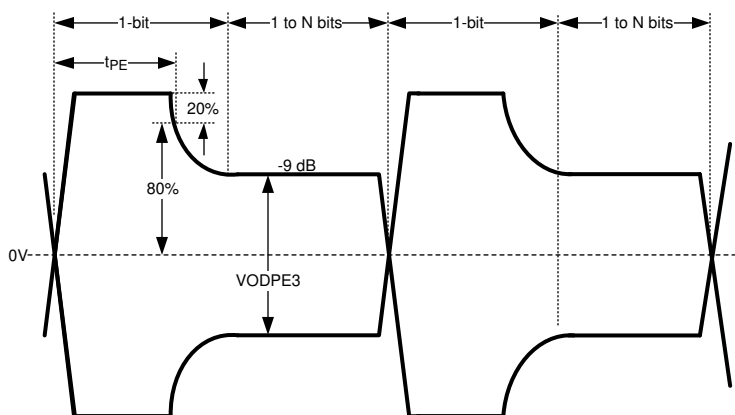


图 5-3. 输出预加重持续时间的测试条件

5.7 典型特性

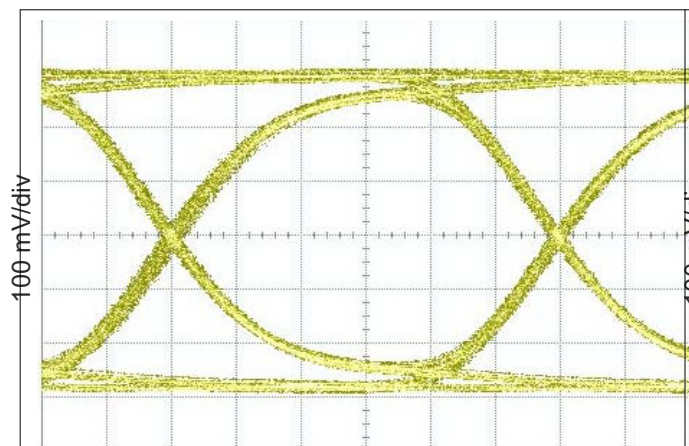


图 5-4. PRBS-7, 4Gbps 时预加重 = 0dB

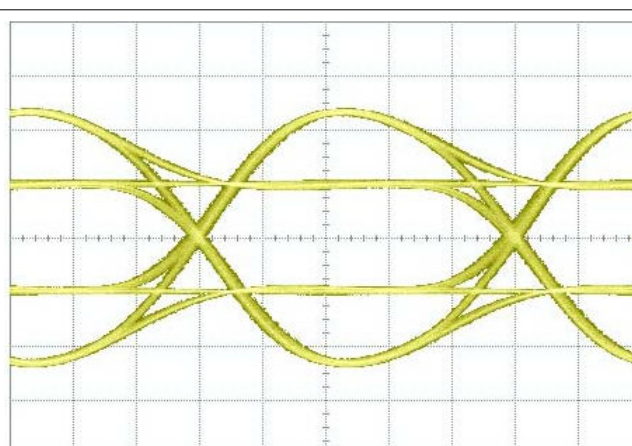


图 5-5. PRBS-7, 4Gbps 时预加重 = -9dB

6 参数测量信息

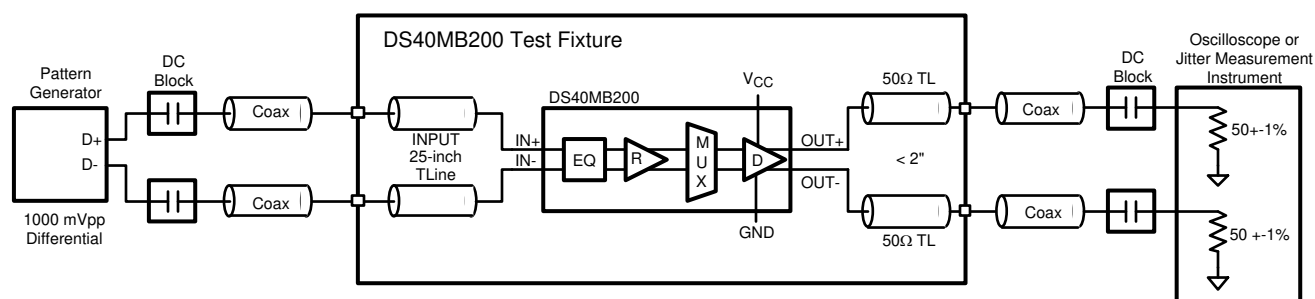


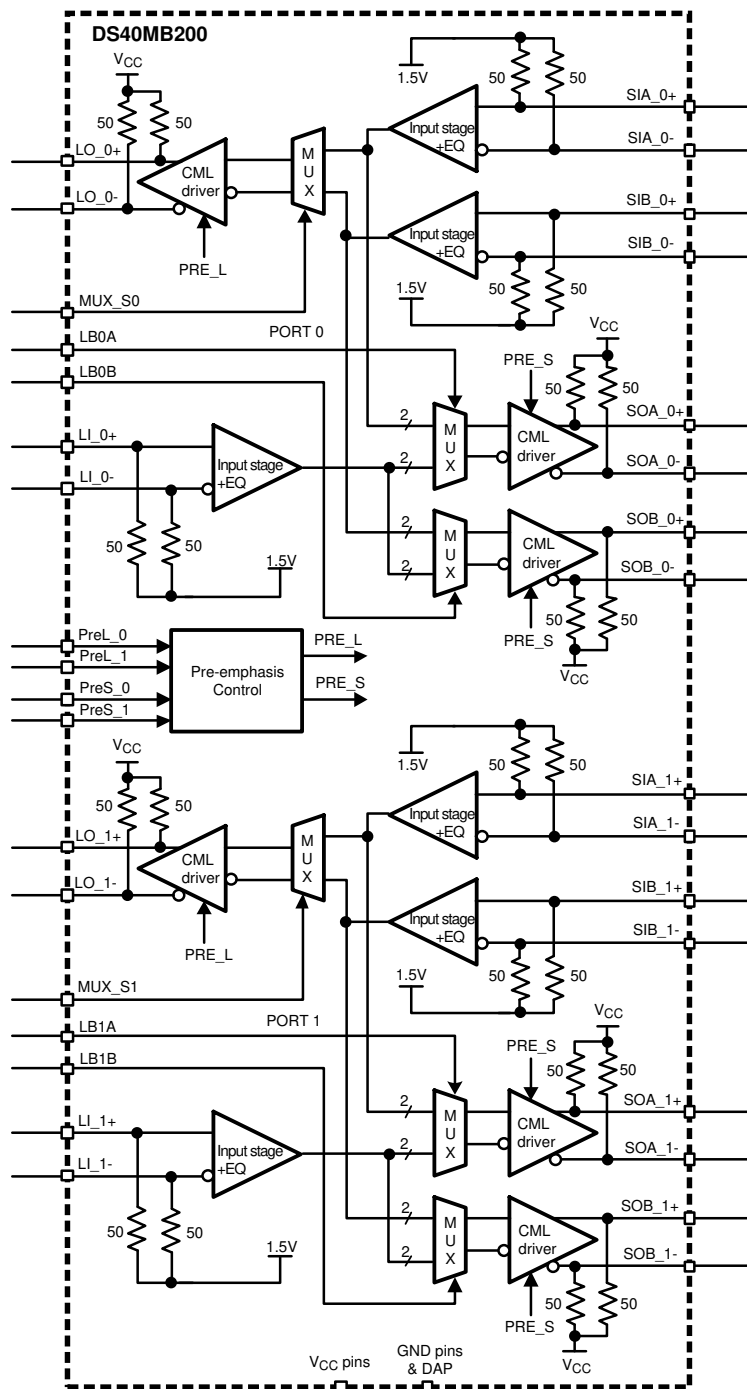
图 6-1. 交流测试电路

7 详细说明

7.1 概述

DS40MB200 是一款支持端口冗余的信号调节 2:1 多路复用器和 1:2 缓冲器，编码或加扰数据速率处于 1Gbps 和 4Gbps 之间。DS40MB200 在接收输入端提供固定均衡，并在输出端提供预加重控制，以支持信号覆盖范围扩展。

7.2 功能方框图



7.3 特性说明

DS40MB200 多路复用器缓冲器由多个关键模块构成：

- CML 输入和 EQ
- 多路复用器和环回控制
- CML 驱动器和预加重控制

7.3.1 CML 输入和 EQ

高速输入在 IN+ 和 IN- 处自偏置为大约 1.3V，专为交流耦合而设计。有关内部接收器输入终端和偏置电路的详细信息，请参阅[接收器输入终端和偏置电路](#)。

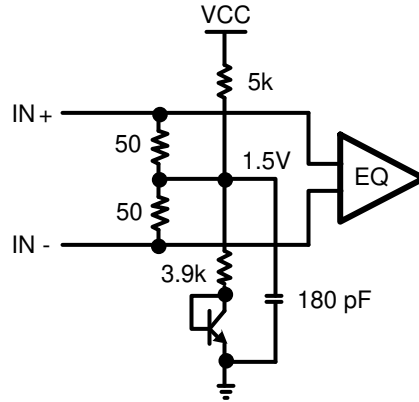


图 7-1. 接收器输入终端和偏置电路

输入与大多数交流耦合差分信号（例如 LVDS、LVPECL 和 CML）兼容。DS40MB200 不能在数据速率低于 1000Mbps 或者向 CML 输入端或输出端施加直流偏置时运行。大多数高速链路均通过编码实现直流平衡，并定义为包含交流耦合电容器，从而允许将 DS40MB200 直接插入到数据路径中而不受任何限制。理想的交流耦合电容器容值通常基于串行链路中嵌入的最低频率分量。典型的交流耦合电容器容值介于 100 和 1000nF 之间。一些具有扰频数据的规格可能需要更大的电容器以实现最佳性能。为了减小交流耦合电容器周围和内部的有害寄生效应，建议采用 0402 封装尺寸。[交流测试电路](#)显示了交流耦合电容器在交流测试电路中的位置。

每个输入级都具有一个固定均衡器，可提供均衡功能来补偿短背板引线（大约 10 英寸背板）产生的大约 5dB（2GHz 时）的传输损耗。

7.3.2 多路复用器和环回控制

[表 7-1](#) 和 [表 7-2](#) 提供了有关如何配置 DS40MB200 多路复用器和环回设置的详细信息。

表 7-1. 多路复用控制的逻辑表

引脚	引脚值	多路复用器功能
MUX_S0	0	多路复用器 0 选择开关 B 输入 SIB_0±。
	1 (默认值)	多路复用器 0 选择开关 A 输入 SIA_0±。
MUX_S1	0	多路复用器 1 选择开关 B 输入 SIB_1±。
	1 (默认值)	多路复用器 1 选择开关 A 输入 SIA_0±。

表 7-2. 环回控制的逻辑表

引脚	引脚值	环回功能
LB0A	0	启用从 SIA_0± 到 SOA_0± 的环回。
	1 (默认值)	正常模式。禁用环回。
LB0B	0	启用从 SIB_0± 到 SOB_0± 的环回。
	1 (默认值)	正常模式。禁用环回。

表 7-2. 环回控制的逻辑表 (续)

引脚	引脚值	环回功能
LB1A	0	启用从 SIA_1± 到 SOA_1± 的环回。
	1 (默认值)	正常模式。禁用环回。
LB1B	0	启用从 SIB_1± 到 SOB_1± 的环回。
	1 (默认值)	正常模式。禁用环回。

7.3.3 CML 驱动器和预加重控制

输出驱动器具有预加重功能 (驱动器侧均衡)，用于补偿其驱动的回板的传输损耗。驱动器会调节输出信号，以便较低频率的脉冲和较高频率的脉冲在背板末端达到大致相同的振幅，从而尽可能减小由幅度视差引起的确定性抖动。DS40MB200 提供四个级别的用户可选预加重，即 0、- 3、- 6 和 - 9dB，可处理不同的背板长度。图 1-1 显示了驱动器预加重波形。预加重持续时间标称值为 200ps，对应于 4Gbps 时的 0.8 单位间隔 (UI)。开关侧和线路侧的预加重电平可以单独编程。

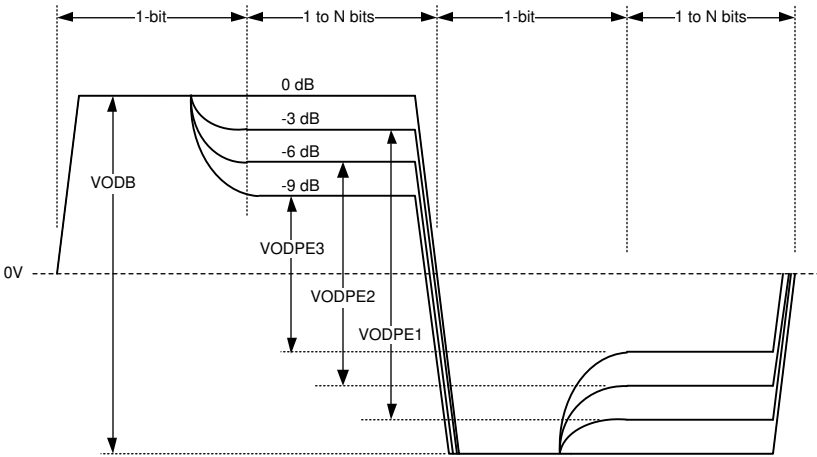


图 7-2. 驱动器预加重差分波形 (显示全部 4 个预加重级别)

表 7-3. 线路侧预加重控制

PreL_[1:0]	以 mV _{pp} 为单位的预加重电平 (VODB)	以 mV _{pp} 为单位的去加重电平 (VODPE)	以 dB 为单位的预加重 (VODPE/VODB)	典型的 FR4 电路板引线
0 0	1200	1200	0	10 英寸
0 1	1200	850	-3	20 英寸
1 0	1200	600	-6	30 英寸
1 1 (默认值)	1200	426	-9	40 英寸

表 7-4. 开关侧预加重控制

PreS_[1:0]	以 mV _{pp} 为单位的预加重电平 (VODB)	以 mV _{pp} 为单位的去加重电平 (VODPE)	以 dB 为单位的预加重 (VODPE/VODB)	典型的 FR4 电路板引线
0 0	1200	1200	0	10 英寸
0 1	1200	850	-3	20 英寸
1 0	1200	600	-6	30 英寸
1 1 (默认值)	1200	426	-9	40 英寸

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

DS40MB200 是一款 2:1 多路复用器和 1:2 缓冲器，可均衡高达 4Gbps 的输入数据，并提供发送预加重控制以扩大整体信号覆盖范围。作为多路复用器缓冲器，DS40MB200 非常适合需要端口共享或冗余以及动态重组路由和数据连接的设计。

8.2 典型应用

图 1-1 和图 1-1 显示了 DS40MB200 的典型应用。

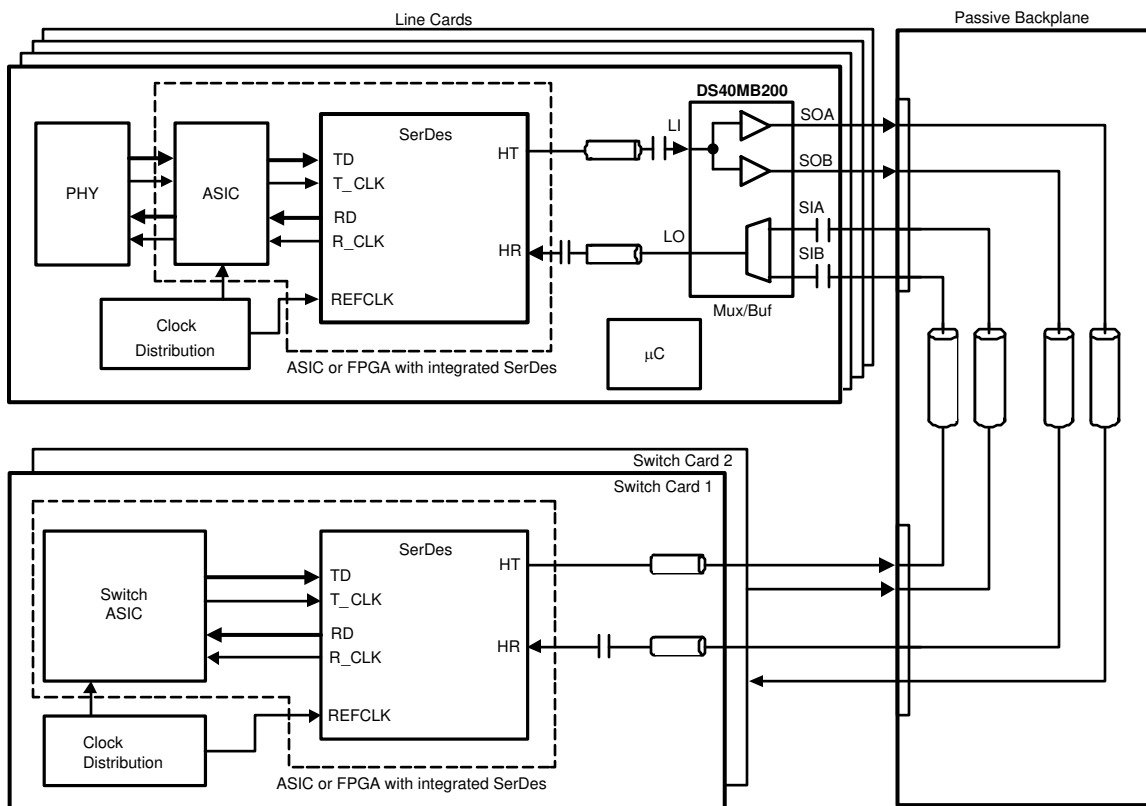


图 8-1. 系统图 (显示端口 0 的数据路径)

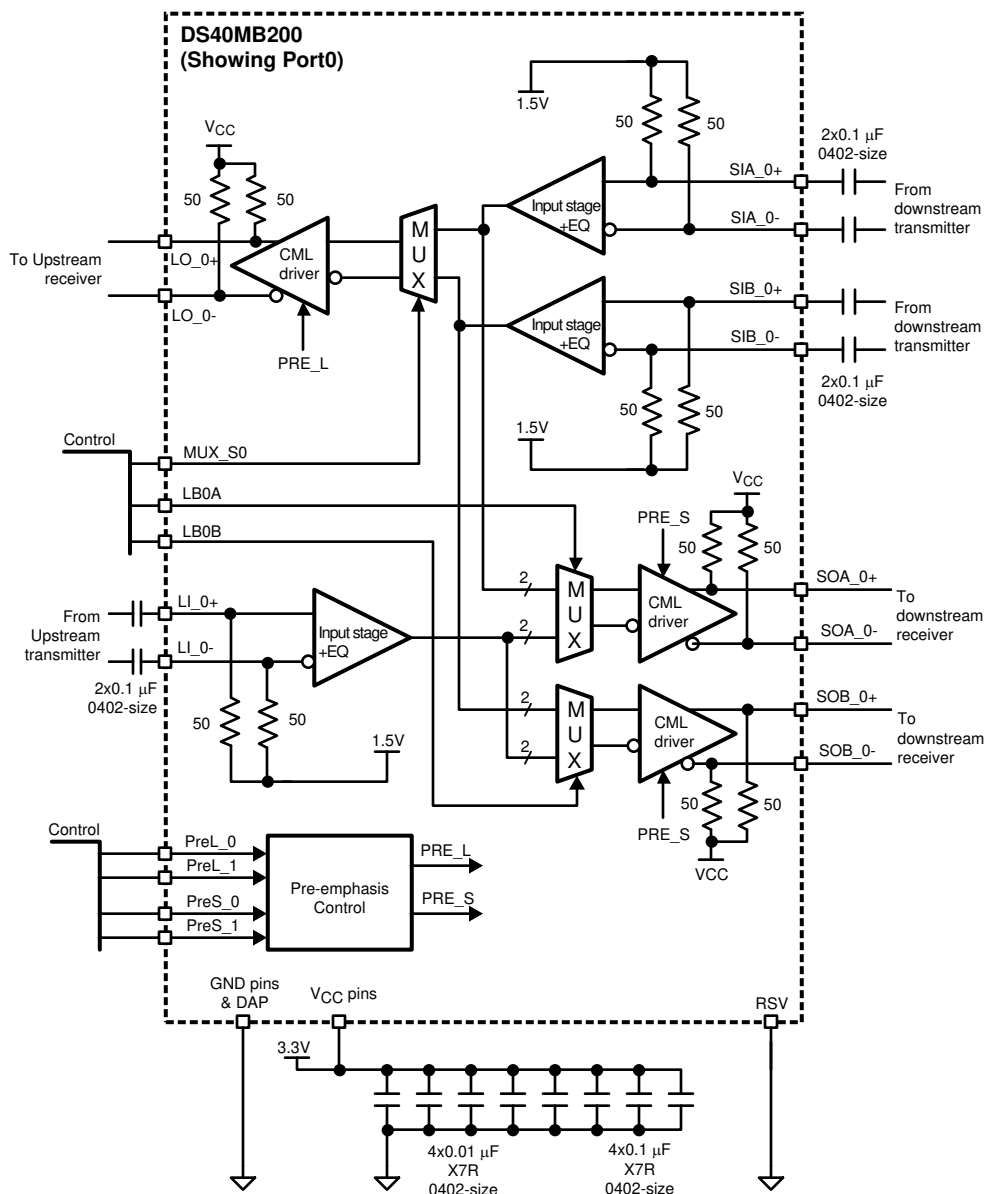


图 8-2. DS40MB200 连接方框图 (显示端口 0 的数据路径)

8.2.1 设计要求

在典型设计中，DS40MB200 在其输入端均衡短背板引线，在 DS40MB200 输出端连接了长引线。在该应用示例中，使用了 25 英寸 FR4 耦合微带电路板引线来代替短背板链路。图 1-1 显示了该示例的方框图。

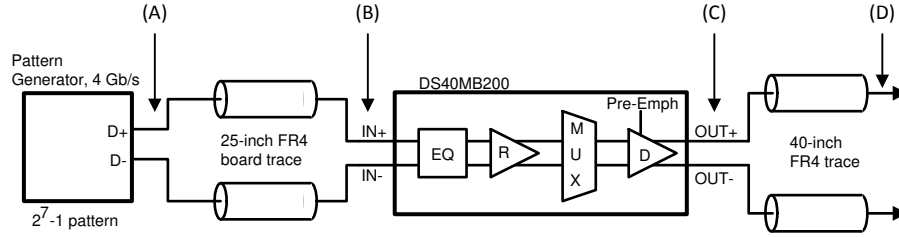


图 8-3. DS40MB200 应用示例的方框图

25 英寸微带电路板引线在 375MHz 和 1.875GHz 之间具有大约 6dB 的衰减，非常接近于短背板传输线路的传输损耗。在模式发生器和 DS40MB200 的差分输入之间连接了 25 英寸微带，用于交流测量。

表 8-1. 输入引线参数

布线长度	成品布线宽度 w	引线间距	电介质高度 H	介电常数 ϵ_R	损耗角正切
25 英寸	8.5mil	11.5mil	6mil	3.8	0.022

输出引线的长度可能因系统要求而异。在该示例中，在 DS40MB200 输出端放置了一条具有相似布线宽度、间距和电介质特性的 40 英寸 FR4 引线。

与任何高速设计一样，有许多因素会影响总体性能。下面列出了在设计过程中需要考虑和研究的关键领域。

- 使用 100 Ω 阻抗引线。通常，这些引线非常松散地进行耦合，以缓解布线长度差异。
- 将交流耦合电容器放置在靠近每个通道段的接收器端的位置，以尽可能减少反射。
- 交流耦合电容器的最大封装尺寸为 0402。
- 背钻连接器过孔和信号过孔，以尽可能缩短残桩长度。
- 使用参考平面过孔确保为返回电流提供低电感路径。

8.2.2 详细设计过程

为实现最佳设计，必须对 DS40MB200 进行配置以正确路由传入数据并提供最佳信号质量。必须遵循以下设计过程：

1. 为了满足系统要求，必须对 DS40MB200 进行配置以提供正确的多路复用器和缓冲器路由。要配置适当的多路复用器控制设置，请参阅表 7-1。要配置缓冲器控制设置，请参阅表 7-2。例如，考虑设计人员希望将来自开关卡 A 的输入 (SIA0_0 $\pm$) 路由到线路卡的输出 (LO_0 $\pm$) 的情况。为此，设置 MUX_S0 = 1 (选择 SIA0_0 $\pm$)。对于另一个方向 (从线路卡输出到开关卡)，设置 LB0A = 1 和 LB0B = 1，以便将来自线路卡的输入缓冲到开关卡 A (SOA_0 $\pm$) 和开关卡 B (SOB_0 $\pm$) 中。
2. DS40MB200 被设计为放置在相对于整体通道衰减的偏移位置。为了优化性能，可以调节多路复用器缓冲器发送预加重，以在延长布线长度的同时还恢复颇佳的眼图张开度。要调节线路卡侧或开关卡侧的发送预加重，请参阅表 7-3 和表 7-4，以了解根据 DS40MB200 输出端连接的 FR4 电路板引线长度建议的预加重控制设置。例如，如果将 40 英寸的 FR4 引线连接到开关卡输出，则设置 PreS_[1:0] = (1, 1) (对于 VOD = 1200mVpp) 和 -9dB 的发送预加重。

8.2.3 应用曲线

图 1-1 至图 1-1 显示了信号完整性如何在数据路径中的不同位置发生变化。这些测量位置可以参考图 1-1 中提供的标记点。

- 点 (A) : 源模式发生器的输出信号
- 点 (B) : 在源的 25 英寸 FR4 引线之后的 DS40MB200 输入
- 点 (C) : DS40MB200 驱动器的输出
- 点 (D) : DS40MB200 驱动器的 40 英寸 FR4 引线之后的信号

源信号为 PRBS-7 模式 (4Gbps)。对于长输出引线，通过添加 -9dB 的预加重，可以显著改善 40 英寸输出 FR4 引线之后的眼图。

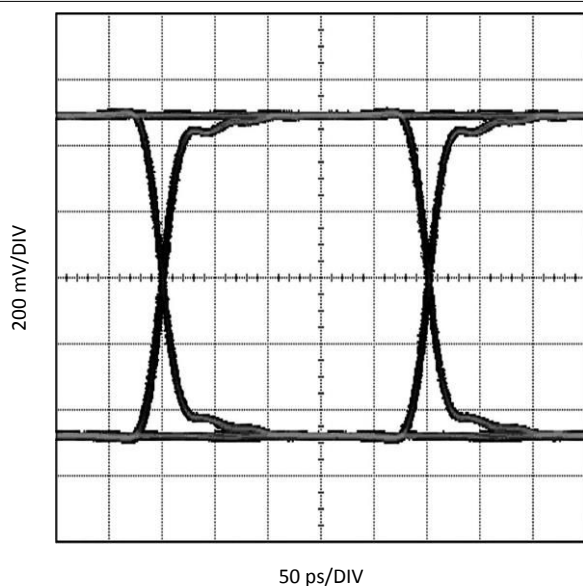


图 8-4. 在点 (A) 处测得的眼图

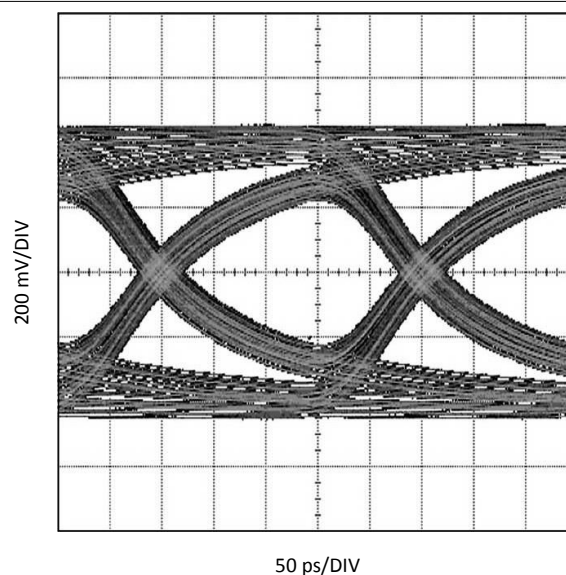


图 8-5. 在点 (B) 处测得的眼图

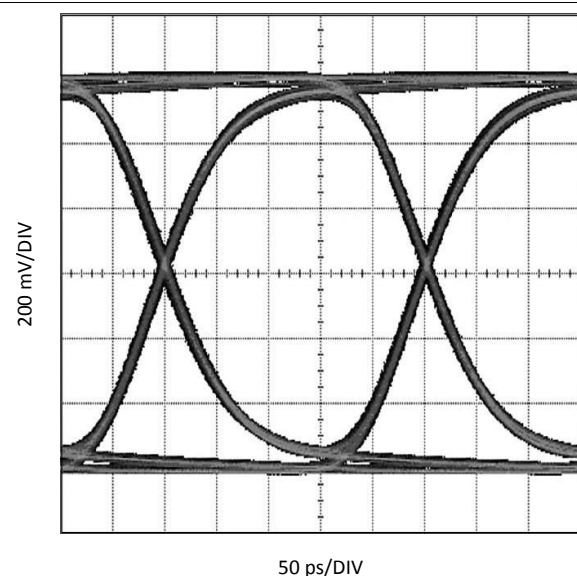


图 8-6. 在点 (C) 处测得的眼图，预加重 = 0dB

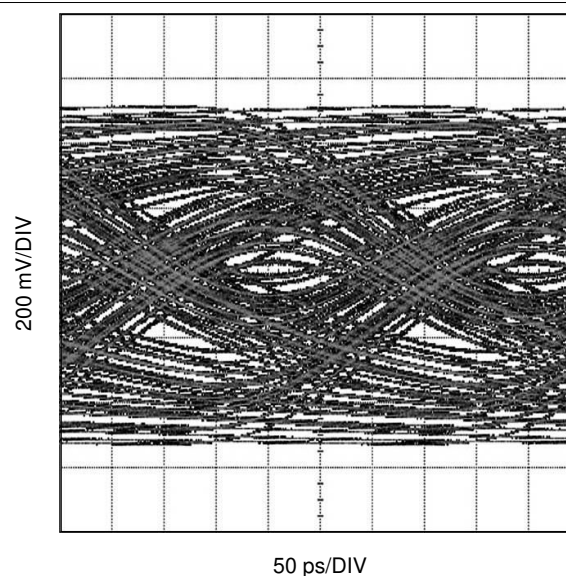


图 8-7. 在点 (D) 处测得的眼图，预加重 = 0dB

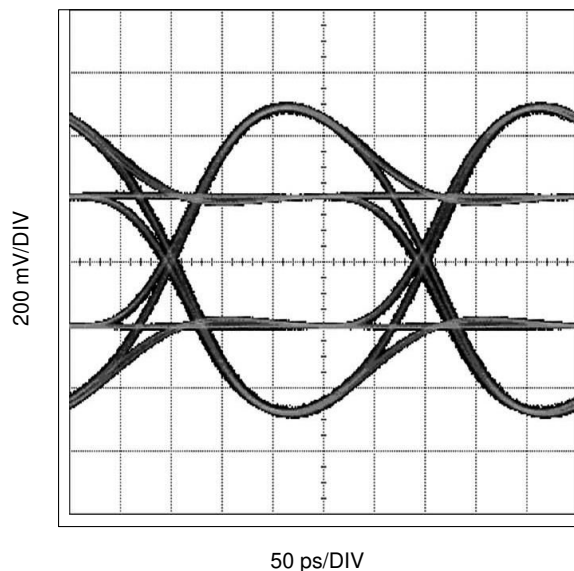


图 8-8. 在点 (C) 处测得的眼图，预加重 = -9dB

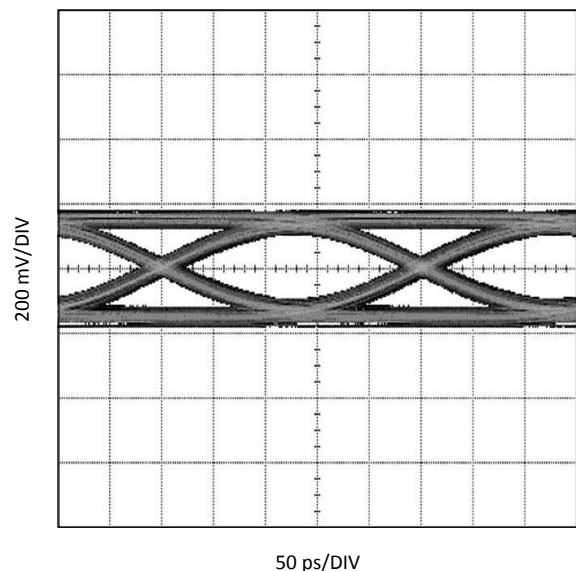


图 8-9. 在点 (D) 处测得的眼图，预加重 = -9dB

9 电源相关建议

电源 (V_{CC}) 和接地 (GND) 引脚必须连接到在印刷电路板相邻层上布线的电源平面。必须尽可能减小电介质的层厚度, 以使 V_{CC} 和 GND 平面形成具有分布式电容的低电感电源。必须特别注意通过正确使用旁路电容器来实现电源旁路。必须将一个 $0.01\text{-}\mu\text{F}$ 或 $0.1\text{-}\mu\text{F}$ 旁路电容器连接到每个 V_{CC} 引脚, 使该电容器尽可能靠近 V_{CC} 引脚。具有较小封装尺寸 (0402 封装尺寸等) 的电容器有利于正确放置元件。有关更多详细信息, 请参阅图 1-1 中的 V_{CC} 引脚连接。

10 布局

10.1 布局指南

至少使用一个具有电源和接地平面的四层电路板。通常建议将 $100\ \Omega$ 的紧密耦合差分线路用于差分互连。紧密耦合的线路有助于确保耦合噪声以共模形式出现, 从而被接收器拒绝。有关 WQFN 样式封装的信息, 请参阅 AN-1187 *Leadless Leadframe Package (LLP)* (SNOA401)。

10.2 布局示例

孔径面积比和制造工艺等模板参数对焊锡膏沉积有显著影响。为了提高电路板组装产量, 强烈建议在进行 WQFN 封装布局之前先检查模板。如果没有仔细监测过孔和孔径的开口, 则焊料可能会在 DAP 中不均匀地流动。图 1-1 显示了孔径开口和过孔位置的模板参数。图 1-1 显示了 DS40MB200 DAP 的布局示例, 其中 DAP 使用 16 个模板开孔, 并具有九个连接至 GND 的过孔。

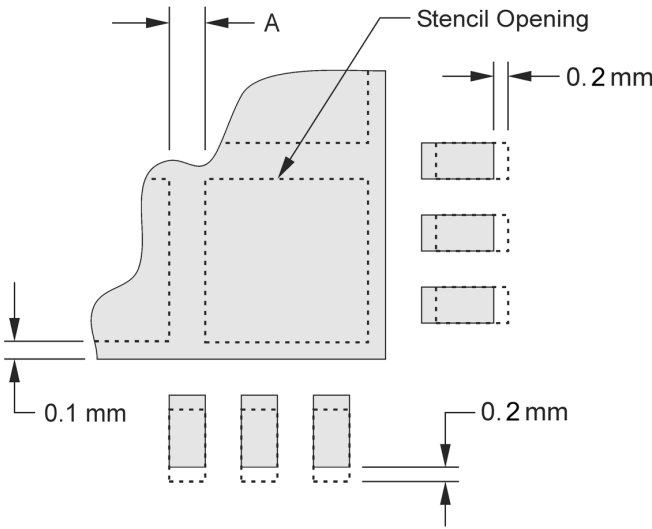


图 10-1. 无拉回 WQFN、单排参考图

表 10-1. DS40MB200 无回拉 WQFN 模板孔径汇总

器件	引脚总数	MKT DWG	PCB I/O 焊盘尺寸 (mm)	PCB 间距 (mm)	PCB DAP 尺寸 (mm)	模板 I/O 孔径 (mm)	模板 DAP 孔径 (mm)	DAP 孔径开口数	DAP 孔径之间的间隙 (尺寸 A mm)
DS40MB200	48	SQA48A	0.25 × 0.6	0.5	5.1 × 5.1	0.25 × 0.7	1.1 × 1.1	16	0.2

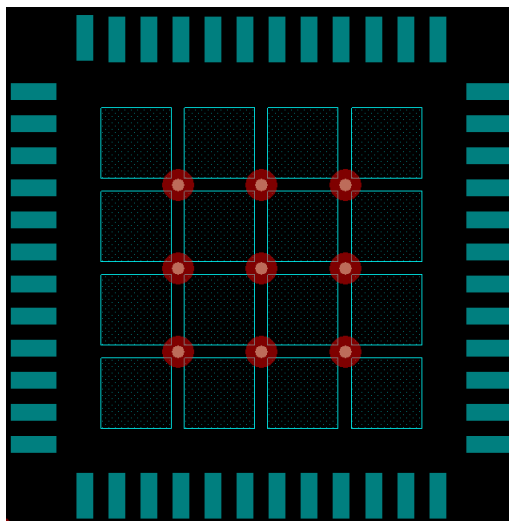


图 10-2. 48 引脚 WQFN 过孔和开孔布局模板示例

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- *AN-1187 Leadless Leadframe Package (LLP)* , [SNOA401](#)

11.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision J (January 2016) to Revision K (March 2024) Page

- 更新了整个文档中的表格、图和交叉参考的编号格式..... [1](#)

Changes from Revision I (March 2013) to Revision J (January 2016) Page

- 添加了 [引脚配置和功能](#) 部分、[存储条件表](#)、[ESD 等级表](#)、[热性能信息表](#)、[参数测量信息](#) 部分、[特性说明](#) 部分、[应用和实施](#) 部分、[电源相关建议](#) 部分、[布局](#) 部分、[器件和文档支持](#) 部分以及 [机械、封装和可订购信息](#) 部分..... [1](#)
- 根据最新建模结果更改了热性能信息..... [5](#)
- 根据最近的测量结果更改了电路板引线衰减估算值..... [14](#)

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DS40MB200SQ/NOPB	ACTIVE	WQFN	NJU	48	250	RoHS & Green	SN	Level-3-260C-168 HR	0 to 85	40MB200	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS40MB200SQ/NOPB	WQFN	NJU	48	250	178.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS40MB200SQ/NOPB	WQFN	NJU	48	250	208.0	191.0	35.0

SQA48D (Rev A)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司