

## OPAx333 1.8V 低功耗 CMOS 运算放大器零漂移系列

### 1 特性

- 低失调电压: 10 $\mu$ V (最大值)
- 零漂移: 0.05 $\mu$ V/ $^{\circ}$ C (最大值)
- 0.01Hz 至 10Hz 噪声: 1.1 $\mu$ V<sub>PP</sub>
- 静态电流: 17 $\mu$ A
- 单电源供电
- 电源电压: 1.8V 至 5.5V
- 轨到轨输入/输出
- 微型封装: SC70 和 SOT23

### 2 应用

- 传感器
- 温度测量
- 电子称
- 医疗仪表
- 电池供电的仪器
- 手持测试设备

### 3 说明

CMOS 型OPAx333系列运算放大器使用专有自动校准技术, 以提供极低的失调电压(10 $\mu$ V, 最大值), 同时随时间推移和温度变化实现接近于零的漂移。这些高精度、低静态电流微型放大器可提供高阻抗输入(共模范围超出电源轨电压 100mV)和轨至轨输出(摆幅低于电源轨电压 50mV 以内)。可以使用低至 1.8V ( $\pm$ 0.9V) 和高达 5.5V ( $\pm$ 2.75V) 的单电源或双电源。这些器件针对低电压、单电源运行进行了优化。

OPAx333 系列提供出色的 CMRR, 而不存在与传统互补输入级关联的交叉。该设计可在驱动模数转换器(ADC)的过程中实现优异的性能, 而不会降低微分线性。

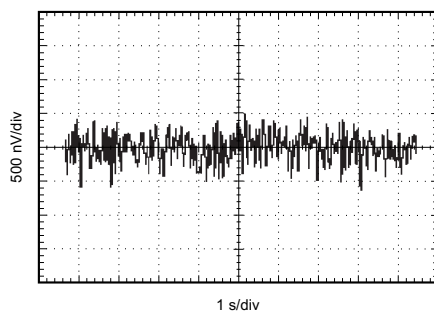
OPA333 (单通道版本) 可提供 5 引脚 SOT-23、SOT 以及 8 引脚 SOIC 封装, 而 OPA2333 (双通道版本) 可提供 8 引脚 VSON、SOIC 和 VSSOP 封装。所有版本的额定工作温度范围均为 -40 $^{\circ}$ C 至 125 $^{\circ}$ C。

#### 器件信息<sup>(1)</sup>

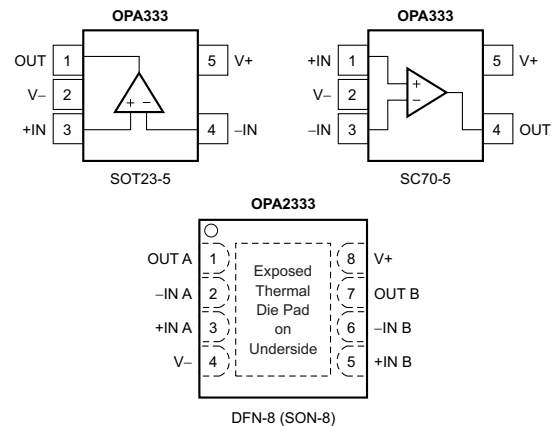
器件型号	封装	封装尺寸 (标称值)
OPA333	SOT-23 (5)	2.90mm x 1.60mm
	小外形尺寸晶体管 (SOT) (5)	2.00mm x 1.25mm
	SOIC (8)	4.90mm x 3.90mm
OPA2333	VSON (8)	3.00mm x 3.00mm
	SOIC (8)	4.90mm x 3.90mm
	VSSOP (8)	3.00mm x 3.00mm

(1) 要了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

#### 0.1Hz 至 10Hz 噪声



#### OPAx333 引脚图



## 目录

<b>1</b>	特性 .....	<b>1</b>	<b>8</b>	应用和实现 .....	<b>15</b>
<b>2</b>	应用 .....	<b>1</b>	8.1	应用信息 .....	<b>15</b>
<b>3</b>	说明 .....	<b>1</b>	8.2	典型应用 .....	<b>15</b>
<b>4</b>	修订历史记录 .....	<b>2</b>	8.3	系统示例 .....	<b>20</b>
<b>5</b>	引脚配置和功能 .....	<b>3</b>	<b>9</b>	电源相关建议 .....	<b>22</b>
<b>6</b>	规格 .....	<b>5</b>	<b>10</b>	布局 .....	<b>23</b>
6.1	绝对最大额定值 .....	<b>5</b>	10.1	布局准则 .....	<b>23</b>
6.2	ESD 额定值 .....	<b>5</b>	10.2	布局示例 .....	<b>23</b>
6.3	建议的工作条件 .....	<b>5</b>	<b>11</b>	器件和文档支持 .....	<b>24</b>
6.4	热性能信息: OPA333 .....	<b>6</b>	11.1	器件支持 .....	<b>24</b>
6.5	热性能信息: OPA2333 .....	<b>6</b>	11.2	文档支持 .....	<b>24</b>
6.6	电气特性 .....	<b>7</b>	11.3	相关链接 .....	<b>24</b>
6.7	典型特性 .....	<b>8</b>	11.4	社区资源 .....	<b>24</b>
<b>7</b>	详细 说明 .....	<b>12</b>	11.5	商标 .....	<b>24</b>
7.1	概述 .....	<b>12</b>	11.6	静电放电警告 .....	<b>24</b>
7.2	功能框图 .....	<b>12</b>	11.7	Glossary .....	<b>24</b>
7.3	特性 说明 .....	<b>12</b>	<b>12</b>	机械、封装和可订购信息 .....	<b>25</b>
7.4	器件功能模式 .....	<b>14</b>			

## 4 修订历史记录

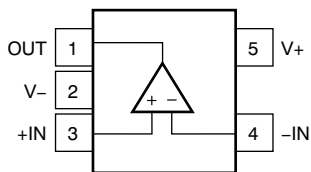
注: 之前版本的页码可能与当前版本有所不同。

<b>Changes from Revision D (November 2013) to Revision E</b>	<b>Page</b>
<ul style="list-style-type: none"> <li>已添加 添加了引脚配置和功能 部分、ESD 额定值 和热性能信息 表、特性 说明 部分、器件功能模式、应用和实施 部分、电源相关建议 部分、布局 部分、器件和文档支持 部分以及机械、封装和可订购信息 部分 .....</li> </ul>	<b>1</b>

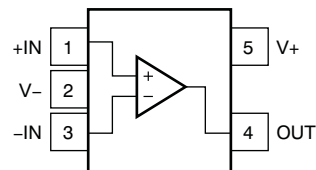
<b>Changes from Revision C (May 2007) to Revision D</b>	<b>Page</b>
<ul style="list-style-type: none"> <li>将数据表格式更改成了最新的标准外观 .....</li> <li>在首页中添加了 OPA2333 DFN-8 引脚 .....</li> <li>将“绝对最大额定值”中的第 2 个信号输入端子 参数从“电压”更改成了“电流”（拼写错误） .....</li> <li>添加了表 1 .....</li> </ul>	<b>1</b> <b>1</b> <b>5</b> <b>8</b>

## 5 引脚配置和功能

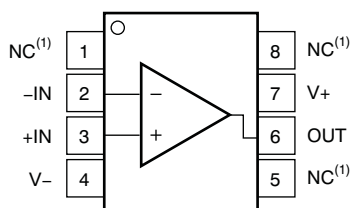
OPA333 DBV 封装  
5 引脚 SOT  
俯视图



OPA333 DCK 封装  
5 引脚 SC70  
俯视图



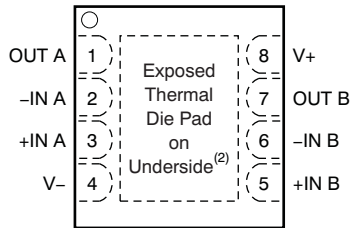
OPA333 D 封装  
8 引脚 SOIC  
俯视图



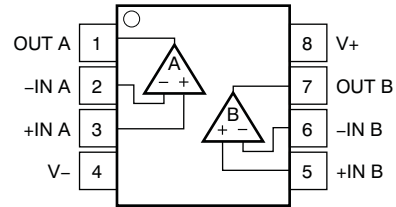
引脚功能: OPA333

名称	引脚			I/O	说明
	SOIC	SOT	SC70		
+IN	3	3	1	I	同相输入
-IN		4	3	I	反相输入
NC	1、5、8	—	—	—	无内部连接（可以悬空）
OUT	6	1	4	O	输出
V+	7	5	5	—	正电源（最高）
V-	4	2	2	—	负电源（最低）

**OPA2333 DRB 封装**  
带有外露散热焊盘的 8 引脚 VSON 封装  
俯视图



**OPA2333 D 或 DGK 封装**  
8 引脚 SOIC 或 VSSOP  
俯视图


**引脚功能: OPA2333**

名称	引脚		I/O	说明
	VSON	SOIC、VSSOP		
+IN	—	—	I	同相输入
+IN A	3	3	I	同相输入, 通道 A
+IN B	5	5	I	同相输入, 通道 B
-IN	—	—	I	反相输入
-IN A	2	2	I	反相输入, 通道 A
-IN B	6	6	I	反相输入, 通道 B
OUT	—	—	O	输出
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
V+	8	8	—	正电源 (最高)
V-	4	4	—	负电源 (最低)

## 6 规格

### 6.1 绝对最大额定值

 请参阅<sup>(1)</sup>

		最小值	最大值	单位
电压	电源	7		V
	信号输入端子 <sup>(2)</sup>	-0.3	(V+) + 0.3	
电流	信号输入端子 <sup>(2)</sup>	-1	1	mA
	输出短路 <sup>(3)</sup>	连续		
运行结温, T <sub>J</sub>			150	°C
运行温度, T <sub>A</sub>		-40	150	
贮存温度, T <sub>stg</sub>		-65	150	

- (1) 超出绝对最大额定值下列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下器件的功能性操作以及在超出**建议的工作条件**下的任何其它操作，在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。
- (2) 输入端子被二极管钳制至电源轨。对于摆幅超过电源轨 0.3V 的输入信号，必须将其电流限制为 10mA 或者更低。
- (3) 对地短路，每个封装对应一个放大器。

### 6.2 ESD 额定值

		值	单位
V <sub>(ESD)</sub> 静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	±4000	V
	充电器件模式 (CDM), 符合 JEDEC 规范 JESD22-C101 <sup>(2)</sup>	±1000	

- (1) JEDEC 文档 JEP155 规定: 500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 规定: 250V CDM 能够在标准 ESD 控制流程下安全生产。

### 6.3 建议的工作条件

在自然通风温度范围内测得 (除非另有说明)

	最小值	最大值	单位
电源电压, V <sub>S</sub>	1.8	5.5	V
额定温度范围	-40	125	°C

## 6.4 热性能信息：OPA333

热指标 <sup>(1)</sup>	OPA333			单位
	D (SOIC)	DBV (SOT)	DCK (SC70)	
	8 引脚	5 引脚	5 引脚	
$R_{\theta JA}$ 结至环境热阻	140.1	220.8	298.4	°C/W
$R_{\theta JC(top)}$ 结至外壳（顶部）热阻	89.8	97.5	65.4	°C/W
$R_{\theta JB}$ 结至电路板热阻	80.6	61.7	97.1	°C/W
$\Psi_{JT}$ 结至顶部的特征参数	28.7	7.6	0.8	°C/W
$\Psi_{JB}$ 结至电路板的特征参数	80.1	61.1	95.5	°C/W
$R_{\theta JC(bot)}$ 结至外壳（底部）热阻	—	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告，[SPRA953](#)。

## 6.5 热性能信息：OPA2333

热指标 <sup>(1)</sup>	OPA2333			单位
	D (SOIC)	DGK (VSSOP)	DRB (VSON)	
	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	124.0	180.3	46.7	°C/W
$R_{\theta JC(top)}$ 结至外壳（顶部）热阻	73.7	48.1	26.3	°C/W
$R_{\theta JB}$ 结至电路板热阻	64.4	100.9	22.2	°C/W
$\Psi_{JT}$ 结至顶部的特征参数	18.0	2.4	1.6	°C/W
$\Psi_{JB}$ 结至电路板的特征参数	63.9	99.3	22.3	°C/W
$R_{\theta JC(bot)}$ 结至外壳（底部）热阻	—	—	10.3	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告，[SPRA953](#)。

## 6.6 电气特性

除非另有说明，否则  $T_A = 25^\circ\text{C}$ ， $R_L = 10\text{k}\Omega$ （连接至  $V_S/2$ ）， $V_{CM} = V_S/2$ ， $V_{OUT} = V_S/2$ 。

参数	测试条件	最小值	典型值	最大值	单位
<b>失调电压</b>					
$V_{OS}$ 输入失调电压	$V_S = 5\text{V}$		2	10	$\mu\text{V}$
$dV_{OS}/dT$ 输入失调电压漂移	$T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$		0.02	0.05	$\mu\text{V}/^\circ\text{C}$
PSRR 电源抑制比	$V_S = 1.8\text{V}$ 至 $5.5\text{V}$ ， $T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$		1	5	$\mu\text{V}/\text{V}$
长期稳定性 <sup>(1)</sup>			请参阅说明 <sup>(1)</sup>		$\mu\text{V}$
通道分离，直流			0.1		$\mu\text{V}/\text{V}$
<b>输入偏置电流</b>					
$I_B$ 输入偏置电流	$T_A = 25^\circ\text{C}$		$\pm 70$	$\pm 200$	pA
	$T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$		$\pm 150$		
$I_{OS}$ 输入失调电流			$\pm 140$	$\pm 400$	
<b>噪声</b>					
输入电压噪声	$f = 0.01\text{Hz}$ 至 $1\text{Hz}$		0.3		$\mu\text{V}_{PP}$
	$f = 0.1\text{Hz}$ 至 $10\text{Hz}$		1.1		
$i_n$ 输入电流噪声	$f = 10\text{Hz}$		100		$\text{fA}/\sqrt{\text{Hz}}$
<b>输入电压</b>					
$V_{CM}$ 共模电压范围		$(V-) - 0.1$		$(V+) + 0.1$	V
CMRR 共模抑制比	$(V-) - 0.1\text{V} < V_{CM} < (V+) + 0.1\text{V}$ ， $T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$	106	130		dB
<b>输入电容</b>					
差分			2		pF
共模			4		pF
<b>开环增益</b>					
$A_{OL}$ 开环电压增益	$(V-) + 100\text{mV} < V_O < (V+) - 100\text{mV}$ ， $R_L = 10\text{k}\Omega$ ， $T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$	106	130		dB
<b>频率响应</b>					
GBW 增益带宽积	$C_L = 100\text{pF}$		350		kHz
SR 压摆率	$G = +1$		0.16		$\text{V}/\mu\text{s}$
<b>输出</b>					
相对于电源轨的电压输出摆幅	$R_L = 10\text{k}\Omega$		30	50	mV
	$R_L = 10\text{k}\Omega$ ， $T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$			70	
$I_{SC}$ 短路电流			$\pm 5$		mA
$C_L$ 电容负载驱动			请参阅 <a href="#">典型特性</a>		
开环输出阻抗	$f = 350\text{kHz}$ ， $I_O = 0\text{A}$		2		k $\Omega$
<b>电源</b>					
$V_S$ 额定电压范围		1.8		5.5	V
$I_Q$ 静态电流（每个放大器）	$I_O = 0\text{A}$		17	25	$\mu\text{A}$
	$T_A = -40^\circ\text{C}$ 至 $125^\circ\text{C}$			28	
开通时间	$V_S = +5\text{V}$		100		$\mu\text{s}$
<b>温度</b>					
$T_A$	额定温度范围		-40	125	$^\circ\text{C}$
	工作范围		-40	150	$^\circ\text{C}$
$T_{stg}$	贮存温度		-65	150	$^\circ\text{C}$

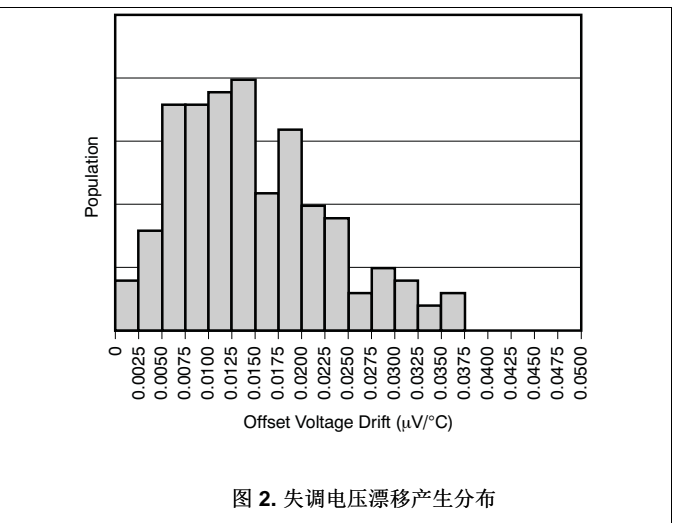
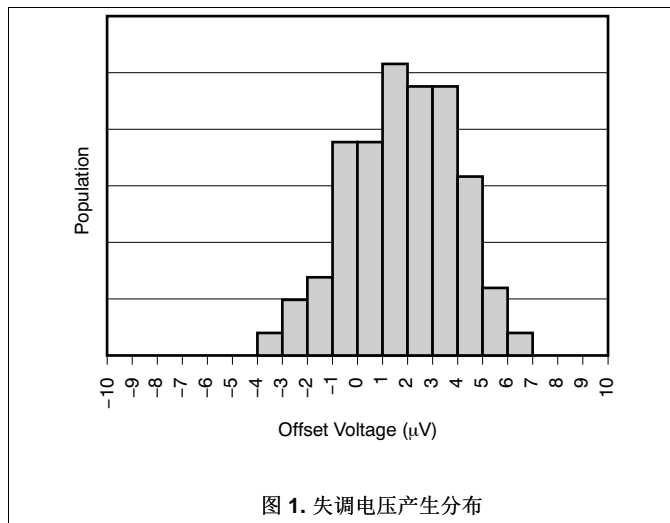
(1) 在  $150^\circ\text{C}$  下 300 小时的使用寿命试验表明，随机分布变化值约为  $1\mu\text{V}$ 。

## 6.7 典型特性

表 1. 典型特性列表

标题	图
失调电压产生分布	图 1
失调电压漂移产生分布	图 2
开环增益与频率间的关系	图 3
共模抑制比与频率间的关系	图 4
电源抑制比与频率间的关系	图 5
输出电压摆幅与输出电流间的关系	图 6
输入偏置电流与共模电压间的关系	图 7
输入偏置电流与温度间的关系	图 8
静态电流与温度间的关系	图 9
大信号阶跃响应	图 10
小信号阶跃响应	图 11
正过压恢复	图 12
负过压恢复	图 13
建立时间与闭环增益间的关系	图 14
小信号过冲与负载电容间的关系	图 15
0.1Hz 至 10Hz 噪声	图 16
电流和电压噪声频谱密度与频率间的关系	图 17

除非另有说明，否则  $T_A = 25^\circ\text{C}$ ， $V_S = 5\text{V}$ ， $C_L = 0\text{pF}$ 。





除非另有说明, 否则  $T_A = 25^\circ\text{C}$ ,  $V_S = 5\text{V}$ ,  $C_L = 0\text{pF}$ 。

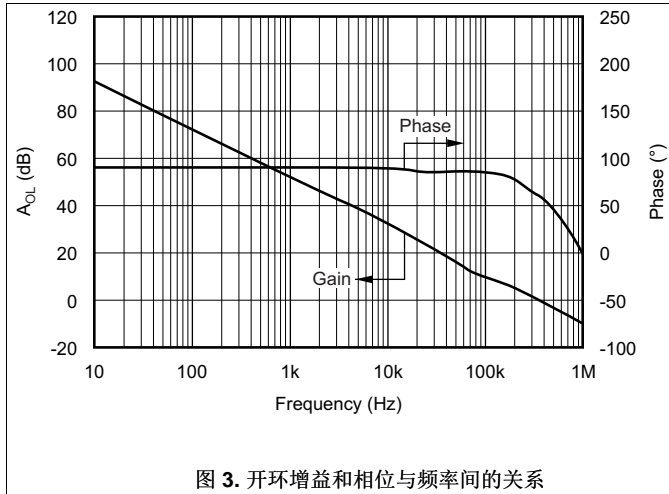


图 3. 开环增益和相位与频率间的关系

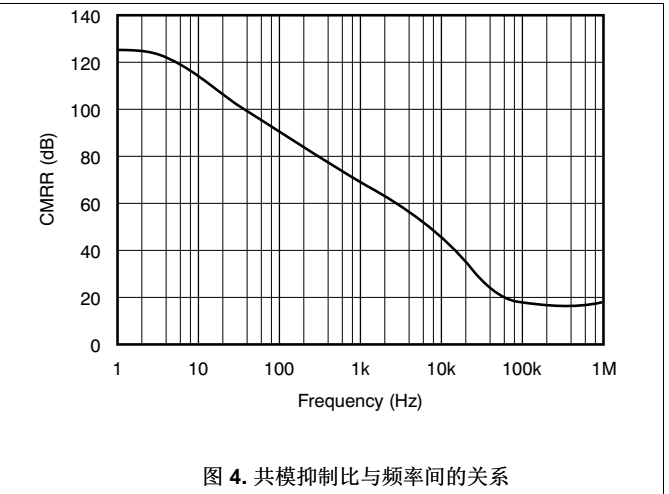


图 4. 共模抑制比与频率间的关系

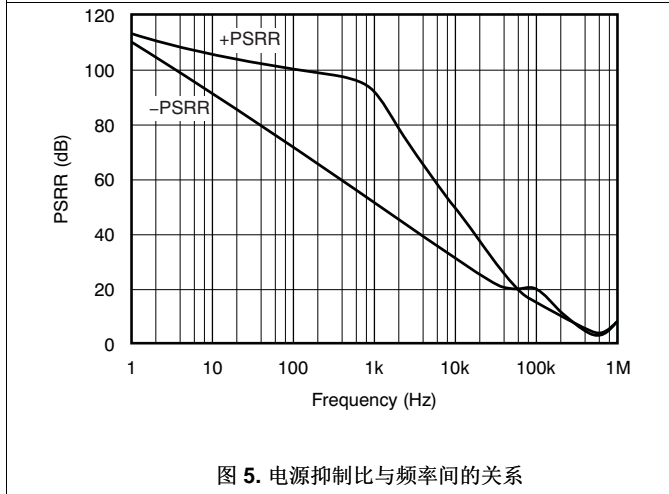


图 5. 电源抑制比与频率间的关系

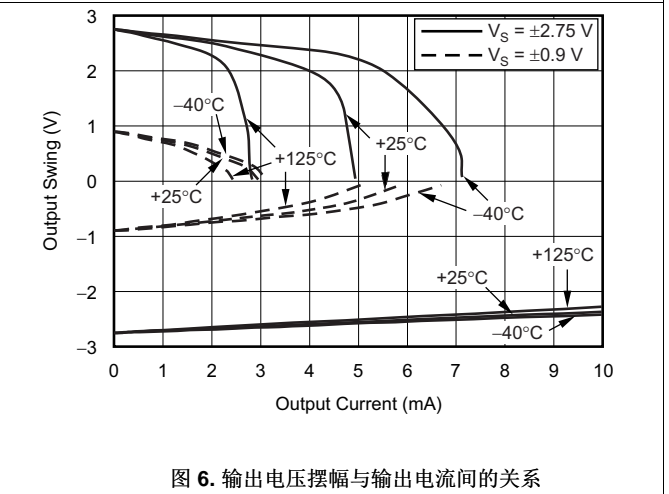


图 6. 输出电压摆幅与输出电流间的关系

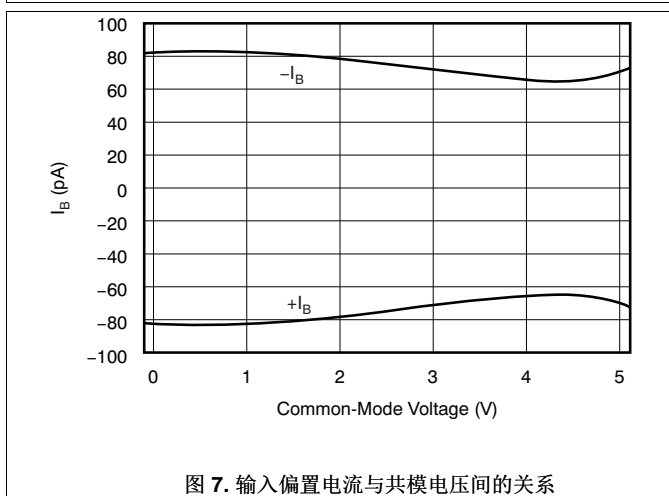


图 7. 输入偏置电流与共模电压间的关系

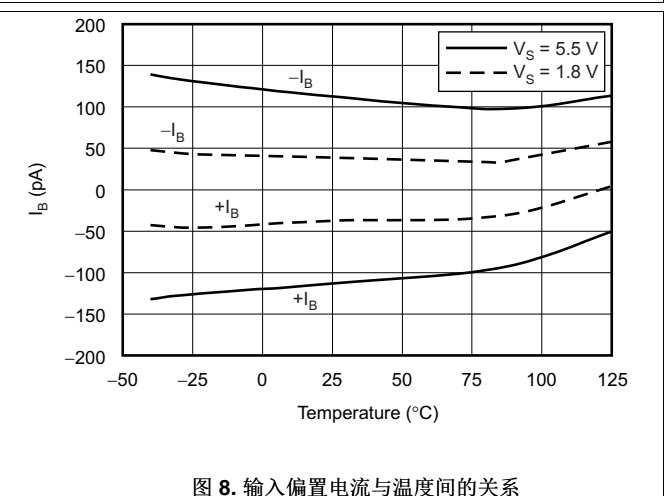


图 8. 输入偏置电流与温度间的关系

除非另有说明, 否则  $T_A = 25^\circ\text{C}$ ,  $V_S = 5\text{V}$ ,  $C_L = 0\text{pF}$ 。

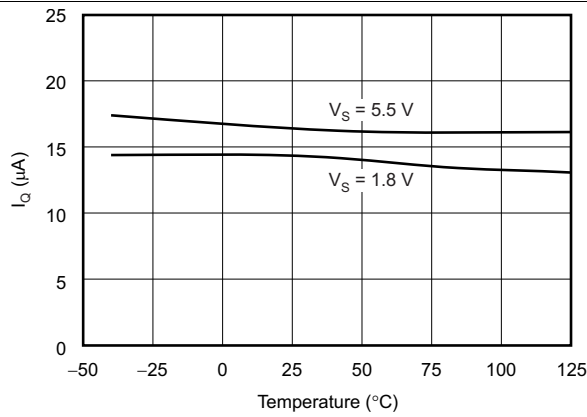


图 9. 静态电流与温度间的关系

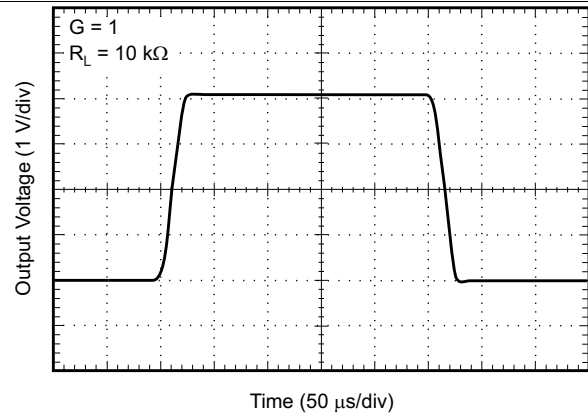


图 10. 大信号阶跃响应

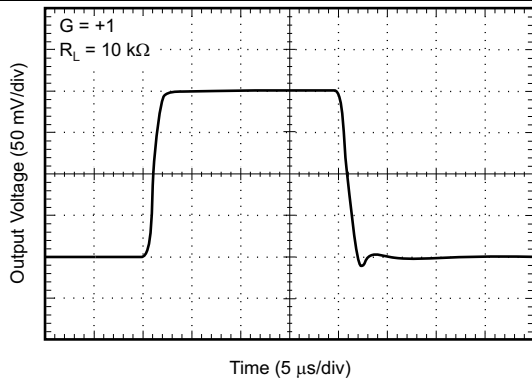


图 11. 小信号阶跃响应

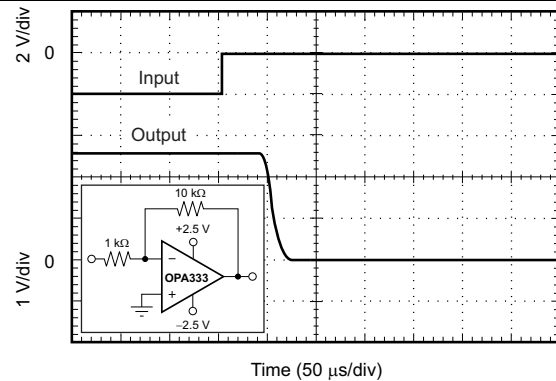


图 12. 正过压恢复

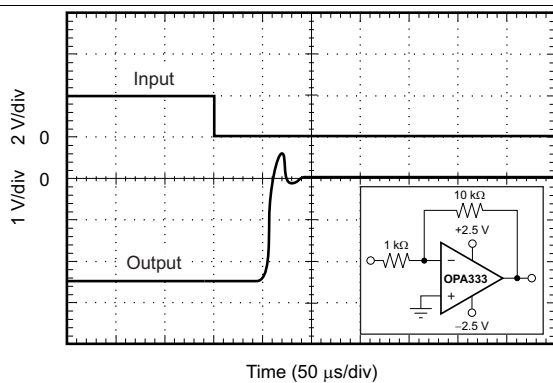


图 13. 负过压恢复

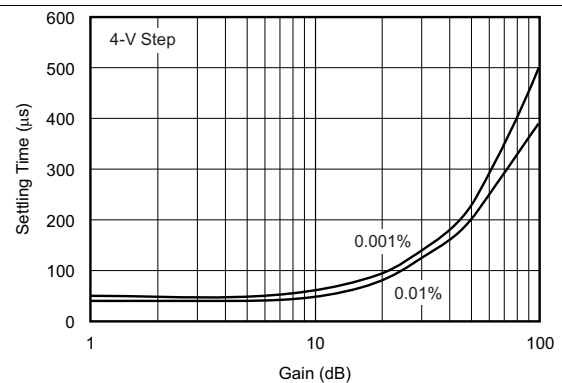


图 14. 建立时间与闭环增益间的关系

除非另有说明，否则  $T_A = 25^\circ\text{C}$ ， $V_S = 5\text{V}$ ， $C_L = 0\text{pF}$ 。

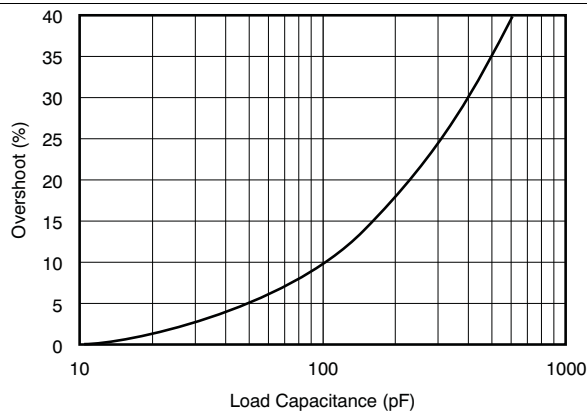


图 15. 小信号过冲与负载电容间的关系

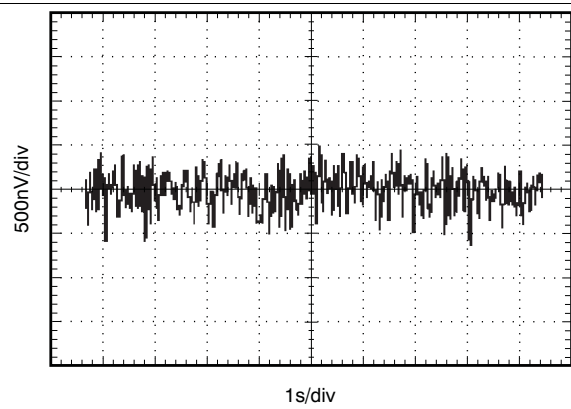


图 16. 0.1Hz 至 10Hz 噪声

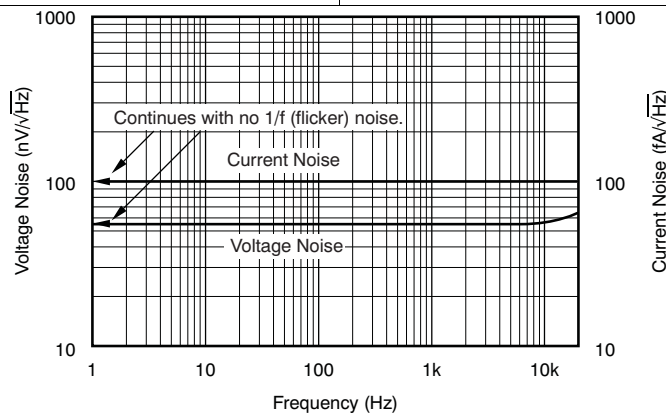


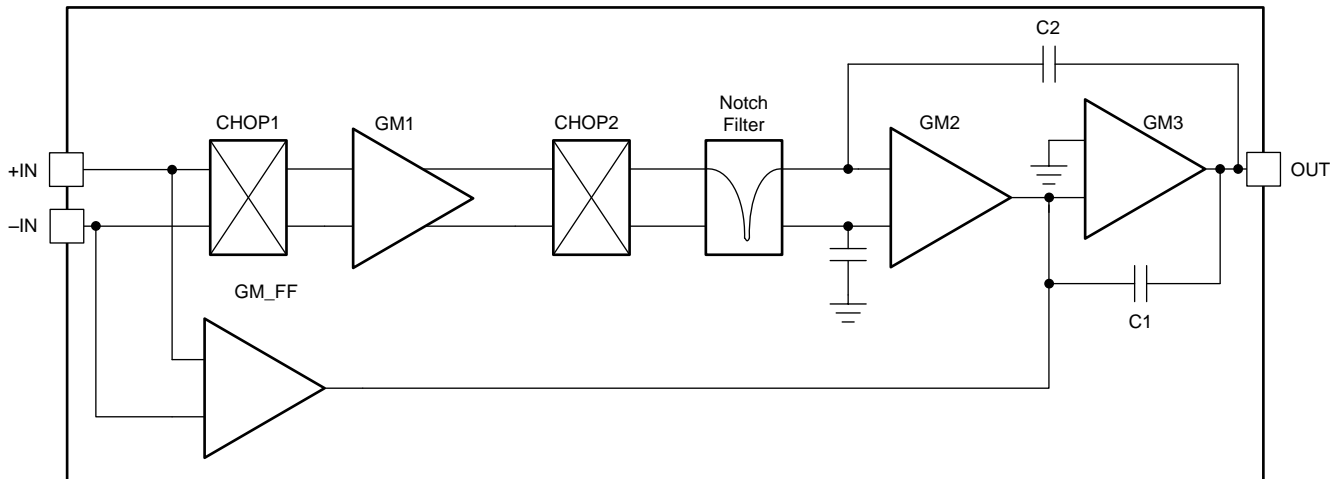
图 17. 电流和电压噪声频谱密度与频率间的关系

## 7 详细 说明

### 7.1 概述

OPAx333系列是具有零漂移、低功耗、轨至轨输入和输出的运算放大器。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用 应用。零漂移架构提供超低失调电压和接近于零的失调电压漂移。

### 7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

### 7.3 特性 说明

OPA333 和 OPA2333 具有单位增益稳定特性，并且不会出现意外输出相位反转。这些器件采用专有的自动校准技术，可提供低失调电压并且随时间推移和温度变化实现极低的漂移。要获得最低的失调电压和精密性能，需要优化电路布局和机械条件。避免在因连接异种导体形成的热电偶结中产生热电（塞贝克）效应的温度梯度。通过确保两个输入端子上的电势相等，消除这些热产生的电势。其他布局和设计注意事项包括：

- 使用低热电系数条件（避免异种金属）。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

遵循这些准则可降低在不同温度下产生结的可能性，这些结可能导致  $0.1\mu\text{V}/^\circ\text{C}$  或更高的热电电压，具体取决于所使用的材料。

#### 7.3.1 工作电压

OPA333 和 OPA2333 运算放大器的工作电源电压范围为 1.8V 至 5.5V ( $\pm 0.9\text{V}$  至  $\pm 2.75\text{V}$ )。 [典型特性](#) 部分介绍了随电源电压或温度的变化而变化的参数。

#### CAUTION

高于 +7V（绝对最大值）的电源电压会对器件造成永久性损坏。

#### 7.3.2 输入电压

OPA333 和 OPA2333 输入共模电压范围在电源轨基础上向外扩展了 0.1V。OPA333 专为支持全范围而设计，而且没有易出问题的转换区域，这往往是某些其他轨至轨放大器的通病。

特性说明 (接下页)

通常，输入偏置电流约为 70pA；但是，超出电源电压的输入电压可能导致过电流流入或流出输入引脚。如果输入电流不超过 10mA，则系统可以承受超过电源电压的瞬时电压。可通过输入电阻器轻松实现此限制，如图 18 中所示。

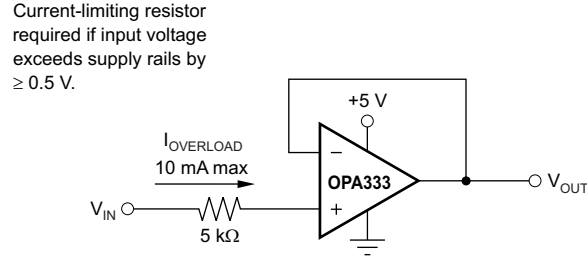


图 18. 输入电流保护

7.3.3 内部偏移校正

OPA333 和 OPA2333 运算放大器将自动校准技术与信号路径中的时间连续 350kHz 运算放大器结合使用。该放大器每 8μs 使用专有技术进行一次零点校正。启动后，放大器需要约 100μs 来实现额定  $V_{OS}$  精度。此设计没有混叠或闪烁噪声。

7.3.4 实现到运算放大器负轨的输出摆幅

有些应用要求输出电压摆幅的范围介于 0V 和正满标量程电压（如 2.5V）之间，而且需要出色的精度。对于大多数单电源运算放大器来说，如果输出信号接近 0V（接近单电源运算放大器的输出摆幅下限），就会出现这个问题。出色的单电源运算放大器可能摆动到非常接近于单电源接地，但不会达到接地水平。在单电源运行的情况下，OPA333 和 OPA2333 的输出可能摆动到接地或稍微低于接地。通过使用另一个电阻器和另一个比运算放大器的负电压更大负电源，可以实现该摆幅。可以在输出和另一个负电源之间连接一个下拉电阻器，以将输出下拉至低于输出可以达到的值，如图 19 中所示。

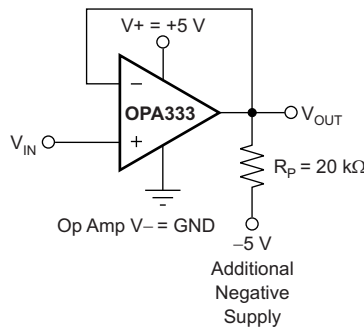


图 19.  $V_{OUT}$  接地范围

## 特性说明 (接下页)

借助前述技术，OPA333 和 OPA2333 的输出级允许输出电压被拉低至负电源轨或稍微低于负电源轨。该技术仅适用于某些类型的输出级。OPA333 和 OPA2333 便非常适合实施该技术；建议的电阻器值约为 20kΩ。

---

### 注

此配置会使电流的消耗增加数百微安。

---

精度在电压降至 0V 甚至低至 -2mV 时非常出色。低于 -2mV 即会出现限制和非线性，但在输出再次驱动到 -2mV 以上之后便会恢复出色的精度。降低下拉电阻器的电阻可以使运算放大器摆动到甚至低于负电源轨的水平。可以使用低至 10kΩ 的电阻在低至 -10mV 时实现出色的精度。

### 7.3.5 DFN 封装

OPA2333 采用 DFN-8 封装（也称为 SON）。DFN 是一种仅在封装底部两侧有引线触点的 QFN 封装。这个无引线封装最大限度增加了电路板空间，并通过外露焊盘来增强散热和电气特性。

DFN 封装物理尺寸小，具有更小的布线面积、更高的散热性能以及更低的电气寄生。此外，无外部引线也消除了引线弯曲问题。

DFN 封装可使用标准 PCB 组装技巧轻松安装。请参阅应用报告 [SLUA271](#) 《QFN/SON PCB 连接》和 [SCBA017](#) 《方形扁平无引脚逻辑封装》，两者均可从 [www.ti.com](http://www.ti.com) 下载。

---

### 注

应将封装底部的外露引线框芯片垫连接至 V- 或使其保持未连接状态。

---

## 7.4 器件功能模式

OPAx333 器件具有单功能模式。只要电源电压介于 1.8V (±0.9V) 和 5.5V (±2.75V) 之间，该器件就处于通电状态。

## 8 应用和实现

### 注

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

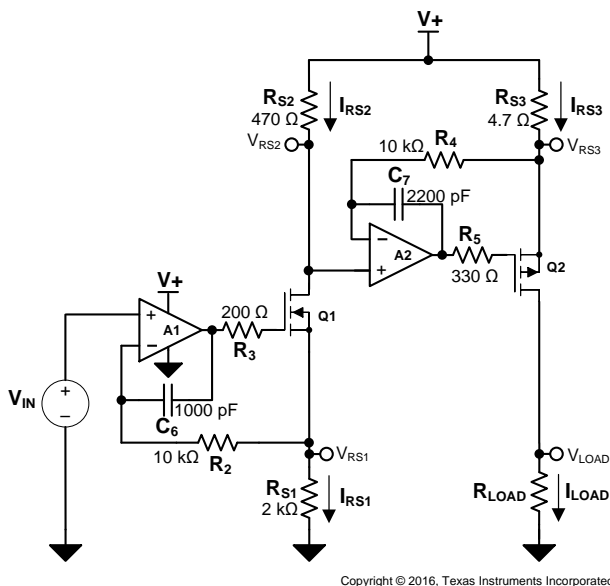
### 8.1 应用信息

OPAx333 系列是单位增益稳定的精密运算放大器，具有极低的失调电压漂移；这些器件还不会出现输出相位反转。在采用噪声较大的电源或高阻抗电源的应用中，去耦电容器需靠近器件电源引脚。大多数情况下，0.1 $\mu$ F 电容器已足够满足需求。

### 8.2 典型应用

#### 8.2.1 高侧电压至电流 (V-I) 转换器

图 20 中显示的电路是高侧电压至电流 (V-I) 转换器。它将 0V 至 2V 的输入电压转换为 0mA 至 100mA 的输出电流。图 21 显示了该电路的测量传递函数。OPA333 的低失调电压和温漂有助于该电路实现出色的直流精度。



Copyright © 2016, Texas Instruments Incorporated

图 20. 高侧电压至电流 (V-I) 转换器

## 典型应用 (接下页)

### 8.2.1.1 设计要求

设计要求如下:

- 电源电压: 5V 直流
- 输入: 0V 至 2V 直流
- 输出: 0mA 至 100mA 直流

### 8.2.1.2 详细设计流程

电路的 V-I 传递函数基于输入电压  $V_{IN}$  与三个电流感应电阻器 ( $R_{S1}$ 、 $R_{S2}$  和  $R_{S3}$ ) 之间的关系。 $V_{IN}$  与  $R_{S1}$  之间的关系决定流经设计的第一级的电流。从第一级到第二级的电流增益基于  $R_{S2}$  与  $R_{S3}$  之间的关系。

要实现成功的设计, 我们必须高度重视应用所选用运算放大器的直流特性。借助运算放大器的低失调电压、低温漂和轨至轨特性, 该应用才可满足这些性能目标。OPA2333 CMOS 运算放大器是高精度、5 $\mu$ V 偏移、0.05 $\mu$ V/ $^{\circ}$ C 漂移放大器, 针对低电压、单电源运行进行了优化, 其相对于正电源轨的输出摆幅在 50mV 以内。OPA2333 系列使用斩波技术提供低初始失调电压, 并且随时间推移和温度变化实现接近于零的漂移。低失调电压和低漂移可减少系统中的偏移误差, 这使得这些器件适用于精密直流控制。OPA2333 的轨至轨输出级可确保运算放大器的输出摆幅能够完全控制电源轨内 MOSFET 器件的栅极。

TIPD102 中提供了详细的误差分析、设计流程和附加的测量结果。

### 8.2.1.3 应用曲线

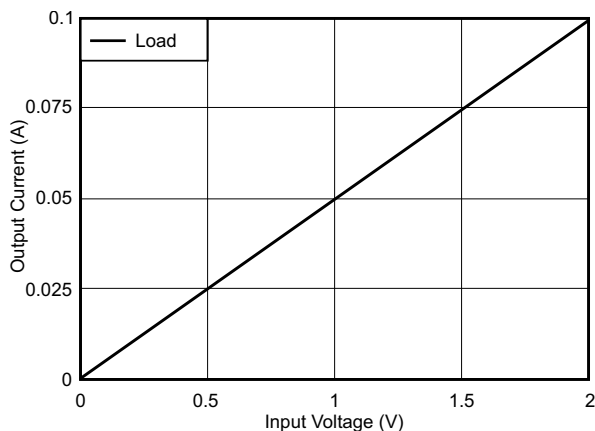


图 21. 高侧 V-I 转换器的测量传递函数



典型应用 (接下页)

8.2.2 精密的低电平电压至电流 (V-I) 转换器

图 22 中显示的电路是精密的低电平电压至电流 (V-I) 转换器。该转换器将 0V 至 5V 的输入电压转换为 0μA 至 5μA 的输出电流。图 23 显示了该电路的测量传递函数。OPA333 的低失调电压和温漂有助于该电路实现出色的直流精度。图 24 显示了该电路整个范围经校准的误差。

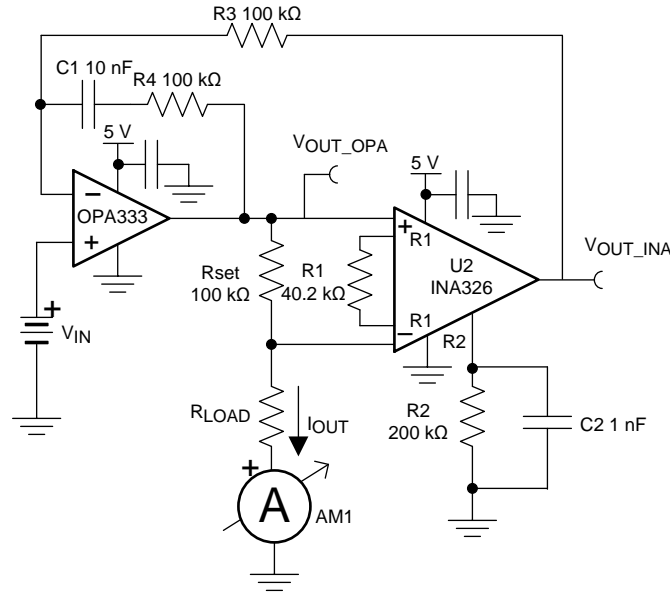


图 22. 精密的低电平 V-I 转换器

8.2.2.1 设计要求

设计要求如下：

- 电源电压：5V 直流
- 输入：0V 至 5V 直流
- 输出：0μA 至 5μA 直流

8.2.2.2 详细设计流程

电路的 V-I 传递函数基于输入电压  $V_{IN}$ 、 $R_{SET}$  以及仪表放大器 (INA) 增益之间的关系。在运行过程中，输入电压除以 INA 增益所得的值施加在设置电阻器上，如公式 1 中所示：

$$V_{SET} = V_{IN}/G_{INA} \tag{1}$$

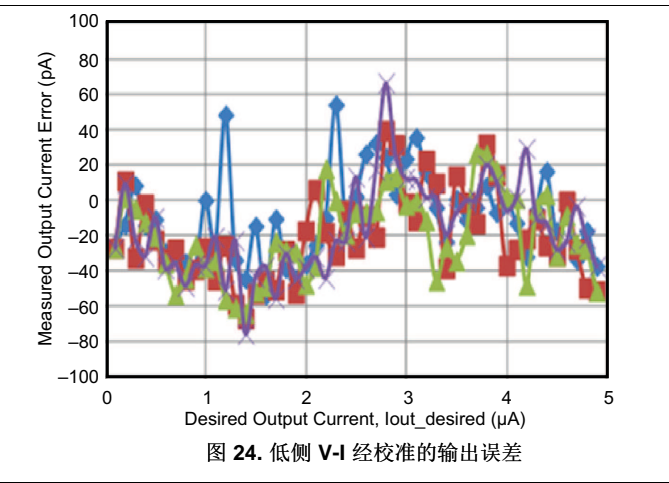
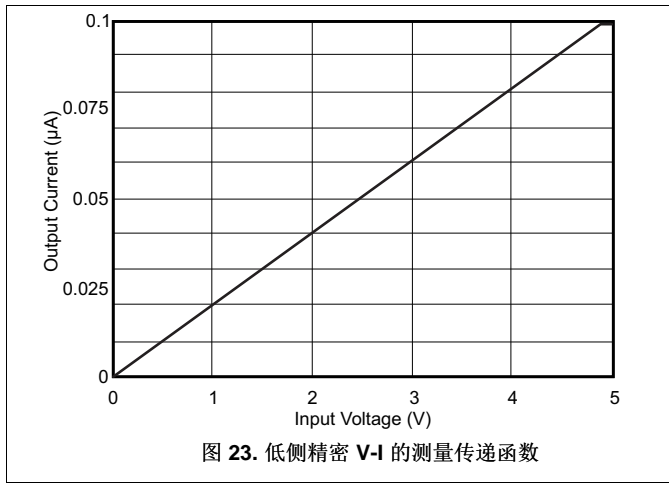
流经  $R_{SET}$  的电流必须流经负载，因此  $I_{OUT}$  为  $V_{SET}/R_{SET}$ 。只要  $R_{SET}$  和  $R_{LOAD}$  上的总电压不超过运算放大器的输出限制或 INA 的输入共模限制， $I_{OUT}$  就会保持良好调节的电流。设置电阻器上的电压 ( $V_{SET}$ ) 为输入电压除以 INA 增益（即  $V_{SET} = 1V/10 = 0.1V$ ）。电流由  $V_{SET}$  和  $R_{SET}$  决定，如公式 2 中所示：

$$I_{OUT} = V_{SET}/R_{SET} = 0.1V/100k\Omega = 1\mu A \tag{2}$$

TIPD107 中提供了详细的误差分析、设计流程和附加的测量结果。

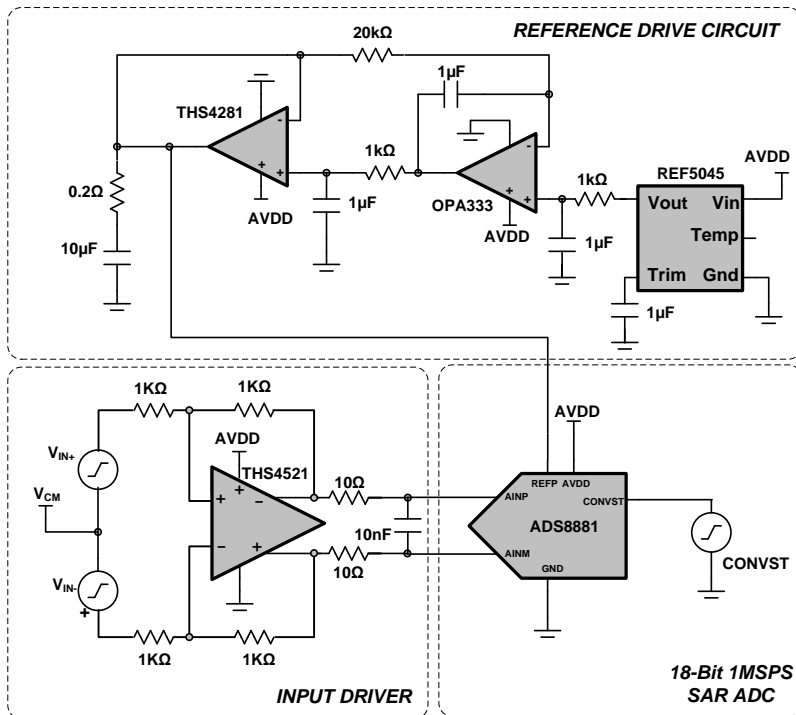
典型应用 (接下页)

8.2.2.3 应用曲线



8.2.3 复合放大器

图 25 中显示的电路是用于驱动 ADS8881 上的基准的符合放大器。OPA333 提供出色的直流精度，THS4281 允许电路的输出快速响应典型 SAR 数据转换器基准输入的瞬态电流要求。ADS8881 系统已针对 THD 进行了优化，实现了 -110dB 的测量性能。图 26 中显示了 ADC 的线性度。



## 典型应用 (接下页)

### 8.2.3.1 设计要求

针对这个块设计的设计需求为:

- 系统电源电压: 5V 直流
- ADC 电源电压: 3.3V 直流
- ADC 采样速率: 1MSPS
- ADC 基准电压 (VREF): 4.5V 直流
- ADC 输入信号: 幅值为  $V_{pk} = 4.315V$  ( $-0.4dBFS$ , 以避免削波) 且频率  $f_{IN} = 10kHz$  的差分输入信号施加到 ADC 的每个差分输入

### 8.2.3.2 详细设计流程

在最大程度地提高分辨率 SAR ADC 的性能时, 有两个主要的设计注意事项, 即输入驱动器和基准驱动器设计。电路包含关键模拟电路块、输入驱动器、抗混叠滤波器和基准驱动器。应该根据 ADC 性能技术规范仔细设计每个模拟电路块, 以便在功耗较低的同时最大限度地提高数据采集系统的失真和噪声性能。此图包含针对每个单独模拟块的最主要的技术规范。该设计系统地处理每个模拟电路块设计, 以实现用于 10kHz 正弦输入信号的 16 位低噪声和低失真数据采集系统。在设计时, 首先需要了解极低失真输入驱动器放大器的要求。这将有助于确定相应的输入驱动器配置以及选择一个输入放大器来满足系统要求。下一个重要的步骤是抗混叠 RC 滤波器的设计, 以便在保持放大器稳定性的同时衰减 ADC 反冲噪声。最后一个设计难题是设计一个高精度基准驱动器电路, 以提供所需的低偏移、低漂移和低噪声 VREF 参考电压。

在设计一个极低失真数据采集块时, 了解非线性源十分重要。ADC 和输入驱动器在数据采集块中引入非线性。为了实现最低失真, 用于高性能 SAR ADC 的输入驱动器必须具有相对于 ADC 失真可忽略的失真。该参数要求输入驱动器失真比 ADC THD 低 10dB。该严格的要求可确保系统的总 THD 降级不会大于  $-0.5dB$ 。

$$THD_{AMP} < THD_{ADC} - 10dB$$

(3)

因此, 务必选择一个符合上述标准的放大器以避免系统 THD 受到输入驱动器的限制。反馈系统中的放大器非线性取决于可用的环路增益。TIPD115 中提供了详细的误差分析、设计流程和附加的测量结果。

### 8.2.3.3 应用曲线

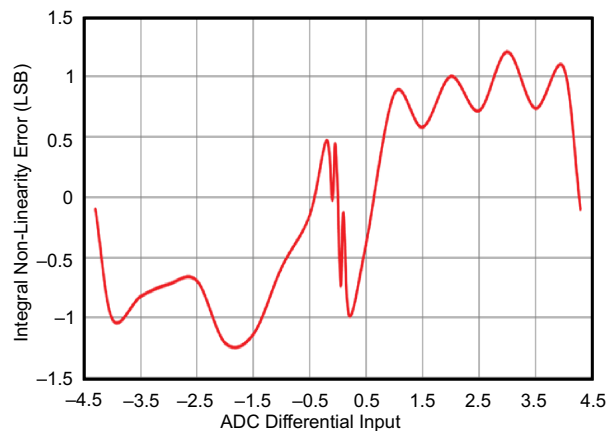


图 26. ADC8881 系统的线性度

### 8.3 系统示例

#### 8.3.1 温度测量应用

图 27 显示了温度测量应用。

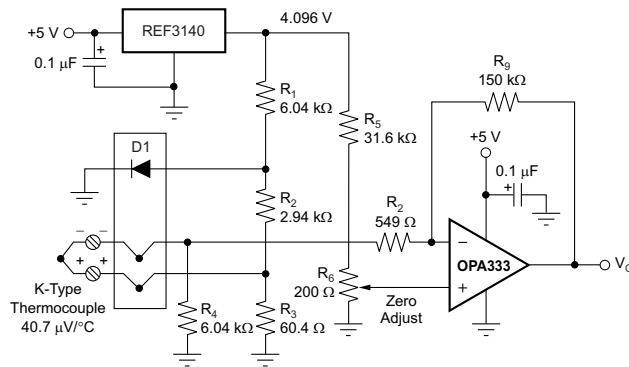


图 27. 温度测量

#### 8.3.2 单通道运算放大器桥式放大器应用

图 28 显示了桥式放大器的基本配置。

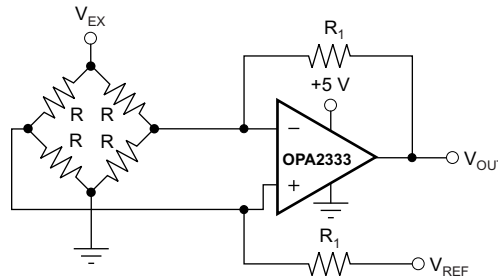
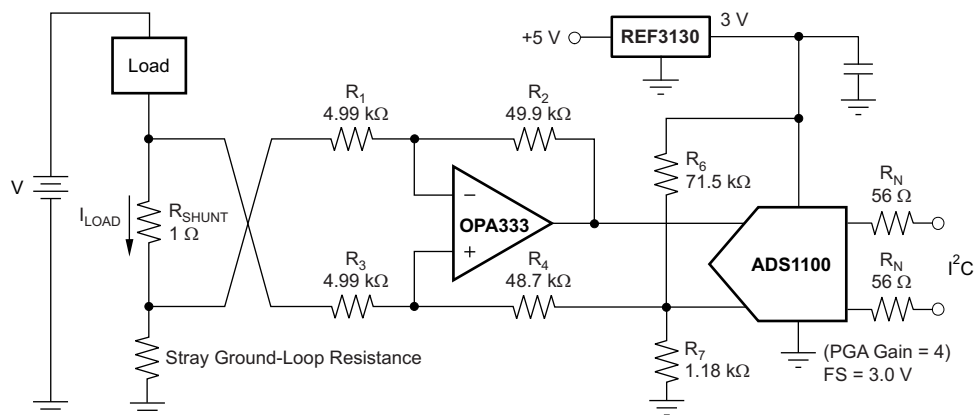


图 28. 单通道运算放大器桥式放大器

#### 8.3.3 低侧电流监控器应用

图 29 中显示了低侧电流分流监控器。 $R_N$  是运算电阻器，用于将 ADS1100 与数字 I<sup>2</sup>C 总线的噪声隔离。ADS1100 是 16 位转换器，因此精密基准对于实现最大精度至关重要。如果不需要绝对精度，则 5V 电源就足够稳定，因此可省去 REF3130。

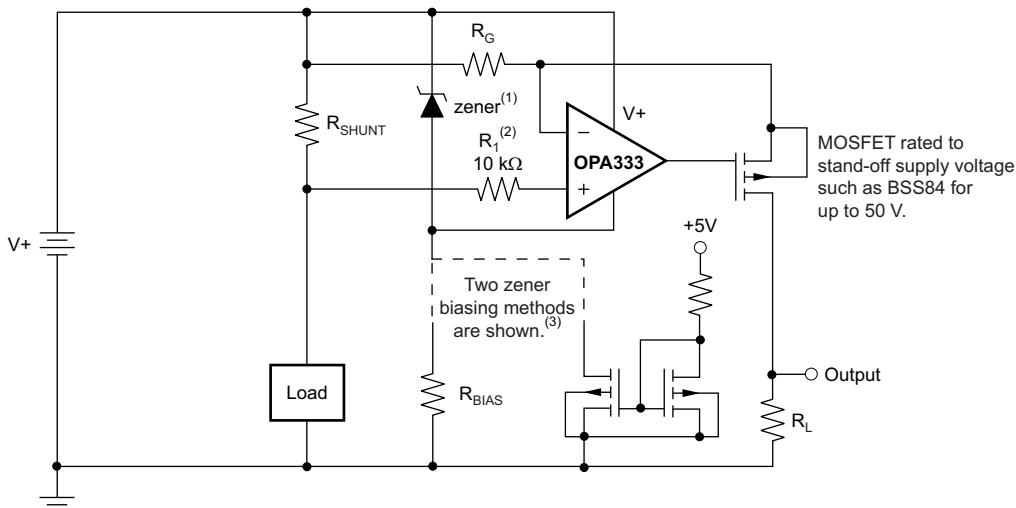


NOTE: 1% 电阻器可在存在较小的接地回路误差时提供充足的共模抑制。

图 29. 低侧电流监控器

### 8.3.4 其他应用

图 30 至图 33 中显示了其他应用创意。



- (1) 额定值为运算放大器电源能力（即，对于 OPA333 为 5.1V）的齐纳二极管。
- (2) 限流电阻器。
- (3) 选择齐纳偏置电阻器或双 N-MOSFET（FDG6301N、NTJD4001N 或 Si1034）。

图 30. 高侧电流监控器

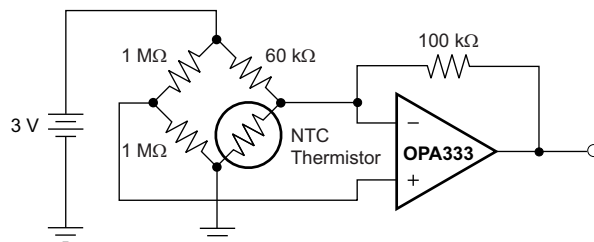


图 31. 热敏电阻测量

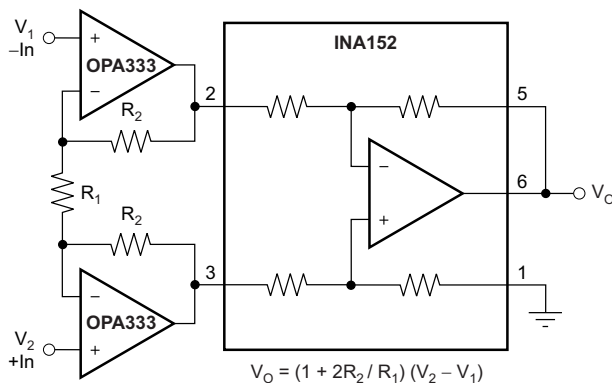
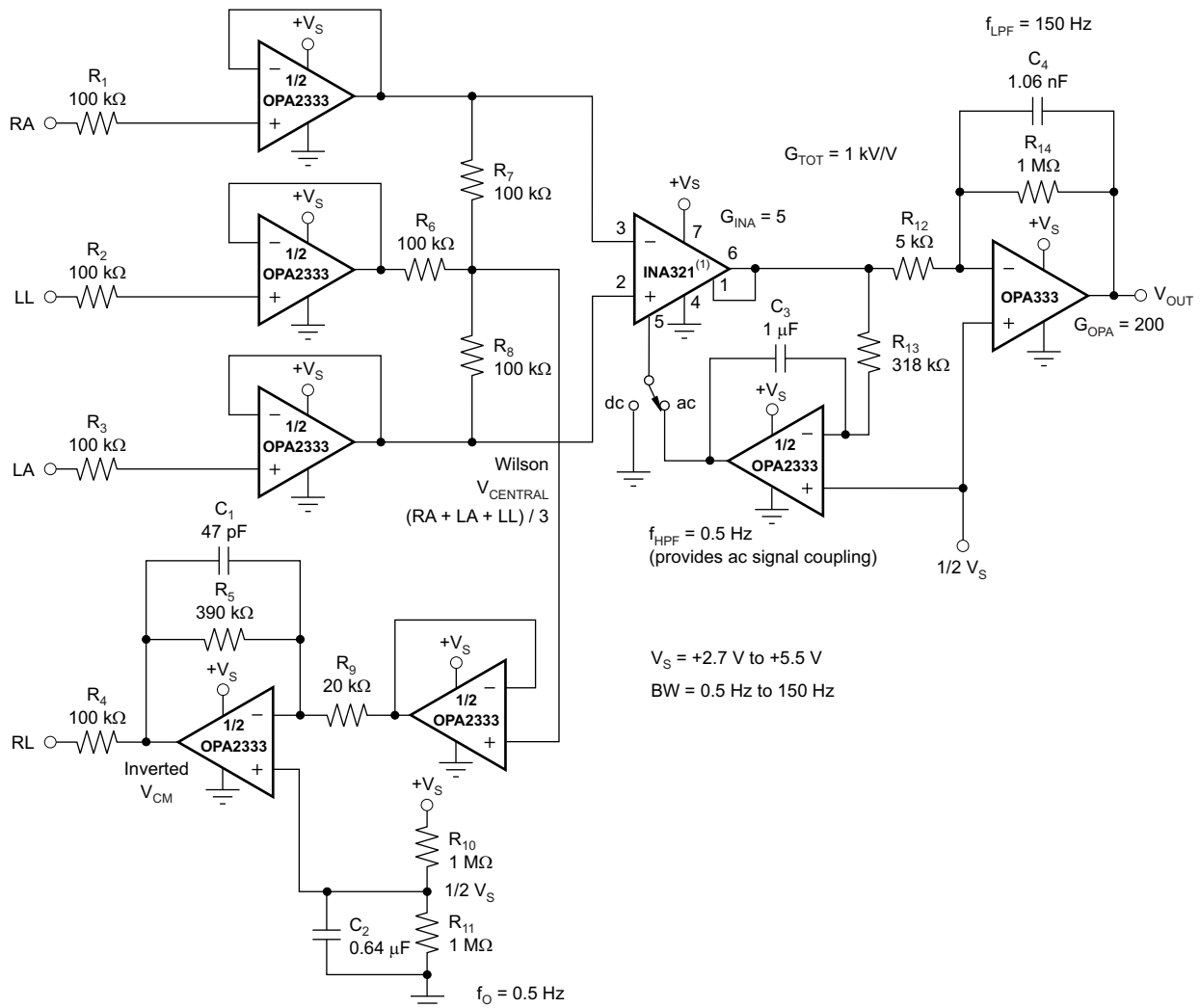


图 32. 精密仪表放大器



(1) 可以使用其他仪表放大器，如 INA326，它具有更低的噪声，但具有更高的静态电流。

图 33. 单电源、极低功耗 ECG 电路

## 9 电源相关建议

OPAx333 的额定工作电压范围是 1.8V 至 5.5V ( $\pm 0.9V$  至  $\pm 2.75V$ )；多种规格在  $-40^{\circ}C$  至  $125^{\circ}C$  的温度范围内适用。典型特性中介绍了可能会随工作电压或温度的变化而显著变化的参数。

### CAUTION

电源电压超过 7V 可能会对器件造成永久损坏（请参阅绝对最大额定值）。

TI 建议将 0.1μF 旁路电容器置于电源引脚附近，从而在从高噪声电源或高阻抗电源耦合的过程中减少误差。有关旁路电容放置位置的详细信息，请参见布局部分。

## 10 布局

### 10.1 布局准则

#### 10.1.1 通用布局准则

应注重良好的布局实践。尽量缩短走线，如果可以，在使用印刷电路板 (PCB) 接地平面时，请将表面贴装式组件放置在尽可能靠近器件引脚的位置。将  $0.1\mu\text{F}$  电容器放置在尽可能靠近电源引脚的位置。在整个模拟电路中应用这些准则可提高性能并实现各种优势，如降低电磁干扰 (EMI) 易感性。

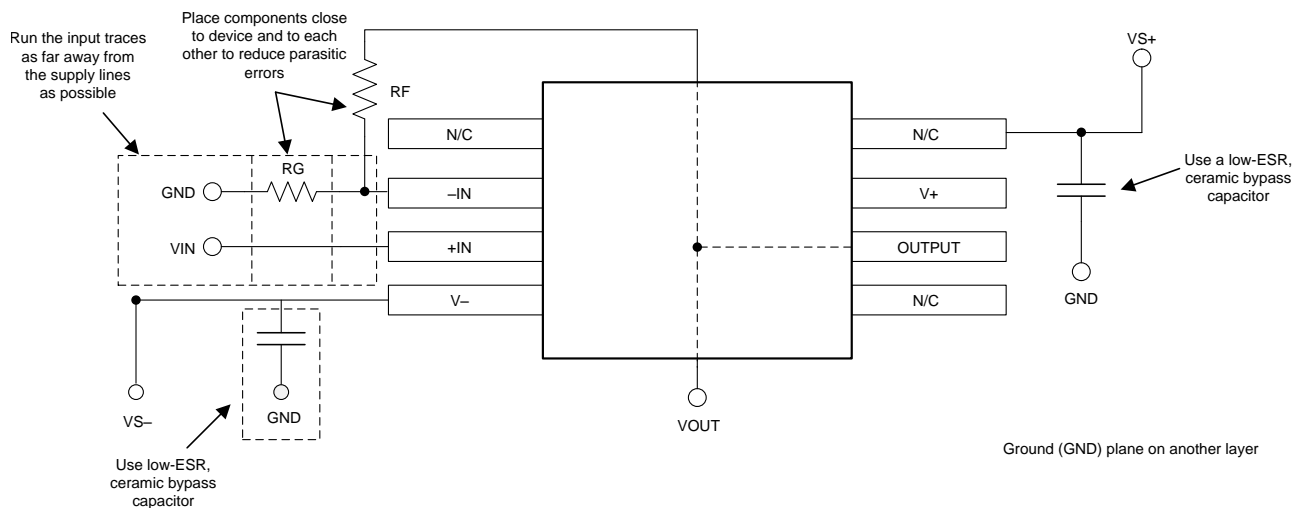
不同的运算放大器对于射频干扰 (RFI) 的易感性会有所不同。通常可以将 RFI 认定为随着产生干扰的射频信号的变化而发生的失调电压或直流信号电平变化。OPA333 专为最大程度地减小对 RFI 的易感性而设计，与上一代器件相比展示出极低的敏感度。强大的射频场仍可能会导致不断变化的偏移水平。

#### 10.1.2 DFN 布局指南

将 DFN 封装上的外露引线框芯片垫焊接到 PCB 上的散热垫。该数据表末尾附有一份机械制图，其中显示了布局示例。可能需要根据组装过程要求对此布局进行改进。该数据表末尾的机械制图列出了封装和垫的物理尺寸。焊盘布局中的五个空穴为可选项，适合与将引线框芯片垫连接至 PCB 上的散热器区域的热通孔结合使用。

焊接外露焊盘可在温度循环、主要推动、封装剪切及类似板级测试过程中极大地提高板级可靠性。即使是低功耗应用，外露焊盘也必须焊接到 PCB 上以提供结构完整性和长期可靠性。

### 10.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 34. 布局示例

## 11 器件和文档支持

### 11.1 器件支持

#### 11.1.1 开发支持

关于此产品的开发支持，请参阅以下内容：

- 高侧 V-I 转换器，0V 至 2V，0mA 至 100mA，1% 满量程误差，[TIPD102](#)
- 低电平 V-I 转换器参考设计，0V 至 5V 输入，0μA 至 5μA 输出，[TIPD107](#)
- 18位、1MSPS、串行接口、低功耗、真正差动输入 SAR ADC，[ADS8881](#)
- 超低功耗、高速、轨至轨输入/输出、电压反馈运算放大器，[THS4281](#)
- 针对最低失真和最低噪声进行了优化的 18 位 1MSPS 数据采集参考设计，[TIPD115](#)
- 自校准 16 位模数转换器，[ADS1100](#)
- 最高 20ppm/°C、100μA、SOT23-3 系列电压基准，[REF3130](#)
- 高精度、低漂移 CMOS 仪表放大器、INA326，[INA326](#)

### 11.2 文档支持

#### 11.2.1 相关文档

相关文档如下：

- 《QFN/SON PCB 连接》，[SLUA271](#)
- 《四方扁平无引线逻辑器件封装》，[SCBA017](#)

### 11.3 相关链接

[表 2](#) 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 2. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA333	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>
OPA2333	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>

### 11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

**TI E2E™ 在线社区** *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 [e2e.ti.com](#) 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

**设计支持** *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

### 11.5 商标

E2E is a trademark of Texas Instruments.  
All other trademarks are the property of their respective owners.

### 11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

### 11.7 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.



## 12 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2333AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2333A	<a href="#">Samples</a>
OPA2333AIDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2333A	<a href="#">Samples</a>
OPA2333AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU   SN   NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	OBAQ	<a href="#">Samples</a>
OPA2333AIDGKRG4	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	OBAQ	<a href="#">Samples</a>
OPA2333AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU   SN   NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	OBAQ	<a href="#">Samples</a>
OPA2333AIDGKTG4	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	OBAQ	<a href="#">Samples</a>
OPA2333AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2333A	<a href="#">Samples</a>
OPA2333AIDRBR	ACTIVE	SON	DRB	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQZ	<a href="#">Samples</a>
OPA2333AIDRBT	ACTIVE	SON	DRB	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQZ	<a href="#">Samples</a>
OPA2333AIDRBTG4	ACTIVE	SON	DRB	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BQZ	<a href="#">Samples</a>
OPA2333AIDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2333A	<a href="#">Samples</a>
OPA333AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O333A	<a href="#">Samples</a>
OPA333AIDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OAXQ	<a href="#">Samples</a>
OPA333AIDBVRG4	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OAXQ	<a href="#">Samples</a>
OPA333AIDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OAXQ	<a href="#">Samples</a>
OPA333AIDBVTG4	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OAXQ	<a href="#">Samples</a>
OPA333AIDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BQY	<a href="#">Samples</a>
OPA333AIDCKRG4	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BQY	<a href="#">Samples</a>
OPA333AIDCKT	ACTIVE	SC70	DCK	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BQY	<a href="#">Samples</a>

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA333AIDCKTG4	ACTIVE	SC70	DCK	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BQY	<a href="#">Samples</a>
OPA333AIDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O333A	<a href="#">Samples</a>
OPA333AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O333A	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF OPA2333, OPA333 :**

- Automotive : [OPA2333-Q1](#), [OPA333-Q1](#)

## NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2333AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2333AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2333AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2333AIDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2333AIDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA333AIDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA333AIDBVR	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA333AIDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA333AIDCKR	SC70	DCK	5	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
OPA333AIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA333AIDCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA333AIDCKT	SC70	DCK	5	250	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
OPA333AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2333AIDGKR	VSSOP	DGK	8	2500	367.0	367.0	35.0
OPA2333AIDGKT	VSSOP	DGK	8	250	353.0	353.0	32.0
OPA2333AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA2333AIDRBR	SON	DRB	8	3000	356.0	356.0	35.0
OPA2333AIDRBT	SON	DRB	8	250	210.0	185.0	35.0
OPA333AIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA333AIDBVR	SOT-23	DBV	5	3000	200.0	183.0	25.0
OPA333AIDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA333AIDCKR	SC70	DCK	5	3000	200.0	183.0	25.0
OPA333AIDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA333AIDCKT	SC70	DCK	5	250	180.0	180.0	18.0
OPA333AIDCKT	SC70	DCK	5	250	200.0	183.0	25.0
OPA333AIDR	SOIC	D	8	2500	356.0	356.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2333AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2333AIDG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA333AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA333AIDG4	D	SOIC	8	75	506.6	8	3940	4.32





# EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
 EXPOSED METAL SHOWN  
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# DBV0005A



# PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

# EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# DCK0005A



# PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/E 06/2024

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

# EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:18X



SOLDER MASK DETAILS

4214834/E 06/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 THICK STENCIL  
SCALE: 18X

4214834/E 06/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.



# DGK0008A



# PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



**NOTES:**

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

# EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

**DRB 8**

**GENERIC PACKAGE VIEW**

**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4203482/L

DRB0008B



# PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218876/A 12/2017

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:20X



SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
81% PRINTED SOLDER COVERAGE BY AREA  
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司