

16/32 位精简指令集 (RISC) 闪存微控制器

特性

- 高性能静态 **CMOS** 技术
- **SM470R1x 16/32 位 RISC 内核 (ARM7TDMI™)**
 - 60MHz 系统时钟 (流水线模式)
 - 独立的 16/32 位指令集
 - 带有第三方支持的开放式架构
 - 内置调试模块
- 集成存储器
 - 1M 字节程序闪存
 - 两个由16 个连续扇区组成的存储块
 - 64K 字节静态 **RAM (SRAM)**
 - 存储器安全模块 (**MSM**)
 - **JTAG** 安全模块
- 运行特性
 - 低功耗模式: **STANDBY** (待机) 和 **HALT** (暂停)
 - 工业温度范围
- **470+** 系统模块
 - 32 位地址空间解码
 - 针对存储器/外设的总线监控
 - 数字看门狗 (**DWD**) 定时器
 - 模拟看门狗 (**AWD**) 定时器
 - 增强型实时中断 (**RTI**)
 - 中断扩展模块 (**IEM**)
 - 系统安全和故障检测
 - **ICE** 断路器
- 直接存储器访问 (**DMA**) 控制器
 - 32 个控数据包和 16 个通道
- 基于零引脚锁相环 (**ZPLL**) 的带前置分频器的时钟模块
 - 4 倍或 8 倍的内置 **ZPLL** 选项
 - **ZPLL** 旁路模式
- 12 个通信接口:
 - 2 个串行外设接口 (**SPI**)
 - 255 个可编程波特率
- 三个串行通讯接口 (**SCI**)
 - 2²⁴ 个可选择波特率
 - 异步/同步模式
- 两个高端 **CAN** 控制器 (**HECC**)
 - 32 邮箱容量
 - 与 **CAN2.0B** 协议完全兼容
- 五个 **I2C** 模块
 - 多主-从接口
 - 高达 400kbps (快速模式)
 - 7 和 10 位地址模式
- 精简高端定时器 (**HET**)
 - 12 个可编程 **I/O** 通道:
 - 12 个高分辨率引脚
 - 高分辨率共享功能 (**XOR**)
 - 高端定时器 **RAM**
 - 64 指令容量
- 外部时钟前置分频 (**ECP**) 模块
 - 可编程低频外部时钟 (**CLK**)
- 12 通道, 10 位多缓冲 **ADC (MibADC)**
 - 64 字 **FIFO** 缓冲器
 - 单一或者连续转换模式
 - 1.55µs 最小采样和转换时间
 - 校准模式和自检特性
- 灵活的中断处理
- 扩展总线模块 (**EBM**)
 - 支持 8 和 16 位扩展总线存储器接口映射
 - 42 个 **I/O** 扩展总线引脚
- 46 个通用 **I/O (GIO)** 引脚和 47 个附加外设 **I/O**
- 16 个外部中断
- 基于片上扫描的仿真逻辑, **IEEE 1149.1 标准** ⁽¹⁾ (**JTAG**) 测试访问端口
- 采用 **KGD**, **HFQ**, **HKP** 和 **PGE** 封装

(1) 测试访问端口是与 IEEE 1149.1-1990 标准、IEEE 测试访问端口和边界扫描架构规范标准是兼容的。此器件不支持边界扫描。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

ARM7TDMI is a trademark of Advanced RISC Machines Limited (ARM).

支持极端温度环境下的应用

- 受控基线
- 一个组装/测试场所
- 一个制造场所
- 可在 **-55°C/220°C** 的极端温度范围内工作 ⁽²⁾
- 延长的产品生命周期
- 延长的产品变更通知
- 产品可追溯性
- 德州仪器 (TI) 高温产品利用高度优化的硅 (芯片) 解决方案, 此解决方案对设计和制造工艺进行了提升以在拓展的温度范围内大幅提高性能。

(2) 可定制工作温度范围

订购信息⁽¹⁾

T _A	封装 ⁽²⁾	可订购部件号	正面标记
-55°C 至 220°C	KGD	SM470R1B1MKGDS1	SM470R1B1MKGDS1
	CQFP-HFQ	SM470R1B1MHFQS	SM470R1B1MHFQS
	CQFP-HKP	SM470R1B1MHKPS	SM470R1B1MHKPS
-55°C 至 150°C	LQFP-PGE	SM470R1B1MPGES	SM470R1B1MPGES

- (1) 要获得最新的封装和订购信息，请见本文档末尾的封装选项附录，或者浏览 TI 网站 www.ti.com。
 (2) 封装图示、标准包装数量、散热数据、符号以及印刷电路板 (PCB) 设计指南可从以下网址获得。

DIE LAYOUT

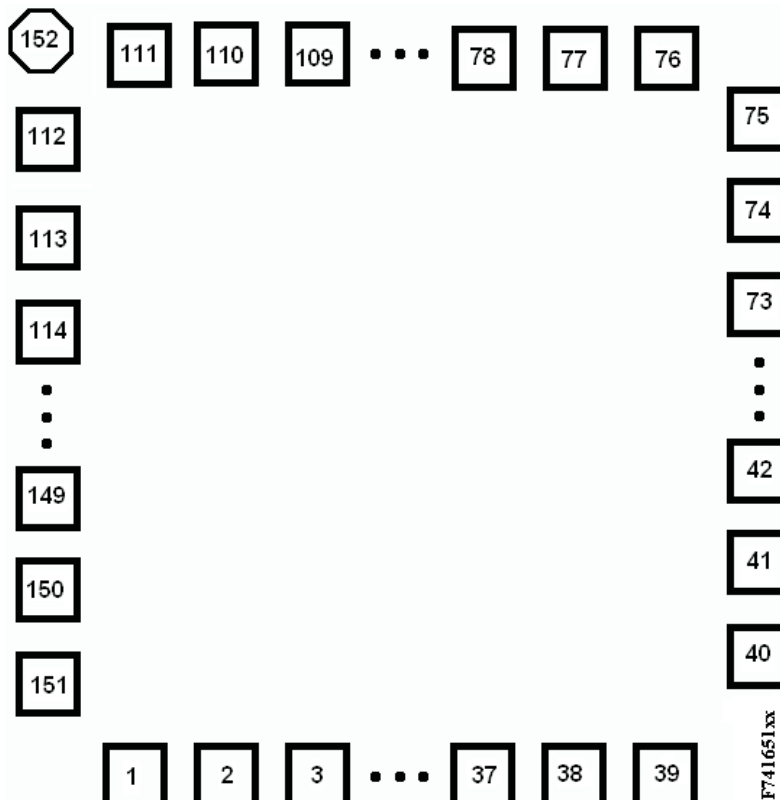


表 1. 裸芯片信息

芯片大小:	芯片焊盘大小	芯片焊盘调整 ⁽¹⁾	芯片厚度	芯片焊盘组成	背面光洁度	背面电位
208.858x211.890mils/ 5304.99x5382.01µm	65.1x65.1(µm)	请参阅表 2	11mils	铝铜	硅片减薄	接地

- (1) 焊盘 12, 22, 26, 136, 143, 146, 149 和 152 是测试焊盘，无需连接。强烈建议打开它们。

表 2. 焊盘调整

焊盘编号	焊盘调整(μm)				焊盘大小(μm)	
	X 最小值	Y 最小值	X 最大值	Y 最大值	X	支持
1	178.955	10.08	244.055	75.18	65.1	65.1
2	368.2	10.08	433.3	75.18	65.1	65.1
3	557.445	10.08	622.545	75.18	65.1	65.1
4	664.335	10.08	729.435	75.18	65.1	65.1
5	853.58	10.08	918.68	75.18	65.1	65.1
6	1042.825	10.08	1107.925	75.18	65.1	65.1
7	1149.715	10.08	1214.815	75.18	65.1	65.1
8	1338.96	10.08	1404.06	75.18	65.1	65.1
9	1445.85	10.08	1510.95	75.18	65.1	65.1
10	1552.74	10.08	1617.84	75.18	65.1	65.1
11	1659.63	10.08	1724.73	75.18	65.1	65.1
12	1766.52	10.08	1831.62	75.18	65.1	65.1
13	1866.2	10.08	1931.3	75.18	65.1	65.1
14	1965.88	10.08	2030.98	75.18	65.1	65.1
15	2065.56	10.08	2130.66	75.18	65.1	65.1
16	2165.24	10.08	2230.34	75.18	65.1	65.1
17	2272.13	10.08	2337.23	75.18	65.1	65.1
18	2396.1	10.08	2461.2	75.18	65.1	65.1
19	2520.07	10.08	2585.17	75.18	65.1	65.1
20	2626.96	10.08	2692.06	75.18	65.1	65.1
21	2733.85	10.08	2798.95	75.18	65.1	65.1
22	2840.74	10.08	2905.84	75.18	65.1	65.1
23	2947.63	10.08	3012.73	75.18	65.1	65.1
24	3054.52	10.08	3119.62	75.18	65.1	65.1
25	3243.765	10.08	3308.865	75.18	65.1	65.1
26	3350.655	10.08	3415.755	75.18	65.1	65.1
27	3539.9	10.08	3605	75.18	65.1	65.1
28	3646.79	10.08	3711.89	75.18	65.1	65.1
29	3746.47	10.08	3811.57	75.18	65.1	65.1
30	3846.15	10.08	3911.25	75.18	65.1	65.1
31	3953.04	10.08	4018.14	75.18	65.1	65.1
32	4142.285	10.08	4207.385	75.18	65.1	65.1
33	4331.53	10.08	4396.63	75.18	65.1	65.1
34	4431.21	10.08	4496.31	75.18	65.1	65.1
35	4530.89	10.08	4595.99	75.18	65.1	65.1
36	4630.57	10.08	4695.67	75.18	65.1	65.1
37	4730.25	10.08	4795.35	75.18	65.1	65.1
38	4829.93	10.08	4895.03	75.18	65.1	65.1
39	4936.82	10.08	5001.92	75.18	65.1	65.1
40	5150.04	178.955	5215.14	244.055	65.1	65.1
41	5150.04	368.2	5215.14	433.3	65.1	65.1
42	5150.04	557.445	5215.14	622.545	65.1	65.1
43	5150.04	666.26	5215.14	731.36	65.1	65.1
44	5150.04	855.505	5215.14	920.605	65.1	65.1
45	5150.04	1044.75	5215.14	1109.85	65.1	65.1
46	5150.04	1153.565	5215.14	1218.665	65.1	65.1

表 2. 焊盘调整 (接下页)

焊盘编号	焊盘调整(μm)				焊盘大小(μm)	
	X 最小值	Y 最小值	X 最大值	Y 最大值	X	支持
47	5150.04	1262.38	5215.14	1327.48	65.1	65.1
48	5150.04	1371.195	5215.14	1436.295	65.1	65.1
49	5150.04	1480.01	5215.14	1545.11	65.1	65.1
50	5150.04	1669.255	5215.14	1734.355	65.1	65.1
51	5150.04	1778.07	5215.14	1843.17	65.1	65.1
52	5150.04	1886.885	5215.14	1951.985	65.1	65.1
53	5150.04	1995.7	5215.14	2060.8	65.1	65.1
54	5150.04	2184.945	5215.14	2250.045	65.1	65.1
55	5150.04	2293.76	5215.14	2358.86	65.1	65.1
56	5150.04	2402.575	5215.14	2467.675	65.1	65.1
57	5150.04	2511.39	5215.14	2576.49	65.1	65.1
58	5150.04	2700.635	5215.14	2765.735	65.1	65.1
59	5150.04	2809.45	5215.14	2874.55	65.1	65.1
60	5150.04	2998.695	5215.14	3063.795	65.1	65.1
61	5150.04	3187.94	5215.14	3253.04	65.1	65.1
62	5150.04	3296.755	5215.14	3361.855	65.1	65.1
63	5150.04	3486	5215.14	3551.1	65.1	65.1
64	5150.04	3675.245	5215.14	3740.345	65.1	65.1
65	5150.04	3784.06	5215.14	3849.16	65.1	65.1
66	5150.04	3973.305	5215.14	4038.405	65.1	65.1
67	5150.04	4082.12	5215.14	4147.22	65.1	65.1
68	5150.04	4190.935	5215.14	4256.035	65.1	65.1
69	5150.04	4299.75	5215.14	4364.85	65.1	65.1
70	5150.04	4408.565	5215.14	4473.665	65.1	65.1
71	5150.04	4517.38	5215.14	4582.48	65.1	65.1
72	5150.04	4626.195	5215.14	4691.295	65.1	65.1
73	5150.04	4735.01	5215.14	4800.11	65.1	65.1
74	5150.04	4843.825	5215.14	4908.925	65.1	65.1
75	5150.04	4952.64	5215.14	5017.74	65.1	65.1
76	4981.165	5148.85	5046.265	5213.95	65.1	65.1
77	4862.935	5148.85	4928.035	5213.95	65.1	65.1
78	4738.965	5148.85	4804.065	5213.95	65.1	65.1
79	4614.995	5148.85	4680.095	5213.95	65.1	65.1
80	4496.765	5148.85	4561.865	5213.95	65.1	65.1
81	4378.535	5148.85	4443.635	5213.95	65.1	65.1
82	4189.29	5148.85	4254.39	5213.95	65.1	65.1
83	4000.045	5148.85	4065.145	5213.95	65.1	65.1
84	3881.815	5148.85	3946.915	5213.95	65.1	65.1
85	3757.845	5148.85	3822.945	5213.95	65.1	65.1
86	3639.615	5148.85	3704.715	5213.95	65.1	65.1
87	3450.37	5148.85	3515.47	5213.95	65.1	65.1
88	3332.14	5148.85	3397.24	5213.95	65.1	65.1
89	3213.91	5148.85	3279.01	5213.95	65.1	65.1
90	3095.68	5148.85	3160.78	5213.95	65.1	65.1
91	2906.435	5148.85	2971.535	5213.95	65.1	65.1
92	2717.19	5148.85	2782.29	5213.95	65.1	65.1

表 2. 焊盘调整 (接下页)

焊盘编号	焊盘调整(μm)				焊盘大小(μm)	
	X 最小值	Y 最小值	X 最大值	Y 最大值	X	支持
93	2598.96	5148.85	2664.06	5213.95	65.1	65.1
94	2480.73	5148.85	2545.83	5213.95	65.1	65.1
95	2362.5	5148.85	2427.6	5213.95	65.1	65.1
96	2244.27	5148.85	2309.37	5213.95	65.1	65.1
97	2126.04	5148.85	2191.14	5213.95	65.1	65.1
98	1936.795	5148.85	2001.895	5213.95	65.1	65.1
99	1747.55	5148.85	1812.65	5213.95	65.1	65.1
100	1629.32	5148.85	1694.42	5213.95	65.1	65.1
101	1511.09	5148.85	1576.19	5213.95	65.1	65.1
102	1321.845	5148.85	1386.945	5213.95	65.1	65.1
103	1203.615	5148.85	1268.715	5213.95	65.1	65.1
104	1085.385	5148.85	1150.485	5213.95	65.1	65.1
105	967.155	5148.85	1032.255	5213.95	65.1	65.1
106	843.185	5148.85	908.285	5213.95	65.1	65.1
107	719.215	5148.85	784.315	5213.95	65.1	65.1
108	595.245	5148.85	660.345	5213.95	65.1	65.1
109	471.275	5148.85	536.375	5213.95	65.1	65.1
110	347.305	5148.85	412.405	5213.95	65.1	65.1
111	223.335	5148.85	288.435	5213.95	65.1	65.1
112	10.08	4979.975	75.18	5045.075	65.1	65.1
113	10.08	4868.5	75.18	4933.6	65.1	65.1
114	10.08	4757.025	75.18	4822.125	65.1	65.1
115	10.08	4645.55	75.18	4710.65	65.1	65.1
116	10.08	4534.075	75.18	4599.175	65.1	65.1
117	10.08	4410.105	75.18	4475.205	65.1	65.1
118	10.08	4286.135	75.18	4351.235	65.1	65.1
119	10.08	4162.165	75.18	4227.265	65.1	65.1
120	10.08	4038.195	75.18	4103.295	65.1	65.1
121	10.08	3912.825	75.18	3977.925	65.1	65.1
122	10.08	3801.35	75.18	3866.45	65.1	65.1
123	10.08	3689.875	75.18	3754.975	65.1	65.1
124	10.08	3578.4	75.18	3643.5	65.1	65.1
125	10.08	3466.925	75.18	3532.025	65.1	65.1
126	10.08	3355.45	75.18	3420.55	65.1	65.1
127	10.08	3243.975	75.18	3309.075	65.1	65.1
128	10.08	3132.5	75.18	3197.6	65.1	65.1
129	10.08	3021.025	75.18	3086.125	65.1	65.1
130	10.08	2909.55	75.18	2974.65	65.1	65.1
131	10.08	2720.305	75.18	2785.405	65.1	65.1
132	10.08	2608.83	75.18	2673.93	65.1	65.1
133	10.08	2497.355	75.18	2562.455	65.1	65.1
134	10.08	2385.88	75.18	2450.98	65.1	65.1
135	10.08	2274.405	75.18	2339.505	65.1	65.1
136	10.08	2162.93	75.18	2228.03	65.1	65.1
137	10.08	2051.455	75.18	2116.555	65.1	65.1
138	10.08	1862.21	75.18	1927.31	65.1	65.1

表 2. 焊盘调整 (接下页)

焊盘编号	焊盘调整(μm)				焊盘大小(μm)	
	X 最小值	Y 最小值	X 最大值	Y 最大值	X	支持
139	10.08	1672.965	75.18	1738.065	65.1	65.1
140	10.08	1561.49	75.18	1626.59	65.1	65.1
141	10.08	1372.245	75.18	1437.345	65.1	65.1
142	10.08	1260.77	75.18	1325.87	65.1	65.1
143	10.08	1149.295	75.18	1214.395	65.1	65.1
144	10.08	1037.82	75.18	1102.92	65.1	65.1
145	10.08	926.345	75.18	991.445	65.1	65.1
146	10.08	814.87	75.18	879.97	65.1	65.1
147	10.08	703.395	75.18	768.495	65.1	65.1
148	10.08	514.15	75.18	579.25	65.1	65.1
149	10.08	402.675	75.18	467.775	65.1	65.1
150	10.08	291.2	75.18	356.3	65.1	65.1
151	10.08	179.725	75.18	244.825	65.1	65.1
152	4.9	5154.1	69.93	5219.13	65.03	65.03

HFQ 或 HKP 封装

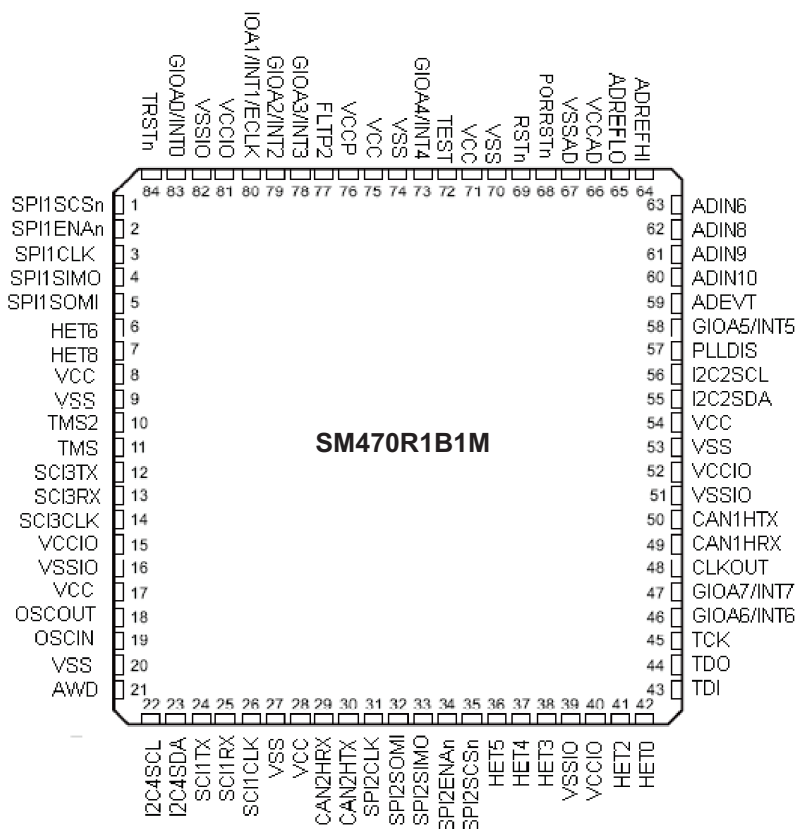


图 1. SM470R1B1M 84 引脚 CQFP-HFQ/HKP (顶视图)

引脚分配

图 1 给出了 SM470R1B1M 84 引脚 HFQ 陶瓷扁平方形封装 (CQFP) 引脚分配。

特性

减少引脚数量的 SM470R1B1M 版本具有以下特性。

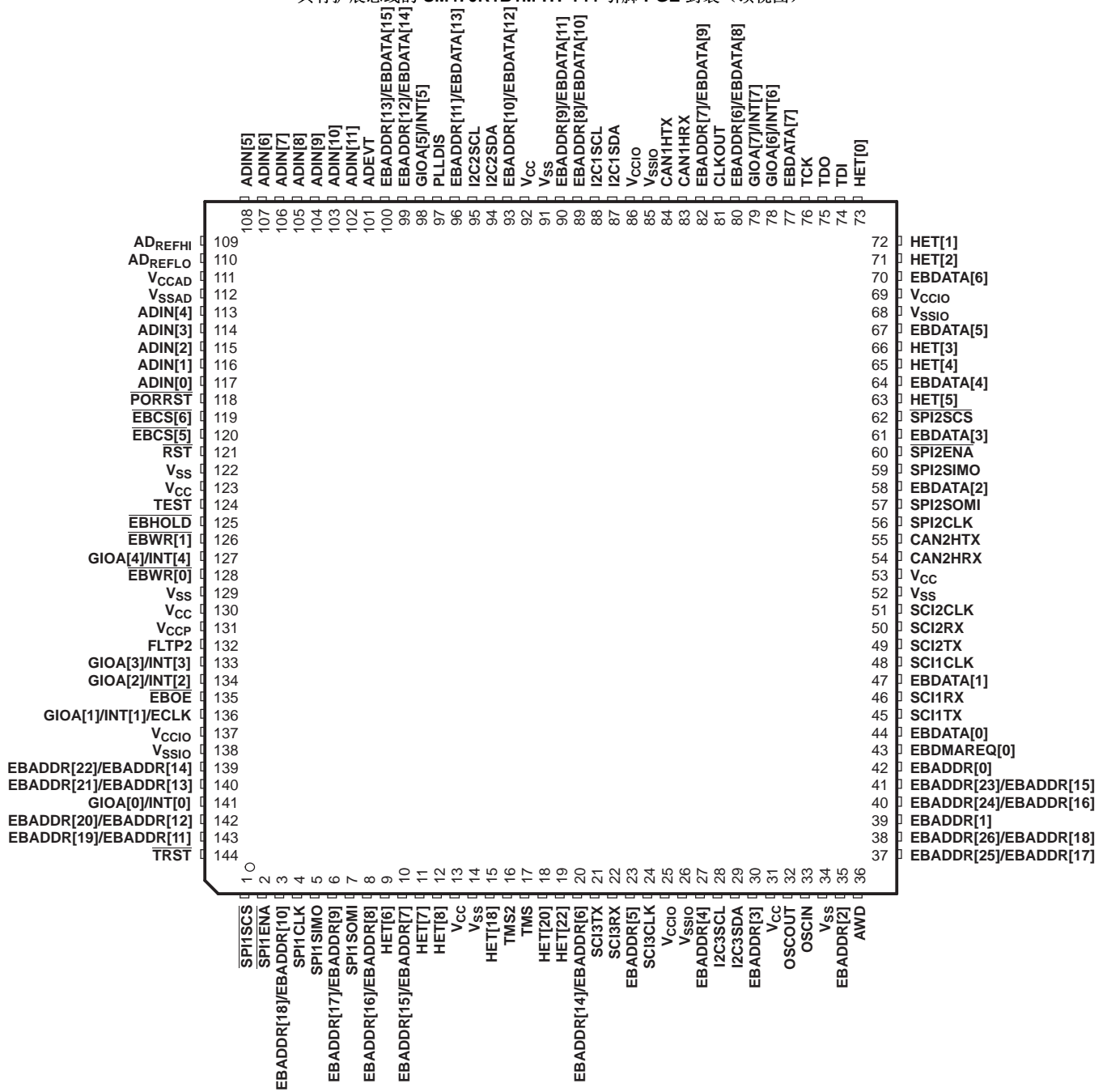
- 通信接口
 - 两个串行外围接口
 - 两个串行通信接口
 - 两个高端 CAN 控制器
 - 两个内部集成电路 (I2C) 模块
- 4 通道 10 位多缓冲 ADC
- 精简高端定时器(HET)控制 7 个可编程 I/O 通道
- 8 个通用 I/O 的

144 引脚塑料半高四方扁平封装 (PGE 封装)

具有扩展总线的 SM470R1B1M-HT 144 引脚 PGE 封装 (顶视图)

ADREFHI	109	HET[1]	72
ADREFLO	110	HET[2]	71
VCCAD	111	GIOE[6]	70
VSSAD	112	VCCIO	69
ADIN[4]	113	VSSIO	68
ADIN[3]	114	GIOE[5]	67
ADIN[2]	115	HET[3]	66
ADIN[1]	116	HET[4]	65
ADIN[0]	117	GIOE[4]	64
PORRST	118	HET[5]	63
GIOC[4]	119	SPI2SCS	62
GIOC[3]	120	GIOE[3]	61
RST	121	SPI2ENA	60
VSS	122	SPI2SIMO	59
VCC	123	GIOE[2]	58
TEST	124	SPI2SOMI	57
GIOH[5]	125	SPI2CLK	56
GIOC[2]	126	CAN2HTX	55
GIOA[4]/INT[4]	127	CAN2HRX	54
GIOC[1]	128	VCC	53
VSS	129	VSS	52
VCC	130	SCI2CLK	51
VCCP	131	SCI2RX	50
FLTP2	132	SCI2TX	49
GIOA[3]/INT[3]	133	SCI1CLK	48
GIOA[2]/INT[2]	134	GIOE[1]	47
GIOC[0]	135	SCI1RX	46
GIOA[1]/INT[1]/ECLK	136	SCI1TX	45
VCCIO	137	GIOE[0]	44
VSSIO	138	GIOB[0]	43
GIOH[0]	139	GIOD[0]	42
GIOG[7]	140	I2C4SDA	41
GIOA[0]/INT[0]	141	I2C4SCL	40
GIOG[6]	142	GIOD[1]	39
GIOG[5]	143	I2C5SDA	38
TRST	144	I2C5SCL	37
SPI1SCS	1		
SPI1ENA	2		
GIOG[4]	3		
SPI1CLK	4		
SPI1SIMO	5		
GIOG[3]	6		
SPI1SOMI	7		
GIOG[2]	8		
HET[6]	9		
GIOG[1]	10		
HET[7]	11		
HET[8]	12		
VCC	13		
VSS	14		
HET[18]	15		
TMS2	16		
TMS	17		
HET[20]	18		
HET[22]	19		
GIOG[0]	20		
SCI3TX	21		
SCI3RX	22		
GIOD[5]	23		
SCI3CLK	24		
VCCIO	25		
VSSIO	26		
GIOD[4]	27		
I2C3SCL	28		
I2C3SDA	29		
GIOD[3]	30		
VCC	31		
OSCOU	32		
OSCI	33		
VSS	34		
GIOD[2]	35		
AWD	36		

具有扩展总线的 SM470R1B1M-HT 144 引脚 PGE 封装 (顶视图)



说明

该 SM470R1B1M⁽¹⁾ 这些器件是德州仪器 (TI) SM470R1x 系列通用 16/32 位精简指令集计算机 (RISC) 微控制器的产品成员。B1M 利用高速 ARM7TDMI 16/32 位 RISC 中央处理单元 (CPU) 提供高性能, 在更高代码效率的同时实现高的指令吞吐量。ARM7TDMI 16/32 位 RISC CPU 把内存看作是从零向上编号的字节的一个线性集合。此 SM470R1B1M 运用大端格式, 在该格式中, 一个字的最高有效字节被存储于地址编号最小的字节中, 而最低有效字节则存储在地址编号最大的字节中。

高端嵌入式控制应用要求其控制器提供更多的功能并保持低成本。B1M RISC 内核架构提供了针对这些功能和成本需求的解决方案, 并保持了低功耗。

该 B1M 器件包含以下内容:

- ARM7TDMI 16/32 位 RISC CPU
- 470+ 增强功能的 SM470R1x 系统模块 (SYS)
- 1M 字节闪存
- 64K 字节 SRAM
- 零引脚锁相环 (ZPLL) 时钟模块
- 数字安全装置 (DWD) 定时器
- 模拟安全装置 (AWD) 定时器
- 增强型实时中断 (RTI) 模块
- 中断扩展模块 (IEM)
- 内存安全模块 (MSM)
- JTAG 安全模块
- 两个串行外设接口 (SPI) 模块
- 三个串行通信接口 (SCI) 模块
- 两个高端 CAN 控制器 (HECC)
- 五个 I2C 总线 (I2C) 模块
- 具有 12 个输入通道的 10 位多缓冲模数转换器 (MibADC)
- 控制 12 个 I/O 的高端定时器 (HET)
- 外部时钟预分频 (ECP)
- 扩展总线模块 (EBM)
- 多达 93 个 I/O 引脚

470+ 系统模块 (SYS) 执行的功能包括:

- 地址解码
- 内存保护
- 内存和外设总线监管
- 复位和中断异常管理
- 所有内部中断源的优先级为
- 器件时钟控制
- 并行信号分析 (PSA)

B1M 上的增强型实时中断 (RTI) 模块可选择由振荡器时钟进行驱动。数字安全装置 (DWD) 是一个 25 位的可复位递减计数器, 当安全装置计数器终止计数时, 该计数器将提供一个系统复位。本数据手册包括器件特定信息, 如内存和外设选择分配、中断优先级、器件的内存映射。SYS 模块功能的更多详细描述, 请参阅《TMS470R1x 系统模块参考指南》(文献编号 SPNU189)。

B1M 内存包括通用 SRAM, 可支持字节模式、半字模式及字模式的单周期读/写存取。

(1) 在本文档的剩余部分, SM470R1B1M 器件会由器件全名或者 B1M 表示。

这个器件上的闪存存储器是一个由 32 位宽数据总线接口实现的非易失性、电可擦除并且可编程的存储器。根据输入电压大小，闪存在最高 24MHz 或 30MHz 的系统频率下运行。在流水线模式下，根据输入电压大小，闪存在最高 48MHz 或 60MHz 的系统频率下运行。关于闪存更多详细信息，请参阅本数据表的 *F05* 闪存部分。

内存安全模块 (MSM) 和 JTAG 安全模块阻止未经授权的访问和对片上内存的可见性，以此防止逆向工程或私有代码的操纵。

B1M 器件有 12 个通信接口：两个 SPI，三个 SCI，两个 HECC，和五个 I2C。SPI 为相似的移位寄存器类型器件之间的高速通信提供了一种便捷的串行交互方法。SCI 是一个用于 CPU 与其他采用标准不归零制 (NRZ) 格式外设之间的异步通信的全双工、串行 I/O 接口。HECC 采用一种串行、多主机通信协议，此协议可高效支持高达 1 兆位每秒 (Mbps) 稳健通信速率的分布式实时控制。这些 CAN 外设非常适合于工作于嘈杂和严酷环境中的应用（例如：工业领域），此类应用需要可靠的串行通信或复用布线。I2C 模块是一个多主通信模块，通过 I2C 串行总线为 B1M 微控制器和一个 I2C 兼容器件提供接口。I2C 支持 100Kbps 和 400 Kbps 两种速度。如需更多关于 SPI，SCI 和 CAN 外设功能的详细信息，请参阅特定的参考指南（文献编号 SPNU195 SPNU196，和 SPNU197）。如需更多关于 I2C 功能的详细信息，请参阅《TMS470R1x 内部集成电路 (I2C) 参考指南》（文献编号 SPNU223）。

HET 是一种先进的智能定时器，可为实时应用提供精密的定时功能。该定时器为软件控制型，采用一个精简指令集，并具有一个专用的微级机定时器和一个连接的 I/O 端口。这种 HET 可用于比较、捕获或通用型 I/O。它特别适合于那些需要带有复杂和准确的时间脉冲的多种传感器信息和驱动传动器的应用。该器件中使用的 HET 是高端定时器。它比标准 HET 中常见的 32 个 I/O 要少。更多关于 HET 功能的详细信息，请参阅《TMS470R1x 高端定时器 (HET) 参考指南》（文献编号 SPNU199）。

B1M HET 外设具有 XOR 共享功能。该功能允许两个相邻的 HET 高分辨率通道一起被“异或”操作，从而可以输出一个小于标准 HET 的脉冲。更多关于 HET XOR 共享功能的详细信息，请参阅《TMS470R1x 高端定时器 (HET) 参考指南》（文献编号 SPNU199）。

B1M 器件有一个 10 位分辨率、采样和保持 MibADC。MibADC 的每一个通道都可被独立转换或者可由软件分组进行顺序转换。有三个单独的分组，其中的两个可以由一个外部事件触发。当被触发或者针对连续转换模式进行配置后，每个序列可被转换一次。更多关于 MibADC 功能的详细信息，请参阅《TMS470R1x 多缓冲模数转换器 (MibADC) 参考指南》（文献编号 SPNU206）。

零引脚锁相环 (ZPLL) 时钟模块包含一个锁相环路、一个时钟监控电路、一个时钟使能电路、一个预分频器（分频值 1-8）。ZPLL 的功能是将外部频率基准倍频至一个较高的频率，以供内部使用。ZPLL 向系统 (SYS) 模块提供 ACLK。随后 SYS 模块向 B1M 器件的所有其他模块提供系统时钟 (SYSCLK)，实时中断时钟 (RTICLK)，CPU 时钟 (MCLK)，和外设接口时钟 (ICLK)。更多关于 ZPLL 的功能信息，请参阅《TMS470R1x 零引脚锁相环 (ZPLL) 时钟模块参考指南》（文献编号 SPNU212）。

注

请不要将 MibADC 内部时钟，ADCLK 和 ACLK 相混淆。ACLK 是来自一个外部谐振器/晶振的连续系统时钟。

扩展总线模块 (EBM) 是一个独立的模块，它支持 GIO 功能的复用及总线接口的扩展。关于 EBM 的更多信息，请参阅《TMS470R1x 扩展总线模块 (EBM) 的参考指南》（文献编号 SPNU222）。

B1M 器件还有一个外部时钟前置分频器 (ECP) 模块，当被启用时，它在一个特定的 GIO 引脚上输出一个连续外部时钟 (ECLK)。ECLK 频率是外设接口时钟 (ICLK) 频率的用户可编程比率。更多关于 ECP 功能的详细信息，请参阅《TMS470R1x 外部时钟分频器 (ECP) 参考指南》（文献编号 SPNU202）。

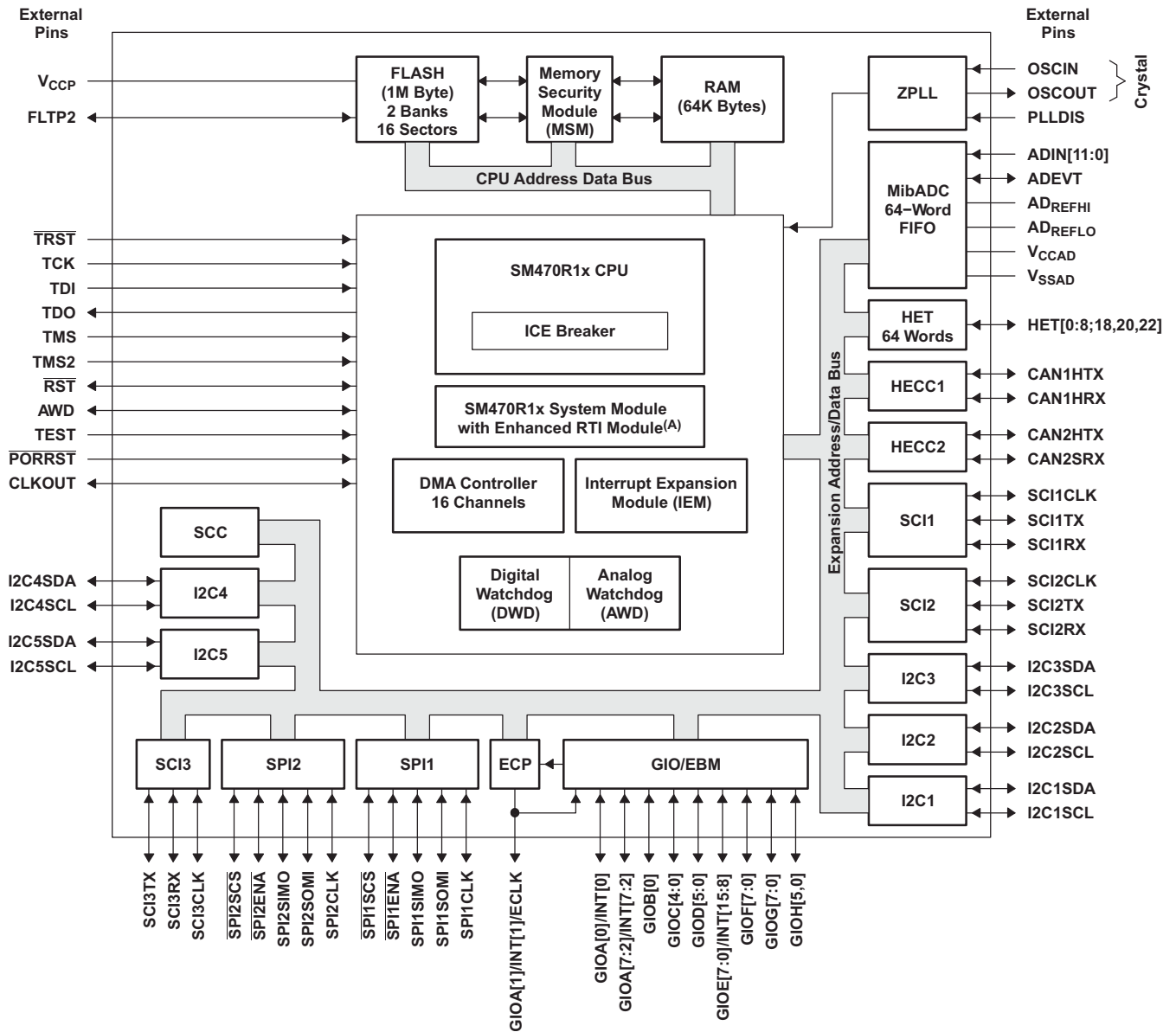
器件特性

表 3 标识了所有 B1M 器件的特性，除通用的系统和 CPU 特性。

表 3. 器件特性

特征	SM470R1B1M 器件说明	注释
内存		
对于此器件上选择的内存编号, 请参阅表 6 《SM470R1B1M 内存选择分配》。		
内部存储器	流水线/非流水线 1M 字节闪存 64K 字节 SRAM 内存安全模块 (MSM) JTAG 安全模块	闪存支持管道模式。 B1M RAM 在由两个内存选择信号选中的一个 64K 阵列中, (请参阅表 6 《SM470R1B1M 内存选择分配》)。
外设		
对于设备特定的中断优先级配置, 请参阅表 9 《中断优先级》。对于 1K 外设地址范围及其外设选择, 请参阅表 7 《B1M 外设, 系统模块, 和闪存基址》。		
时钟	ZPLL	零引脚 PLL 无外部环路滤波器引脚。
扩展总线	EBM	42 引脚的总线扩展模块。支持 8 和 16 位内存。详细信息请见表 10。
通用 I/O	46 I/O	端口 A 有 8 个外部引脚; 端口 B 只有 1 个外部引脚; 端口 C 有 5 个外部引脚; 端口 D 有 6 个外部引脚; 端口 E, F, 和 G 各有 8 个外部引脚; 端口 H 有 2 个外部引脚。
ECP	是	
SCI	3 (3 个引脚)	
CAN (HECC 和/或 SCC)	2 HECC	两个高端 CAN 控制器
SPI (5 个引脚, 4 个引脚或 3 个引脚)	2 (5 个引脚)	
IC2	5	
带有 XOR 共享的 HET	12 I/O	高分辨率 (HR) 共享功能, 使偶数 HR 引脚能共享下一个更高的奇数 HR 引脚结构。该 HR 共享与奇数引脚是否外部可用无关。如果奇数引脚外部可用并且被共享, 那么偶数引脚就只能被用作一个通用 I/O。关于 HR 共享的更多信息, 请参阅《TMS470R1x 高端定时器(HET)参考指南》(文献编号 SPNU199)。
HET RAM	64 指令容量	
MibADC	10 位, 12 通道 64 字 FIFO	一个完整的 16 通道 MibADC 包含逻辑和寄存器。
内核电压	1.8V	
I/O 电压	3.3V	
引脚	84 或者 144	
封装	HFQ, HKP 或者 PGE	

功能框图



A. 在待机模式下，增强型 RTI 模块是带有两个禁用 ZPLL 的位的系统模块。

表 4. 端子功能 (HFQ/HKP 封装)

端子			类型 ⁽¹⁾ (2)	电流输出	内部上拉电阻器/ 下拉电阻器 ⁽³⁾	说明
名称	垫编号	HFQ/ HKP 引脚 编号 ⁽⁴⁾				
高端定时器 (HET)						
HET[0]	76	42	3.3V	2mA -z	IPD(20 μA)	定时器输入捕捉或输出比较。 HET[8:0, 18, 20, 22] 适用应用引脚可被设定为通用输入/输出 (GIO) 引脚。所有引脚都是高分辨率引脚 高分辨率 (HR) 共享特性使偶数 HR 引脚能共享下一个更高的奇数 HR 引脚结构。该 HR 共享与奇数引脚是否外部可用无关。如果奇数引脚外部可用并且被共享, 那么奇数引脚就只能被用作一个通用 I/O。关于 HR 共享的更多信息, 请参阅《TMS470R1x 高端定时器 (HET) 参考指南》(文献编号 SPNU199)。
HET[1]	75	NC				
HET[2]	74	41				
HET[3]	69	38				
HET[4]	68	37				
HET[5]	66	36				
HET[6]	9	6				
HET[7]	11	NC				
HET[8]	13	7				
HET[18]	16	NC				
HET[20]	19	NC				
HET[22]	20	NC				
高端 CAN 控制器 (HECC)						
CAN1HRX	86	49	5V 容限	4mA		HECC1 接收引脚或 GIO 引脚
CAN1HTX	87	50	3.3V	2mA -z	IPU (20μA)	HECC1 传输引脚或 GIO 引脚
CAN2HRX	57	29	5V 容限	4mA		HECC2 接收引脚或 GIO 引脚
CAN2HTX	58	30	3.3V	2mA -z	IPU (20μA)	HECC2 传输引脚或 GIO 引脚
通用 I/O (GIO)						
GIOA[0]/INT[0]	147	83	5V 容限	4mA		通用输入/输出引脚。GIOA[7:0]/INT[7:0] 是可中断引脚。 GIOA[1]/INT[1]/ECLK 引脚与外部时钟预分频(ECP) 模块的的外部时钟输出功能复用。
GIOA[1]/INT[1]/ECLK	140	80				
GIOA[2]/INT[2]	138	79				
GIOA[3]/INT[3]	137	78				
GIOA[4]/INT[4]	130	73				
GIOA[5]/INT[5]	101	58				
GIOA[6]/INT[6]	81	46				
GIOA[7]/INT[7]	82	47				
GIOB[0]/EBDMAREQ0	46	NC	3.3V	2mA -z	IPD (20μA)	GIOB[0], GIOC[4:0], GIOD[5:0], GIOE[7:0], GIOF[7:0], GIOG[7:0], GIOH[5,0]与扩展总线模块复用。 请参阅表 10。
GIOC[0]/EBOE	139	NC				
GIOC[1]/EBWR[0]	131	NC				
GIOC[2]/EBWR[1]	129	NC				
GIOC[3]/EBCS[5]	123	NC				
GIOC[4]/EBCS[6]	122	NC				

(1) PWR = 电源, GND = 接地, REF = 基准电压, NC = 无连接

(2) 在PORRST为低电平并且在PORRST变为高电平之后, 所有除RST之外的 I/O 引脚立即被配置为输入。

(3) IPD = 内部下拉, IPU = 内部上拉 (在输入引脚上的所有内部上拉和下拉是有效的, 不受 PORRST 状态的影响。)

(4) 任何带有标记 NC 的引脚封装内物理连接到的接地上。必须小心把这些引脚保持在一个高阻抗输入状态。

表 4. 端子功能 (HFQ/HKP 封装) (接下页)

端子			类型 ⁽¹⁾ (2)	电流输出	内部上拉电阻器/ 下拉电阻器 ⁽³⁾	说明
名称	垫 编号	HFQ/ HKP 引脚 编号 ⁽⁴⁾				
GIOD[0]/EBADDR[0]	45	NC	3.3V	2mA -z	IPD (20µA)	GIOB[0], GIOC[4:0], GIOD[5:0], GIOE[7:0], GIOF[7:0], GIOG[7:0], GIOH[5:0]与扩展 总线模块复用。 GIOA[7:0]/INT[15:8]是可中断引脚。 请参阅表 10。
GIOD[1]/EBADDR[1]	42	NC				
GIOD[2]/EBADDR[2]	38	NC				
GIOD[3]/EBADDR[3]	33	NC				
GIOD[4]/EBADDR[4]	30	NC				
GIOD[5]/EBADDR[5]	25	NC				
GIOE[0]/EBDATA[0]	47	NC				
GIOE[1]/EBDATA[1]	50	NC				
GIOE[2]/EBDATA[2]	61	NC				
GIOE[3]/EBDATA[3]	64	NC				
GIOE[4]/EBDATA[4]	67	NC				
GIOE[5]/EBDATA[5]	70	NC				
GIOE[6]/EBDATA[6]	73	NC				
GIOE[7]/EBDATA[7]	80	NC				
GIOF[0]/INT[8]/ EBADDR[6]/EBDATA[8]	83	NC				
GIOF[1]/INT[9]/ EBADDR[7]/EBDATA[9]	85	NC				
GIOF[2]/INT[10]/ EBADDR[8]/EBDATA[10]	92	NC				
GIOF[3]/INT[11]/ EBADDR[9]/EBDATA[11]	93	NC				
GIOF[4]/INT[12]/ EBADDR[10]/EBDATA[12]	96	NC				
GIOF[5]/INT[13]/ EBADDR[11]/EBDATA[13]	99	NC				
GIOF[6]/INT[14]/ EBADDR[12]/EBDATA[14]	102	NC				
GIOF[7]/INT[15]/ EBADDR[13]/EBDATA[15]	103	NC				
GIOG[0]/EBADDR[14]/ EBADDR[6]	21	NC				
GIOG[1]/EBADDR[15]/ EBADDR[7]	10	NC				
GIOG[2]/EBADDR[16]/ EBADDR[8]	8	NC				
GIOG[3]/EBADDR[17]/ EBADDR[9]	6	NC				
GIOG[4]/EBADDR[18]/ EBADDR[10]	3	NC				
GIOG[5]/EBADDR[19]/ EBADDR[11]	150	NC				
GIOG[6]/EBADDR[20]/EBADDR[12]	148	NC				
GIOG[7]/EBADDR[21]/ EBADDR[13]	145	NC				
GIOH[0]/EBADDR[22]/ EBADDR[14]	144	NC				
GIOH[5]/EBHOLD	128	NC				

表 4. 端子功能 (HFQ/HKP 封装) (接下页)

端子			类型 ⁽¹⁾ (2)	电流输出	内部上拉电阻器/ 下拉电阻器 ⁽³⁾	说明
名称	垫编号	HFQ/ HKP 引脚 编号 ⁽⁴⁾				
多缓冲模数转换器 (MibADC)						
ADEVT	104	59	3.3V	2mA -z	IPD (20 μ A)	MibADC 事件输入。可被设定为一个 GIO 引脚。
ADIN[0]	120	NC		MibADC 模拟输入引脚		
ADIN[1]	119	NC				
ADIN[2]	118	NC				
ADIN[3]	117	NC				
ADIN[4]	116	NC				
ADIN[5]	111	NC				
ADIN[6]	110	63				
ADIN[7]	109	NC				
ADIN[8]	108	62				
ADIN[9]	107	61				
ADIN[10]	106	60				
ADIN[11]	105	NC				
AD _{REFHI}	112	64	3.3 VREF			MibADC 模块高压基准输入
AD _{REFLO}	113	65	GND REF			MibADC 模块低压基准输入
V _{CCAD}	114	66	3.3V 电源			MibADC 模拟电源电压
V _{SSAD}	115	67	GND			MibADC 模拟接地基准
串行外设接口 1 (SPI)						
SPI1CLK	4	3	5V 容限	4mA		SPI1 时钟。SPI1CLK 可被设定为一个 GIO 引脚。
$\overline{\text{SPI1ENA}}$	2	2				SPI1 芯片使能。可被设定为一个 GIO 引脚。
$\overline{\text{SPI1SCS}}$	1	1				SPI1 从器件片选。可被设定为一个 GIO 引脚。
SPI1SIMO	5	4				SPI1 数据流。从器件输入/主器件输出。可被设定为一个 GIO 引脚。
SPI1SOMI	7	5				SPI1 数据流。从器件输出/主器件输入。从器件输入/主器件输出。
串行外设接口 2 (SPI2)						
SPI2CLK	59	31	5V 容限	4mA		SPI2 时钟。可被设定为一个 GIO 引脚。
$\overline{\text{SPI2ENA}}$	63	34				SPI2 芯片使能。可被设定为一个 GIO 引脚。
$\overline{\text{SPI2SCS}}$	65	35				SPI2 从器件芯片选。可被设定为一个 GIO 引脚。
SPI2SIMO	62	33				SPI2 数据流。从器件输入/主器件输出。可被设定为一个 GIO 引脚。
SPI2SOMI	60	32				SPI2 数据流。从器件输出/主器件输入。可被设定为一个 GIO 引脚。
内部集成电路 1 (I2C1)						
I2C1SDA	90	NC	5V 容限	4mA		I2C1 串行数据引脚或 GIO 引脚
I2C1SCL	91	NC				I2C1 串行时钟引脚或 GIO 引脚

表 4. 端子功能 (HFQ/HKP 封装) (接下页)

端子			类型 ⁽¹⁾ (2)	电流输出	内部上拉电阻器/ 下拉电阻器 ⁽³⁾	说明
名称	垫 编号	HFQ/ HKP 引脚 编号 ⁽⁴⁾				
内部集成电路 2 (I2C2)						
I2C2SDA	97	55	5V 容限	4mA		I2C2 串行数据引脚或 GIO 引脚
I2C2SCL	98	56				I2C2 串行时钟引脚或 GIO 引脚
内部集成电路 3 (I2C3)						
I2C3SDA	32	NC	5V 容限	4mA		I2C3 串行数据引脚或 GIO 引脚
I2C3SCL	31	NC				I2C3 串行时钟引脚或 GIO 引脚
内部集成电路 4 (I2C4)						
I2C4SDA	44	23	5V 容限	4mA		I2C4 串行数据引脚或 GIO 引脚
I2C4SCL	43	22				I2C4 串行时钟引脚或 GIO 引脚
内部集成电路 5 (I2C5)						
I2C5SDA	41	NC	5V 容限	4mA		I2C5 串行数据引脚或 GIO 引脚
I2C5SCL	40	NC				I2C5 串行时钟引脚或 GIO 引脚
零引脚锁相环 (ZPLL)						
OSCIN	36	19	1.8V			晶振连接引脚或外部时钟输入
OSCO	35	18		2mA		外部晶振连接引脚
PLLDIS	100	57	3.3V		IPD (20µA)	启用/禁用 ZPLL。可绕过 ZPLL，此时振荡器成为系统时钟。如若不处于旁路模式，TI 建议将该引脚接地或通过下拉电阻接地。
串行通信接口 1 (SCI1)						
SCI1CLK	51	26	3.3V	2mA -z	IPD (20µA)	SCI1 时钟。SCI1CLK 可被设定为一个 GIO 引脚。
SCI1RX	49	25	5V 容限	4mA		SCI1 数据接收。SCI1RX 可被设定为一个 GIO 引脚。
SCI1TX	48	24	3.3V	2mA -z	IPU (20µA)	SCI1 数据传输。SCI1TX 可被设定为一个 GIO 引脚。
串行通信接口 2 (SCI2)						
SCI2CLK	54	NC	3.3V	2mA -z	IPD (20µA)	SCI2 时钟。SCI2CLK 可被设定为一个 GIO 引脚。
SCI2RX	53	NC	5V 容限	4mA		SCI2 数据接收。SCI2RX 可被设定为一个 GIO 引脚。
SCI2TX	52	NC	3.3V	2mA -z	IPU (20µA)	SCI2 数据传输。SCI2TX 可被设定为一个 GIO 引脚。
串行通信接口 3 (SCI3)						
SCI3CLK	27	14	3.3V	2mA -z	IPD (20µA)	SCI3 时钟。SCI3CLK 可被设定为一个 GIO 引脚。
SCI3RX	24	13	5V 容限	4mA		SCI3 数据接收。SCI3RX 可被设定为一个 GIO 引脚。
SCI3TX	23	12	3.3V	2mA -z	IPU (20µA)	SCI3 数据传输。SCI3TX 可被设定为一个 GIO 引脚。
系统模块 (SYS)						
CLKOUT	84	48	3.3V	8mA		双向引脚。CLKOUT 可被设定为一个 GIO 引脚或 SYSCLK, ICLK, 或 MCLK 的输出。
$\overline{\text{PORRST}}$	121	68	3.3V		IPD (20 µA)	输入主控芯片加电复位。外部 V _{CC} 监控电路必须把一个加电复位位置为有效。
$\overline{\text{RST}}$	124	69	3.3V	4mA	IPU (20µA)	双向复位。内部电路可以实现一个复位，一个外部系统复位也可以实现一个器件复位。在该引脚上，输出缓冲区作为一个开漏被执行（只驱动低电平）。为了确保不会随意产生一个外部复位，TI 建议在该引脚上连接一个外部上拉电阻。
安全装置/实时中断 (WD/RTI)						

表 4. 端子功能 (HFQ/HKP 封装) (接下页)

端子			类型 ⁽¹⁾ (2)	电流输出	内部上拉电阻器/ 下拉电阻器 ⁽³⁾	说明
名称	垫 编号	HFQ/ HKP 引脚 编号 ⁽⁴⁾				
AWD	39	21	3.3V	8mA		模拟安全装置复位。如若系统没有及时写入 WD KEY，一个外部 RC 网络电路被连接，那么 AWD 引脚就会提供一个系统复位。如果用户不使用 AWD，TI 建议把该引脚接地或由一个外部电阻下拉接地。 更多有关外部 RC 网络电路的信息，请参阅《TMS470R1x 系统模块参考指南》(文献编号 SPNU189)。
TEST/DEBUG(T/D)						
TCK	79	45	3.3V		IPD(20 μA)	测试时钟。TCK 控制测试硬件 (JTAG)。
TDI	77	43		8mA	IPU (20μA)	测试数据输入。TDI 把串行数据输入测试指令寄存器、测试数据寄存器和可编程测试地址中 (JTAG)。
TDO	78	44		8mA	IPD(20 μA)	测试数据输出。TDO 从测试指令寄存器，测试数据寄存器，识别寄存器，和可编程测试地址 (JTAG) 中输出串行数据。
TEST	127	72	3.3V		IPD (20μA)	测试使能。仅供内部使用。TI 建议把该引脚接地或由一个外部电阻下拉接地。
TMS	18	11		8mA	IPU (20μA)	控制 CPU 测试访问端口 (TAP) 控制器 (JTAG) 状态的串行输入。
TMS2	17	10		8mA	IPU (20μA)	控制第二 TAP 的串行输入。TI 建议把该引脚连接到 V _{CCIO} 上或由一个外部电阻上拉至 V _{CCIO} 。
$\overline{\text{TRST}}$	151	84			IPD(20 μA)	测试硬件复位为 TAP1 和 TAP2。IEEE 1149-1 (JTAG) 边界扫描逻辑标准。TI 建议把该引脚由一个外部电阻下拉接地。
闪存						
FLTP2	135	77	NC	NC		闪存测试焊盘 2。为了正确运行，一定不能连接该引脚 [无连接 (NC)]。
V _{CCP}	134	76	3.3V PWR			闪存外部泵电压 (3.3V)
内核电源电压 (1.8V)						
V _{CC}	14	8	1.8V PWR			内核逻辑电源电压
	34	17				
	56	28				
	95	54				
	126	71				
	133	75				

表 4. 端子功能 (HFQ/HKP 封装) (接下页)

端子			类型 ⁽¹⁾ (2)	电流输出	内部上拉电阻器/ 下拉电阻器 ⁽³⁾	说明
名称	垫 编号	HFQ/ HKP 引脚 编号 ⁽⁴⁾				
数字 I/O 电源电压 (3.3V)						
V _{CCIO}	28	15	3.3V PWR			数字 I/O 电源电压
	72	40				
	89	52				
	141	81				
电源接地内核						
V _{SS}	15	9	GND			内核电源接地基准
	37	20				
	55	27				
	94	53				
	125	70				
132	74					
电源接地数字 I/O						
V _{SSIO}	29	16	GND			数字 I/O 电源接地基准
	71	39				
	88	51				
	142	82				

表 5. 终端功能 (PGE 封装)

端子		类型 (1) (2)	电流输出	内部上拉电阻器/ 下拉电阻器 (3)	说明
名称	编号				
高端定时器 (HET)					
HET[0]	73	3.3V	2mA -z	IPD(20 μA)	定时器输入捕捉或输出比较。HET[8:0, 18, 20, 22] 适用应用引脚可被设定为通用输入/输出 (GIO) 引脚。所有引脚都是高分辨率引脚 高分辨率 (HR) 共享特性使偶数 HR 引脚能共享下一个更高的奇数 HR 引脚结构。该 HR 共享与奇数引脚是否外部可用无关。如果奇数引脚外部可用并且被共享, 那么奇数引脚就只能被用作作为一个通用 I/O。关于 HR 共享的更多信息, 请参阅《TMS470R1x 高端定时器 (HET) 参考指南》(文献编号 SPNU199)。
HET[1]	72				
HET[2]	71				
HET[3]	66				
HET[4]	65				
HET[5]	63				
HET[6]	9				
HET[7]	11				
HET[8]	12				
HET[18]	15				
HET[20]	18				
HET[22]	19				
高端 CAN 控制器 (HECC)					
CAN1HRX	83	5V 容限	4mA		HECC1 接收引脚或 GIO 引脚
CAN1HTX	84	3.3V	2mA -z	IPU (20μA)	HECC1 传输引脚或 GIO 引脚
CAN2HRX	54	5V 容限	4mA		HECC2 接收引脚或 GIO 引脚
CAN2HTX	55	3.3V	2mA -z	IPU (20μA)	HECC2 传输引脚或 GIO 引脚
标准 CAN 控制器 (SCC)					
CANSRX	-	5V 容限	4mA		SCC 接收引脚。CANSRX 信号只被连接至焊垫, 并不连接至封装引脚。为降低在低功耗模式的功耗, CANSRX 应被驱动输出低电平。
CANSTX	-	3.3V	2mA -z	IPU (20μA)	SCC 发送引脚。CANSTX 信号只被连接至焊垫, 并不连接至封装引脚。为降低在低功耗模式的功耗, CANSTX 应被驱动输出低电平。
通用 I/O (GIO)					
GIOA[0]/INT[0]	141	5V 容限	4mA		通用输入/输出引脚。GIOA[7:0]/INT[7:0] 是可中断引脚。 GIOA[1]/INT[1]/ECLK 引脚与外部时钟预分频(ECP) 模块的外部时钟输出功能复用。
GIOA[1]/INT[1]/ECLK	136				
GIOA[2]/INT[2]	134				
GIOA[3]/INT[3]	133				
GIOA[4]/INT[4]	127				
GIOA[5]/INT[5]	98				
GIOA[6]/INT[6]	78				
GIOA[7]/INT[7]	79				
GIOB[0]/EBDMAREQ0	43	3.3V	2mA -z	IPD (20μA)	GIOB[0], GIOC[4:0], GIOD[5:0], GIOE[7:0], GIOF[7:0], GIOG[7:0], GIOH[5:0]与扩展总线模块复用。 请参阅表 10。
GIOC[0]/EBOE	135				
GIOC[1]/EBWR[0]	128				
GIOC[2]/EBWR[1]	126				
GIOC[3]/EBCS[5]	120				
GIOC[4]/EBCS[6]	119				

(1) PWR = 电源, GND = 接地, REF = 基准电压, NC = 无连接

(2) 在PORRST 为低电平并且在PORRST变为高电平之后, 所有除RST之外的 I/O 引脚立即被配置为输入。

(3) IPD = 内部下拉, IPU = 内部上拉 (在输入引脚上的所有内部上拉和下拉是有效的, 不受 PORRST 状态的影响。)

表 5. 终端功能 (PGE 封装) (接下页)

端子		类型 (1) (2)	电流 输出	内部上拉电阻器/ 下拉电阻器 (3)	说明
名称	编号				
GIOD[0]/EBADDR[0]	42	3.3V	2mA -z	IPD (20μA)	GIOB[0], GIOC[4:0], GIOD[5:0], GIOE[7:0], GIOF[7:0], GIOG[7:0], GIOH[5,0]与扩展总线模块复用。 GIOA[7:0]/INT[15:8] 是可中断引脚。 请参阅表 10。
GIOD[1]/EBADDR[1]	39				
GIOD[2]/EBADDR[2]	35				
GIOD[3]/EBADDR[3]	30				
GIOD[4]/EBADDR[4]	27				
GIOD[5]/EBADDR[5]	23				
GIOE[0]/EBDATA[0]	44				
GIOE[1]/EBDATA[1]	47				
GIOE[2]/EBDATA[2]	58				
GIOE[3]/EBDATA[3]	61				
GIOE[4]/EBDATA[4]	64				
GIOE[5]/EBDATA[5]	67				
GIOE[6]/EBDATA[6]	70				
GIOE[7]/EBDATA[7]	77				
GIOF[0]/INT[8]/ EBADDR[6]/EBDATA[8]	80				
GIOF[1]/INT[9]/ EBADDR[7]/EBDATA[9]	82				
GIOF[2]/INT[10]/ EBADDR[8]/EBDATA[10]	89				
GIOF[3]/INT[11]/ EBADDR[9]/EBDATA[11]	90				
GIOF[4]/INT[12]/ EBADDR[10]/EBDATA[12]	93				
GIOF[5]/INT[13]/ EBADDR[11]/EBDATA[13]	96				
GIOF[6]/INT[14]/ EBADDR[12]/EBDATA[14]	99				
GIOF[7]/INT[15]/ EBADDR[13]/EBDATA[15]	100				
GIOG[0]/EBADDR[14]/ EBADDR[6]	20				
GIOG[1]/EBADDR[15]/ EBADDR[7]	10				
GIOG[2]/EBADDR[16]/ EBADDR[8]	8				
GIOG[3]/EBADDR[17]/ EBADDR[9]	6				
GIOG[4]/EBADDR[18]/ EBADDR[10]	3				
GIOG[5]/EBADDR[19]/ EBADDR[11]	143				
GIOG[6]/EBADDR[20]/EB ADDR[12]	142				
GIOG[7]/EBADDR[21]/ EBADDR[13]	140				
GIOH[0]/EBADDR[22]/ EBADDR[14]	139				
GIOH[5]/EBHOLD	125				

表 5. 终端功能 (PGE 封装) (接下页)

端子		类型 (1) (2)	电流输出	内部上拉电阻器/ 下拉电阻器 (3)	说明	
名称	编号					
多缓冲模数转换器 (MibADC)						
ADEVT	101	3.3V	2mA -z	IPD (20 μ A)	MibADC 事件输入。可被设定为一个 GIO 引脚。	
ADIN[0]	117		MibADC 模拟输入引脚			
ADIN[1]	116					
ADIN[2]	115					
ADIN[3]	114					
ADIN[4]	113					
ADIN[5]	108					
ADIN[6]	107					
ADIN[7]	106					
ADIN[8]	105					
ADIN[9]	104					
ADIN[10]	103					
ADIN[11]	102					
AD _{REFHI}	109	3.3 VREF			MibADC 模块高压基准输入	
AD _{REFLO}	110	GND REF			MibADC 模块低压基准输入	
V _{CCAD}	111	3.3V PWR			MibADC 模拟电源电压	
V _{SSAD}	112	GND			MibADC 模拟接地基准	
串行外设接口 1 (SPI)						
SPI1CLK	4	5V 容限	4mA		SPI1 时钟。SPI1CLK 可被设定为一个 GIO 引脚。	
$\overline{\text{SPI1ENA}}$	2				SPI1 芯片使能。可被设定为一个 GIO 引脚。	
$\overline{\text{SPI1SCS}}$	1				SPI1 从器件片选。可被设定为一个 GIO 引脚。	
SPI1SIMO	5				SPI1 数据流。从器件输入/主器件输出。可被设定为一个 GIO 引脚。	
SPI1SOMI	7				SPI1 数据流。从器件输出/主器件输入。从器件输入/主器件输出。	
串行外设接口 2 (SPI2)						
SPI2CLK	56	5V 容限	4mA		SPI2 时钟。可被设定为一个 GIO 引脚。	
$\overline{\text{SPI2ENA}}$	60				SPI2 芯片使能。可被设定为一个 GIO 引脚。	
$\overline{\text{SPI2SCS}}$	62				SPI2 从器件芯片选。可被设定为一个 GIO 引脚。	
SPI2SIMO	59				SPI2 数据流。从器件输入/主器件输出。可被设定为一个 GIO 引脚。	
SPI2SOMI	57				SPI2 数据流。从器件输出/主器件输入。可被设定为一个 GIO 引脚。	
内部集成电路 1 (I2C1)						
I2C1SDA	87	5V 容限	4mA		I2C1 串行数据引脚或 GIO 引脚	
I2C1SCL	88				I2C1 串行时钟引脚或 GIO 引脚	
内部集成电路 2 (I2C2)						
I2C2SDA	94	5V 容限	4mA		I2C2 串行数据引脚或 GIO 引脚	
I2C2SCL	95				I2C2 串行时钟引脚或 GIO 引脚	

表 5. 终端功能 (PGE 封装) (接下页)

端子		类型 (1) (2)	电流输出	内部上拉电阻器/ 下拉电阻器 (3)	说明
名称	编号				
内部集成电路 3(I2C3)					
I2C3SDA	29	5V 容限	4mA		I2C3 串行数据引脚或 GIO 引脚
I2C3SCL	28				I2C3 串行时钟引脚或 GIO 引脚
内部集成电路 4(I2C4)					
I2C4SDA	41	5V 容限	4mA		I2C4 串行数据引脚或 GIO 引脚
I2C4SCL	40				I2C4 串行时钟引脚或 GIO 引脚
内部集成电路 5(I2C5)					
I2C5SDA	38	5V 容限	4mA		I2C5 串行数据引脚或 GIO 引脚
I2C5SCL	37				I2C5 串行时钟引脚或 GIO 引脚
零引脚锁相环 (ZPLL)					
OSCIN	33	1.8V			晶振连接引脚或外部时钟输入
OSCO	32		2mA		外部晶振连接引脚
PLLDIS	97	3.3V		IPD (20µA)	启用/禁用 ZPLL。可绕过 ZPLL，此时振荡器成为系统时钟。如若不处于旁路模式，TI 建议将该引脚接地或通过下拉电阻接地。
串行通信接口 1 (SCI1)					
SCI1CLK	48	3.3V	2mA -z	IPD (20µA)	SCI1 时钟。SCI1CLK 可被设定为一个 GIO 引脚。
SCI1RX	46	5V 容限	4mA		SCI1 数据接收。SCI1RX 可被设定为一个 GIO 引脚。
SCI1TX	45	3.3V	2mA -z	IPU (20µA)	SCI1 数据传输。SCI1TX 可被设定为一个 GIO 引脚。
串行通信接口 2 (SCI2)					
SCI2CLK	51	3.3V	2mA -z	IPD (20µA)	SCI2 时钟。SCI2CLK 可被设定为一个 GIO 引脚。
SCI2RX	50	5V 容限	4mA		SCI2 数据接收。SCI2RX 可被设定为一个 GIO 引脚。
SCI2TX	49	3.3V	2mA -z	IPU (20µA)	SCI2 数据传输。SCI2TX 可被设定为一个 GIO 引脚。
串行通信接口 3 (SCI3)					
SCI3CLK	24	3.3V	2mA -z	IPD(20µA)	SCI3 时钟。SCI3CLK 可被设定为一个 GIO 引脚。
SCI3RX	22	5V 容限	4mA		SCI3 数据接收。SCI3RX 可被设定为一个 GIO 引脚。
SCI3TX	21	3.3V	2mA -z	IPU (20µA)	SCI3 数据传输。SCI3TX 可被设定为一个 GIO 引脚。
系统模块 (SYS)					
CLKOUT	81	3.3V	8mA		双向引脚。CLKOUT 可被设定为一个 GIO 引脚或 SYSCLK, ICLK, 或 MCLK 的输出。
$\overline{\text{PORRST}}$	118	3.3V		IPD (20 µA)	输入主控芯片加电复位。外部 V _{CC} 监控电路必须执行加电复位。
$\overline{\text{RST}}$	121	3.3V	4mA	IPU (20µA)	双向复位。内部电路可以实现一个加电复位，一个外部系统复位可实现器件复位。 在该引脚上，输出缓冲区作为一个开漏被执行（只驱动低电平）。 为了确保不会随意产生一个外部复位，TI 建议在该引脚上连接一个外部上拉电阻。
安全装置/实时中断 (WD/RTI)					
AWD	36	3.3V	8mA		模拟安全装置复位。如若系统没有及时写入 WD KEY，一个外部 RC 网络电路被连接，那么 AWD 引脚就会提供一个系统复位。如果用户不使用 AWD，TI 建议把该引脚接地或由一个外部电阻下拉接地。 更多有关外部 RC 网络电路的信息，请参阅《TMS470R1x 系统模块参考指南》（文献编号 SPNU189）。
TEST/DEBUG(T/D)					
TCK	76	3.3V		IPD(20 µA)	测试时钟。TCK 控制测试硬件 (JTAG)。
TDI	74		8mA	IPU (20µA)	测试数据输入。TDI 把串行数据输入测试指令寄存器、测试数据寄存器和可编程测试地址中 (JTAG)。

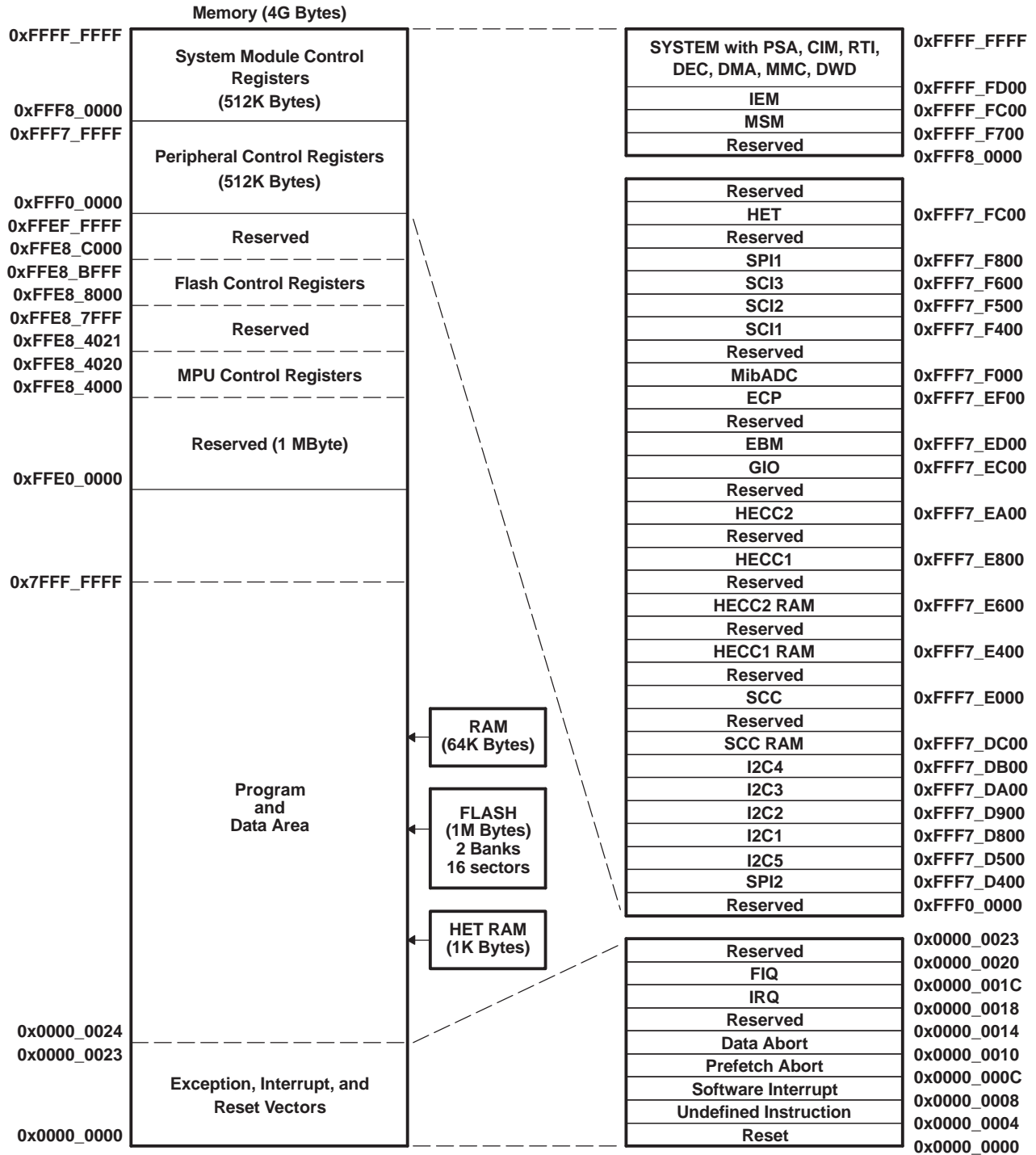
表 5. 终端功能 (PGE 封装) (接下页)

端子		类型 (1) (2)	电流输出	内部上拉电阻器/ 下拉电阻器 (3)	说明
名称	编号				
TDO	75		8mA	IPD(20 μ A)	测试数据输出。TDO 从测试指令寄存器, 测试数据寄存器, 识别寄存器, 和可编程测试地址 (JTAG) 中输出串行数据。
TEST	124	3.3V		IPD (20 μ A)	测试使能。仅供内部使用。TI 建议把该引脚接地或由一个外部电阻下拉接地。
TMS	17		8mA	IPU (20 μ A)	控制 CPU 测试访问端口 (TAP) 控制器 (JTAG) 状态的串行输入。
TMS2	16		8mA	IPU (20 μ A)	控制第二 TAP 的串行输入。TI 建议把该引脚连接到 V _{CCIO} 上或由一个外部电阻上拉至 V _{CCIO} 。
$\overline{\text{TRST}}$	144			IPD(20 μ A)	测试硬件复位为 TAP1 和 TAP2。IEEE 1149-1 (JTAG) 边界扫描逻辑标准。TI 建议把该引脚由一个外部电阻下拉接地。
闪存					
FLTP2	132	NC	NC		闪存测试焊盘 2。为了正确运行, 一定不能连接该引脚 [无连接 (NC)]。
V _{CCP}	131	3.3V PWR			闪存外部泵电压 (3.3V)
内核电源电压 (1.8V)					
V _{CC}	13	1.8V PWR			内核逻辑电源电压
	31				
	53				
	92				
	123				
	130				
数字 I/O 电源电压 (3.3V)					
V _{CCIO}	25	3.3V PWR			数字 I/O 电源电压
	69				
	86				
	137				
电源接地内核					
V _{SS}	14	GND			内核电源接地基准
	34				
	52				
	91				
	122				
	129				
电源接地数字 I/O					
V _{SSIO}	26	GND			数字 I/O 电源接地基准
	68				
	85				
	138				

B1M 特定器件的信息

内存

图 2展示了 B1M 器件的映射图。



- A. 存储器地址被系统模块 (SYS) 配置在 0x0000_0000 至 0xFFE0_0000 范围内。
- B. CPU 寄存器不是存储器映射的一部分。

图 2. SM470R1B1M 存储器映射

存储器选择

存储器选择使用户可以在用户定义的地址上对存储器阵列（即 flash、RAM 和 HET RAM）寻址。每一项存储器选择均有它自己的存储器基址寄存器（MFBAHRx 和 MFBALRx）的设置（低电平或者高电平），它们共同定义了存储器阵列的开始地址（基址）、块大小和保护。

每项存储器选择的基址可设置为任意的大小为解码块尺寸数倍的内存地址边界。有关如何控制和配置这些存储器选择寄存器的更多信息，请参阅《《TMS470R1x 系统模块参考指南》总线结构和存储器章节（文献编号 SPNU189）。

存储器选择分配及选择的存储器，请参见表 6。

表 6. SM470R1B1M 存储器选择分配

存储器选择	存储器被选中的 (所有内部存储器)	存储器大小 ⁽¹⁾	MPU	MSM	内存基址寄存器	静态 MEM CTL 寄存器
0 (细)	闪存 / ROM	1M	否	是	MFBAHR0 和 MFBALR0	
1 (细)	闪存 / ROM		否	是	MFBAHR1 和 MFBALR1	
2 (细)	RAM	64K ⁽²⁾	是	是	MFBAHR2 和 MFBALR2	
3 (细)	RAM		是	是	MFBAHR3 和 MFBALR3	
4 (细)	HET RAM	1K	否	否	MFBAHR4 和 MFBALR4	SMCR1
5 (粗)	$\overline{CS}[5]/\text{GIOC}[3]$	512Kx8(512KB) 256Kx16 (512KB)	否	否	MCBAHR2 和 MCBALR2	SMCR5
6 (粗)	$\overline{CS}[6]/\text{GIOC}[4]$	512Kx8(512KB) 256Kx16 (512KB)	否	否	MCBAHR3 和 MCBALR3	SMCR6

(1) X8 是指 8 位中内存的大小；X16 是指 16 位中内存的大小。

(2) RAM 的两个存储器选择信号的开始地址不能与存储器基址寄存器中用户定义块大小的倍数相互抵销。

JTAG 安全模块

B1M 器件包括了一个 JTAG 安全模块来为存储器中的内容提供最大的安全性。该可见解锁代码可以放在 OTP 部分或用户可编程存储器的第一个组中。对于 B1M，可见解锁代码是在 OTP 扇区，地址为 0x0000_01F8。

存储器安全模块

B1M 器件还包括一个内存安全模块 (MSM)，该模块能为内存内容保护提供额外的安全性和灵活性。MSM 的解锁密码位于闪存防护密码前四个字中。

RAM

该 BiM 器件含有 64K 字节的静态 RAM，可被 SYS 模块配置为在 0x0000_0000 到 0xFFE0_0000 范围内寻址。此 B1M RAM 被在由两个存储器选择信号选择的一个 64K 字节的阵列中执行。该 B1M 配置强加给 RAM 内存映射一个附加约束；两个 RAM 存储器选择的开始地址不能被物理 RAM 大小的倍数（即，对于 B1M 器件为 64K 字节）相互抵销。B1M RAM 地址通过存储器选择 2 和 3 选址。

RAM 可以受系统模块中的存储器保护单元 (MPU) 保护，从而为用户提供比用存储器选择更好的存储器保护块。MPU 是在允许访问当前任务的同时保护操作系统的理想选择。更多有关 SYS 模块和内存保护的 MPU 部分的信息，请参阅《TMS470R1x 系统模块参考指南》的存储器章节（文献编号 SPNU189）。

F05 闪存

F05 闪存存储器是一个由 32 位宽数据总线接口实现的非易失性、电可擦除并且可编程的存储器。F05 闪存存储器含有一个编程和擦除功能的外部状态机。请见闪存读取和闪存编程和擦除部分。

闪存保护密码

该 B1M 器件提供闪存保护密钥。这四个 32 位的闪存保护密钥阻止了当前的编程/擦除/压缩操作，直到 CPU 载入正确的用户密钥至 FMPKEY 控制寄存器，与这四个保护密钥相匹配为止。B1M 上的保护密钥位于第一个 64K 扇区的最后 4 个字中。

闪存读取

B1M 闪存存储器可被系统模块 (SYS) 配置为在 0x0000_0000 到 0xFFE0_0000 地址范围中寻址。闪存通过存储器选择 0 和 1 寻址。

注

全部操作（编程、擦除、读取）都需要闪存外部泵电压 (V_{CCP})。

闪存管道模式

管道模式时，闪存可在高达 60MHz 的系统时钟频率下运行（在普通模式为 30MHz 的系统时钟频率）。在管道模式下闪存能够访问 64 位字并向 CPU 提供两个 32 位字。并且在管道模式下，当内存地址是连续的时（在初始的 1 或 2 个等待状态后），读取闪存无需等待。

注

在系统复位后，管道模式被禁用（ENPIPE 位[FMREGOPT.0] 为 0）。换言之，B1M 器件加电并从非管道模式复位中脱离。此外，闪存配置模式位 (GBLCTRL.4) 设置将取代管道模式。

闪存编程和擦除

B1M 器件的闪存由两个 512K 字节的存储器阵列（或组）共 1M 字节闪存构成，并包含 16 个扇区。这 16 个扇区的大小如下：

编号	线段	低地址	高地址	存储器阵列 (或组)
OTP	2K 字节	0x0000_0000	0x0000_007FF	组 0 (512K 字节)
0	64K 字节	0x0000_0000	0x0000_FFFF	
1	64K 字节	0x0001_0000	0x0001_FFFF	
2	64K 字节	0x0002_0000	0x0002_FFFF	
3	64K 字节	0x0003_0000	0x0003_FFFF	
4	64K 字节	0x0004_0000	0x0004_FFFF	
5	64K 字节	0x0005_0000	0x0005_FFFF	
6	64K 字节	0x0006_0000	0x0006_FFFF	
7	64K 字节	0x0007_0000	0x0007_FFFF	组 1 (512K 字节)
0	64K 字节	0x0008_0000	0x0008_FFFF	
1	64K 字节	0x0009_0000	0x0009_FFFF	
2	64K 字节	0x000A_0000	0x000A_FFFF	
3	64K 字节	0x000B_0000	0x000B_FFFF	
4	64K 字节	0x000C_0000	0x000C_FFFF	
5	64K 字节	0x000D_0000	0x000D_FFFF	
6	64K 字节	0x000E_0000	0x000E_FFFF	
7	64K 字节	0x000F_0000	0x000F_FFFF	

擦除操作的最小尺寸是一个扇区。编程操作的最大尺寸为一个 16 位字。

注

全部操作（编程，擦除，读取）都需要闪存外部泵电压 (V_{CCP})。

当编辑/擦除任一或者其它组中的所有扇区时，可从一个组中执行。然而，不能从一个正在被编程或擦除的组中的任一扇区中执行。

注

当启用 OTP 扇区时，闪存的其余部分将被禁用。OTP 存储器只从由 RAM 执行的代码中能读取或编程。

HET RAM

该 B1M 器件包含 HET RAM。HET RAM 有一个 64 条指令容量。HET RAM 由 SYS 模块配制到 0x0000_0000 到 0xFFE0_0000 地址范围内。HET RAM 由存储器选择 4 寻址。

外设选择与基址

B1M 器件使用 16 个外设选择的 10 个来解码外设基址。鉴于它们是 SYS 模块所使用的解码方案的一部分，这些外设选择对用户是固定和透明的。

外设模块，SYS 模块和闪存的控制寄存器从表 7 中所示的基址开始。

表 7. B1M 外设，系统模块和闪存基址

连接模块	地址范围		外设选择
	基址	结束地址	
系统	0 x FFFF_FFCC	0 x FFFF_FFFF	不可用
被保留	0 x FFFF_FF70	0 x FFFF_FF00	不可用
DWD	0x FFFF_FF60	0 x FFFF_FF6F	不可用
PSA	0 x FFFF_FF40	0 x FFFF_FF5F	不可用
CIM	0 x FFFF_FF20	0 x FFFF_FF3F	不可用
RTI	0 x FFFF_FF00	0 x FFFF_FF1F	不可用
DMA	0 x FFFF_FE80	0 x FFFF_FEFF	不可用
DEC	0 x FFFF_FE00	0 x FFFF_FE7F	不可用
RESERVED	0x FFFF_FD80	0x FFFF_FDFF	不可用
MMC	0 x FFFF_FD00	0 x FFFF_FD7F	不可用
IEM	0 x FFFF_FC00	0 x FFFF_FCFF	不可用
被保留	0 x FFFF_Fb00	0 x FFFF_FBFF	不可用
被保留	0 x FFFF_Fa00	0 x FFFF_FAFF	不可用
DMA CMD 缓冲器	0 x FFFF_F800	0 x FFFF_F9FF	不可用
MSM	0x FFFF_F700	0x FFFF_F7FF	不可用
被保留	0x FFFF8_0000	0x FFFF_F6FF	不可用
被保留	0 x FFF7_FD00	0x FFF7_FFFF	PS[0]
HET	0x FFF7_FC00	0x FFF7_FCFF	
被保留	0x FFF7_F900	0x FFF7_FBFF	PS[1]
SPI1	0x FFF7_F800	0x FFF7_F8FF	
被保留	0x FFF7_F700	0x FFF7_F7FF	PS[2]
SCI3	0x FFF7_F600	0x FFF7_F6FF	
SCI2	0x FFF7_F500	0x FFF7_F5FF	
SCI1	0x FFF7_F400	0x FFF7_F4FF	
被保留	0x FFF7_F100	0x FFF7_F3FF	PS[3]
MibADC	0x FFF7_F000	0x FFF7_F0FF	
ECP	0x FFF7_EF00	0x FFF7_EFFF	PS[4]
被保留	0x FFF7_EE00	0x FFF7_EEFF	
EBM	0x FFF7_ED00	0x FFF7_EDFF	
GIO	0x FFF7_EC00	0x FFF7_ECFF	
HECC2	0x FFF7_EB00	0x FFF7_EBFF	PS[5]
	0x FFF7_EA00	0x FFF7_EAFF	
HECC1	0x FFF7_E900	0x FFF7_E9FF	
	0x FFF7_E800	0x FFF7_E8FF	
HECC2 RAM	0x FFF7_E700	0x FFF7_E7FF	PS[6]
	0x FFF7_E600	0x FFF7_E6FF	
HECC1 RAM	0x FFF7_E500	0x FFF7_E500	
	0x FFF7_E400	0x FFF7_E4FF	
被保留	0x FFF7_E100	0x FFF7_E3FF	PS[7]
SCC	0x FFF7_E000	0x FFF7_E0FF	

表 7. B1M 外设，系统模块和闪存基址 (接下页)

连接模块	地址范围		外设选择
	基址	结束地址	
被保留	0xFFF7_DD00	0xFFF7_DFFF	PS[8]
SCC RAM	0xFFF7_DC00	0xFFF7_DCFE	
I2C4	0xFFF7_DB00	0xFFF7_DBFF	PS[9]
I2C3	0xFFF7_DA00	0xFFF7_DAFF	
I2C2	0xFFF7_D900	0xFFF7_D9FF	
I2C1	0xFFF7_D800	0xFFF7_D8FF	
被保留	0xFFF7_D600	0xFFF7_D7FF	PS[10]
I2C5	0xFFF7_D500	0xFFF7_D5FF	
SPI2	0xFFF7_D400	0xFFF7_D4FF	
被保留	0xFFF7_CC00	0xFFF7_D3FF	PS[11]-PS[12]
被保留	PS[11]-PS[12]	0xFFF7_CBFF	PS[13]
被保留	0xFFF7_C000	0xFFF7_C7FF	PS[14]-PS[15]
被保留	0xFFF0_0000	0xFFF7_BFFF	不可用
闪存控制寄存器	0xFFE8_8000	0xFFE8_BFFF	不可用
被保留	0xFFF8_4024	0xFFF8_7FFF	不可用
MPU 控制寄存器	0xFFE8_4000	0xFFE8_4023	不可用
被保留	0xFFF8_0000	0xFFF8_3FFF	不可用

直接存储器访问 (DMA)

直接存储器访问 (DMA) 控制器与 B1M 内存映射中的任一指定位置传送和接受数据（受限的内存位置除外，例如系统控制寄存器区域）。DMA 管理多达 16 个通道，并且支持片和片外存储器 and 外设的数据传输。DMA 控制器是与 CPU 和外设总线这两者相连，使得这些数据能够在 CPU 活动的同时发生传输，从而最大化系统的整体性能。

尽管 DMA 控制器有两种可能的配置，但对于 B1M 器件来说，DMA 控制器配置是 32 个控制数据包和 16 个通道。

有关 B1M DMA 请求实线连接配置，请参阅表 8。

表 8. DMA 请求线路连接⁽¹⁾

模块	DMA 请求中断源		DMA 通道
EBM	扩展总线 DAM 请求	EEDMAREQ[0]	DMAREQ[0]
SPI1/I2C4	SPI1 结束接收 / I2C4 读取	SPI1DMA0/I2C4DMA0	DMAREQ[1]
SPI1/I2C4	SPI1 结束传输 / I2C4 写入	SPI1DMA1/I2C4DMA1	DMAREQ[2]
MibADC/I2C1	ADC EV/I2C1 读取	MibADCDMA0/I2C1DMA0	DMAREQ[3]
MibADC/SCI1/I2C5	ADC G1/SCI1 结束接收 / I2C5 读取	MibADCDMA1/SCI1DMA0/I2C5DMA0	DMAREQ[4]
MibADC/SCI1/I2C5	ADC G2/SCI1 结束传输 / I2C5 写入	MibADCDMA2/SCI1DMA1/I2C5DMA1	DMAREQ[5]
I2C1	I2C1 写入	I2C1DMA1	DMAREQ[6]
SCI3/SPI2	SCI3 结束接收 / SPI2 结束接收	SCI3DMA0/SPI2DMA0	DMAREQ[7]
SCI3/SPI2	SCI3 结束传输 / SPI2 结束传输	SCI3DMA01SPI2DMA1	DMAREQ[8]
I2C2	I2C2 读取结束接收	I2C2DMA0	DMAREQ[9]
I2C2	I2C2 写入结束传输	I2C2DMA1	DMAREQ[10]
I2C3	I2C3 读取	I2C3DMA0	DMAREQ[11]
I2C3	I2C3 写入	I2C3DMA1	DMAREQ[12]
被保留			DMAREQ[13]
SCI2	SCI2 结束接收	SCI2DMA0	DMAREQ[14]
SCI2	SCI2 结束传输	SCI2DMA1	DMAREQ[15]

(1) 在给定的应用中，带有多个请求源的 DMA 通道，所列出的源中只有一个通道可以成为 DMA 请求发生器。该器件通过软件控制来确保请求模块之间不发生冲突。

每个通道都有两个控制数据包连接到它，允许 DMA 不断加载 RAM 并产生周期性的中断，从而可以通过 CPU 读取数据。控制数据包允许中断使能并且由通道确定中断的优先级。

DMA 传输发生在两种模式之中的一种：

- 非请求模式（用于从存储器至存储器的传输）
- 请求模式（用于从存储器至外设的传输）

关于 DMA 控制器功能的更多详细信息，请参阅《TMS470R1x 直接内存访问 (DMA) 控制器参考指南》（文献编号 SPNU194）。

中断优先级 (IEM 到 CIM)

从 B1M 外设模块 (即, SPI1 或 SPI2; SCI1 或 SCI2; RTI; 等) 发出的的中断请求被分配到 48 个通道中断扩展模块 (IEM) 内, 其中, 通过可编程寄存器映射, 这些通道被映射到 SYS 模块的 32 通道中央中断控制器 (CIM) 部分。

将 IEM 中的多个中断源设定到相同的 CIM 通道中有效地在源之间共享 CIM 通道。

CIM 请求通道是可屏蔽的, 从而使单个通道可以选择性地被禁用。所有的中断请求都可以在 CIM 中被设定为两种类型:

- 快速中断请求 (FIQ)
- 正常中断请求 (IRQ)

CIM 对中断进行优先级排序。请求通道的优先级随其在 CIM (0 [最高]和 31[最低] 优先级) 中的通道号增大而降低。IEM 到 CIM 的默认映射, 通道优先级, 和其相关的模块, 请参阅表 9。

表 9. 中断优先级 (IEM 和 CIM)

模块	中断源	默认的 CIM 中断级/通道	IEM 通道
SPI1	SPI1 传输结束/溢出	0	0
RTI	COMP2 中断	1	1
RTI	COMP1 中断	2	2
RTI	TAP 中断	3	3
SPI2	SPI2 传输结束/溢出	4	4
GIO	GIO 中断 A	5	5
被保留		6	6
HET	HET 中断 1	7	7
I2C1	I2C1 中断	8	8
SCI1/SCI2	SCI1 或 SCI2 错误中断	9	9
SCI1	SCI1 接收中断	10	10
被保留		11	11
I2C2	I2C2 中断	12	12
HECC1	HECC1 中断 A	13	13
SCC	SCC 中断 A	14	14
被保留		15	15
MibADC	MibADC 事件转换结束	16	16
SCI2	SCI2 接收中断	17	17
DMA	DMA 中断 0	18	18
I2C3	I2C3 中断	19	19
SCI1	SCI1 发送中断	20	20
系统	SW 中断 (SSI)	21	21
被保留		22	22
HET	HET 中断 2	23	23
HECC1	HECC1 中断 B	24	24
SCC	SCC 中断 B	25	25
SCI2	SCI2 发送中断	26	26
MibADC	MibADC 结束组 1 转换	27	27
DMA	DMA 中断 1	28	28
GIO	GIO 中断 B	29	29
MibADC	MibADC 结束组 2 转换	30	30
SCI3	SCI3 错误中断	31	31
被保留		31	32–37

表 9. 中断优先级 (IEM 和 CIM) (接下页)

模块	中断源	默认的 CIM 中断级/通道	IEM 通道
HECC2	HECC2 中断 A	31	38
HECC2	HECC2 中断 B	31	39
SCI3	SCI3 接收中断	31	40
SCI3	SCI3 发送中断	31	41
I2C4	I2C4 中断	31	42
I2C5	I2C5 中断	31	43
被保留		31	44–47

更多关于 IEM 功能的详细信息，请参阅《TMS470R1x 中断扩展模块 (IEM) 参考指南》（文献编号 SPNU211）。
更多关于 CIM 功能的详细信息，请参阅《TMS470R1x 系统模块参考指南》（文献编号 SPNU189）。

扩展总线模块 (EBM)

扩展总线模块 (EBM) 是一个独立的模块，此模块用于将两个通用输入/输出引脚和扩展总线接口引脚结合在一起。此模块支持 GIO 的复用和扩展总线接口功能。该模块还支持 8 和 16 位扩展总线存储器接口映射以及以下扩展总线信号的映射：

- 27 位地址总线 (EBADDR[26:0] 为 x8, 19 位地址总线 (EBADDR[18:0] 为 x16)
- 8 或 16 位数据总线 (EBDATA[7:0] 或 EBDATA[15:0])
- 2 写入选通脉冲 (EBWR[1:0])
- 2 内存芯片选择 (EBCS[6:5])
- 1 输出使能 (EBOE)
- 1 用于连接较慢存储器的外部保持信号 (EBHOLD)
- 1 DMA 请求线 (EBDMAREQ[0])

表 10 显示了 I/O 信号与扩展总线接口信号的复用。这些引脚的映射的不同取决于内存模式。

表 10. 扩展总线复用映射⁽¹⁾

GIO	扩展总线模块引脚	
	x8 ⁽²⁾	x16 ⁽²⁾
GIOB[0]	EBDMAREQ[0]	EBDMAREQ[0]
GIOC[0]	$\overline{\text{EBOE}}$	$\overline{\text{EBOE}}$
GIOC[2:1]	$\overline{\text{EBWR}}[1:0]$	$\overline{\text{EBWR}}[1:0]$
GIOC[4:3]	$\overline{\text{EBCS}}[6:5]$	$\overline{\text{EBCS}}[6:5]$
GIOD[5:0]	EBADDR[5:0]	EBADDR[5:0]
GIOE[7:0]	EBDATA[7:0]	EBDATA[7:0]
GIOF[7:0]	EBADDR[13:6]	EBDATA[15:8]
GIOG[7:0]	EBADDR[21:14]	EBADDR[13:6]
GIOH[5]	$\overline{\text{EBHOLD}}$	$\overline{\text{EBHOLD}}$
I2C5SDA	EBADDR[26]	EBADDR[18]
I2C5SCL	EBADDR[25]	EBADDR[17]
I2C4SCL	EBADDR[24]	EBADDR[16]
I2C4SDA	EBADDR[23]	EBADDR[15]
GIOH[0]	EBADDR[22]	EBADDR[14]

(1) 更多详细信息，请参阅《TMS470R1x 扩展总线模块 (EBM) 参考指南》(文献编号 SPNU222) 和《TMS470R1x 通用输入/输出参考指南》(文献编号 SPNU192)。

(2) X8 是指 8 位中内存的大小；X16 是 16 位中内存的大小。

表 11 列出了扩展总线接口信号和它们功能的名称。

表 11. 扩展总线引脚

引脚	说明
EBDMAREQ	扩展总线 DMA 请求
$\overline{\text{EBOE}}$	扩展总线引脚使能
$\overline{\text{EBWR}}$	扩展总线写入选通信号 EBWR[1] 控制 EBDATA[15:8] 而 EBWR[0] 控制 EBDATA[7:0]
$\overline{\text{EBCS}}$	扩展总线芯片选择
EBADDR	扩展总线地址引脚
EBDATA	扩展总线数据引脚
$\overline{\text{EBHOLD}}$	扩展总线保持：一个外部器件可以将这个信号置为有效来将等待状态增加一个扩展总线处理中。

MibADC

多缓冲模数转换器 (MibADC) 接受模拟信号并将信号转换成 10 位的数字值。

B1M MibADC 模块可工作在两种模式：兼容模式，在这个模式下，它的编程器模式与 SM470R1x ADC 模块兼容并且它的数字结果保存在数字结果寄存器中；或者缓冲模式，在这个模式中，数字结果寄存器由三个 FIFO 缓冲区替代，每一个对应一个转换组（事件，组 1 (G1)，和组 2 (G2)）。在缓冲模式下，MibADC 缓冲区可以由中断或 DMA 处理。

MibADC 事件触发增强功能

相对于 TMS470R1x ADC 事件触发能力，MibADC 包括两个主要的增强功能。

- 组 1 和事件组都可以针对事件触发操作进行配置，倘若最多只有两个由事件触发的组。
- 组 1 和事件组的触发源和极性都可以从表 12 中标出的选项单独选择。

表 12. MibADC 事件接线配置

事件 #	G1 或事件源选择位 (G1SRC[1:0]或 EVSRC[1:0])	信号引脚名称
EVENT1	00	ADEVT
EVENT2	01	HET18
EVENT3	10	被保留
EVENT4	11	被保留

对组 1，通过 AD 事件源寄存器 (ADEVTSRC[5:4]) 中的组 1 源选择位 (G1SRC[1:0]) 配置这些事件触发选择。对于事件组，通过配置 AD 事件源寄存器 (ADEVTSRC[1:0]) 中的事件组源选择位 (G1SRC[1:0]) 配置这些事件触发选择。

更多关于 MibADC 的详细功能信息，请参阅《TMS470R1x 多缓冲模数转换器 (MibADC) 参考指南》（文献编号 SPNU206）。

JTAG 接口

器件上有两个主要的测试访问端口 (TAP):

- SM470R1x CPU TAP
- 用于工厂测试的器件 TAP

一些 JTAG 引脚在这两种 TAP 之间被共享。在图 3 中对接线进行了说明。

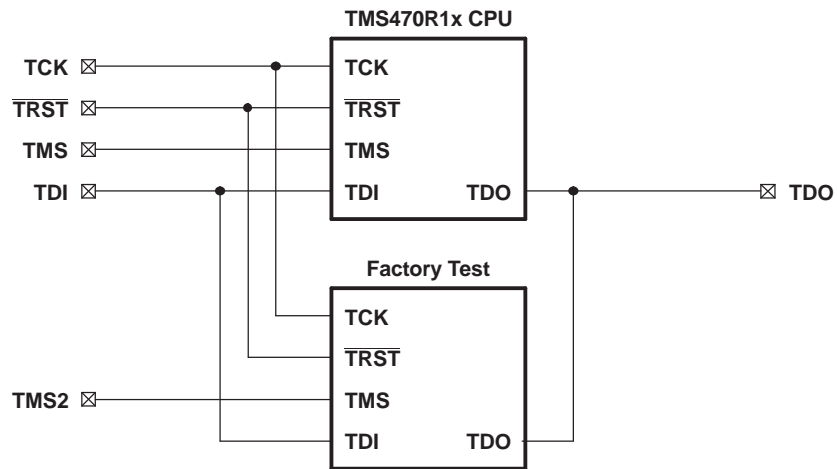


图 3. JTAG 接口

文档支持

大量的文件支持所有的 **SM470** 微控制器系列器件。 可用的文档类型包括一个带有设计规范的数据表；针对用户指南和开发支持工具的完整用户指南；硬件和软件应用。 有用的参考文档包括：

- 公告
 - 《TMS470 微控制器系列产品公告》（文献编号 SPNB086）
- 用户指南
 - 《TMS470R1x 系统模块参考指南》（文献编号 SPNU189）
 - 《TMS470R1x 通用输入/输出 (GPIO) 参考指南》（文献编号 SPNU192）
 - 《TMS470R1x 直接存储器存取 (DMA) 控制器参考指南》（文献编号 SPNU194）
 - 《TMS470R1x 直接存储器存取 (DMA) 控制器参考指南》（文献编号 SPNU194）
 - 《TMS470R1x 串行外设接口 (SPI) 参考指南》（文献编号 SPNU195）
 - 《TMS470R1x 串行通信接口 (SCI) 参考指南》（文献编号 SPNU196）
 - 《TMS470R1x 控制器局域网 (CAN) 参考指南》（文献编号 SPNU197）
 - 《TMS470R1x 高端定时器 (HET) 参考指南》（文献编号 SPNU199）
 - 《TMS470R1x 外部时钟预分频 (ECP) 参考指南》（文献编号 SPNU202）
 - 《TMS470R1x 多缓冲模数转换器 (MibADC) 参考指南》（文献编号 SPNU206）
 - 《TMS470R1x 零引脚相锁相环 (ZPLL) 时钟模块参考指南》（文献编号 SPNU212）
 - 《TMS470R1x 数字安全装置定时器参考指南》（文献编号 SPNU244）
 - 《TMS470R1x 中断扩展模块 (IEM) 参考指南》（文献编号 SPNU211）
 - 《TMS470R1x II 类串行接口 B (C2S1b) 参考指南》（文献编号 SPNU214）
 - 《TMS470R1x II 类串行接口 A (C2S1a) 参考指南》（文献编号 SPNU218）
 - 《TMS470R1x 扩展总线模块 (EBM) 参考指南》（文献编号 SPNU222）
 - 《TMS470R1x 内部集成电路 (I2C) 参考指南》（文献编号 SPNU223）
 - 《TMS470R1x JTAG 安全模块 (JSM) 参考指南》（文献编号 SPNU245）
 - 《TMS470R246x 存储器安全模块 (MSM) 参考指南》（文献编号 SPNU246）
 - 《TMS470 外设概述参考指南》（文献编号 SPNU248）
- 勘误表
 - 《TMS470R1B1M TMS470 微控制器芯片勘误表》（文献编号 SPNZ139）

器件和支持开发工具命名规则

为了指出产品开发周期的阶段，TI 为所有 DSP 器件和支持工具的部件号指定了前缀。每个 DSP 商用系列成员都有三个前缀中的一个：TMX，TMP 或 TMS（例如，**TMS470R1B1M**）。德州仪器 (TI) 建议为其支持的工具使用三个可能前缀指示符中的两个：**TMDX** 和 **TMDS**。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

器件开发进化流程：

TMX 试验器件不一定代表最终器件的电气规范标准。

TMP 最终的芯片模型符合器件的电气规范标准，但是未经完整的质量和可靠性验证。

SM 完全合格的生产器件

支持工具开发发展流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品

TMX 和 TMP 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

TMS 器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (TMX 或者 TMP) 的故障率大于标准生产器件。由于它们的预计的最终使用故障率仍未定义，德州仪器建议不要将这些器件用于任何生产系统。只有合格的产品器件将被使用。

图 4SM470R1x 系列的编号和符号命名说明。

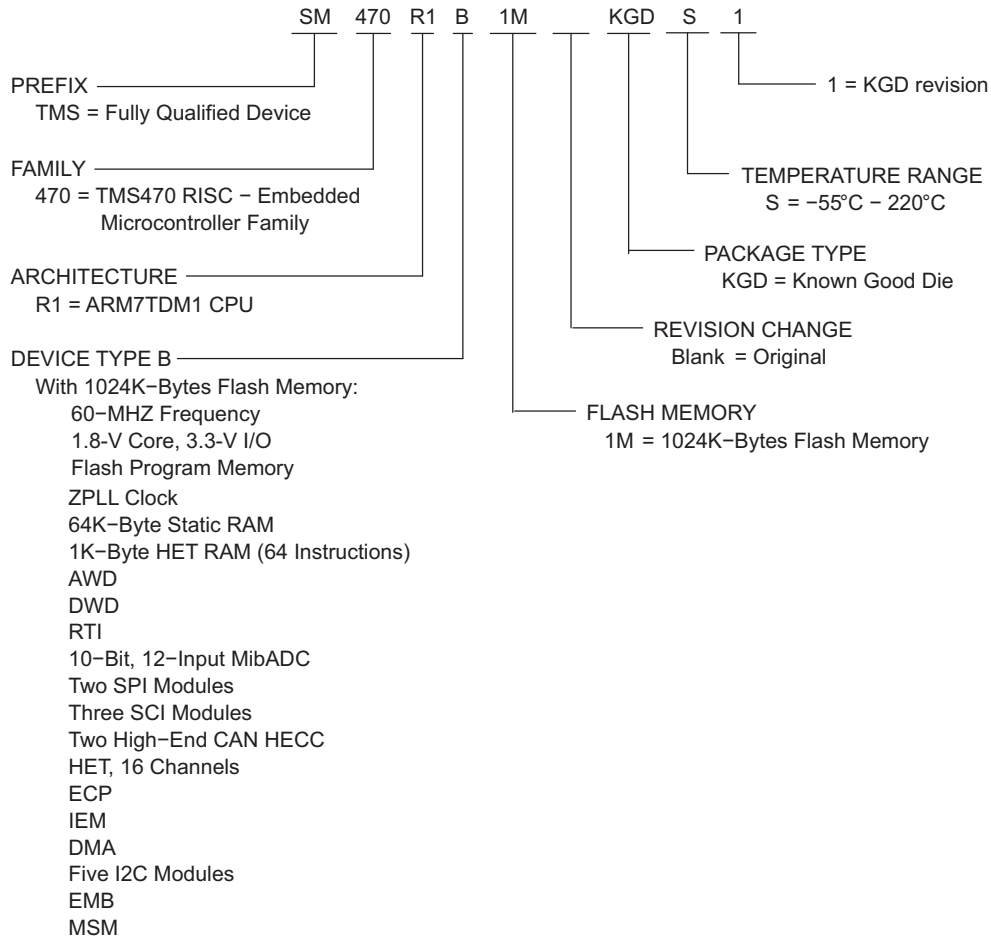


图 4. SM470R1x 系列命名

器件识别码寄存器

该器件识别码寄存器标识了芯片版本，技术系列 (TF)，一个 ROM 或闪存器件，和一个指定的器件特定部件编号（请参阅表 13）。B1M 器件识别码寄存器的值是 0xnA5F。

图 5. SM470 器件 ID 位分配寄存器 [偏移 = 0xFFFF_FFF0h]

31	被保留										16
15	12	11	10	9	3	2	1	0			
	版本	TF	R/F	部件号	1	1	1				
	R-K	R-K	R-K	R-K	R-1	R-1	R-1				

图例：

对于 3-15 位：R = 只读，-K = 复位后的恒定值。

对于 0-2 位：R = 只读，-1 = 复位后的值。

表 13. SM470 器件 ID 位分配寄存器字段说明

位	字段	值	说明
31-16	被保留		读取未定义，写入无效。
15-12	版本		芯片版本（修订版本）位 这些位确定该器件的芯片版本。
11	TF	0 1	技术系列位 该位区分技术系列内核电源： 对于 F10/C10 器件 3.3V 对于 F05/C05 器件 1.8V
10	R/F	0 1	ROM / 闪存 位 这个位区分 ROM 和闪存设备： 0 闪存器件 1 ROM 器件
9-3	部件号		器件专用部件号位 这些位确定指定的器件专用部件号。B1M 器件中指定的器件专用部件号是 1001011。
2-0	1		强制高 位 2, 1, 和 0 被默认接至高电平

器件的电气技术规范和时序参数

绝对最大额定值

在自然通风温度范围内，A 版本（除非另有说明）⁽¹⁾

电源电压范围:	V_{CC} ⁽²⁾	-0.3V 至 2.5V
电源电压范围:	V_{CCIO} , V_{CCAD} , V_{CCP} (闪存泵) ⁽²⁾	-0.3V 至 4.1V
输入电压范围:	所有的 5V 容限输入引脚	-0.3V 至 6.0V
	所有其他输入引脚	-0.3V 至 4.1V
输入钳位电流:	$I_{IK}(V_I < 0$ 或 $V_I > V_{CCIO})$ 所有的引脚, 除了 $\overline{ADIN}[0:11]$, \overline{PORRST} , \overline{TRST} , \overline{TEST} , 和 TCK	$\pm 20\text{mA}$
	$I_{IK}(V_I < 0$ 或 $V_I > V_{CCAD})$ $\overline{ADIN}[0:11]$	$\pm 10\text{mA}$
自然通风运行温度范围, T_A :	HFQ/HKP 封装	-55°C 至 220°C
	PGE 封装	-55°C 至 150°C
储存温度范围, T_{stg} :		-55°C 至 220°C

(1) 超出“最大绝对额定值”下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下或者在超出“推荐的操作条件”下的任何其它情况下的器件功能性操作，在此并未说明。长时间运行在最大绝对额定条件下会影响设备的可靠性。

(2) 所有电压值均是相对于和他们相连的地线。

器件建议的运行条件⁽¹⁾

			最小值	标称值	最大值	单位
V_{CC}	数字逻辑电源电压 (内核)	系统时钟 = 48MHz (启用管道模式)	1.71		2.05	V
		系统时钟 = 60MHz (启用管道模式)	1.81		2.05	
V_{CCIO}	数字逻辑电源电压 (I/O)		3		3.6	V
V_{CCAD}	ADC 电源电压		3		3.6	V
V_{CCP}	闪存泵电源电压		3		3.6	V
V_{SS}	数字逻辑电源接地			0		V
V_{SSAD}	ADC 电源接地 ⁽¹⁾		-0.1		0.1	V
T_A	自然通风工作温度范围	HFQ/HKP 封装	-55		220	°C
		PGE 封装	-55		150	

(1) 所有电压均以 V_{SS} 为基准，除了 V_{CCAD} ，它以 V_{SSAD} 为基准。

热信息

热度量 ⁽¹⁾	SM470R1B1M-HT		单位
	HFQ 或 HKP	PGE	
	64 引脚	144 引脚	
θ_{JA} 管结到环境热阻 ⁽²⁾	不可用	38.3	°C/W
θ_{JCTop} 管结到散热片 (顶部) 热阻 ⁽³⁾	不可用	5.7	
θ_{JB} 管结至电路板热阻 ⁽⁴⁾	152.0148	19.7	
ψ_{JT} 管结至顶部的特征参数 ⁽⁵⁾	不可用	0.1	
ψ_{JB} 管结至电路板的特征参数 ⁽⁶⁾	不可用	19.3	
θ_{JCbott} 管结到散热片 (底部) 热阻 ⁽⁷⁾	5.4898	不可用	

(1) 有关传统和全新热度量的更多信息, 请参阅 *IC 封装热度量 应用报告 (文献号: ZHCA543)*。

(2) 在 JESD51-2a 描述的环境中, 按照 JESD51-7 的规定, 在一个 JEDEC 标准高 K 电路板上进行仿真, 从而获得自然对流条件下的结至环境热阻抗。

(3) 通过在封装顶部模拟一个冷板测试来获得结至芯片外壳 (顶部) 的热阻。不存在特定的 JEDEC 标准测试, 但可在 ANSI SEMI 标准 G30-88 中找到内容接近的说明。

(4) 按照 JESD51-8 中的说明, 通过在配有用于控制 PCB 温度的环形冷板夹具的环境中进行仿真, 以获得结至电路板的热阻。

(5) 结至顶部的特征参数, (ψ_{JT}), 估算真实系统中器件的结温, 并使用 JESD51-2a (第 6 章和第 7 章) 中描述的程序从仿真数据中提取出该参数以便获得 θ_{JA} 。

(6) 结至电路板的特征参数, (ψ_{JB}), 估算真实系统中器件的结温, 并使用 JESD51-2a (第 6 章和第 7 章) 中描述的程序从仿真数据中提取出该参数以便获得 θ_{JA} 。

(7) 通过在外露 (电源) 焊盘上进行冷板测试仿真来获得结至芯片外壳 (底部) 热阻。不存在特定的 JEDEC 标准测试, 但可在 ANSI SEMI 标准 G30-88 中找到了内容接近的说明。

电气特性

最小和最大参数是运行温度范围内的额定值，除非另外注明，但是也许未在那个温度上进行生产测试。具有统计保护频段的生产测试限值被用来确保高温性能。(1)

参数		测试条件	最小值	典型值(2)	最大值	单位	
V_{hys}	输入滞后		0.15			V	
V_{IL}	低电平输入电压	所有的输入(3)	-0.3		0.8	V	
V_{IH}	高电平输入电压	所有输入	2		$V_{CCIO} + 0.3$	V	
	输入阈值电压	只有 AWD (4) OSCIN 仅带有数字输入	1.35 0.7 V_{CC}		1.8 $V_{CC} + 0.3$		
V_{OL}	低电平输出电压(5)	$I_{OL} = I_{OL}$ 最大值			0.2 V_{CCIO}	V	
		$I_{OL} = 50\mu A$			0.2		
V_{OH}	高电平输出电压(5)	$I_{OH} = I_{OH}$ 最小值	0.8 V_{CCIO}			V	
		$I_{OH} = 50\mu A$	$V_{CCIO} - 0.2$				
I_{IC}	输入钳位电流 (I/O 引脚) (6)	$V_I < V_{SSIO} - 0.3$ 或 $V_I > V_{CCIO} + 0.3$	-2		2	mA	
I_I	输入电流 (3.3V 输入引脚)	I_{IL} 下拉	$V_I = V_{SS}$	-1		1	μA
		I_{IH} 下拉	$V_I = V_{CCIO}$	5		100	
		I_{IL} 上拉	$V_I = V_{SS}$	-100		-5	
		I_{IH} 上拉	$V_I = V_{CCIO}$	-1		1	
		所有其他引脚	无上拉或下拉	-1		1	
	输入电流 (5V 容限输入引脚)	$V_I = V_{SS}$	-1		1	μA	
		$V_I = V_{CCIO}$	1		5		
		$V_I = 5V$	5		25		
$V_I = 5.5V$		25		50			
I_{OL}	低电平输出电流	CLKOUT, AWD, TDI, TDO, TMS, TMS2	$V_{OL} = V_{OL}$ 最大值			8	mA
		\overline{RST}				4	
		所有其他 3.3V I/O(7)				2	
		5V 容限				4	
I_{OH}	高电平输出电流	CLKOUT, TDI, TDO, TMS, TMS2	$V_{OH} = V_{OH}$ 最小值	-8			mA
		\overline{RST}		-4			
		所有其他 3.3V I/O(7)		-2			
		5V 容限		-4			

(1) 源电流 (器件输出) 为负，而灌电流 (器件输入) 为正。

(2) 在此表中列出的典型值是在正常工作条件下工作过程中的期望值：标称 V_{CC} , V_{CCIO} , 或 V_{CCAD} , 室温。

(3) 这并不适用于 PORRST 引脚。PORRST 除外，请参见 \overline{RST} 和 \overline{PORRST} 计时章节。

(4) 这些值有助于确定外部 RC 网络电路。更多信息，请参阅《TMS470R1x 系统模块参考指南》(文献编号 SPNU189)。

(5) V_{OL} 和 V_{OH} 与 (I_{OL}/I_{OH}) 应用的电流负载量呈线性关系

(6) 这些参数并不适用于只输入或只输出的引脚。

(7) 此设备上 2mA 缓冲区的一些是零域缓冲，在端子功能表中的输出电流栏由 a-z 表示。如果这些缓冲区的两个短接在一起，且一个是输出低电平，另一种是输出高电平，那么由此产生的值将永远是低电平。

电气特性 (continued)

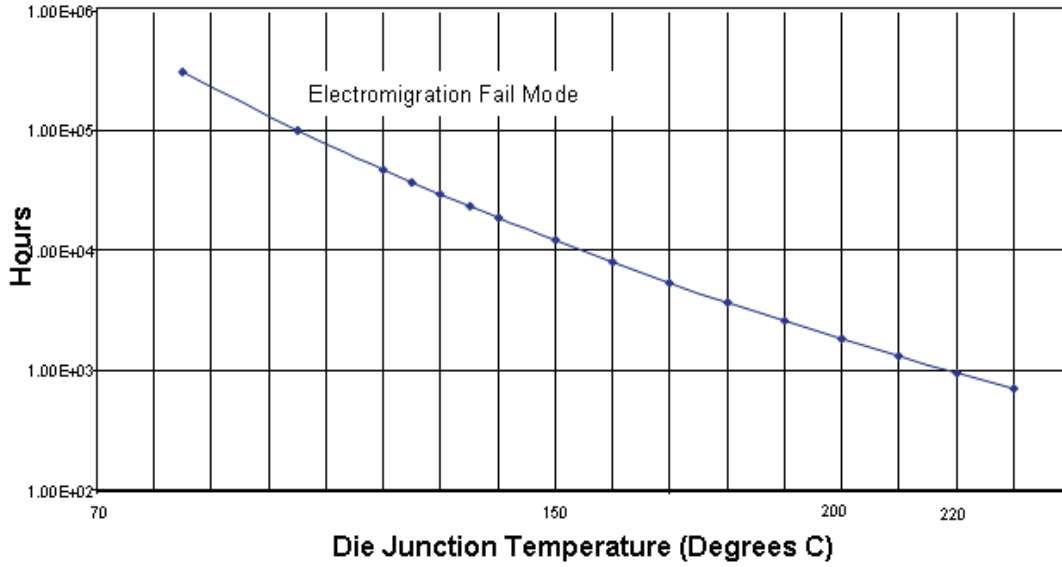
最小和最大参数是运行温度范围内的额定值，除非另外注明，但是也许未在那个温度上进行生产测试。具有统计保护频段的生产测试限值被用来确保高温性能。⁽¹⁾

参数		测试条件	最小值	典型值 ⁽²⁾	最大值	单位
I _{CC}	V _{CC} 数字电源电流（工作模式）	SYSCLK = 48MHz, ICLK = 24MHz, V _{CC} = 2.05V			110	mA
		SYSCLK = 60MHz, ICLK = 30MHz, V _{CC} = 2.05V			125	mA
	V _{CC} 数字电源电流（待机模式） ⁽⁸⁾⁽⁹⁾	OSCIN = 5MHz, V _{CC} = 2.05V			1.30	mA
	V _{CC} 数字电源电流（中止模式） ⁽⁸⁾⁽⁹⁾	所有频率, V _{CC} = 2.05V			700	μA
I _{CCIO}	V _{CCIO} 数字电源电流（运行模式）	无直流负载, V _{CCIO} = 3.6V ⁽¹⁰⁾			20	mA
	V _{CCIO} 数字电源电流（待机模式） ⁽⁹⁾	无直流负载, V _{CCIO} = 3.6V ⁽¹⁰⁾			250	μA
	V _{CCIO} 数字电源电流（中止模式） ⁽⁹⁾	无直流负载, V _{CCIO} = 3.6V ⁽¹⁰⁾			225	μA
I _{CCAD}	V _{CCAD} 电源电流（工作模式）	所有的频率, V _{CCAD} = 3.6V			15	mA
	V _{CCAD} 电源电流（待机模式）	所有的频率, V _{CCAD} = 3.6V			10	μA
	V _{CCAD} 电源电流（中止模式）	所有频率, V _{CCAD} = 3.6V			10	μA
I _{CCP}	V _{CCP} 泵电源电流	SYSCLK = 48MHz, V _{CCP} = 3.6V 读取操作			45	mA
		SYSCLK = 60MHz, V _{CCP} = 3.6V 读取操作			55	mA
		V _{CCP} = 3.6V 编程和擦除			70	mA
		V _{CCP} = 3.6V 待机模式操作 ⁽⁸⁾			10	μA
		V _{CCP} = 3.6V 中止模式操作 ⁽⁸⁾			10	μA
C _I	输入电容			2		pF
C _O	输出电容			3		pF

(8) 对处于睡眠模式中的闪存组/泵。

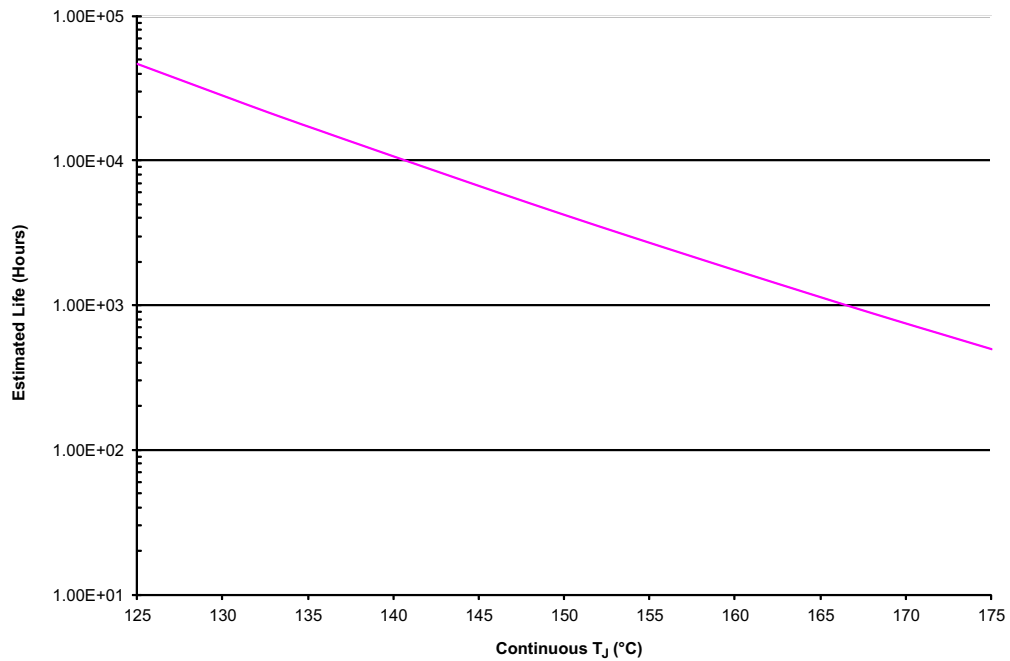
(9) 为降低在低功耗模式的功耗，CANSRX 和 CANSTX 应被驱动输出低电平。

(10) I/O 引脚被配置为无负载的输入或输出。所有下拉输入 ≤ 0.2V。所有上拉输入 ≥ V_{CCIO}-0.2V。



- (1) 绝对最高和最低的推荐运行条件请见数据表。
- (2) 在 105°C 结温条件下，芯片设计运行寿命是 10 年（不包括封装互连寿命）。

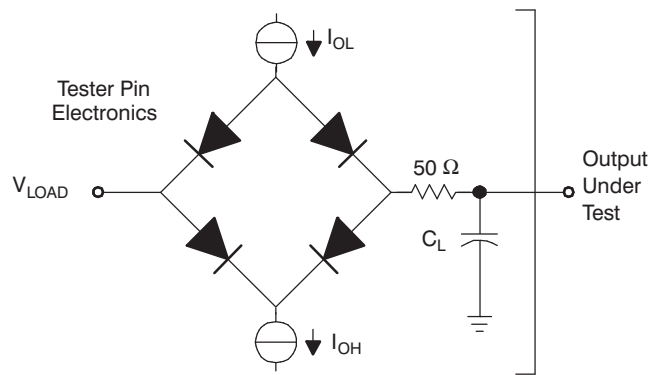
Figure 6. SM470R1B1M-HT 使用寿命曲线（HFQ/HKP 封装）



- (1) 绝对最高和最低的推荐运行条件请见数据表。
- (2) 在 105°C 结温条件下，芯片设计运行寿命是 10 年（不包括封装互连寿命）。
- (3) 器件可在 150°C 的温度条件下运行 1000 小时。器件可在 175°C 的温度下运行，但是工作寿命减少。

Figure 7. SM470R1B1M-HT 焊线使用寿命降额图表（PGE 封装）

参数测量信息



Where: I_{OL} = I_{OL} MAX for the respective pin^(A)
 I_{OH} = I_{OH} MIN for the respective pin^(A)
 V_{LOAD} = 1.5 V
 C_L = 150-pF typical load-circuit capacitance^(B)

- A. 对于这些值，请参阅《建议自然通风运行温度范围的电气特性》表。
- B. 使用 150pF 的外部负载电容测量所有时序参数，除非另有说明。

Figure 8. 测试负载电路

时序参数符号

所用的时序参数符号已按照 JEDEC 标准 100 创建。为了缩短符号，一些引脚的名称和其它相关的术语名已经按如下方法缩减：

CM	紧凑, CMPCT	RD	阅读
CO	CLKOUT	RST	复位, $\overline{\text{RST}}$
ER	擦除	RX	SCInRX
ICLK	接口时钟	S	从器件模式
M	主器件模式	SCC	SCInCLK
OSC, OSCI	OSCIN	SIMO	SPInSIMO
OSCO	OSCO	SOMI	SPInSOMI
P	编程, PROG	SPC	SPInCLK
R	就绪	SYS	系统时钟
R0	读取裕量 0, RDMRGN0	TX	SCInTX
R1	读取裕量 1, RDMRGN1		

小写下标和它们的含意是：

a	访问时间	r	上升时间
c	周期时间 (周期)	su	建立时间
d	延迟时间	t	转换时间
f	下降时间	v	有效时间
h	保持时间	w	脉冲持续时间 (宽度)

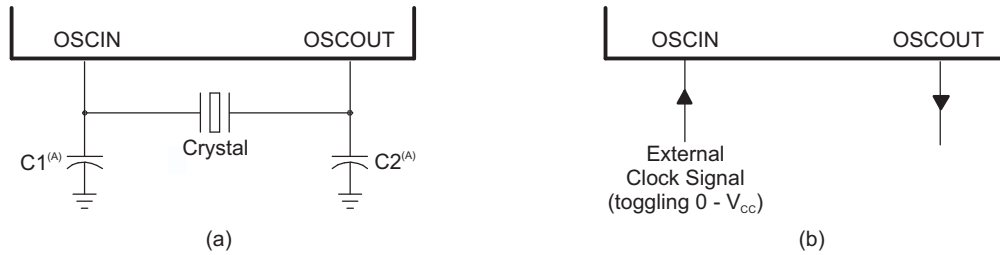
使用的附加字母意思如下：

H	高	X	未知、改变、或者无关电平
L	低	Z	高阻抗
V	有效		

外部参考谐振器/晶体振荡器时钟选项

如Figure 9(a)所示，通过把合适的基本 4-10MHz 谐振器/晶振和负载电容连接在外部 OSCIN 和 OSCOUT 引脚上来启用振荡器。振荡器是一个单级变换器，由内部集成的偏置电阻器保持在偏置状态。这个电阻在漏电测试测量和中止模式下被禁止。TI 强烈建议顾客提交该器件的样品让谐振器/晶振供应商测试其性能。供应商有专门的设备来确定多大的负载电容能将他们生产的谐振器/晶振调整到最佳状态以实现微控制器在温度/电压极值范围内的最优启动和运行。请注意，须保证外部晶振模式仅在 -40°C 至 150°C 的温度范围内运行。如果超过了上述建议的温度范围，那么强烈建议使用一个如Figure 9(b)所示的外部时钟信号。

如Figure 9b所示，通过把一个 1.8V 的时钟信号连接到 OSCIN 引脚和并使 OSCOUT 引脚悬空（断开），来使用一个外部振荡器源。



A. 谐振器/晶体供应商应提供 C1 和 C2 的值。

Figure 9. 晶振/时钟连接

ZPLL 与时钟技术规范

ZPLL 电路启用或禁用的时序要求⁽¹⁾

		最小值	典型值	最大值	单位
f _(OSC)	输入时钟频率	4		10	MHz
t _{c(OSC)}	周期, OSCIN	100			ns
t _{w(OSCIL)}	脉冲持续时间, OSCIN 低电平时间	15			ns
t _{w(OSCIH)}	脉冲持续时间, OSCIN 低电平时间	15			ns
f _(OSCRST)	OSC 的故障频率 ⁽²⁾		53		kHz

(1) 未经生产测试。

(2) 通过设置 RST OSC 故障 (GLBCTRL.15) 且 OSC 故障标志位 (GLBSTAT.1) 等于 1, 来引发器件复位 (特别是一个时钟复位)。有关这些位和器件复位的详细信息, 请参阅《TMS470R1x 系统模块参考指南》(文献编号 SPNU189)。

推荐工作条件下的开关特性⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

参数		测试条件 ⁽⁵⁾	最小值	最大值	单位
f _(SYS)	系统时钟频率 ⁽⁶⁾	管道模式被启用		60 ⁽⁷⁾	MHz
		管道模式被禁用		24	MHz
f _(CONFIG)	系统时钟频率-闪存配置模式			24	MHz
f _(ICLK)	接口时钟频率	管道模式被启用		30	MHz
		管道模式被禁用		24	MHz
f _(ECLK)	ECP 模块的外部时钟输出频率	管道模式被启用		30	MHz
		管道模式被禁用		24	MHz
t _{c(SYS)}	周期, 系统时钟	管道模式被启用	16.7		ns
		管道模式被禁用	41.6		ns
t _{c(CONFIG)}	周期, 系统时钟 - 闪存配置模式		41.6		ns
t _{c(ICLK)}	周期, 接口时钟	管道模式被启用	33.3		ns
		管道模式被禁用	41.6		ns
t _{c(ECLK)}	周期, ECP 模块外部时钟输出	管道模式被启用	33.3		ns
		管道模式被禁用	41.6		ns

(1) 未经生产测试。

(2) $f_{(SYS)} = M \times f_{(OSC)} / R$, 这里, 当 PLLDIS = 0 时, $M = \{8\}$, $R = \{1, 2, 3, 4, 5, 6, 7, 8\}$ 。R 是由全局控制寄存器 (GLBCTRL[2:0]) 中的 CLKDIVPRE[2:0] 位定义的系统时钟分频器, 且 M 也是由 GLBCTRL 寄存器中的 (GLBCTRL.3) 中的 MULT4 位定义的 PLL 倍数。

$f_{(SYS)} = f_{(OSC)} / R$, 当 PLLDIS = 1 时, 这里, $R = \{1, 2, 3, 4, 5, 6, 7, 8\}$ 。

$f_{(ICLK)} = f_{(SYS)} / X$, 这里 $X = \{1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16\}$ 。X 是由 SYS 模块中的 PCR0[4:1] 位定义的接口时钟分频比。

(3) $f_{(ECLK)} = f_{(ICLK)} / N$, 这里 $N = \{1 \text{ 至 } 256\}$ 。N 是由 ECP 模块中的 ECPCTRL[7:0] 寄存器位定义的 ECP 预分频值。

(4) 只有 ZPLL 模式是可用的。不得打开 FM 模式。

(5) 管道模式的启用或禁用是由 ENPIPE 位 (FMREGOPT.0) 决定的。

(6) 闪存 Vread 必须被设置为 5V 以便达到最大系统时钟频率。

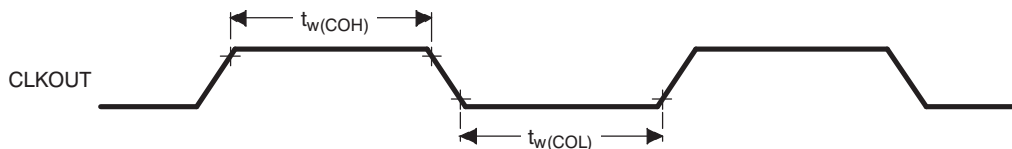
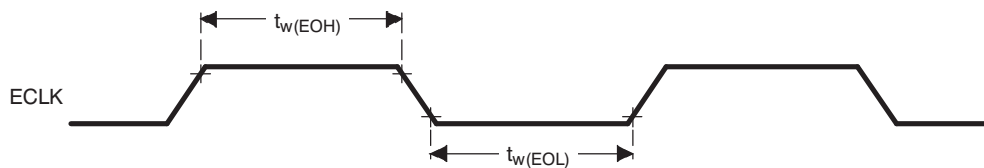
(7) 这个系统时钟频率的工作 V_{CC} 范围为 1.81 至 2.05V。

建议外部时钟运行条件下的开关特性⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

(请见Figure 10和Figure 11)

参数		测试条件	最小值	最大值	单位
$t_{w(COL)}$	脉冲持续时间, CLKOUT 低电平时间	SYSCLK 或 MCLK ⁽⁵⁾	$0.5t_{c(SYS)} - t_f$		ns
		ICLK: X 是偶数或 1 ⁽⁶⁾	$0.5t_{c(ICLK)} - t_f$		
		ICLK: X 是奇数且不为 1 ⁽⁶⁾	$0.5t_{c(ICLK)} + 0.5t_{c(SYS)} - t_f$		
$t_{w(COH)}$	脉冲持续时间, CLKOUT 高电平的时间	SYSCLK 或 MCLK ⁽⁵⁾	$0.5t_{c(SYS)} - t_f$		ns
		ICLK: X 是偶数或 1 ⁽⁶⁾	$0.5t_{c(ICLK)} - t_f$		
		ICLK: X 是奇数且不为 1 ⁽⁶⁾	$0.5t_{c(ICLK)} - 0.5t_{c(SYS)} - t_f$		
$t_{w(EOL)}$	脉冲持续时间, ECLK 低电平时间	N 是偶数, X 是偶数或奇数	$0.5t_{c(ECLK)} - t_f$		ns
		N 是奇数且 X 是偶数	$0.5t_{c(ECLK)} - t_f$		
		N 是奇数, X 为奇数且不为 1	$0.5t_{c(ECLK)} + 0.5t_{c(SYS)} - t_f$		
$t_{w(EOH)}$	脉冲持续时间, ECLK 高电平的时间	N 是偶数, X 是偶数或奇数	$0.5t_{c(ECLK)} - t_f$		ns
		N 是奇数且 X 是偶数	$0.5t_{c(ECLK)} - t_f$		
		N 是奇数, X 为奇数且不为 1	$0.5t_{c(ECLK)} - 0.5t_{c(SYS)} - t_f$		

- (1) 未经生产测试。
- (2) $X = \{1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16\}$ 。X 是由 SYS 模块中的 PCR0[4:1] 位定义的接口时钟分频比。
- (3) $N = \{1 \text{ 到 } 256\}$ 。N 是由 ECP 模块中的 ECPCTRL[7:0] 寄存器位定义的 ECP 预分频值。
- (4) 当 PLLDIS 激活时, CLKOUT/ECLK 的脉冲持续时间 (低/高) 是 OSCIN 脉冲持续时间的一个函数。
- (5) 时钟源位被选作 SYSCLK (CLKCNTL.[6:5] = 11 二进制) 或 MCLK (CLKCNTL.[6:5] = 10 二进制)。
- (6) 时钟源位被选作 ICLK (CLKCNTL.[6:5] = 01 二进制)。


Figure 10. CLKOUT 时序图

Figure 11. ECLK 时序图

RST 和 PORRST 时序

对 $\overline{\text{PORRST}}^{(1)}$ 的时序要求

(请见Figure 12)

		最小值	最大值	单位
V_{CCPORL}	当 $\overline{\text{PORRST}}$ 在加电期间必须激活时, V_{CC} 低电源电平		0.6	V
V_{CCPORH}	当 $\overline{\text{PORRST}}$ 在加电期间必须保持有效且在断电期间变为有效时, V_{CC} 高电源电压	1.5		V
V_{CCIOPORL}	当 $\overline{\text{PORRST}}$ 在加电期间必须有效时, V_{CCIO} 低电源电压		1.1	V
V_{CCIOPORH}	当 $\overline{\text{PORRST}}$ 在加电期间必须保持激活且在断电期间变为有效时, V_{CC} 高电源电压	2.75		V
V_{IL}	在 $V_{\text{CCIO}} > V_{\text{CCIOPORH}}$ 后的低电平输入电压		$0.2 V_{\text{CCIO}}$	V
$V_{\text{IL(PORRST)}}$	在 $V_{\text{CCIO}} > V_{\text{CCIOPORL}}$ 前, $\overline{\text{PORRST}}$ 的低电平输入电压		0.5	V
$t_{\text{su(PORRST)r}}$	建立时间, 加电期间, $V_{\text{CCIO}} > V_{\text{CCIOPORL}}$ 前, $\overline{\text{PORRST}}$ 激活的时间	0		ms
$t_{\text{su(VCCIO)r}}$	建立时间, $V_{\text{CC}} > V_{\text{CCPORL}}$ 前, $V_{\text{CCIO}} > V_{\text{CCIOPORL}}$ 的时间	0		ms
$t_{\text{h(PORRST)r}}$	保持时间, $V_{\text{CC}} > V_{\text{CCPORH}}$ 后, $\overline{\text{PORRST}}$ 激活的时间	1		ms
$t_{\text{su(PORRST)f}}$	建立时间, 断电期间, $V_{\text{CC}} \leq V_{\text{CCPORH}}$ 前, $\overline{\text{PORRST}}$ 激活的时间	8		μs
$t_{\text{h(PORRST)rio}}$	保持时间, $V_{\text{CC}} > V_{\text{CCIOPORH}}$ 后, $\overline{\text{PORRST}}$ 激活的时间	1		ms
$t_{\text{h(PORRST)d}}$	保持时间, $V_{\text{CC}} < V_{\text{CCPORL}}$ 后, $\overline{\text{PORRST}}$ 激活的时间	0		ms
$t_{\text{su(PORRST)rio}}$	建立时间, 断电期间, $V_{\text{CC}} \leq V_{\text{CCIOPORH}}$ 前, $\overline{\text{PORRST}}$ 激活的时间	0		ns
$t_{\text{su(VCCIO)f}}$	建立时间, 在 $V_{\text{CCIO}} < V_{\text{CCIOPORL}}$ 前, $V_{\text{CC}} < V_{\text{CCPORL}}$ 的时间	0		ns

(1) 未经生产测试。

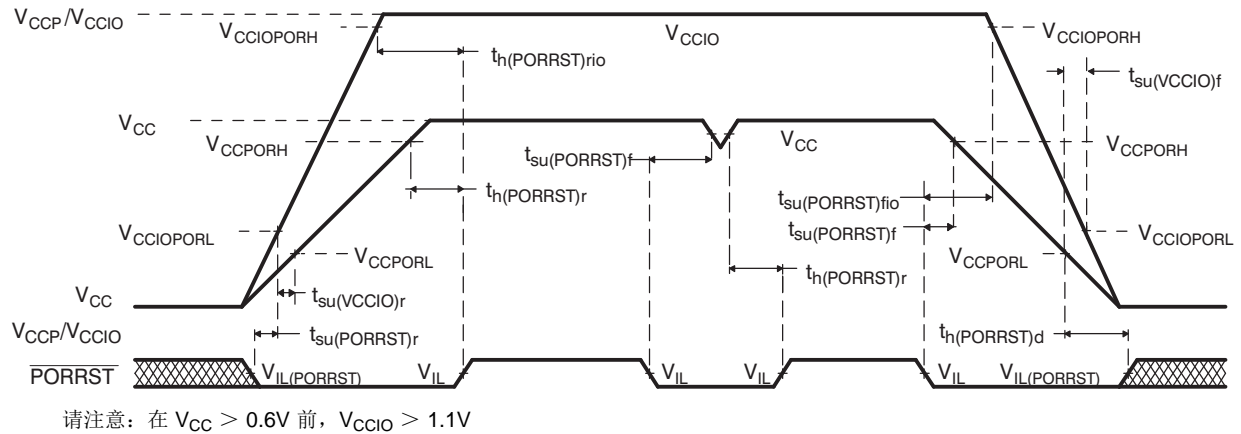


Figure 12. $\overline{\text{PORRST}}$ 时序图

建议运行条件下, $\overline{\text{RST}}^{(1)(2)}$ 的开关特性

	参数	最小值	最大值	单位
$t_{\text{v(RST)}}$	有效时间, $\overline{\text{RST}}$ 在 $\overline{\text{PORRST}}$ 无效后的激活时间	$4112t_{\text{c(OSC)}}$		ns
	有效时间, $\overline{\text{RST}}$ 激活的时间 (所有其它)	$8t_{\text{c(SYS)}}$		
t_{fsu}	闪存启动时间, 从 $\overline{\text{RST}}$ 无效的到闪存第一条指令被读取的时间 (闪存泵的稳定时间)	$836t_{\text{c(OSC)}}$		ns

(1) 未经生产测试。

(2) 额定值不包括上升/下降时间。上升和下降时序, 请参阅《输出时序与负载电容间关系的开关特性》表。

JTAG 扫描接口时序 (TDO 输出时 JTAG 时钟规格为 10MHz 并且负荷为 50PF) (1)

		最小值	最大值	单位
$t_{c(JTAG)}$	周期时间, JTAG 低电平和高电平周期	50		ns
$t_{su(TDI/TMS - TCKr)}$	建立时间, TDI, TMS 在 TCK 上升前(TCKr) 的时间	15		ns
$t_h(TCKr - TDI/TMS)$	保持时间, TDI, TMS 在 TCKr 后的时间	15		ns
$t_h(TCKf - TDO)$	保持时间, TDO 在 TCKf 后的时间	10		ns
$t_d(TCKf - TDO)$	延迟时间, 在 TCK 下降 (TCKf) 后, TDO 有效的时间		45	ns

(1) 未经生产测试。

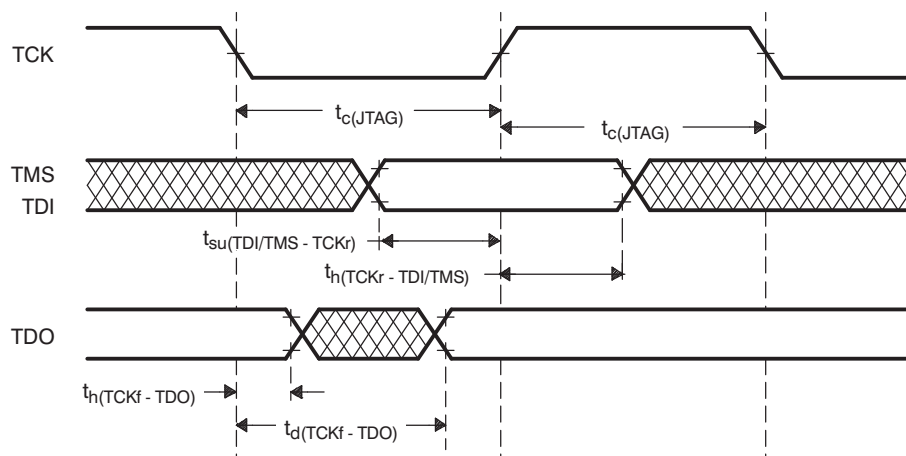


Figure 13. JTAG 扫描时序

输出时序

输出时序与负载电容 C_L 间关系的开关特性 t_r (¹)

(请见Figure 14)

参数		最小值	最大值	单位	
t_r	上升时间, AWD, CLKOUT, $\overline{\text{TDI}}$, TDO, TMS, TMS2	$C_L = 15\text{pF}$	0.5	2.5	ns
		$C_L = 50\text{pF}$	1.5	5.0	
		$C_L = 100\text{pF}$	3.0	9.0	
		$C_L = 150\text{pF}$	4.5	12.5	
t_f	下降时间, AWD, CLKOUT, $\overline{\text{TDI}}$, TDO, TMS, TMS2	$C_L = 15\text{pF}$	0.5	2.5	ns
		$C_L = 50\text{pF}$	1.5	5.0	
		$C_L = 100\text{pF}$	3.0	9.0	
		$C_L = 150\text{pF}$	4.5	12.5	
t_r	上升时间, $\overline{\text{RST}}$	$C_L = 15\text{pF}$	2.5	8	ns
		$C_L = 50\text{pF}$	5	14	
		$C_L = 100\text{pF}$	9	23	
		$C_L = 150\text{pF}$	13	32	
t_r	上升时间, 4mA, 5V 耐受引脚	$C_L = 15\text{pF}$	3	10	ns
		$C_L = 50\text{pF}$	3.5	12	
		$C_L = 100\text{pF}$	7	21	
		$C_L = 150\text{pF}$	9	28	
		$C_L = 400\text{pF}$	18	40	
t_f	下降时间, 4mA, 5V 耐受引脚	$C_L = 15\text{pF}$	2	8	ns
		$C_L = 50\text{pF}$	2.5	9	
		$C_L = 100\text{pF}$	8	25	
		$C_L = 150\text{pF}$	11	35	
		$C_L = 400\text{pF}$	20	45	
t_r	上升时间, 所有其它输出引脚	$C_L = 15\text{pF}$	2.5	10	ns
		$C_L = 50\text{pF}$	6.0	25	
		$C_L = 100\text{pF}$	12	45	
		$C_L = 150\text{pF}$	18	65	
t_f	下降时间, 所有其它输出引脚	$C_L = 15\text{pF}$	3	10	ns
		$C_L = 50\text{pF}$	8.5	25	
		$C_L = 100\text{pF}$	16	45	
		$C_L = 150\text{pF}$	23	65	

(1) 未经生产测试。

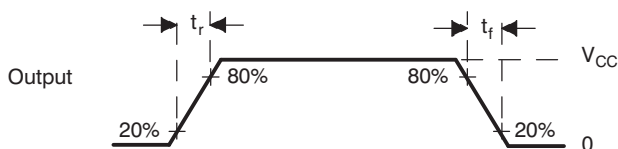


Figure 14. CMOS 电平输出

输入时序

输入时序的时序要求⁽¹⁾⁽²⁾

(请见Figure 15)

		最小值	最大值	单位
t_{pw}	输入最小脉冲宽度	$t_{c(ICK)} + 10$		ns

(1) 未经生产测试。

(2) $t_{c(ICK)} = \text{接口时钟周期时间} = 1 / f_{(ICK)}$

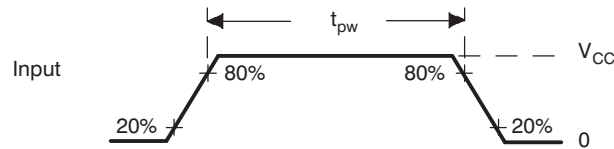


Figure 15. CMOS 电平输入

闪存时序

程序闪存的时序要求⁽¹⁾⁽²⁾

		最小值	典型值	最大值	单位
t_{prog} (16 位)	半字 (16 位) 编程时间	4	16	200	μs
t_{prog} (总)	1M 字节编程时间 ⁽³⁾		8	32	s
$t_{擦除}$ (扇区)	扇区擦除时间, $T_A = -40^\circ\text{C}$ 到 150°C		1.7		s
t_{wec}	$T_A = -40^\circ\text{C}$ 到 85°C 时的写入/擦除周期	50000			周期
$t_{fp(RST)}$	从 \overline{RST} 到休眠模式的闪存泵稳定时间		$167t_{c(SYS)}$		ns
t_{fp} (休眠)	从休眠到待机的最初闪存泵稳定时间		$167t_{c(SYS)}$		ns
t_{fp} (待机)	从待机到激活的最初闪存泵稳定时间		$84t_{c(SYS)}$		ns

(1) 未经生产测试。

(2) 关于闪存内核扇区的更多详细信息，请参阅本数据表闪存编程和擦除部分。

(3) 1M 字节的编程时间包括状态机的开销。

SPIn 主控模式时序参数

SPIn 主控模式外部时序参数

(时钟相位 = 0, SPInCLK = 输出, SPInSIMO = 输出, 和 SPInSOMI = 输入) ⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾ (请参阅Figure 16)

编号			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间, SPInCLK ⁽⁵⁾	100	$256t_{c(ICLK)}$	ns
2 ⁽⁶⁾	$t_{w(SPCH)M}$	脉冲持续时间, SPInCLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_r$	$0.5t_{c(SPC)M} + 5$	
	$t_{w(SPCL)M}$	脉冲持续时间, SPInCLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_r$	$0.5t_{c(SPC)M} + 5$	
3 ⁽⁶⁾	$t_{w(SPCL)M}$	脉冲持续时间, SPInCLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_r$	$0.5t_{c(SPC)M} + 5$	
	$t_{w(SPCH)M}$	脉冲持续时间, SPInCLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_r$	$0.5t_{c(SPC)M} + 5$	
4 ⁽⁶⁾	$t_{d(SPCH-SIMO)M}$	延迟时间, SPInCLK 高电平至 SPInSIMO 有效的时间 (时钟极性 = 0)		10	
	$t_{d(SPCL-SIMO)M}$	延迟时间, SPInCLK 低电平至 SPInSIMO 有效的时间 (时钟极性 = 1)		10	
5 ⁽⁶⁾	$t_{v(SPCL-SIMO)M}$	有效时间, SPInCLK 低电平之后 SPInSIMO 数据有效的时间 (时钟极性 = 0)	$t_{c(SPC)M} - 5 - t_r$		
	$t_{v(SPCH-SIMO)M}$	有效时间, SPInCLK 高电平之后 SPInSIMO 数据有效的时间 (时钟极性 = 1)	$t_{c(SPC)M} - 5 - t_r$		
6 ⁽⁶⁾	$t_{su(SOMI-SPCL)M}$	建立时间, SPInSOMI 在 SPInCLK 低电平之前的时间 (时钟极性 = 0)	6		
	$t_{su(SOMI-SPCH)M}$	建立时间, SPInSOMI 在 SPInCLK 高电平之前的时间 (时钟极性 = 1)	6		
7 ⁽⁶⁾	$t_{v(SPCL-SOMI)M}$	有效时间, SPInCLK 低电平之后 SPInSOMI 数据有效的时间 (时钟极性 = 0)	4		
	$t_{v(SPCH-SOMI)M}$	有效时间, SPInCLK 高电平之后, SPInSOMI 数据有效的时间 (时钟极性 = 1)	4		

(1) 未经生产测试。

(2) 主控位 (SPInCTRL2.3) 被设定, 而时钟相位的位 (SPInCTRL2.) 被清除。

(3) $t_{c(ICLK)}$ = 接口时钟周期 = $1/f(ICLK)$

(4) 上升和下降时序, 请参阅《输出时序与负载电容间关系的开关特性》表。

(5) 当 SPI 处于主控模式时, 必须满足下列条件:

PS 值从 1 到 255: $t_{c(SPC)M} \geq (PS + 1)t_{c(ICLK)} \geq 100ns$, 其中 PS 是 SPInCTL1[12:5] 寄存器位设置的预分频值。

对于 0 值 PS: $t_{c(SPC)M} = 2t_{c(ICLK)} \geq 100 ns$ 。

(6) 作为基准的 SPInCLK 信号的有效边沿由 时钟极性位 (SPInCTRL2.1) 控制。

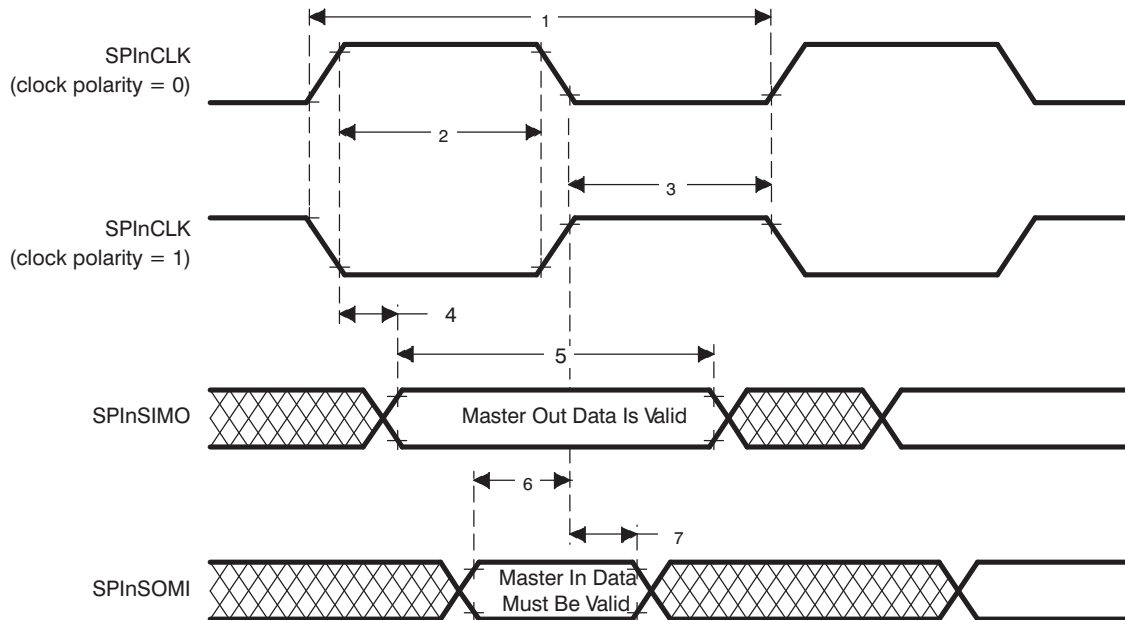


Figure 16. SPIn 主控模式外部时序 (时钟相位 = 0)

SPI 主控模式外部时序参数⁽¹⁾

(时钟相位 = 1, SPInCLK = 输出, SPInSIMO = 输出, SPInSOMI = 输入)⁽²⁾⁽³⁾⁽⁴⁾ (请参阅Figure 17)

编号			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间, SPInCLK ⁽⁵⁾	100	$256t_{c(ICLK)}$	ns
2 ⁽⁶⁾	$t_w(SPCH)M$	脉冲持续时间, SPInCLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_r$	$0.5t_{c(SPC)M} + 5$	
	$t_w(SPCL)M$	脉冲持续时间, SPInCLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_f$	$0.5t_{c(SPC)M} + 5$	
3 ⁽⁶⁾	$t_w(SPCL)M$	脉冲持续时间, SPInCLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_f$	$0.5t_{c(SPC)M} + 5$	
	$t_w(SPCH)M$	脉冲持续时间, SPInCLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_r$	$0.5t_{c(SPC)M} + 5$	
4 ⁽⁶⁾	$t_v(SIMO-SPCH)M$	有效时间, SPInSIMO 数据有效后 SPInCLK 高电平时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 10$		
	$t_v(SIMO-SPCL)M$	有效时间, SPInSIMO 数据有效后 SPInCLK 低电平时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 10$		
5 ⁽⁶⁾	$t_v(SPCH-SIMO)M$	有效时间, SPInCLK 高电平之后 SPInSIMO 数据有效的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 5 - t_r$		
	$t_v(SPCL-SIMO)M$	有效时间, SPInCLK 低电平之后 SPInSIMO 数据有效的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 5 - t_f$		
6 ⁽⁶⁾	$t_{su}(SOMI-SPCH)M$	建立时间, SPInSOMI 在 SPInCLK 高电平之前的时间 (时钟极性 = 0)	6		
	$t_{su}(SOMI-SPCL)M$	建立时间, SPInSOMI 在 SPInCLK 低电平之前的时间 (时钟极性 = 1)	6		
7 ⁽⁶⁾	$t_v(SPCH-SOMI)M$	有效时间, SPInCLK 高电平之后 SPInSOMI 数据有效的时间 (时钟极性 = 0)	4		
	$t_v(SPCL-SOMI)M$	有效时间, SPInCLK 低电平之后 SPInSOMI 数据有效的时间 (时钟极性 = 1)	4		

- (1) 未经生产测试。
- (2) 主位 (SPInCTRL2.3) 被设定并且时钟相位的位 (SPInCTRL2.0) 被设定。
- (3) $t_{c(ICLK)}$ = 接口时钟周期 = $1/f_{(ICLK)}$
- (4) 上升和下降时序, 请参阅《输出时序与负载电容间关系的开关特性》表。
- (5) 当 SPI 处于主控模式时, 必须满足下列条件:
PS 值从 1 到 255: $t_{c(SPC)M} \geq (PS + 1)t_{c(ICLK)} \geq 100ns$, 其中 PS 是 SPInCTL1[12:5] 寄存器位设置的预分频值。
对于 0 值 PS: $t_{c(SPC)M} = 2t_{c(ICLK)} \geq 100 ns$ 。
- (6) 作为基准的 SPInCLK 信号的有效边沿由 时钟极性位 (SPInCTRL2.1) 控制。

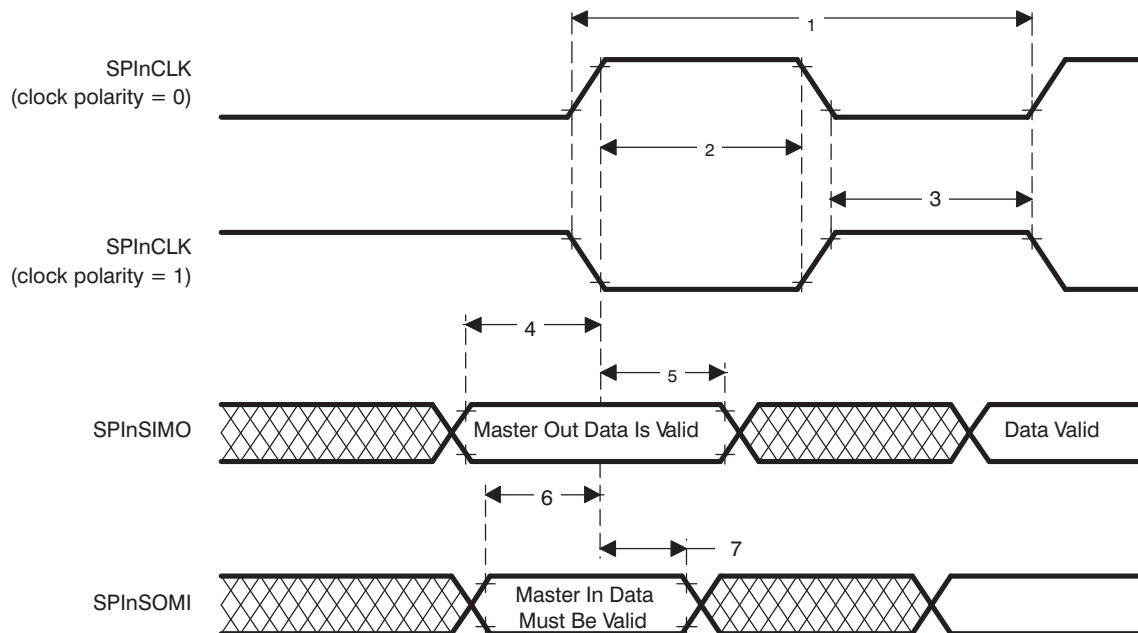


Figure 17. SPI 主控模式外部时序 (时钟相位 = 1)

SPI_{in} 受控模式时序参数

SPI_{in} 受控模式外部时序参数⁽¹⁾

(时钟相位 = 0, SPI_{in}CLK = 输入, SPI_{in}SIMO = 输入, SPI_{in}SOMI = 输出)⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾ (请参阅Figure 18)

编号			最小值	最大值	单位
1	$t_{c(SPC)S}$	周期时间, SPI _{in} CLK ⁽⁶⁾	100	$256t_{c(I)CLK}$	ns
2 ⁽⁷⁾	$t_w(SPCH)S$	脉冲持续时间, SPI _{in} CLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)S} - 0.25t_{c(I)CLK}$	$0.5t_{c(SPC)S} + 0.25t_{c(I)CLK}$	
	$t_w(SPCL)S$	脉冲持续时间, SPI _{in} CLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)S} - 0.25t_{c(I)CLK}$	$0.5t_{c(SPC)S} + 0.25t_{c(I)CLK}$	
3 ⁽⁷⁾	$t_w(SPCL)S$	脉冲持续时间, SPI _{in} CLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)S} - 0.25t_{c(I)CLK}$	$0.5t_{c(SPC)S} + 0.25t_{c(I)CLK}$	
	$t_w(SPCH)S$	脉冲持续时间, SPI _{in} CLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)S} - 0.25t_{c(I)CLK}$	$0.5t_{c(SPC)S} + 0.25t_{c(I)CLK}$	
4 ⁽⁷⁾	$t_d(SPCH-SOMI)S$	延迟时间, SPI _{in} CLK 高电平至 SPI _{in} SOMI 有效的时间 (时钟极性 = 0)		$6 + t_r$	
	$t_d(SPCL-SOMI)S$	延迟时间, SPI _{in} CLK 低电平至 SPI _{in} SOMI 有效的时间 (时钟极性 = 1)		$6 + t_r$	
5 ⁽⁷⁾	$t_v(SPCH-SOMI)S$	有效时间, SPI _{in} CLK 高电平之后 SPI _{in} SOMI 数据有效的 时间 (时钟极性 = 0)	$t_{c(SPC)S} - 6 - t_r$		
	$t_v(SPCL-SOMI)S$	有效时间, SPI _{in} CLK 低电平之后 SPI _{in} SOMI 数据有效的 时间 (时钟极性 = 1)	$t_{c(SPC)S} - 6 - t_r$		
6 ⁽⁷⁾	$t_{su}(SIMO-SPCL)S$	建立时间, SPI _{in} SIMO 在 SPI _{in} CLK 低电平之前的时间 (时钟极性 = 0)	6		
	$t_{su}(SIMO-SPCH)S$	建立时间, SPI _{in} SIMO 在 SPI _{in} CLK 高电平之前的时间 (时钟极性 = 1)	6		
7 ⁽⁷⁾	$t_v(SPCL-SIMO)S$	有效时间, SPI _{in} CLK 低电平之后 SPI _{in} SIMO 数据有效的 时间 (时钟极性 = 0)	6		
	$t_v(SPCH-SIMO)S$	有效时间, SPI _{in} CLK 高电平之后 SPI _{in} SIMO 数据有效的 时间 (时钟极性 = 1)	6		

(1) 未经生产测试。

(2) 主位 (SPI_{in}CTRL2.3) 被清除并且时钟相位位 (SPI_{in}CTRL2.0) 被清除。

(3) 当 SPI 处于受控模式时, 必须满足下列条件: $t_{c(SPC)S} \geq (PS + 1)t_{c(I)CLK}$, 其中 PS = 在 SPI_{in}CTL1[12:5] 中设置的预分频值。

(4) 上升和下降时序, 请参阅《输出时序与负载电容的开关特性》表。

(5) $t_{c(I)CLK} = \text{接口时钟周期} = 1/f_{(I)CLK}$

(6) 当 SPI_{in} 处于受控模式时, 必须满足下列条件:

PS 值从 1 到 255: $t_{c(SPC)S} \geq (PS + 1)t_{c(I)CLK} \geq 100\text{ns}$, 其中 PS 是 SPI_{in}CTL1[12:5] 寄存器位设置的预分频值。

对于 0 值 PS: $t_{c(SPC)S} = 2t_{c(I)CLK} \geq 100\text{ns}$ 。

(7) 作为基准的 SPI_{in}CLK 信号的有效边沿由 时钟极位 (SPI_{in}CTRL2.1) 控制。

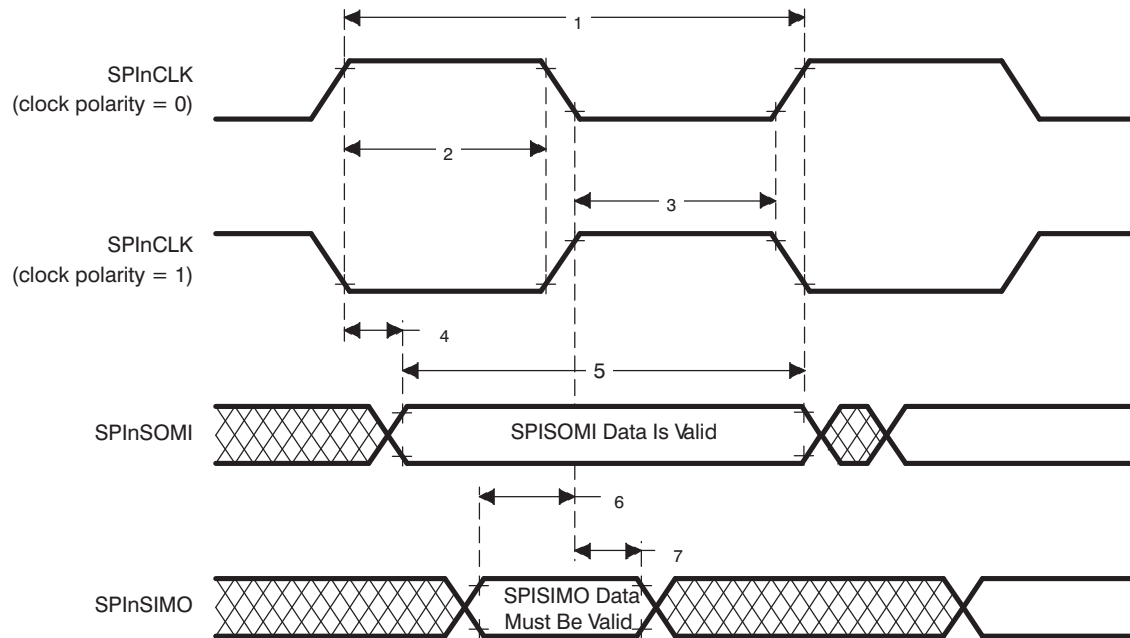


Figure 18. SPIn 受控模式外部时序 (时钟相位 = 0)

SPIn 受控模式外部时序参数⁽¹⁾

(时钟相位 = 1, SPInCLK = 输入, SPInSIMO = 输入, SPInSOMI = 输出) ⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾ (请参阅Figure 19)

- (1) 未经生产测试。
- (2) 主位 (SPInCTRL2.3) 被清除并且时钟极性位 (SPInCTRL2.0) 被设定。
- (3) 当 SPI 处于受控模式时, 必须满足下列条件: $t_{c(SPC)} \geq (PS + 1) t_{c(ICLK)}$, 其中 PS 是在 SPInCTL1[12:5] 中设置的预分频值。
- (4) 上升和下降时序, 请参阅《输出时序与负载电容间关系的开关特性》表。
- (5) $t_{c(ICLK)} = \text{接口时钟周期} = 1 / f_{(ICLK)}$

SPI_{In} 受控模式外部时序参数⁽¹⁾ (continued)

(时钟相位 = 1, SPI_{In}CLK = 输入, SPI_{In}SIMO = 输入, SPI_{In}SOMI = 输出)⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾ (请参阅Figure 19)

编号		最小值	最大值	单位
1	$t_{c(SPC)}S$ 周期时间, SPI _{In} CLK ⁽⁶⁾	100	$256t_{c(ICLK)}$	
2 ⁽⁷⁾	$t_w(SPCH)S$ 脉冲持续时间, SPI _{In} CLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S - 0.25t_{c(ICLK)}$	$0.5t_{c(SPC)}S + 0.25t_{c(ICLK)}$	ns
	$t_w(SPCL)S$ 脉冲持续时间, SPI _{In} CLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S - 0.25t_{c(ICLK)}$	$0.5t_{c(SPC)}S + 0.25t_{c(ICLK)}$	
3 ⁽⁷⁾	$t_w(SPCL)S$ 脉冲持续时间, SPI _{In} CLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S - 0.25t_{c(ICLK)}$	$0.5t_{c(SPC)}S + 0.25t_{c(ICLK)}$	
	$t_w(SPCH)S$ 脉冲持续时间, SPI _{In} CLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S - 0.25t_{c(ICLK)}$	$0.5t_{c(SPC)}S + 0.25t_{c(ICLK)}$	
4 ⁽⁷⁾	$t_{v(SOMI-SPCH)S}$ 有效时间, SPI _{In} SOMI 数据有效后 SPI _{In} CLK 高电平时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S - 6 - t_r$		
	$t_{v(SOMI-SPCL)S}$ 有效时间, SPI _{In} SOMI 数据有效后 SPI _{In} CLK 低电平时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S - 6 - t_r$		
5 ⁽⁷⁾	$t_{v(SPCH-SOMI)S}$ 有效时间, SPI _{In} CLK 高电平之后 SPI _{In} SOMI 数据有效的时间 (时钟极性 = 0)	$0.5t_{c(SPC)}S - 6 - t_r$		
	$t_{v(SPCL-SOMI)S}$ 有效时间, SPI _{In} CLK 低电平之后 SPI _{In} SOMI 数据有效的时间 (时钟极性 = 1)	$0.5t_{c(SPC)}S - 6 - t_r$		
6 ⁽⁷⁾	$t_{su(SIMO-SPCH)S}$ 建立时间, SPI _{In} SIMO 在 SPI _{In} CLK 高电平之前的时间 (时钟极性 = 0)	6		
	$t_{su(SIMO-SPCL)S}$ 建立时间, SPI _{In} SIMO 在 SPI _{In} CLK 低电平之前的时间 (时钟极性 = 1)	6		
7 ⁽⁷⁾	$t_{v(SPCH-SIMO)S}$ 有效时间, SPI _{In} CLK 高电平之后 SPI _{In} SIMO 数据有效的时间 (时钟极性 = 0)	6		
	$t_{v(SPCL-SIMO)S}$ 有效时间, SPI _{In} CLK 低电平之后 SPI _{In} SIMO 数据有效的时间 (时钟极性 = 1)	6		

(6) 当 SPI_{In} 处于受控模式时, 必须满足下列条件:

PS 值从 1 到 255: $t_{c(SPC)}S \geq (PS + 1)t_{c(ICLK)} \geq 100$ ns, 其中 PS 是 SPI_{In}CTL1[12:5] 寄存器位设置的预分频值。

对于 0 值 PS: $t_{c(SPC)}S = 2t_{c(ICLK)} \geq 100$ ns。

(7) 作为基准的 SPI_{In}CLK 信号的有效边沿由 时钟极性位 (SPI_{In}CTRL2.1) 控制。

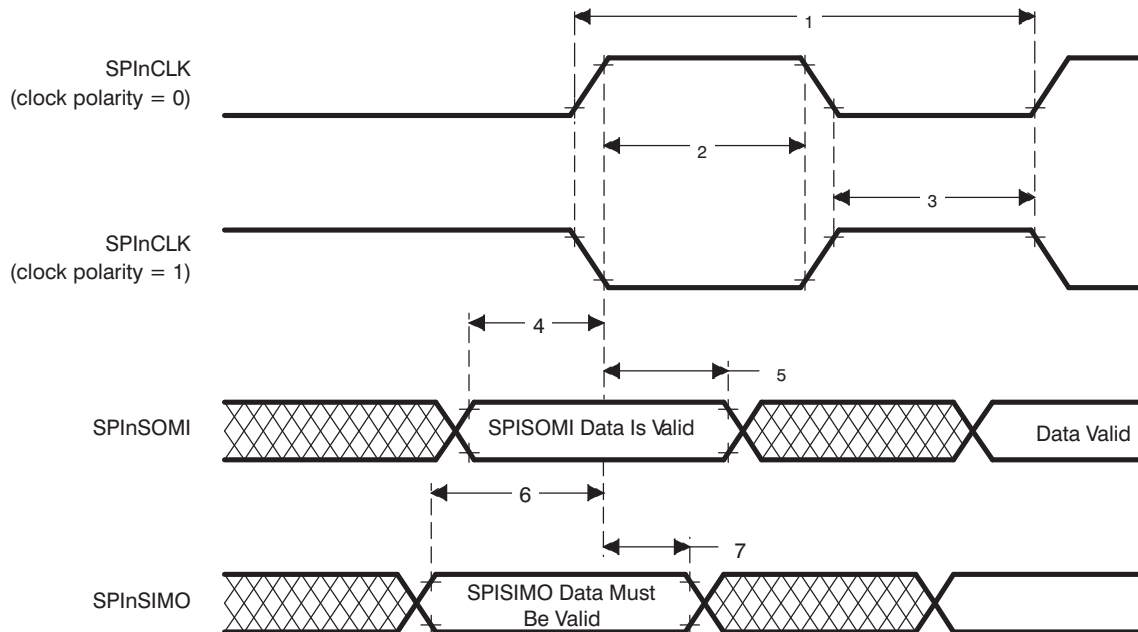


Figure 19. SPI_{In} 受控模式外部时序 (时钟相位 = 1)

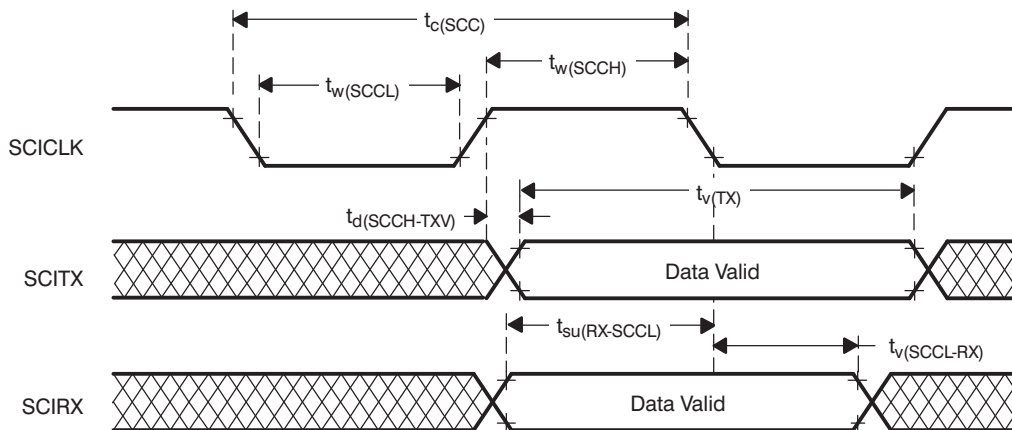
SCIn 等时同步模式时序-内部时钟

内部时钟在 SCIn 等时同步模式时的时序要求⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

(请见Figure 20)

		(波特率 + 1) 是偶数或波特率 = 0		(波特率 + 1) 是奇数并且波特率 ≠ 0		单位
		最小值	最大值	最小值	最大值	
$t_{c(SCC)}$	周期, SCInCLK;	$2t_{c(ICLK)}$	$2^{24}t_{c(ICLK)}$	$3t_{c(ICLK)}$	$(2^{24} - 1)t_{c(ICLK)}$	ns
$t_w(SCCL)$	脉冲持续时间, SCInCLK 低电平的时间	$0.5t_{c(SCC)} - t_f$	$0.5t_{c(SCC)} + 5$	$0.5t_{c(SCC)} + 0.5t_{c(ICLK)} - t_f$	$0.5t_{c(SCC)} + 0.5t_{c(ICLK)}$	ns
$t_w(SCCH)$	脉冲持续时间, SCInCLK 高电平的时间	$0.5t_{c(SCC)} - t_f$	$0.5t_{c(SCC)} + 5$	$0.5t_{c(SCC)} - 0.5t_{c(ICLK)} - t_f$	$0.5t_{c(SCC)} - 0.5t_{c(ICLK)}$	ns
$t_d(SCCH-TXV)$	延迟时间, SCInCLK 高电平至 SCInTX 有效的时间		10		10	ns
$t_v(TX)$	有效时间, SCInCLK 低电平后 SCInTX 数据有效的时间	$t_{c(SCC)} - 10$		$t_{c(SCC)} - 10$		ns
$t_{su}(RX-SCCL)$	建立时间, 在 SCInRX 低电平前 SCInRX 的时间	$t_{c(ICLK)} + t_f + 20$		$t_{c(ICLK)} + t_f + 20$		ns
$t_v(SCCL-RX)$	有效时间, SCInCLK 低电平后 SCInRX 数据有效的时间	$-t_{c(ICLK)} + t_f + 20$		$-t_{c(ICLK)} + t_f + 20$		ns

- (1) 未经生产测试。
- (2) 波特率 = 24 位级联值, 由 SCI[H,M,L] 波特率寄存器组成。
- (3) $t_{c(ICLK)}$ = 接口时钟周期 = $1/f_{(ICLK)}$
- (4) 上升和下降时序, 请参阅《输出时序与负载电容间关系的开关特性》表。



B. 内部时钟等时同步模式的数据传输/接收特点类似于异步模式的特点。数据传输发生在 SCICLK 上升沿, 数据接收发生在 SCICLK 下降沿。

Figure 20. 针对内部时钟的 SCIn 等时同步模式时序图

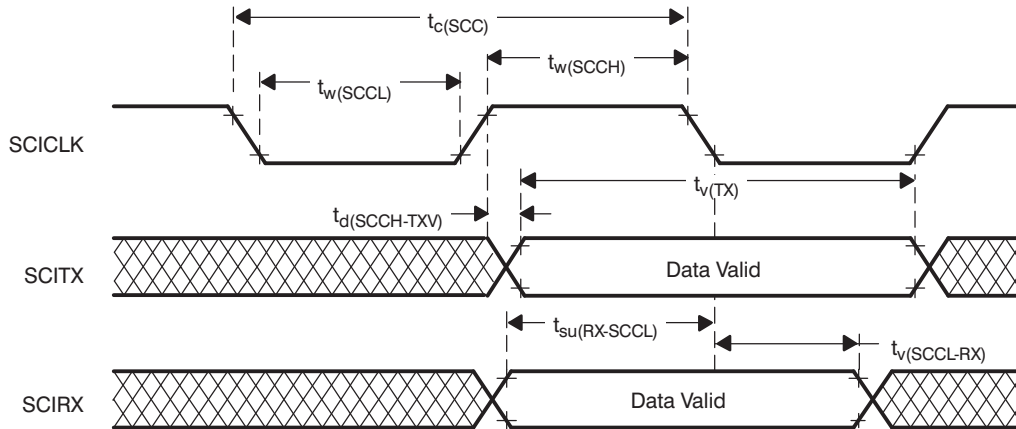
SCIn 等时同步模式的时序-外部时钟

外部时钟在 SCIn 等时同步模式时的时序要求⁽¹⁾⁽²⁾⁽³⁾

(请见Figure 21)

		最小值	最大值	单位
$t_{c(SCC)}$	周期时间, SCInCLK ⁽⁴⁾	$8t_{c(ICKL)}$		ns
$t_{w(SCCH)}$	脉冲持续时间, SCInCLK 高电平的时间	$0.5t_{c(SCC)} - 0.25t_{c(ICKL)}$	$0.5t_{c(SCC)} + 0.25t_{c(ICKL)}$	ns
$t_{w(SCCL)}$	脉冲持续时间, SCInCLK 低电平的时间	$0.5t_{c(SCC)} - 0.25t_{c(ICKL)}$	$0.5t_{c(SCC)} + 0.25t_{c(ICKL)}$	ns
$t_{d(SCCH-TXV)}$	延迟时间, SCInCLK 高电平至 SCInTX 有效的时间	$2t_{c(ICKL)} + 12 + t_r$		ns
$t_{v(TX)}$	有效时间, SCInCLK 低电平后 SCInTX 数据有效的时间	$2t_{c(SCC)} - 10$		ns
$t_{su(RX-SCCL)}$	建立时间, 在 SCInCLK 低电平前 SCInRX 的时间	0		ns
$t_{v(SCCL-RX)}$	有效时间, SCInCLK 低电平后 SCInRX 数据有效的时间	$2t_{c(ICKL)} + 10$		ns

- (1) 未经生产测试。
 (2) $t_{c(ICKL)} =$ 接口时钟周期 = $1/f_{(ICKL)}$
 (3) 上升和下降时序, 请参阅《输出时序与负载电容间关系的开关特性》表。
 (4) 当驱动一个外部 SCInCLK 时, 必须满足下列条件: $t_{c(SCC)} \geq 8t_{c(ICKL)}$ 。



- C. 外部时钟等时同步模式的数据传输/接收特点类似于异步模式的特点。数据传输发生在 SCICLK 上升沿, 数据接收发生在 SCICLK 下降沿。

Figure 21. 外部时钟在 SCIn 等时同步模式下的时序图

I2C 时序

I2C 信号 (SDA 和 SCL) 的开关特征⁽⁵⁾⁽⁶⁾ 假定在建议的运行条件下测试。

I2C 信号 (SDA 和 SCL) 的开关特征⁽¹⁾⁽²⁾

参数		标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$t_{c(I2CCLK)}$	周期时间, I2C 模块时钟	75	150	75	150	ns
$t_{c(SCL)}$	周期时间, SCL	10		2.5		μ s
$t_{su(SCLH-SDAL)}$	建立时间, 在 SDA 低电平前 SCL 高电平的时间 (对于一个重复的 START 条件)	4.7		0.6		μ s
$t_{h(SCLL-SDAL)}$	建立时间, 在 SDA 低电平后 SCL 低电平的时间 (对于一个重复的 START 条件)	4		0.6		μ s
$t_{w(SCLL)}$	脉冲持续时间, SCL 低电平的时间	4.7		1.3		μ s
$t_{w(SCLH)}$	脉冲持续时间, SCL 高电平的时间	4		0.6		μ s
$t_{su(SDA-SCLH)}$	建立时间, 在 SCL 高电平之前 SDA 有效的时间	250		100		ns
$t_{h(SDA-SCLL)}$	保持时间, 在 SCL 高电平之前 SDA 有效的时间	0	3.45 ⁽³⁾	0	0.9	μ s
$t_{w(SDAH)}$	脉冲持续时间, 在 STOP 和 START 条件之间 SDA 高电平的时间	4.7		1.3		μ s
$t_r(SCL)$	上升时间, SCL		1000	$20+0.1C_b^{(4)}$	300	ns
$t_r(SDA)$	上升时间, SDA		1000	$20+0.1C_b^{(4)}$	300	ns
$t_f(SCL)$	下降时间, SCL		300	$20+0.1C_b^{(4)}$	300	ns
$t_f(SDA)$	下降时间, SDA		300	$20+0.1C_b^{(4)}$	300	ns
$t_{su(SCLH-SDAH)}$	建立时间, SDA 高电平之前 SCL 高电平的时间 (用于 STOP 情况)	4.0		0.6		μ s
$t_w(SP)$	脉冲持续时间, 尖峰 (必须被抑制)			0	50	ns
$C_b^{(4)}$	每个总线的容性负载		400		400	pF

(5) 未经生产测试。

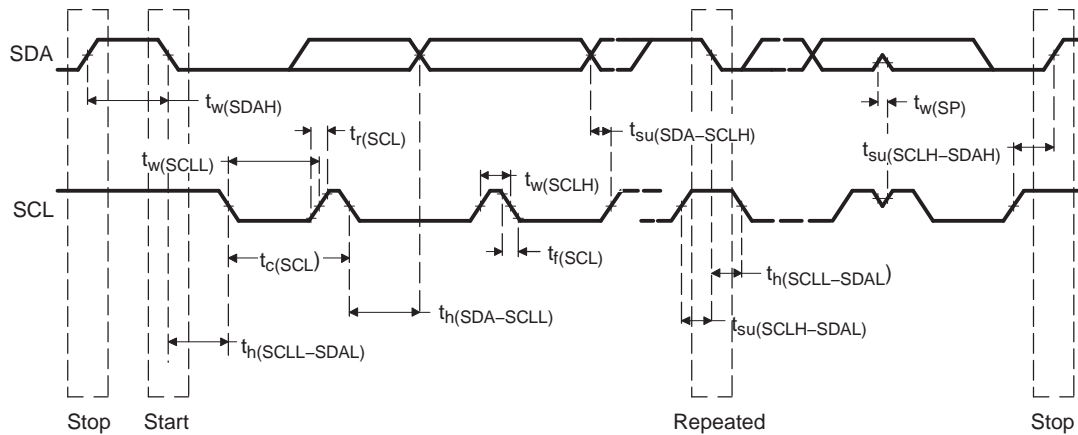
(6) I2C 引脚 SDA 和 SCL 不具备故障安全 I/O 缓冲区。当该器材的电源关闭时, 这些引脚有可能耗电。

(1) 未经生产测试。

(2) I2C 引脚 SDA 和 SCL 不具备故障安全 I/O 缓冲区。当该器材的电源关闭时, 这些引脚有可能耗电。

(3) I2C 总线器件最大 $t_{h(SDA-SCLL)}$ 只有在器件不再延长 SCL 信号的低电平周期 ($t_w(SCLL)$) 时才需要被满足。

(4) C_b = 以 pF 为单位的一条总线的总电容。如果与 HS = 模式器件混用, 能使下降时间更短。



- D. 器件必须在内部为 SDA 信号提供至少为 300ns 的保持时间（是指 SCL 信号的 V_{IHmin} ），以此来连接 SCL 下降沿的未定义区域。
- E. 最大 $t_h(SDA-SCLL)$ 只有在器件不再延长 SCL 信号的低电平周期 ($t_w(SCLL)$) 时才需要被满足。
- F. 一个快速模式 I2C 总线器件可在标准模式 I2C 总线系统中使用，但必须满足 $t_{su}(SDA-SCLH) \geq 250ns$ 的要求。如果该器件不延长 SCL 信号的低电平周期，这将自动成为该情况。如果一个器件的确延长 SCL 信号的低电平周期，那么它必须向 SDA 线 t_r 最大 + $t_{su}(SDA-SCLH)$ 输入下一个数据位。
- G. C_0 = 以 pF 为单位的一条总线的总电容。如果与 HS = 模式器件混用，可实现更短的下陷时间。

Figure 22. I2C 时序

标准 CAN 控制器 (SCC) 模式时序

CANSTX 和 CANSRX 引脚的动态特性⁽¹⁾

参数		最小值	最大值	单位
$t_d(CANSTX)$	延迟时间，发送移位寄存器到 CANSTX 引脚的时间 ⁽²⁾		15	ns
$t_d(CANSRX)$	延迟时间，CANSRX 引脚到接收移位寄存器的时间		5	ns

(1) 未经生产测试。

(2) 这些值不包括输出缓冲区的上升/下降时间。

扩展总线模块时序

扩展总线时序参数⁽¹⁾

-55°C ≤ T_A ≤ 220°C, 3.0V ≤ V_{CC} ≤ 3.6V (请参阅Figure 23 和 Figure 24)

		最小值	最大值	单位
t _c (CO)	周期时间, CLKOUT	20.8		ns
t _d (COH-EBADV)	延迟时间, CLKOUT 高电平到 EBADDR 有效的时间		21.4	ns
t _h (COH-EBADIV)	保持时间, CLKOUT 高电平后 EBADDR 无效的时间		12.4	ns
t _d (COH-EBOE)	延迟时间, CLKOUT 高电平到 $\overline{\text{EBOE}}$ 下降的时间		11.4	ns
t _h (COH-EBOEH)	保持时间, CLKOUT 高电平后 $\overline{\text{EBOE}}$ 上升的时间		11.4	ns
t _d (COL-EBWR)	延迟时间, CLKOUT 低电平到写入选通脉冲 ($\overline{\text{EBWR}}$) 低电平的时间		11.3	ns
t _h (COL-EBWRH)	保持时间, CLKOUT 低电平后 $\overline{\text{EBWR}}$ 高电平的时间		11.6	ns
t _{su} (EBRDATV-COH)	建立时间, CLKOUT 高电平 (读取) 前 EBDATA 有效的时间 ⁽²⁾	15.2		ns
t _h (COH-EBRDATIV)	保持时间, CLKOUT 高电平 (读取) 后 EBDATA 无效的时间		(-14.7)	ns
t _d (COL-EBWDATV)	延迟时间, CLKOUT 低电平到 EBDATA 有效 (写入) ⁽³⁾ 的时间		16.1	ns
t _h (COL-EBWDATIV)	保持时间, CLKOUT 低电平 (写入) 后 EBDATA 无效的时间		14.7	ns
次级时序				
t _d (COH-EBCS0)	延迟时间, CLKOUT 高电平至 $\overline{\text{EBCS0}}$ 下降的时间		13.6	ns
t _h (COH-EBCS0H)	保持时间, CLKOUT 高电平后 $\overline{\text{EBCS0}}$ 上升的时间		13.2	ns
t _{su} (COH-EBHOLDL)	建立时间, $\overline{\text{EBHOLD}}$ 低电平到 CLKOUT 高电平的时间 ⁽²⁾	10.9		ns
t _{su} (COH-EBHOLDH)	建立时间, $\overline{\text{EBHOLD}}$ 高电平到 CLKOUT 高电平的时间 ⁽²⁾	10.5		ns

(1) 未经生产测试。

(2) 在最坏情况下, 建立时间是最短时间。建立时间较少的数据将无法正常工作。

(3) CLKOUT 为写入周期变为低电平后有效。

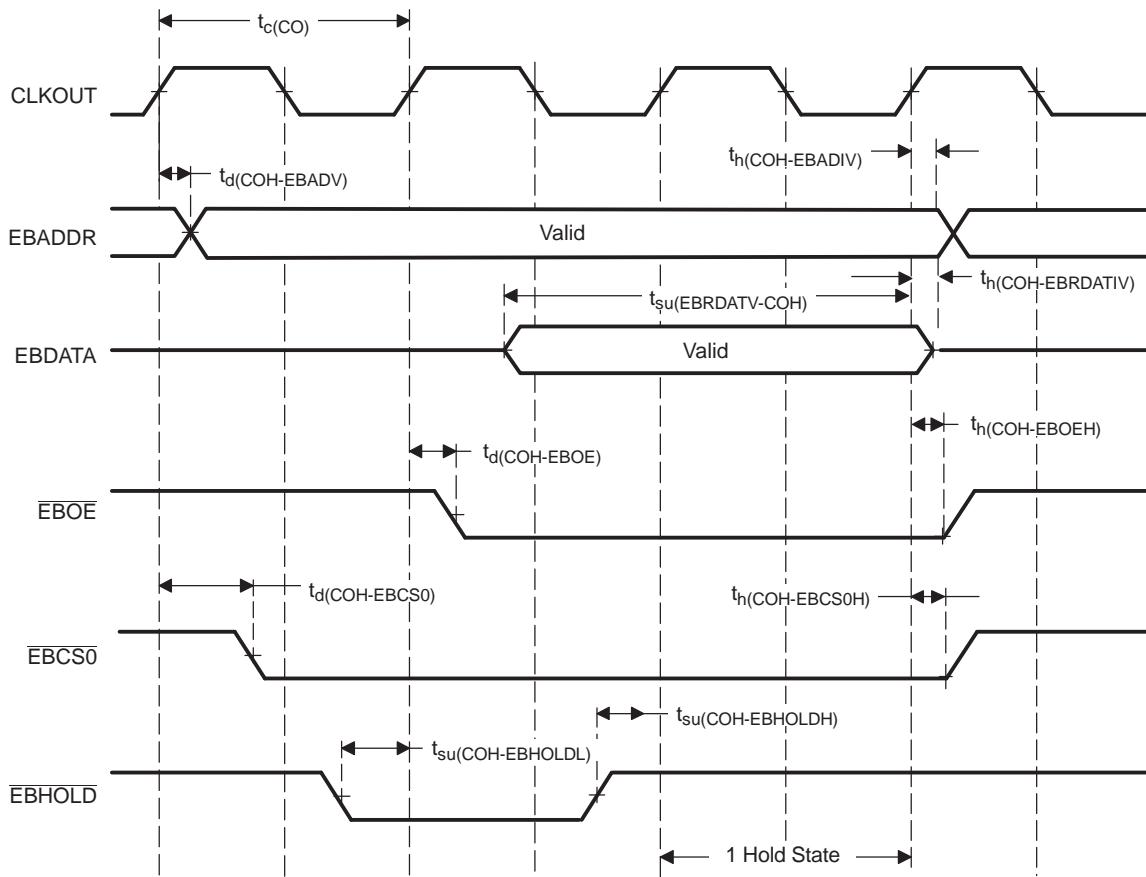


Figure 23. 扩展内存信号时序-读取

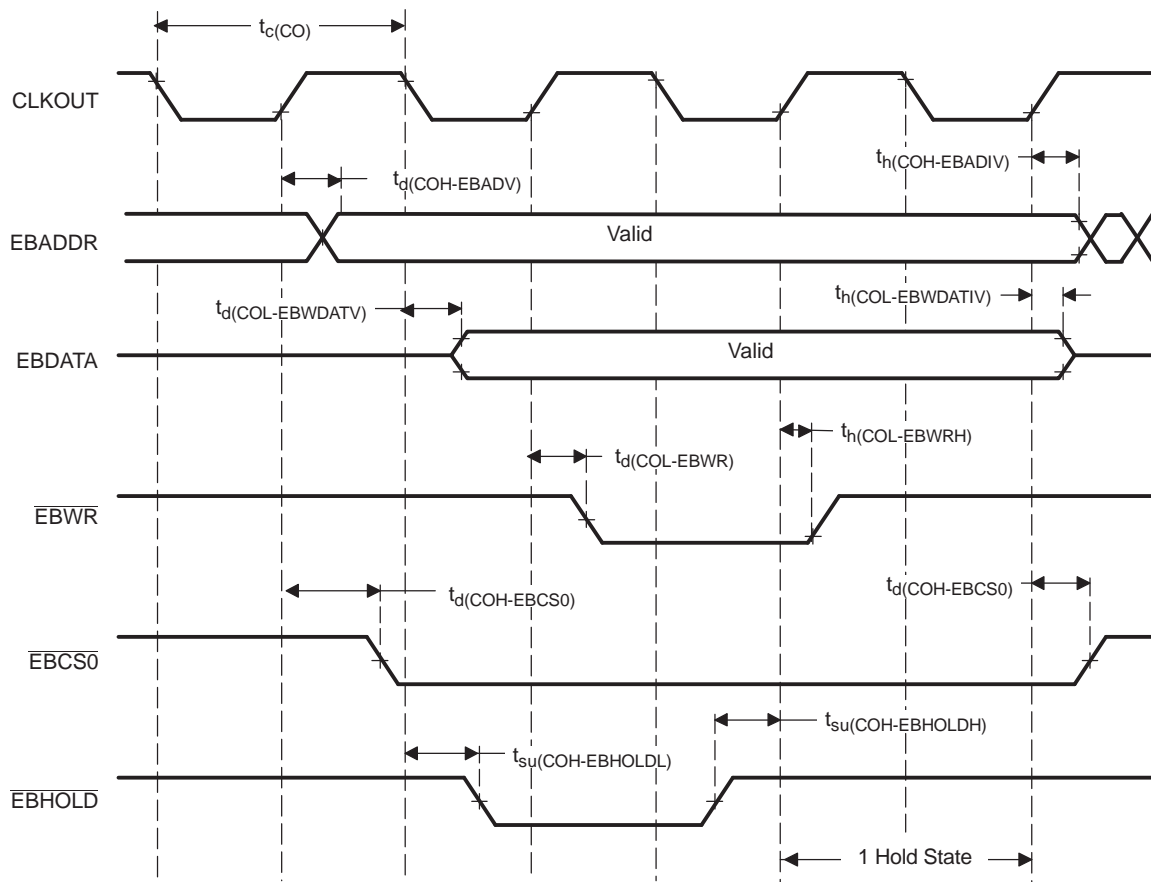


Figure 24. 扩展内存信号时序-写入

高端计时器 (HET) 时序

PWM 最小输出脉冲宽度:

它等于一个高分辨率时钟周期 (HRP)。HRP 由 6 位高分辨率预分频因素定义(hr)，它由用户定义，给出了 1-64 的预分频因素值，具有一个代码的线性增量。

因此，最小的 PWM 输出脉冲宽度 = HRP (最小值) = hr (最小值) /SYSCLK = 1/SYSCLK。

例如，对于一个 30MHz SYSCLK，最小的 PWM 输出脉冲宽度 = 1/30 = 33.33ns

可被捕获的最小输入脉冲:

输入脉冲宽度必须大于或等于低分辨率时钟周期 (LRP)，即 HET 环路 (HET 编程必须在 LRP 范围内)。LRP 由 3 位环路分辨率预置分频器 (lr) 定义，它由用户定义，且具有一个代码的 2 增量阶乘。也就是说，lr 的值可以是 1, 2, 4, 8, 16 或 32。

因此，最小输入脉冲宽度 = LRP (最小值) = hr (最小值) * lr (最小值) /SYSCLK = 1 * 1/SYSCLK

例如，SYSCLK 为 30MHz 时，最小输入脉冲宽度 = 1 * 1/30 = 33.33ns

NOTE

一旦输入脉冲宽度大于 LRP，测量分辨率仍将是 HRP。（即捕获值给出脉冲内 HRP 时钟数目）

缩写:

hr = HET 高分辨率分频比率 = 1, 2, 3, ... 63, 64

lr = HET 低分辨率分频比率 = 1, 2, 4, 8, 16, 32

高分辨率时钟周期 = HRP = hr/SYSCLK

环路分辨率时钟周期 = LRP = hr*lr/SYSCLK

多缓冲模数转换器 (MibADC)

多缓冲模数转换器 (MibADC) 有一个针对其模拟电路的单独的电源线, 此电源线通过阻止逻辑电路 (此电路可出现在 VSS 和 VCC 上) 上出现的数字开关噪声耦合进入模数转换模拟阶段来提高模数转换性能。所有模数转换技术规范是以 ADREFLO 为基准的, 除非另外指明。

分辨率	10 位 (1024 值)
单片	保证
输出转换代码	00h 至 3FFh [对于 $V_{AI} \leq AD_{REFLO}$, 为 00; 对于 $V_{AI} \geq AD_{REFHI}$, 为 3FF]

Table 14. MibADC 建议运行条件⁽¹⁾

		最小值	最大值	单位
AD _{REFHI}	A 至 D 高电压基准源	V _{SSAD}	V _{CCAD}	V
AD _{REFLO}	A 至 D 低电压基准源	V _{SSAD}	V _{CCAD}	V
V _{AI}	模拟输入电压	V _{SSAD} - 0.3	V _{CCAD} + 0.3	V
I _{AIC}	模拟输入钳位电流 ⁽²⁾ ($V_{AI} < V_{SSAD} - 0.3$ 或者 $V_{AI} > V_{CCAD} + 0.3$)	-2	2	mA

(1) 对于 V_{CCAD} 和 V_{SSAD} 建议运行条件, 请参阅《器件建议运行条件》表。

(2) 额定限值之外的输入到任何 ADC 输入通道的输入电流可能会影响其他通道的转换结果。

Table 15. 建议运行条件完全范围上的运行特征⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

参数		说明/条件		最小值	典型值	最大值	单位
R _I	模拟输入电阻	请参考 Figure 25。			250	500	Ω
C _I	模拟输入电容	请参考 Figure 25。	转换			10	pF
			采用			30	pF
I _{AIL}	模拟输入漏电流	请参考 Figure 25。		-1		1	μA
I _{ADREFHI}	AD _{REFHI} 输入电流	AD _{REFHI} = 3.6V, AD _{REFLO} = V _{SSAD}				5	mA
CR	额定精度被保持时的转换范围。	AD _{REFHI} - AD _{REFLO}		3		3.6	V
E _{DNL}	微分非线性误差	实际步长宽度和理想值之间的差异。请参考 Figure 26。				±1.5	LSB
E _{INL}	积分非线性误差	从穿过 MibADC 的最佳直线的最大偏差。MibADC 传输特性, 但不包括量化误差。请参考 Figure 27。				±2	LSB
E _{TOT}	总误差/绝对精度	模拟值和理想中值之间的最大差值。请参考 Figure 28。				±2.5	LSB

(1) 未经生产测试。

(2) INL 和 DNL 值对 15MHz 的最大 ADCCLK 频率有效。对于频率大于 15MHz 的情况, 丢码有肯出现在较高温度时。

(3) V_{CCAD} = AD_{REFHI}

(4) 对于 MibADC, 1 LSB = (AD_{REFHI} - AD_{REFLO})/2¹⁰

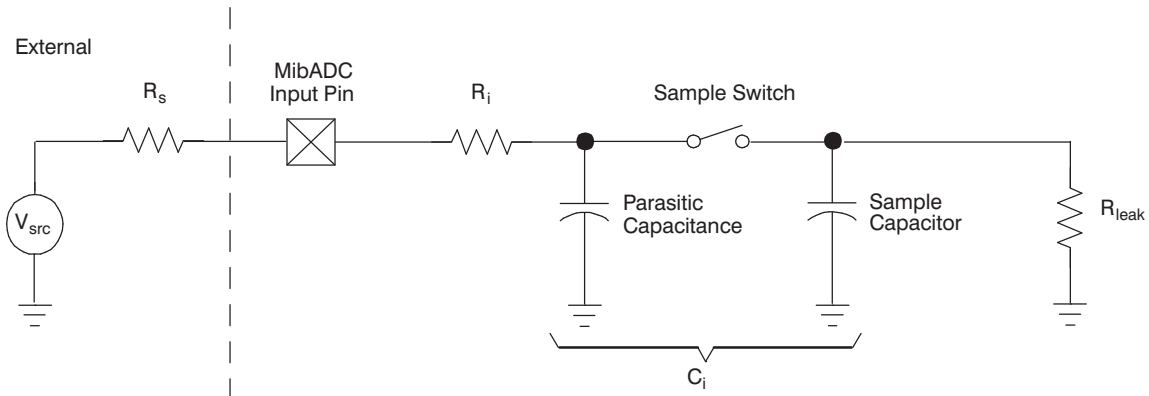


Figure 25. MibADC 输入等效电路

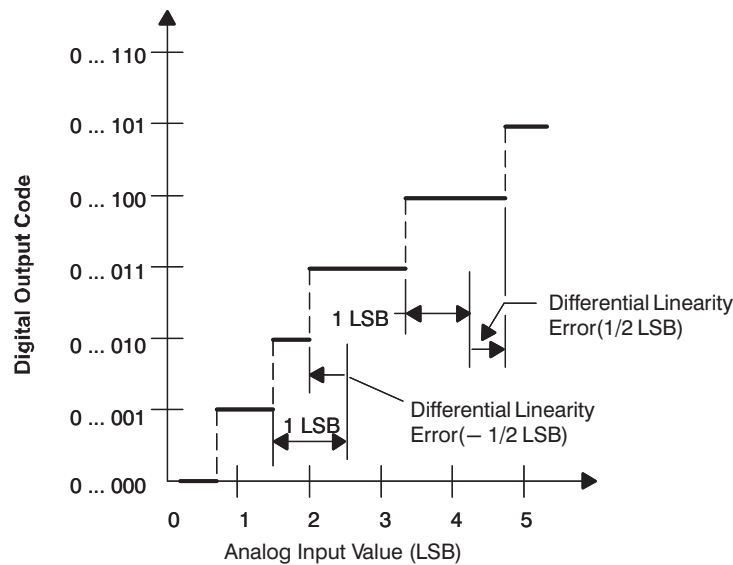
Table 16. 多缓冲 ADC 时序要求⁽¹⁾

		最小值	标称值	最大值	单位
$t_{c(ADCLK)}$	周期, MibADC 时钟	0.067			μs
$t_{d(SH)}$	延迟时间, 采样和保持时间	1			μs
$t_{d(\odot)}$	延迟时间, 转换时间	0.55			μs
$t_{d(SHC)}^{(2)}$	延迟时间, 总采样/保持和转换时间	1.55			μs

(1) 未经生产测试。

(2) 这是可以达到的最低采样/保持和转换时间。这些参数受许多因素影响；更多信息，请参阅《TMS470R1x 多缓冲模数转换器 (MibADC) 参考指南》(文献编号 SPNU206)。

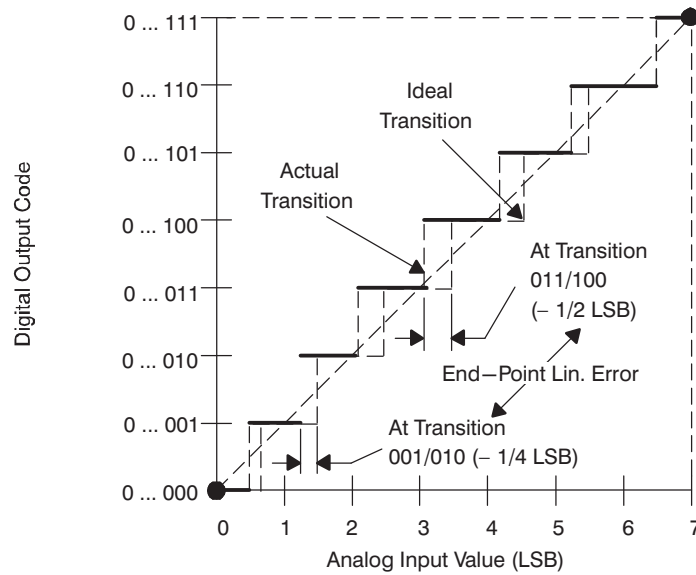
在 Figure 26 中所示的微分非线性误差 (有时也被称为微分线性) 是实际步长宽度与 1 LSB 理想值之间的差异。



$$A. \quad 1 \text{ LSB} = (AD_{REFHI} - AD_{REFLO})/2^{10}$$

Figure 26. 微分非线性 (DNL)

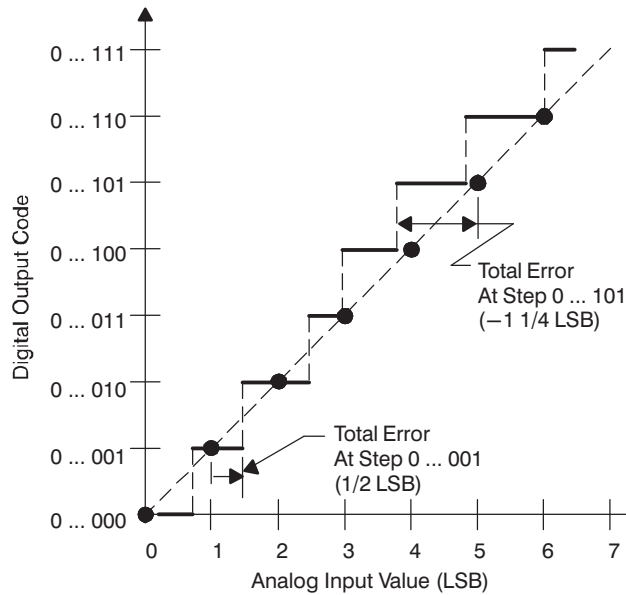
在Figure 27中所示的积分非线性误差（有时称为线性误差）是实际传送函数上的值的与一条直线的偏差。



A. $1 \text{ LSB} = (AD_{\text{REFHI}} - AD_{\text{REFLO}}) / 2^{10}$

Figure 27. 积分非线性 (INL) 误差

Figure 28所示的 MibADC 的绝对精度或总误差是模拟值和理想中值之间的差值。



A. $1 \text{ LSB} = (AD_{\text{REFHI}} - AD_{\text{REFLO}}) / 2^{10}$

Figure 28. 绝对精度 (总) 误差

修订历史记录

Changes from Revision G (July 2013) to Revision H	Page
• Added 热信息表	43
• Changed 电气特性表内的温度范围条件	44
• Changed 电气特性表内的温度范围条件	45

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SM470R1B1MHKPS	OBSOLETE	CFP	HKP	84		TBD	Call TI	Call TI	-55 to 220	SM470R1B1 MHKPS	
SM470R1B1MPGES	OBSOLETE	LQFP	PGE	144		TBD	Call TI	Call TI	-55 to 150	R1B1MPGES SM470	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

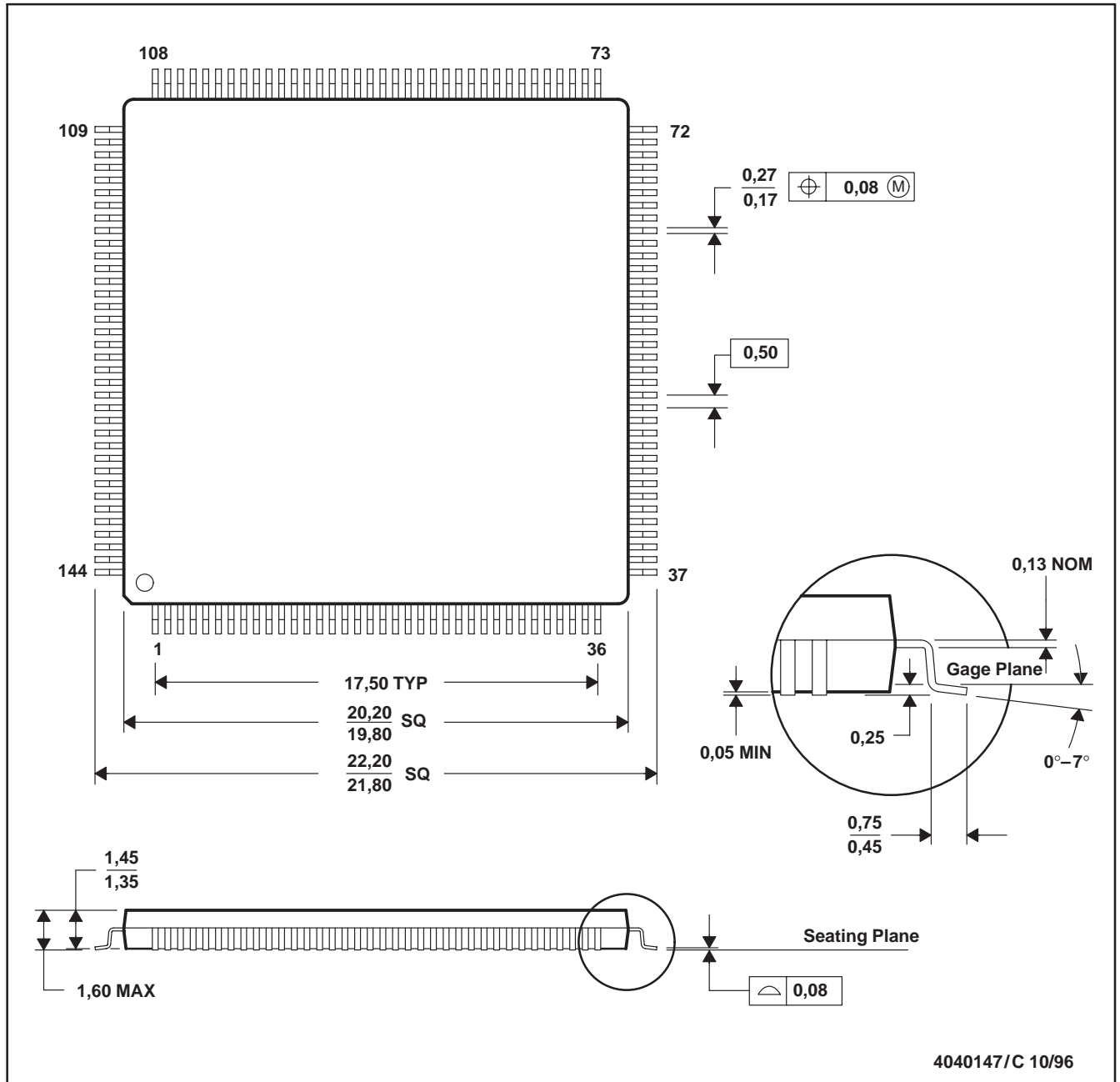
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PGE (S-PQFP-G144)

PLASTIC QUAD FLATPACK



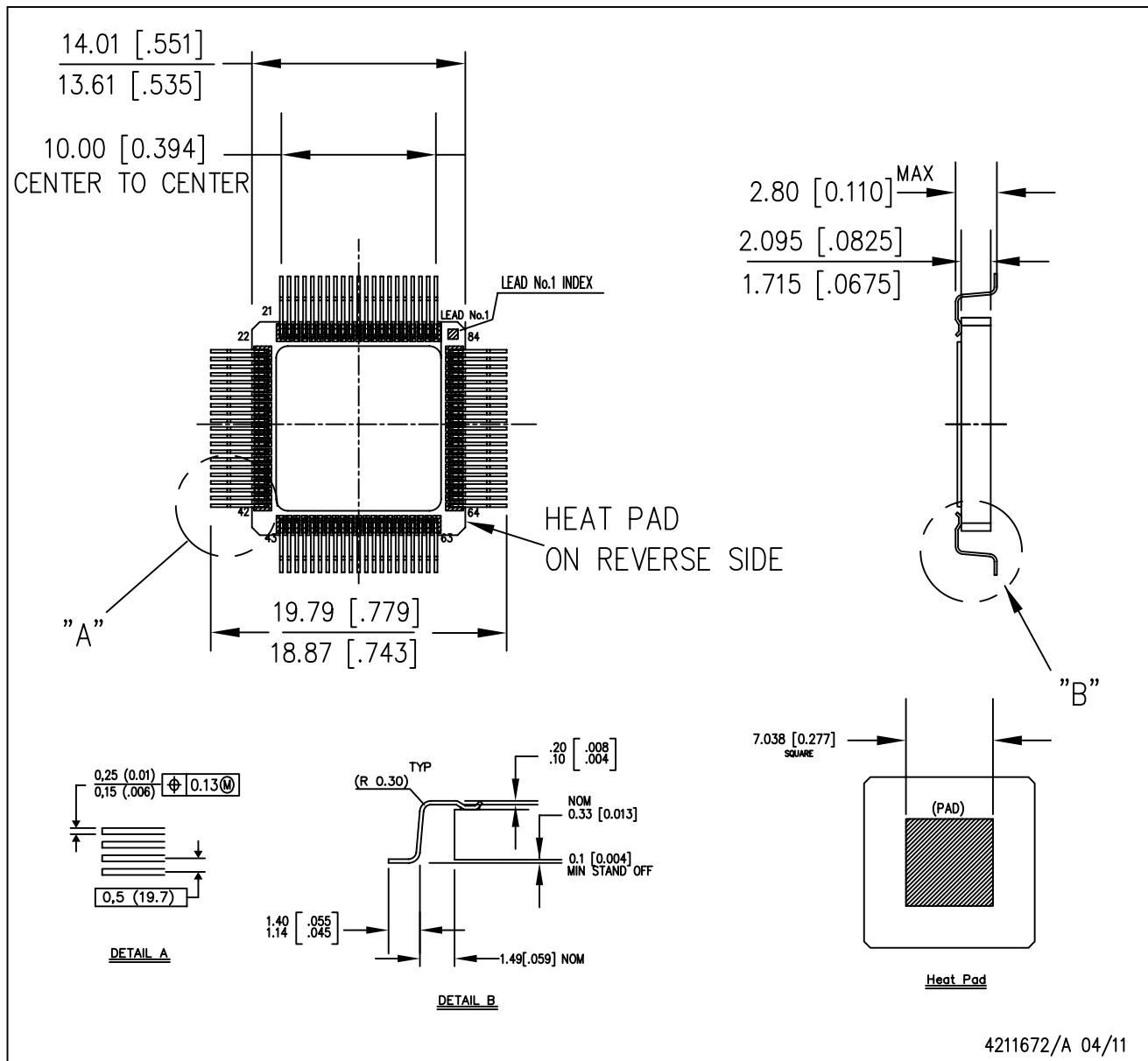
- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

4040147/C 10/96

MECHANICAL DATA

HKP (S-CQFP-G84)

CERAMIC QUAD FLATPACK – GULL WING



- NOTES:
- All linear dimensions are in millimeters (inches).
 - This drawing is subject to change without notice.
 - Ceramic quad flatpack with formed leads.
 - This package is hermetically sealed with a metal lid.
 - The leads are gold plated and can be solderdipped.
 - Lid and heat pad are electrically connected.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司