

带有预充电 FET 的 16 通道恒流 LED 驱动器

1 特性

- 具有开关控制的 16 通道恒定电流吸收型输出
- 恒定电流吸收能力：
 - 35mA ($V_{CC} \leq 3.6V$), 45mA ($V_{CC} > 3.6V$)
- LED 电源电压：高达 10V
- $V_{CC} = 3V$ 至 5.5V
- 恒定电流精度：
 - 通道间： $\pm 1.4\%$ (典型值), $\pm 3\%$ (最大值)
 - 器件间： $\pm 2\%$ (典型值), $\pm 4\%$ (最大值)
- CMOS 逻辑电平 I/O
- 数据传输速率：35MHz
- BLANK 脉冲宽度：50ns
- 预充电的 FET 可减少重影现象
- 用于降低噪声的分组开关延迟
- 工作温度：-40°C 至 +85°C

2 应用

- 视频显示屏
- 留言板

3 说明

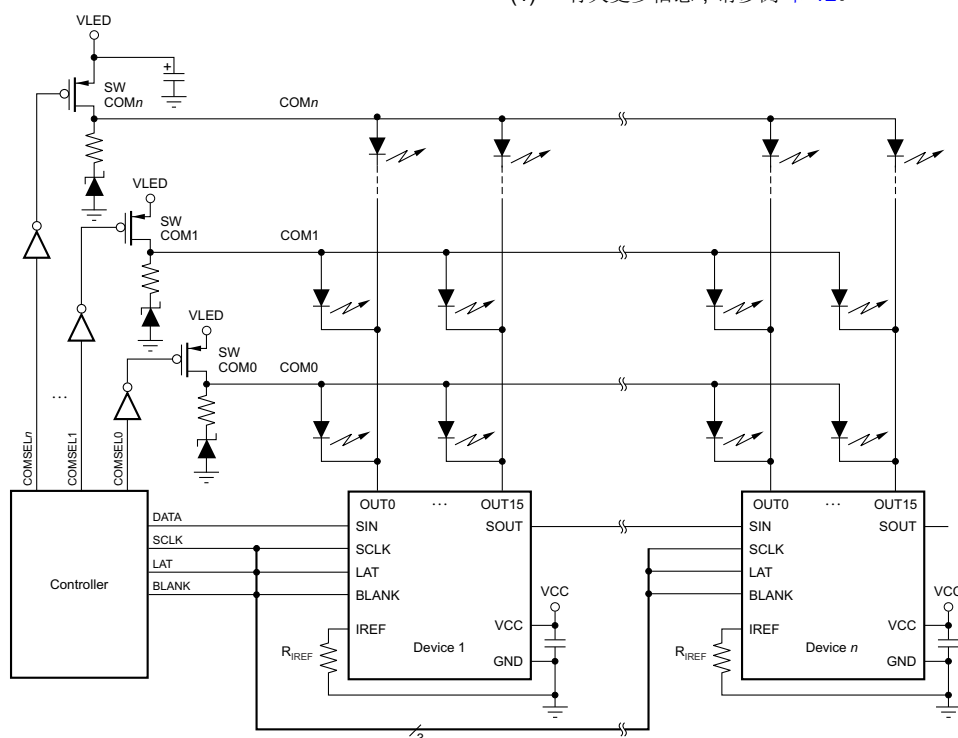
TLC59283 是一款 16 通道、恒定电流吸收型发光二极管 (LED) 驱动器。每个通道均可通过与 3.3V 或 5V CMOS 逻辑电平 (取决于工作 V_{CC}) 兼容的简单串行通信协议单独控制。当串行数据缓冲区被载入时, LAT 上升沿会将数据传输到 OUT_n 输出。BLANK 引脚可用于在上电和输出数据锁存期间关闭所有 OUT_n 输出, 以防此时间段内不必要的图像显示。所有 16 个通道的恒定电流值由一个外部电阻器设定。

每个恒定电流输出有一个预充电场效应晶体管 (FET), 此晶体管能够减少复用 (动态) 驱动 LED 显示时的重影。可将多个 TLC59283 级联在一起以控制来自同一处理器的额外的 LED。

封装信息

器件型号	封装 ⁽¹⁾
TLC59283	DB (SSOP, 24)
	DBQ (QSOP, 24)
TLC59283	RGE (QFN, 24)

(1) 有关更多信息, 请参阅节 12。



典型应用电路 (多菊花链 TLC59283)



内容

1 特性	1	7.2 功能方框图	15
2 应用	1	7.3 特性说明	16
3 说明	1	8 寄存器配置	19
4 引脚配置	3	9 应用和实施	21
5 规格	5	9.1 应用信息	21
5.1 绝对最大额定值	5	9.2 典型应用	21
5.2 存储条件	5	9.3 电源相关建议	24
5.3 ESD 等级	5	9.4 布局	24
5.4 建议运行条件	6	10 器件和文档支持	25
5.5 热性能信息	6	10.1 第三方产品免责声明	25
5.6 电气特性	7	10.2 文档支持	25
5.7 计时特性	8	10.3 接收文档更新通知	25
5.8 时序图	9	10.4 支持资源	25
5.9 典型特性	11	10.5 商标	25
6 参数测量信息	13	10.6 静电放电警告	25
6.1 引脚等效输入和输出原理图	13	10.7 术语表	25
6.2 测试电路	14	11 修订历史记录	26
7 详细说明	15	12 机械、封装和可订购信息	27
7.1 概述	15		

4 引脚配置

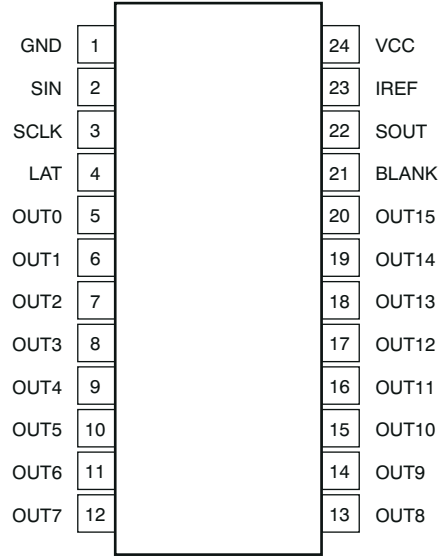


图 4-1. DBQ 封装 SSOP-24 和 QSOP-24 (顶视图)

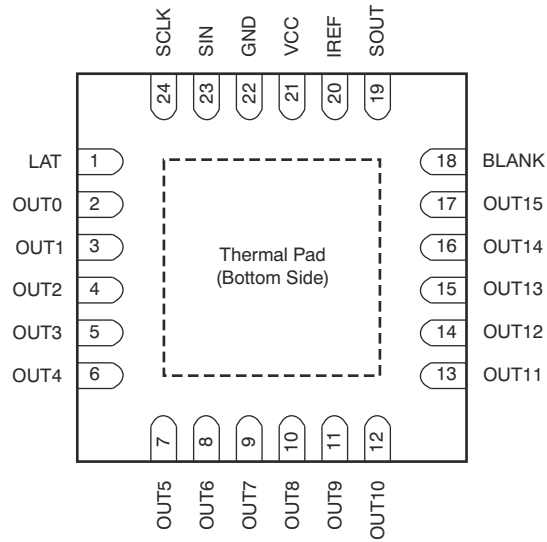


图 4-2. RGE 封装 QFN-24 (顶视图)

注：散热焊盘未在内部连接到 GND。散热焊盘必须通过印刷电路板 (PCB) 模式连接至 GND。

表 4-1. 引脚功能

名称	引脚 编号		I/O	说明
	DBQ	RGE		
空白	21	18	I	所有输出均为空（空白）；施密特缓冲器输入。当 BLANK 为高电平时，所有恒流输出（OUT0 至 OUT15）均被强制关闭，并且所有预充电 FET 均导通。当 BLANK 为低电平时，所有恒流输出均由输出开关数据锁存器中的数据控制，并且所有预充电 FET 均关断。该引脚在内部通过 500k Ω （典型值）电阻上拉至 V _{CC} 。
GND	1	22	—	电源地
IREF	23	20	I/O	恒流值设置，通过在 IREF 和 GND 之间连接一个外部电阻器，可将 OUT0 至 OUT15 恒定灌电流输出设置为所需的值。
LAT	4	1	I	电平触发锁存器；施密特缓冲器输入。当 LAT 为高电平时，16 位移位寄存器中的数据继续传输到输出开关数据锁存器。因此，如果在 LAT 为高电平时改变 16 位移位寄存器中的数据，数据锁存器中的数据也会改变。当 LAT 为低电平时，数据锁存器中的数据将保持不变。该引脚在内部通过 500k Ω （典型值）电阻下拉至 GND。
OUT0	5	2	O	恒流输出。每个输出都可与其他输出连接在一起，以增加恒定电流。可以向每个输出施加不同的电压。
OUT1	6	3	O	恒流输出
OUT2	7	4	O	恒流输出
OUT3	8	5	O	恒流输出
OUT4	9	6	O	恒流输出
OUT5	10	7	O	恒流输出
OUT6	11	8	O	恒流输出
OUT7	12	9	O	恒流输出
OUT8	13	10	O	恒流输出
OUT9	14	11	O	恒流输出
OUT10	15	12	O	恒流输出
OUT11	16	13	O	恒流输出
OUT12	17	14	O	恒流输出
OUT13	18	15	O	恒流输出
OUT14	19	16	O	恒流输出
OUT15	20	17	O	恒流输出
SCLK	3	24	I	串行数据移位时钟；施密特缓冲器输入。 16 位移位寄存器中的所有数据均通过 1 位 SCLK 同步向 MSB 移位。
SIN	2	23	I	用于驱动器开关控制的串行数据输入；施密特缓冲器输入。 当 SIN 为高电平时，LSB 仅在一个 SCLK 输入上升沿设置为“1”。如果在 SIN 为高电平的情况下输入两个 SCLK 上升沿，则 16 位移位寄存器 LSB 和 LSB+1 都将设置为“1”。当 SIN 为低电平时，LSB 会在 SCLK 输入上升沿设置为“0”。
SOUT	22	19	O	串行数据输出。该输出连接到 16 位移位寄存器 MSB。SOUT 数据在 SCLK 上升沿发生变化。
VCC	24	21	—	电源电压

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）。⁽¹⁾

			值		单位 ⁽²⁾
			最小值	最大值	
电压	V _{CC}	电源	-0.3	+6	V
	V _{IN}	输入范围, SIN、SCLK、LAT、BLANK、IREF	-0.3	V _{CC} +0.3	V
	V _{OUT}	输出范围, SOUT	-0.3	V _{CC} +0.3	V
输出范围, OUT0 至 OUT15		-0.3	+11	V	
电流	I _{OUT}	输出(直流), OUT0 至 OUT15		+50	mA
温度	T _{J(MAX)}	工作结温		+150	°C
	T _{stg}	贮存温度	-55	+150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 所有电压值都是以网络接地端为基准。

5.2 存储条件

在最终产品中安装 DMD 之前适用

		最小值	最大值	单位
T _{stg}	DMD 贮存温度	-55	+150	°C

5.3 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ¹	±3000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ²	±2000	

5.4 建议运行条件

除非另有说明，否则测试条件为 $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

参数			测试条件	TLC59283		单位
				最小值	最大值	
直流特性 ($V_{CC} = 3\text{V}$ 至 5.5V)						
V_{CC}	电源电压			3	5.5	V
V_O	施加到输出端的电压		OUT0 至 OUT15		10	V
V_{IH}	输入电压	高	SIN、SCLK、LAT、BLANK	$0.7 \times V_{CC}$	V_{CC}	V
V_{IL}		低	SIN、SCLK、LAT、BLANK	GND	$0.3 \times V_{CC}$	V
I_{OH}	输出电流	高	SOUT		-2	mA
I_{OL}		低	SOUT		2	mA
I_{OLC}	恒定输出灌电流		OUT0 至 OUT15, $3\text{V} \leq V_{CC} \leq 3.6\text{V}$	2	35	mA
			OUT0 至 OUT15, $3.6\text{V} < V_{CC} \leq 5.5\text{V}$	2	45	mA
T_A	温度范围	自然通风工作温度		-40	+85	$^{\circ}\text{C}$
T_J		工作结温		-40	+125	$^{\circ}\text{C}$
交流特性 ($V_{CC} = 3\text{V}$ 至 5.5V)						
f_{CLK} (SCLK)	数据移位时钟频率		SCLK		35	MHz
t_{WH0}	脉冲持续时间		SCLK	10		ns
t_{WL0}			SCLK	10		ns
t_{WH1}			LAT	20		ns
t_{WH2}			空白	100		ns
t_{WL2}			空白	50		ns
t_{SU0}	设置时间		SIN \uparrow \downarrow - SCLK \uparrow	4		ns
t_{SU1}			LAT \downarrow - SCLK \uparrow	10		ns
t_{H0}	保持时间		SIN \uparrow \downarrow - SCLK \uparrow	4		ns
t_{H1}			LAT \downarrow - SCLK \uparrow	10		ns

5.5 热性能信息

热指标			TLC59283		单位
			DBQ	RGE	
			24 引脚	24 引脚	
θ_{JA}	结到环境热阻		91.5	42.9	$^{\circ}\text{C}/\text{W}$
θ_{JCTop}	管结到散热片 (顶部) 热阻		55.2	55.3	
θ_{JB}	结至电路板热阻		44.9	21.7	
ψ_{JT}	结至顶部特征参数		16.8	1.9	
ψ_{JB}	结至电路板特征参数		44.5	21.8	
θ_{JCb0t}	结至外壳 (底部) 热阻		不适用	8.8	

5.6 电气特性

除非另有说明，否则所有最小值和最大值规格条件为 $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 且 $V_{CC} = 3\text{V}$ 至 5.5V 。
典型规格条件为 $T_A = +25^{\circ}\text{C}$ 且 $V_{CC} = 3.3\text{V}$ 。

参数			测试条件	TLC59283			单位
				最小值	典型值	最大值	
V_{OH}	输出电压	高	SOUT 处的 $I_{OH} = -2\text{mA}$	$V_{CC} - 0.4$		V_{CC}	V
V_{OL}		低	SOUT 处的 $I_{OL} = 2\text{mA}$			0.4	V
V_{PCHG}	预充电电压		$I_O = -10\mu\text{A}$	$V_{CC} - 2.0$	$V_{CC} - 1.4$	$V_{CC} - 0.8$	V
V_{IREF}	基准电压输出		$R_{IREF} = 1.5\text{k}\Omega$, $T_A = +25^{\circ}\text{C}$		1.208		V
I_{IN}	输入电流		SIN 和 SCLK 处的 $V_{IN} = V_{CC}$ 或 GND	-1		1	μA
I_{CC0}	电源电流 (V_{CC})		SIN、SCLK、LAT = GND, BLANK = $V_{OUTn} = V_{CC}$, R_{IREF} = 开路		1	2	mA
I_{CC1}			SIN、SCLK、LAT = GND, BLANK = $V_{OUTn} = V_{CC}$, $R_{IREF} = 3\text{k}\Omega$ ($I_{OUT} = 17.6\text{mA}$ 目标)		3	4	mA
I_{CC2}			所有 $OUTn$ = 开启, SIN、SCLK、LAT、BLANK = GND, $V_{OUTn} = 0.8\text{V}$, $R_{IREF} = 3\text{k}\Omega$		7	9	mA
I_{CC3}			所有 $OUTn$ = 开启, SIN、SCLK、LAT、BLANK = GND, $V_{OUTn} = 0.8\text{V}$, $R_{IREF} = 1.5\text{k}\Omega$ ($I_{OUT} = 35.3\text{mA}$ 目标)		8	11	mA
I_{OLC}	恒定输出电流		所有 $OUTn$ = 开启, $V_{OUTn} = V_{OUTfix} = 0.8\text{V}$, $R_{IREF} = 1.5\text{k}\Omega$, $T_A = +25^{\circ}\text{C}$ (请参阅图 6-8)	32.9	35.3	37.7	mA
I_{OLKG0}	输出泄漏电流		所有 $OUTn$ = 关闭, $V_{OUTn} = V_{OUTfix} = 10\text{V}$, BLANK = V_{CC} , $R_{IREF} = 1.5\text{k}\Omega$ (请参阅图 6-8)	$T_J = +25^{\circ}\text{C}$		0.1	μA
		$T_J = +85^{\circ}\text{C}$			0.2	μA	
		$T_J = +125^{\circ}\text{C}$			0.07	0.5	μA
ΔI_{OLC0}	恒流误差	通道间 ⁽¹⁾	所有 $OUTn$ = 开启, $V_{OUTn} = V_{OUTfix} = 0.8\text{V}$, $R_{IREF} = 1.5\text{k}\Omega$, $T_A = +25^{\circ}\text{C}$ (请参阅图 6-8)		± 1.4	± 3	%
ΔI_{OLC1}		器件间 ⁽²⁾	所有 $OUTn$ = 开启, $V_{OUTn} = V_{OUTfix} = 0.8\text{V}$, $R_{IREF} = 1.5\text{k}\Omega$, $T_A = +25^{\circ}\text{C}$ (请参阅图 6-8)		± 2	± 4	%
ΔI_{OLC2}	线性调整率 ⁽³⁾		所有 $OUTn$ = 开启, $V_{OUTn} = V_{OUTfix} = 0.8\text{V}$, $R_{IREF} = 1.5\text{k}\Omega$, $V_{CC} = 3\text{V}$ 至 5.5V		± 0.05	± 1	%/V
ΔI_{OLC3}	负载调整率 ⁽⁴⁾		所有 $OUTn$ = 开启, $V_{OUTn} = 0.8\text{V}$ 至 3V , $V_{OUTfix} = 0.8\text{V}$, $R_{IREF} = 1.5\text{k}\Omega$		± 0.5	± 1	%/V
R_{PUP}	电阻器	上拉	空白	250	500	750	$\text{k}\Omega$
R_{PDWN}		下拉	LAT	250	500	750	$\text{k}\Omega$
R_{PCHG}	预充电 FET 导通电阻		$V_{CC} = 5.0\text{V}$, $V_{OUTn} = 0\text{V}$, OUT0 至 OUT15, BLANK = V_{CC} , $T_A = +25^{\circ}\text{C}$		3	6	$\text{k}\Omega$

$$\Delta (\%) = \left[\frac{I_{OUTn}}{\frac{(I_{OUT0} + I_{OUT1} + \dots + I_{OUT14} + I_{OUT15})}{16}} - 1 \right] \times 100$$

- (1) 每个输出与 OUT0 至 OUT15 恒流平均值的偏差。偏差可通过以下公式计算：
 (2) OUT0 至 OUT15 恒流平均值与理想恒流值的偏差。
 偏差可通过以下公式计算：

$$\Delta (\%) = \left[\frac{\frac{(I_{OUT0} + I_{OUT1} + \dots + I_{OUT14} + I_{OUT15})}{16} - (\text{Ideal Output Current})}{\text{Ideal Output Current}} \right] \times 100$$

理想电流可通过以下公式计算：

$$I_{OUT(\text{IDEAL})} = 43.8 \times \left[\frac{1.208 \text{ V}}{R_{IREF}} \right]$$

- (3) 线性调整率可通过以下公式计算：

$$\Delta (\%/V) = \left[\frac{(I_{OUTn} \text{ at } V_{CC} = 5.5 \text{ V}) - (I_{OUTn} \text{ at } V_{CC} = 3 \text{ V})}{(I_{OUTn} \text{ at } V_{CC} = 3 \text{ V})} \right] \times \frac{100}{5.5 \text{ V} - 3 \text{ V}}$$

- (4) 负载调整率可通过以下公式计算：

$$\Delta (\%/V) = \left(\frac{(I_{OUTn} \text{ at } V_{OUTn} = 3 \text{ V}) - (I_{OUTn} \text{ at } V_{OUTn} = 1 \text{ V})}{(I_{OUTn} \text{ at } V_{OUTn} = 1 \text{ V})} \right) \times \frac{100}{3 \text{ V} - 1 \text{ V}}$$

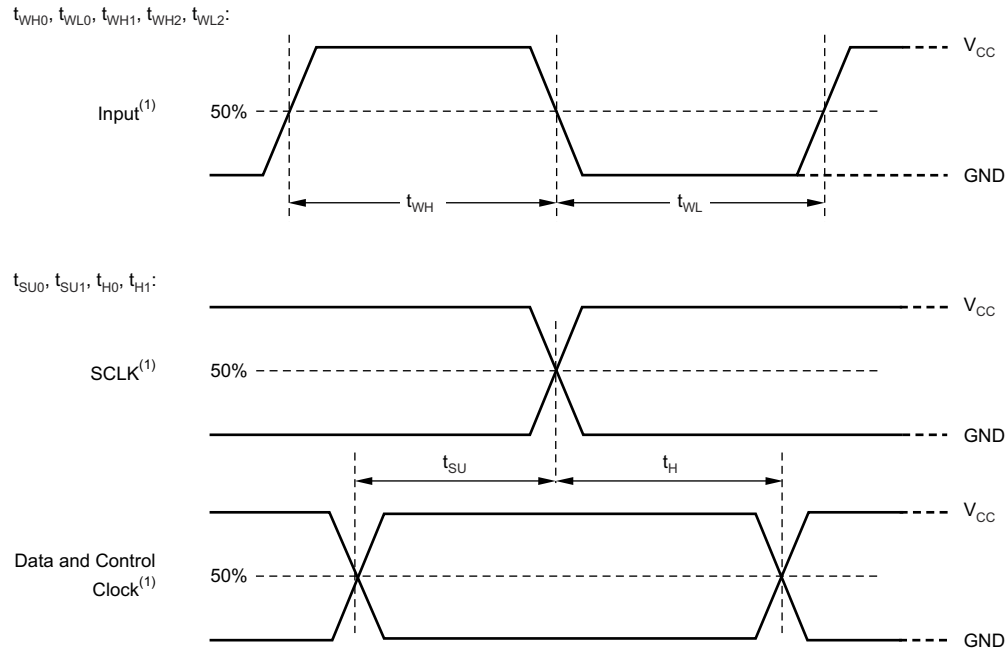
5.7 计时特性

除非另有说明，否则所有最小值和最大值规格条件为： $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 、 $V_{CC} = 3\text{V}$ 至 5.5V 、 $C_L = 15\text{pF}$ 、 $R_L = 110\Omega$ 、 $R_{REF} = 1.5\text{k}\Omega$ 且 $V_{LED} = 5.0\text{V}$ 。典型值条件为 $T_A = +25^\circ\text{C}$ 且 $V_{CC} = 3.3\text{V}$ 。

参数		测试条件	TLC59283			
			最小值	典型值	最大值	单位
t_{R0}	上升时间	SOUT (请参阅图 6-7)	3	10	ns	
t_{R1}		OUT n (请参阅图 6-6)	44		ns	
t_{F0}	下降时间	SOUT (请参阅图 6-7)	3	10	ns	
t_{F1}		OUT n (请参阅图 6-6)	44		ns	
t_{D0}	传播延迟时间	SCLK \uparrow 至 SOUT $\uparrow \downarrow$	11	20	ns	
t_{D1}		LAT \uparrow 或 BLANK $\uparrow \downarrow$ 至 OUT0 开启或关闭, $T_A = +25^\circ\text{C}$	60	100	ns	
t_{D2}		分组 OUT n 开启或关闭至下一组开启或关闭, $T_A = +25^\circ\text{C}$	2		ns	
t_{ON_ERR}	输出导通时间误差 ⁽¹⁾	输出开关锁存数据 = 全“1”, 50ns BLANK GND 电平脉冲, $V_{CC} = 3.3\text{V}$, $T_A = +25^\circ\text{C}$	-45		45	ns

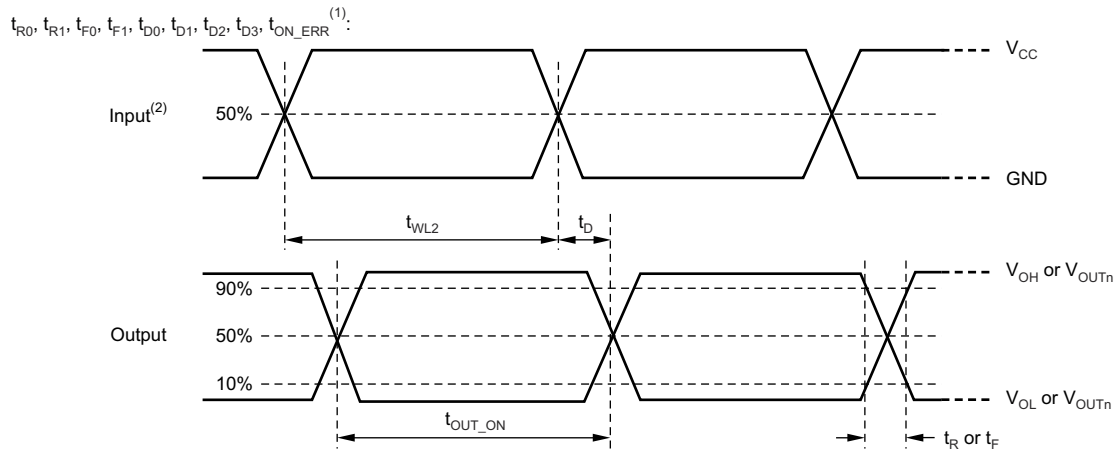
(1) 输出导通时间误差 (t_{ON_ERR}) 可通过以下公式计算： $t_{ON_ERR} (\text{ns}) = t_{OUT_ON} - \text{BLANK 低电平单稳态脉冲宽度 } (t_{WL2})$ 。 t_{OUT_ON} 表示恒流输出的实际导通时间。

5.8 时序图



A. 输入脉冲上升和下降时间为 1ns 至 3ns。

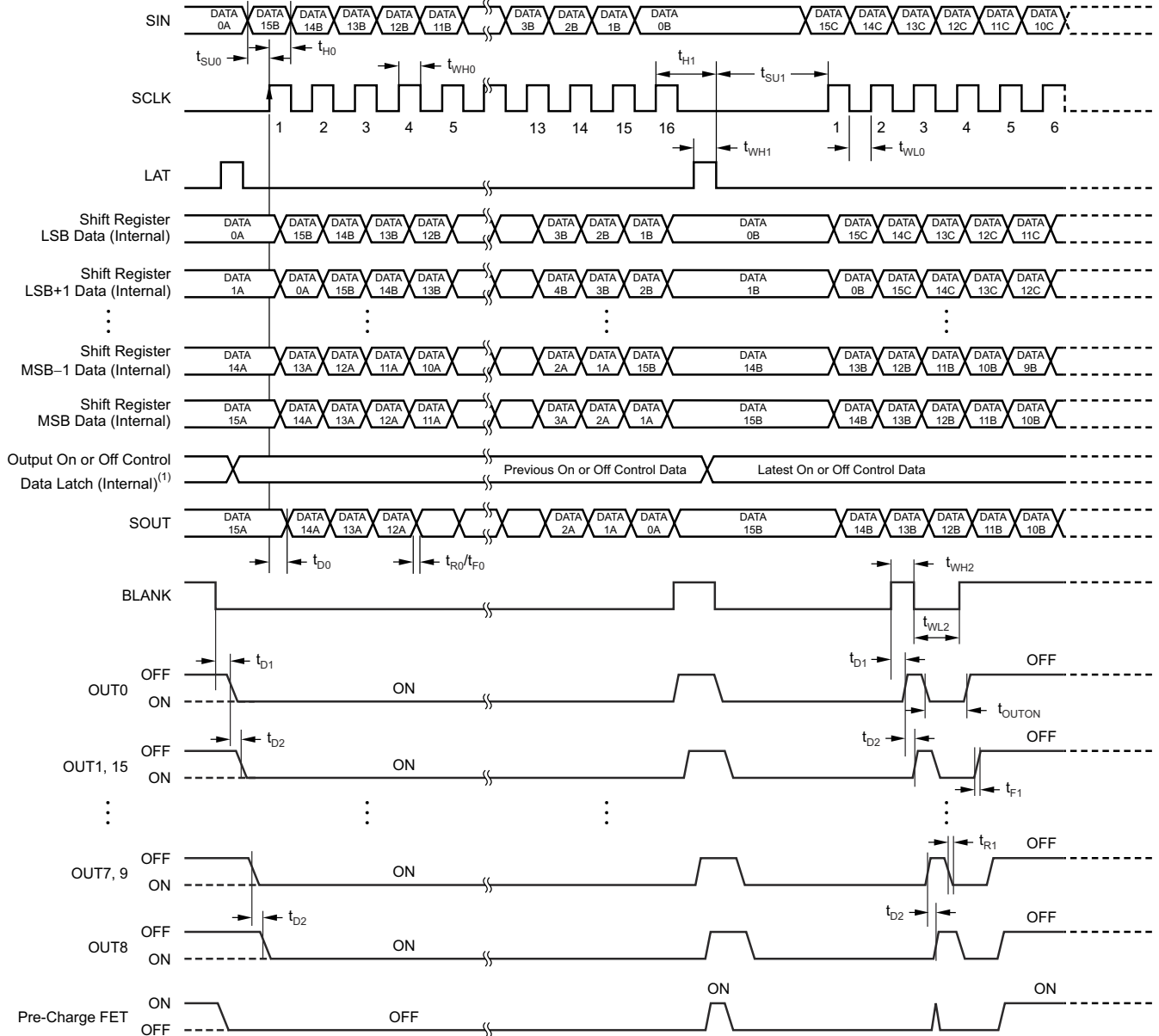
图 5-1. 输入时序图



A. t_{ON_ERR} 可通过 $t_{OUT_ON} - t_{WL2}$ 计算得出。

B. 输入脉冲上升和下降时间为 1ns 至 3ns。

图 5-2. 输出时序图



- A. 输出开关数据 = FFFFh。
- B. $t_{ON_ERR} = t_{OUTON} - t_{WL2}$ 。

图 5-3. 数据写入和输出开关时序图

5.9 典型特性

除非另有说明，否则 $T_A = +25^\circ\text{C}$ 且 $V_{CC} = 3.3\text{V}$ 。

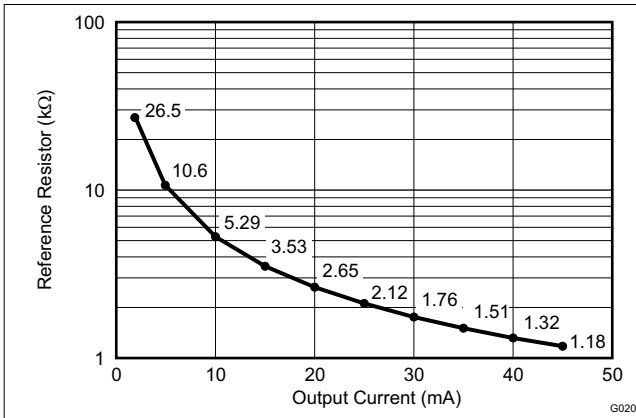


图 5-4. 基准电阻与输出电流间的关系

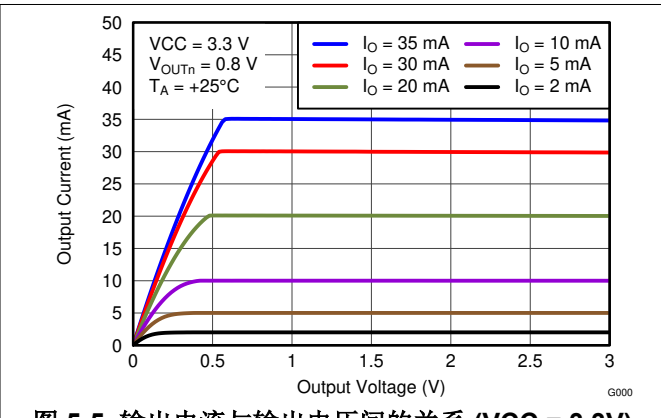


图 5-5. 输出电流与输出电压间的关系 ($V_{CC} = 3.3\text{V}$)

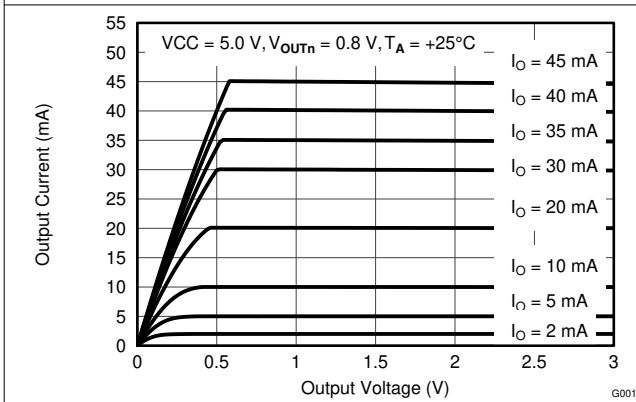


图 5-6. 输出电流与输出电压间的关系 ($V_{CC} = 5.0\text{V}$)

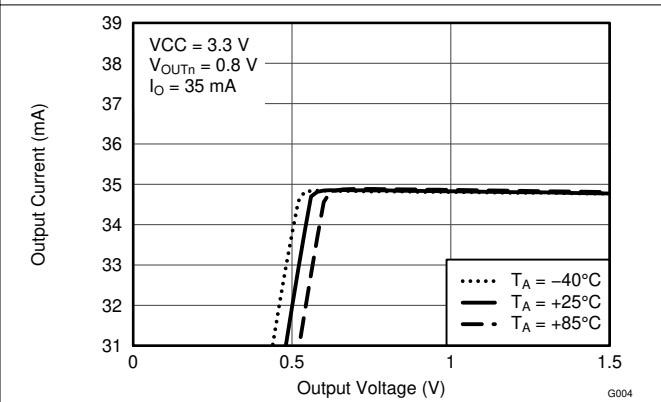


图 5-7. 输出电流与输出电压间的关系 ($V_{CC} = 3.3\text{V}$, 放大)

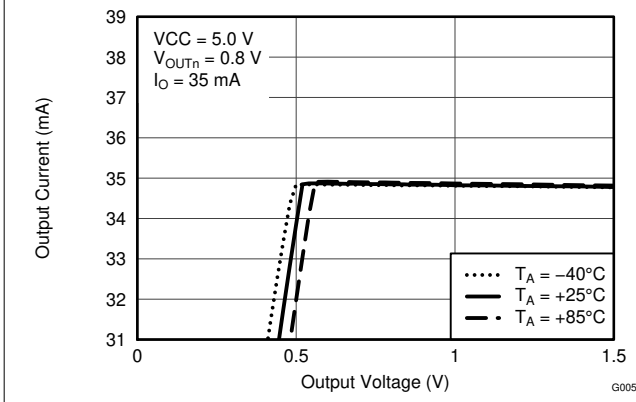


图 5-8. 输出电流与输出电压间的关系 ($V_{CC} = 5.0\text{V}$, 放大)

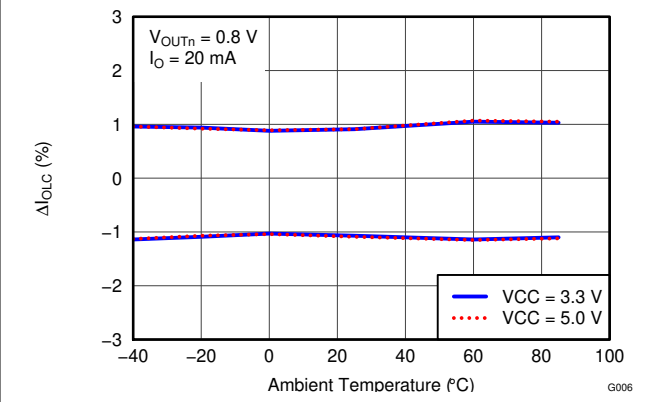


图 5-9. ΔI_{OLC} 与环境温度间的关系

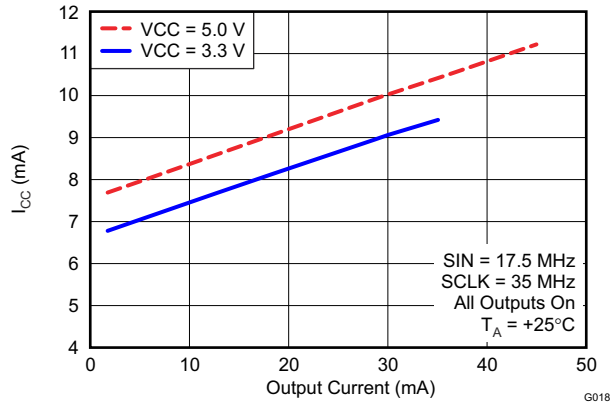


图 5-10. 电源电流与输出电流间的关系

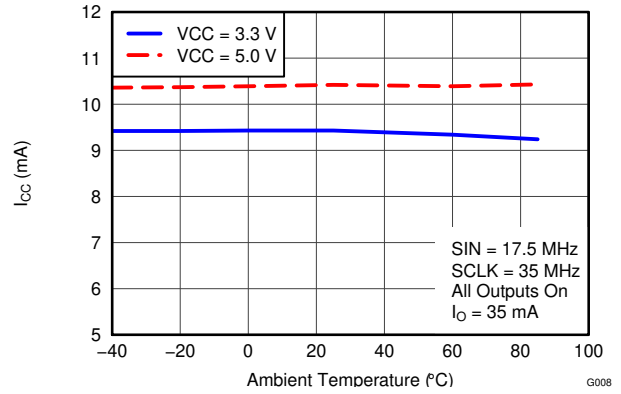


图 5-11. 电源电流与环境温度间的关系

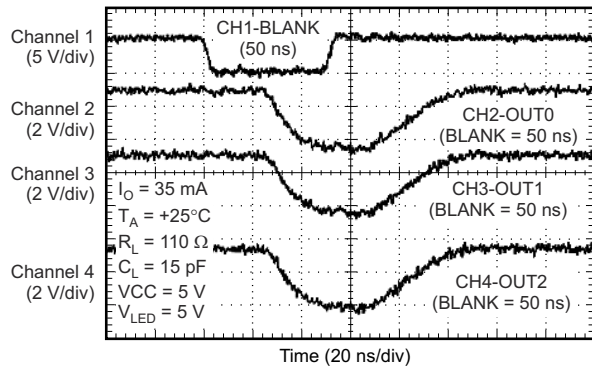


图 5-12. 恒流输出电压波形

6 参数测量信息

6.1 引脚等效输入和输出原理图

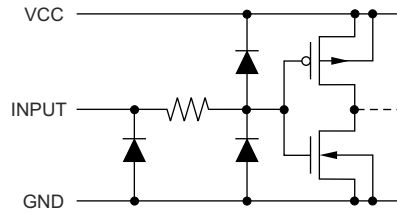


图 6-1. SIN 和 SCLK

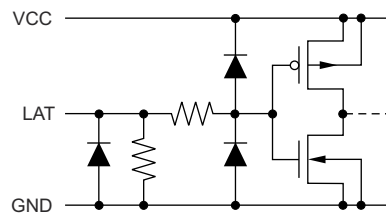


图 6-2. LAT

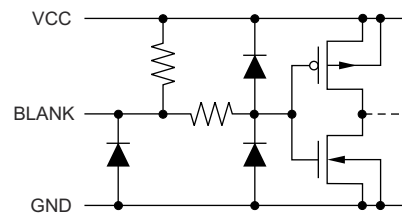


图 6-3. 空白

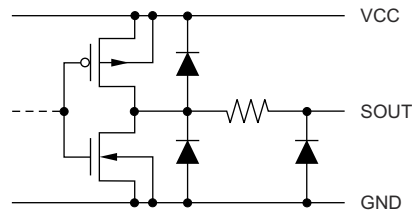


图 6-4. SOUT

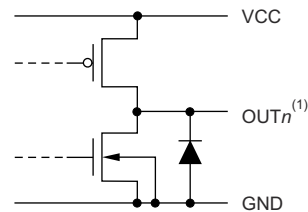


图 6-5. OUT0 至 OUT15

A. n = 0 至 15。

6.2 测试电路

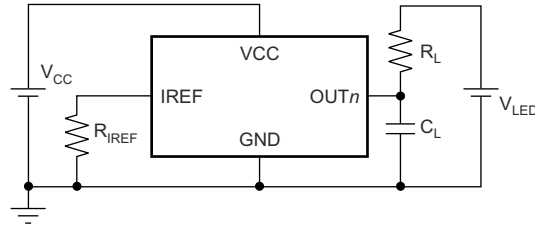


图 6-6. OUT_n 上升和下降时间测试电路

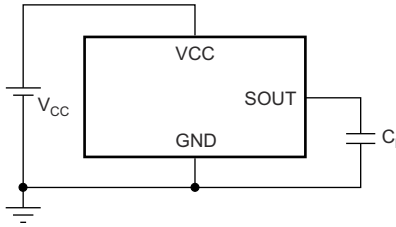


图 6-7. $SOUT$ 上升和下降时间测试电路

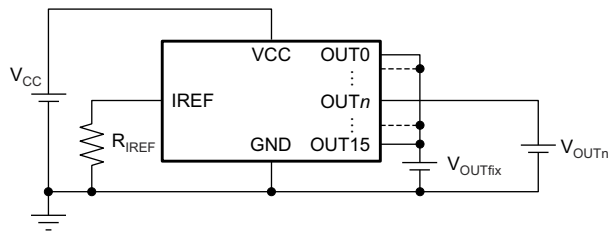


图 6-8. OUT_n 恒流测试电路

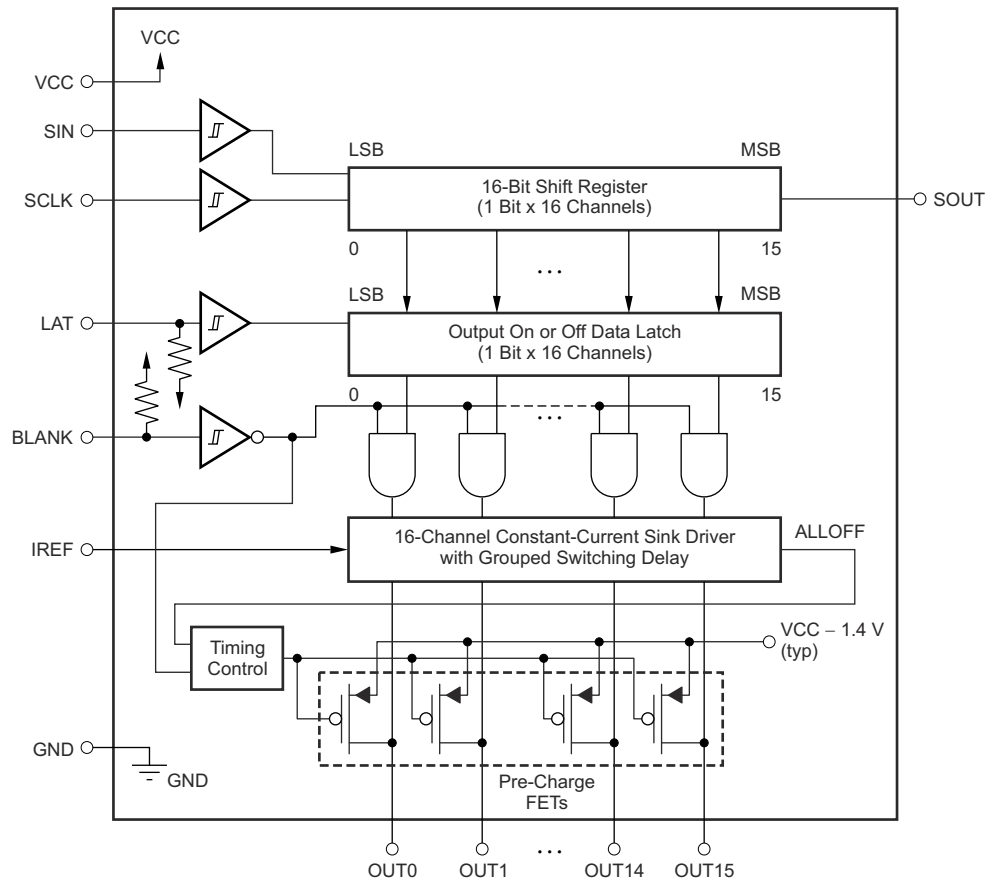
7 详细说明

7.1 概述

TLC59283 是一款 16 通道、恒定电流吸收型发光二极管 (LED) 驱动器。每个通道均可通过与 3.3V 或 5V CMOS 逻辑电平 (取决于工作 VCC) 兼容的简单串行通信协议单独控制。当串行数据缓冲区被载入时, LAT 上升沿会将数据传输到 OUTn 输出。BLANK 引脚可用于在上电和输出数据锁存期间关闭所有 OUTn 输出, 以防止该时间内显示不需要的图像。所有 16 个通道的恒定电流值有一个单一外部电阻器设定。

每个恒流输出都有一个预充电场效应晶体管 (FET), 该晶体管能够减少多路复用 (动态) 驱动 LED 显示器上的重影。可将多个 TLC59283 级联在一起以控制来自同一处理器的额外的 LED。

7.2 功能方框图



7.3 特性说明

7.3.1 恒定灌电流值设置

恒流值由放置在 IREF 和 GND 之间的外部电阻器 (R_{IREF}) 确定。电阻 (R_{IREF}) 值可以通过[方程式 1](#) 计算得出。

$$R_{IREF} (k\Omega) = \frac{V_{IREF} (V)}{I_{OLC} (mA)} \times 43.8 \quad (1)$$

其中：

V_{IREF} = IREF 引脚上的内部基准电压 (通常为 1.208V)

当 V_{CC} 小于 3.6V 时, I_{OLC} 必须设置在 2mA 至 35mA 范围内。此外, 当 V_{CC} 等于或大于 3.6V 时, I_{OLC} 必须设置在 2mA 至 45mA 范围内。[图 5-4](#) 中展示了外部电阻值的恒定灌电流特性。[表 7-1](#) 描述了恒流输出与外部电阻器值间的关系。

表 7-1. 恒流输出与外部电阻值间的关系

I_{OLC} (mA)	R_{IREF} (k Ω , 典型值)
45 (仅限 $V_{CC} > 3.6V$)	1.18
40 (仅限 $V_{CC} > 3.6V$)	1.32
35	1.51
30	1.76
25	2.12
20	2.65
15	3.53
10	5.29
5	10.6
2	26.5

7.3.2 恒流驱动器开关控制

当 BLANK 为低电平时, 如果开关控制数据锁存器中的数据为“1”, 相应的输出将开启, 而如果该数据为“0”, 则相应的输出将保持关闭状态。当 BLANK 为高电平时, 所有输出都会强制关闭。[表 7-2](#) 中显示了这种控制。

表 7-2. 输出开关控制数据真值表

输出开关数据	恒流输出状态
0	关
1	开

器件初次上电时, 16 位移位寄存器和输出开关数据锁存器中的数据未设置为默认值。因此, 在开启恒流输出之前, 必须将输出开关数据写入数据锁存器。上电时, BLANK 应为高电平, 因为恒流输出可能会因为输出开关数据锁存器中的随机数据而开启。

7.3.3 噪声降低

如果全部 16 个输出同时开启或关闭，可能会有大浪涌电流流经器件和电路板。这些大电流浪涌可能会导致不利噪声和电磁干扰 (EMI)，从而影响其他电路。TLC59283 能够以 1ns (典型值) 的延时时间独立开启或关闭每个组的输出；请参阅图 5-3。16 个输出分为九组，每组一个到两个输出：组 1 (OUT0)、组 2 (OUT1 和 OUT15)、组 3 (OUT2 和 OUT14)、组 4 (OUT3 和 OUT13)、组 5 (OUT4 和 OUT12)、组 6 (OUT5 和 OUT11)、组 7 (OUT6 和 OUT10)、组 8 (OUT7 和 OUT9) 和组 9 (OUT9)。当 BLANK 从低电平转换为高电平或从高电平转换为低电平时，导通和关断时间都会延迟。此外，当 BLANK 为低电平时，如果输出开启和关闭数据在 LAT 上升沿发生改变，则导通和关断时间都会延迟。但是，每个输出的状态都由输出开关数据锁存器中的数据和 BLANK 电平控制。

7.3.3.1 内部预充电 FET

内部预充电 FET 可防止多路复用 LED 模块出现重影。造成重影现象的其中一个原因是恒流输出 (OUT_n) 的寄生电容充电电流以及通过 LED 连接到 OUT_n 的 PCB 线路。图 7-1 中显示了其中的一种机制。

在图 7-1 中，恒流驱动器会使 LED0-0 在 (1) 处点亮并在 (2) 处熄灭。LED0-0 熄灭后，OUT0 电压会被 LED0-0 上拉至 V_{CHG}。该 OUT0 节点具有一些寄生电容 (例如恒流驱动器输出电容和电路板布局电容，如 C0-2 所示)。LED0-0 熄灭后，SWPMOS0 关断，SWNMOS0 为 COM0 导通，并且 COM0 下拉至 GND。由于 COM0 和 OUT0 之间存在寄生电容，因此 OUT0 电压也会下拉至 GND。然后，SWPMOS1 为下一个公共线 (COM1) 导通。当 SWPMOS1 导通时，OUT0 电压会从地电压被上拉至 V_{LED} - V_F。充电电流 (I_{CHRG}) 通过 LED1-0 流入寄生电容 (C0)，导致 LED 短暂亮起并产生 LED1-0 的重影效果。

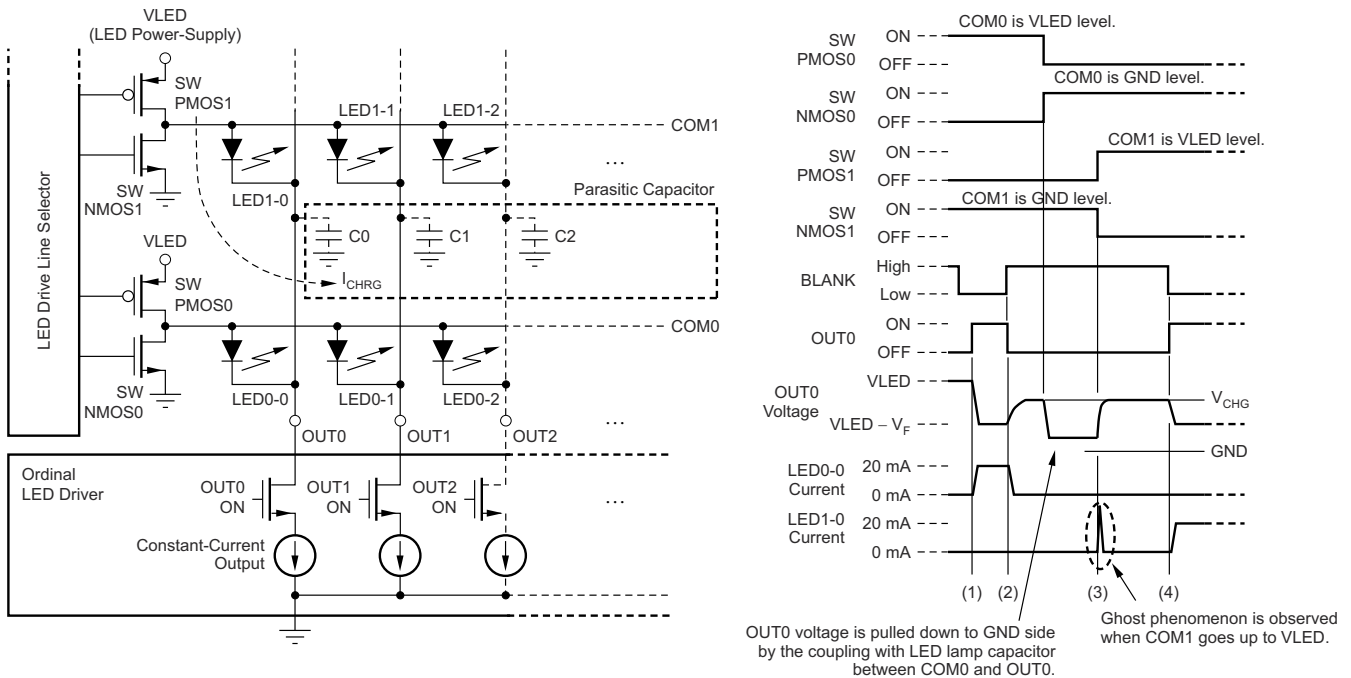


图 7-1. LED 重影现象机制

TLC59283 具有一个内部预充电 FET，用于防止重影，如图 7-2 所示。当一条公共线的 PWM 控制延迟一小段时间后，FET 会将 OUT_n 上拉至 V_{CC} 。当 SWMOS1 导通时，充电电流不通过 LED1-0 流向 C0，(3) 处的重影消除。不过，根据 LED 阳极电压、串联的 LED 数量、LED 正向电压和 TLC59283 V_{CC} 电源电压，可能无法实现足够好的重影消除效果。

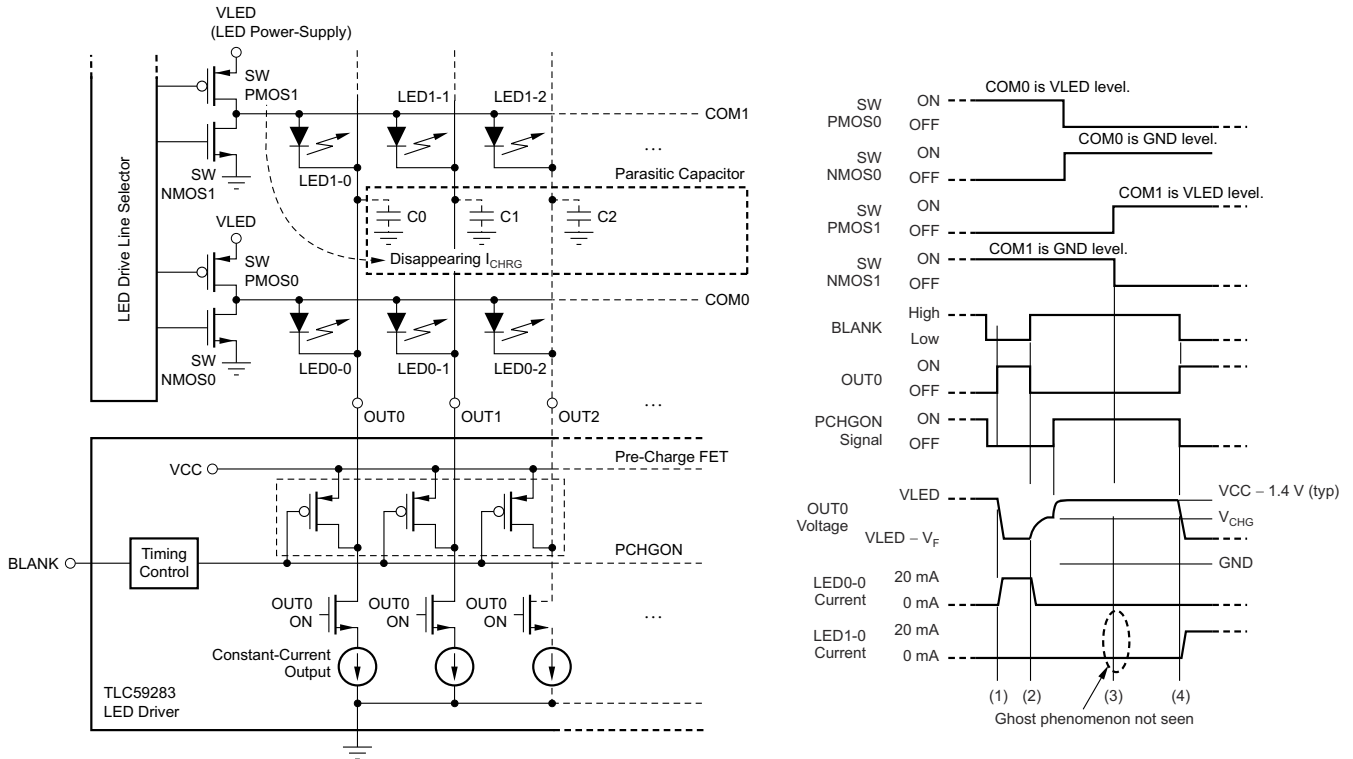


图 7-2. 预充电 FET 产生的 LED 重影机制

7.3.3.2 提高输出控制环路稳定性

与 TLC59283 输出相关的大寄生电感有可能导致电流环路不稳定，这种不稳定可能表现为杂散振荡。这些寄生电感通常与长布线或电路板之间使用连接器连接有关。为电器应用提高 TLC59283 控制环路的稳定性 (SLVAFP4) 应用手册介绍了如何通过使用小型 RC 电路补偿反馈环路来更大限度地降低不稳定性。

8 寄存器配置

TLC59283 具有一个 16 位移位寄存器和一个输出开关数据锁存器。移位寄存器和数据锁存器都是 16 位，用于开启和关闭恒流输出。图 8-1 显示了移位寄存器和数据锁存器配置。SIN 引脚上的数据在 SCLK 引脚的上升沿移入 16 位移位寄存器的 LSB；SOUT 数据在 SCLK 上升沿发生变化。

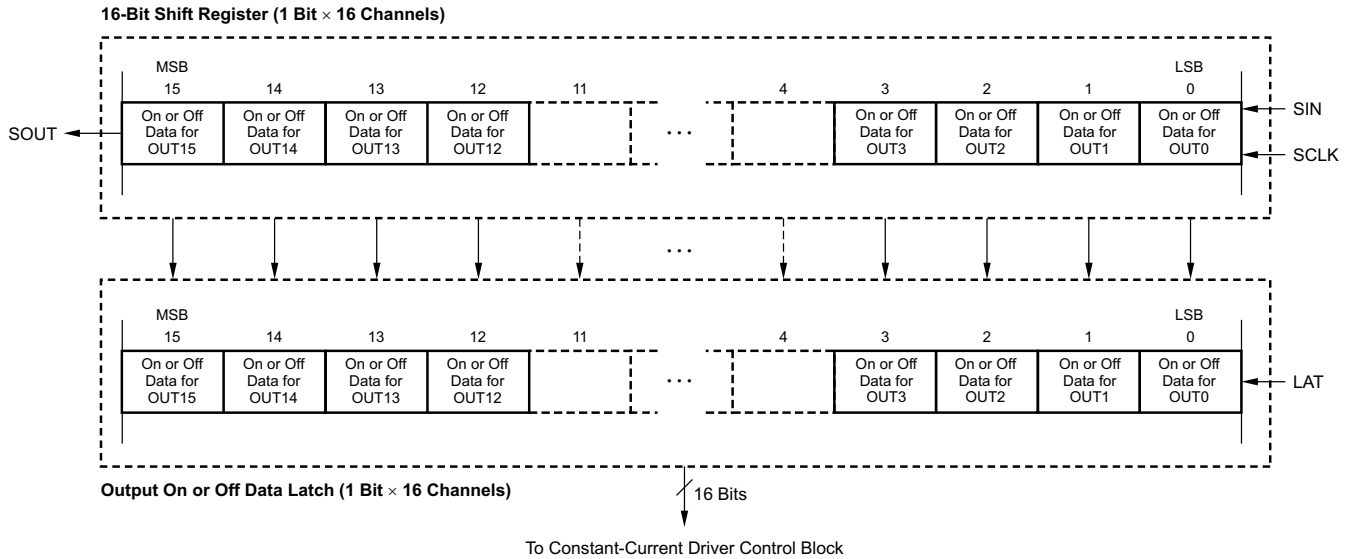


图 8-1. 16 位移位寄存器和输出开关数据锁存器配置

当 LAT 为高电平时，16 位移位寄存器中的输出开关数据继续传输到输出开关数据锁存器。因此，如果在 LAT 为高电平时改变 16 位移位寄存器中的数据，数据锁存器中的数据也会改变。当 LAT 为低电平时，数据锁存器中的数据将保持不变。器件初次上电时，输出开关移位寄存器和锁存器中的数据不会设置为默认值；在开启恒流输出之前，必须将开关控制数据写入开关控制数据锁存器。当 BLANK 为高电平时，所有恒流输出都会被强制关闭。OUT_n 开关输出由输出开关数据锁存器中的数据控制。表 8-1 和图 8-2 分别显示了写入数据真值表和时序图。

表 8-1. 运行时的真值表

SCLK	LAT	空白	SIN	OUT0...OUT7...OUT15	SOUT
↑	高电平	低电平	D _n	D _n ...D _{n - 7} ...D _{n - 15}	D _{n - 15}
↑	低电平	低电平	D _{n + 1}	没有变化	D _{n - 14}
↑	高电平	低电平	D _{n + 2}	D _{n + 2} ...D _{n - 5} ...D _{n - 13}	D _{n - 13}
↓	—	低	D _{n + 3}	D _{n + 2} ...D _{n - 5} ...D _{n - 13}	D _{n - 13}
↓	—	高	D _{n + 3}	关闭	D _{n - 13}

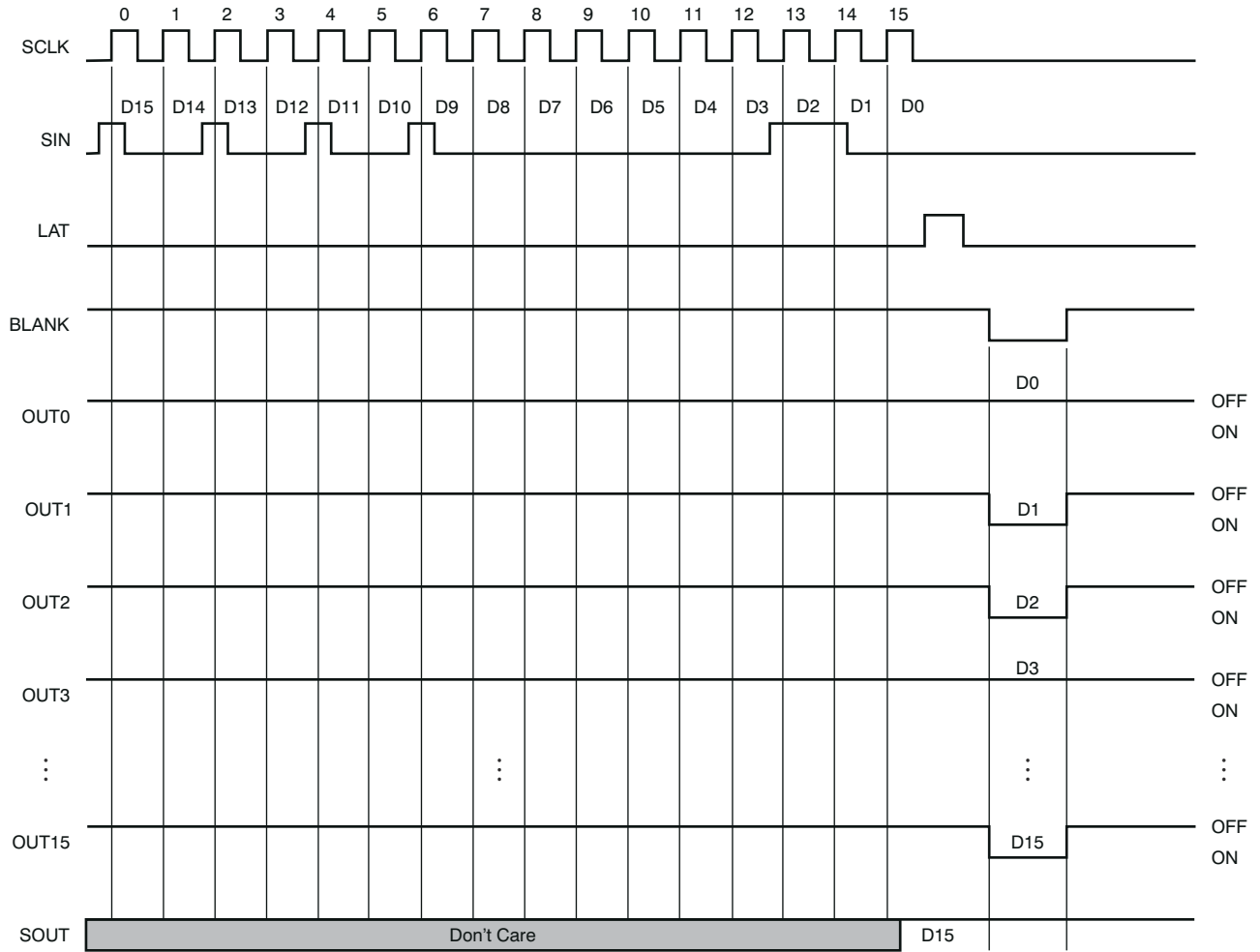


图 8-2. 运行时序图

9 应用和实施

备注

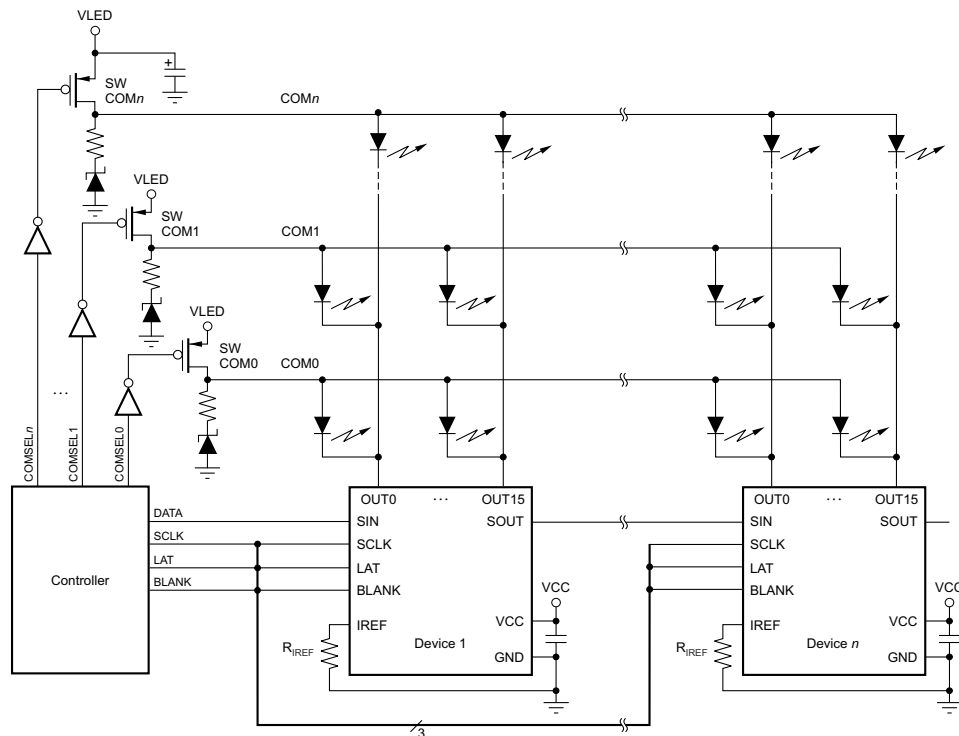
以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

随着 AI (人工智能) 和 IoT (物联网) 的蓬勃发展，越来越多的终端设备采用更多的 LED 来显示不同的状态或功能。从 HMI (人机界面) 的角度来看，LED 指示技术 (包括基于 LED 的七段点阵显示器和大量 LED 指示灯) 正在为日益增多的应用带来新维度的多功能性和赏心悦目的视觉效果。本应用报告展示了如何使用 TLC59283 来驱动七段点阵显示器或大量 LED；与当前的解决方案相比，该解决方案具有更佳的亮度均匀性、更小的尺寸和重影消除等优势。如需了解更多详细信息，请参阅[使用 TLC59283 提供亮度均匀性更佳、尺寸更小和消除重影的 LED 指示](#)

9.2 典型应用

典型应用电路 (多菊花链 TLC59283) 显示了 TLC59283 的典型应用原理图。



典型应用电路 (多菊花链 TLC59283)

9.2.1 设计要求

表 9-1. 设计参数

参数	值
电源电压	3V~5.5V
输出电压	<10V
输出电流	<45mA
调光选项	无调光选项

9.2.2 详细设计过程

本节介绍了如何使用 TLC59283 来通过时分多路复用拓扑驱动 LED 矩阵。要形成时分多路复用拓扑，需要添加外部开关 MOSFET 或晶体管。如果系统中有足够的 I/O 来控制晶体管，则可以使用如图 8-1 所示方框图中的电路来驱动 64 个 LED。

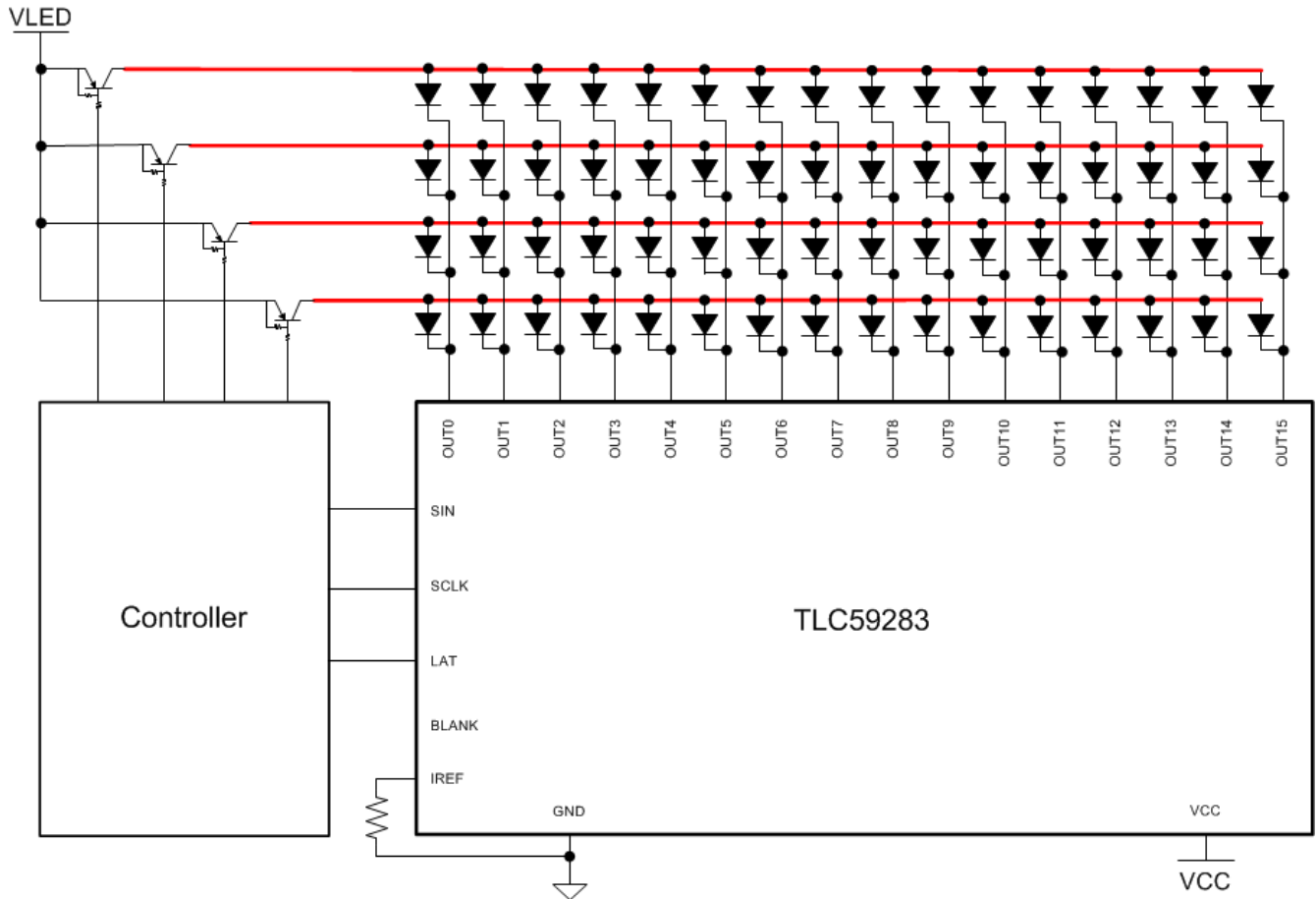


图 9-1. 采用 TLC59283 且具有足够 I/O 的时分多路复用电路

如果系统中没有足够的 I/O 来控制晶体管，则可以使用如图 8-2 所示方框图中的电路来驱动 64 个 LED。

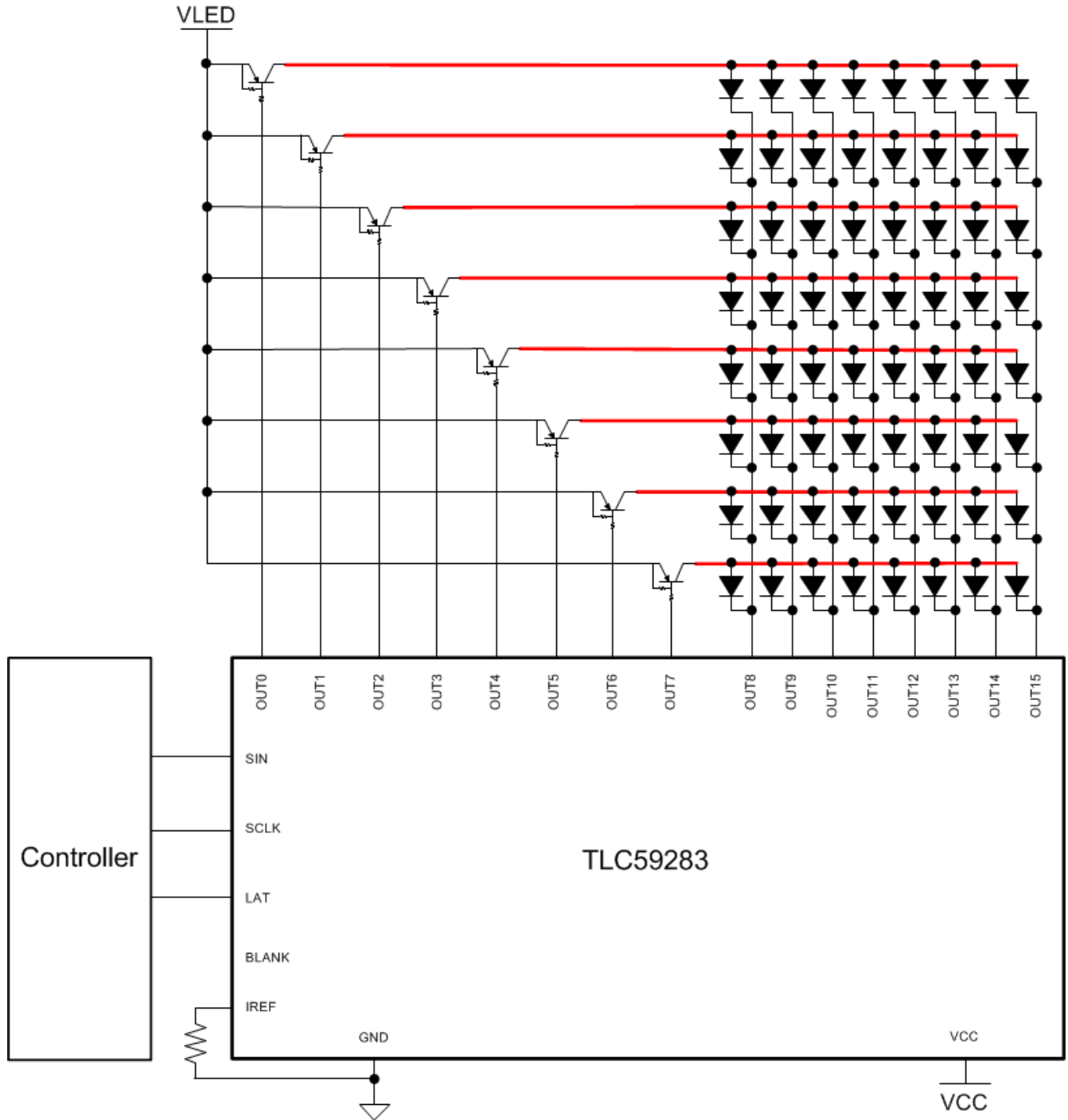
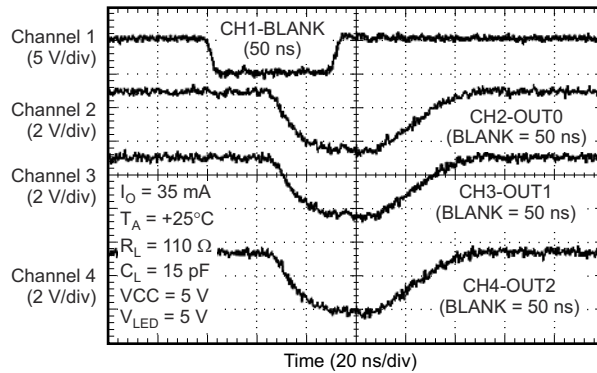


图 9-2. 采用 TLC59283 且具有较少 I/O 的时分多路复用电路

9.2.3 应用性能曲线图



G021

图 9-3. 恒流输出电压波形

9.3 电源相关建议

该器件设计为可在 3V 至 5.5V 的输入电源电压范围内运行。该输入电源必须经过良好调节。如果输入电源距离转换器超过几英寸，那么需要在陶瓷旁路电容器附近使用额外的大容量电容。通常，选择容值为 1 μ F 的钽或铝电解电容器。

9.4 布局

9.4.1 布局指南

输入电容器需要靠近 VIN 引脚和 GND 引脚，以降低输入电源纹波。对于 OUTx，路径输出一定要短而宽，避免并联接线和窄布线。为了获得更好的热性能，TI 建议将与每个引脚连接的铜多边形做得更大。

9.4.2 布局示例

一个 TLC59283 可以直接驱动多达 16 个 LED，因此如果驱动两个七段显示器，它可以取代两个 74HC595 和限流电阻器。下图做了一个简单的对比，使用 TLC59283 时，PCB 尺寸缩小了 65%。如果使用 QFN 封装，尺寸会更小。

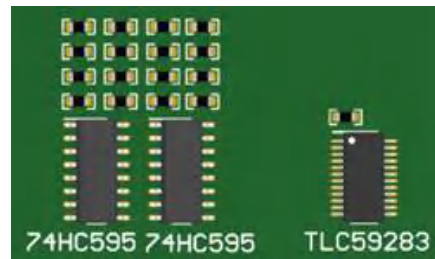


图 9-4. TLC59283 布局示例

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

- [TLC59282 评估模块](#)
- [使用 TLC59283 提供亮度均匀性更佳、尺寸更小和消除重影的 LED 指示](#)
- [为电器应用提高 TLC59283 控制环路的稳定性](#)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (October 2012) to Revision C (January 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了“为电器应用提高 TLC59283 控制环路的稳定性 (SLVAFP4)” pdf 链接.....	18

Changes from Revision A (June 2012) to Revision B (October 2012)	Page
• 更改了“绝对最大额定值”表中的 HBM ESD 等级最大值规格.....	5
• 更改了“电气特性”表中的 I_{CC2} 典型值和最大值规格.....	7
• 更改了“电气特性”表中的 I_{CC3} 典型值规格.....	7

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLC59283DBQ	ACTIVE	SSOP	DBQ	24	50	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TLC59283	Samples
TLC59283DBQR	ACTIVE	SSOP	DBQ	24	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TLC59283	Samples
TLC59283RGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC 59283	Samples
TLC59283RGET	ACTIVE	VQFN	RGE	24	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC 59283	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC59283DBQR	SSOP	DBQ	24	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC59283RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TLC59283RGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC59283DBQR	SSOP	DBQ	24	2500	356.0	356.0	35.0
TLC59283RGER	VQFN	RGE	24	3000	346.0	346.0	33.0
TLC59283RGET	VQFN	RGE	24	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLC59283DBQ	DBQ	SSOP	24	50	506.6	8	3940	4.32

RGE 24

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

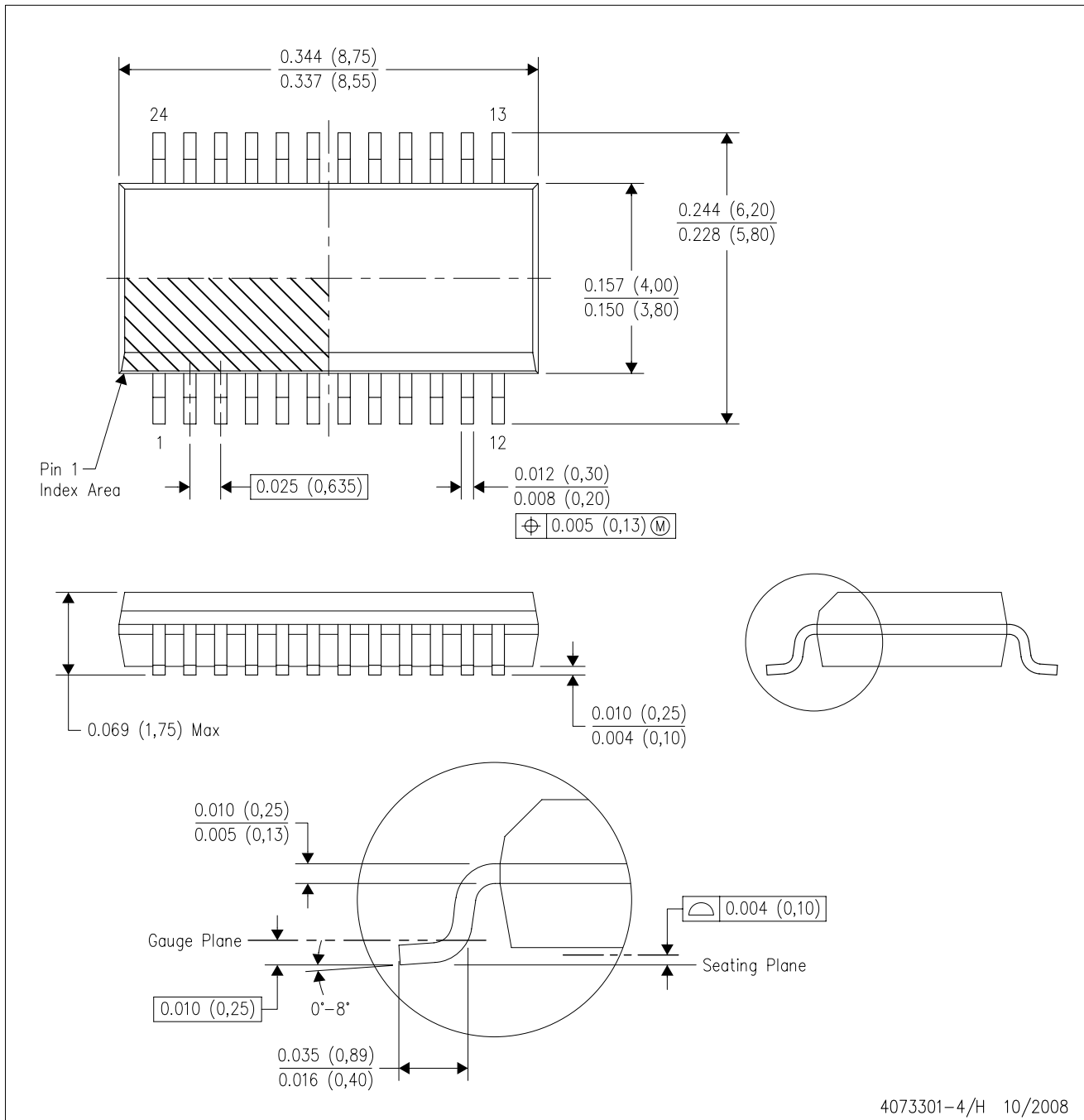


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H

DBQ (R-PDSO-G24)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
 - D. Falls within JEDEC MO-137 variation AE.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司