

## 多相电源中上管应力的机理与优化

Leon Liang /Wilson Guo

### 摘要

随着服务器和通信市场的快速增长，再服务器和通信系统设计中大电流的 CPU 和 ASIC 越来越普遍，因此多相电源被广泛的应用在大电流 CPU 和 ASIC 的供电电源设计中。然而为了达到高功率密度，每相电源都被要求承载更大的功率，如何优化上管 FET 的电压应力成为设计者普遍的一个挑战，这篇应用笔记将会详细的讲述上管电压应力的机理和相关的优化措施。

### CONTENTS

1 介绍 .....	3
2 仿真模型 .....	3
3 多相电源上管应力产生的机理.....	5
3.1 Bypass 电容特性 .....	5
3.2 高/低频振铃 .....	6
3.3 C3 的影响 (Bypass 电容) .....	7
3.3.1 C3 容量的影响 .....	7
3.3.2 C3 ESL 的影响 (Bypass 电容) .....	9
3.3.3 C3 的放置 (Bypass 电容) .....	10
3.4 测试点与 FET 的电压应力.....	10
3.5 推荐 PCB 布局.....	11
4. Conclusion .....	14
5. 参考 .....	15

### LIST OF FIGURES

- Figure 1 The top layer layout of TPS53667 EVM-769
- Figure 2 Equivalent Parasitic Parameter Circuit
- Figure 3 VIN part of equivalent circuit model
- Figure 4 Simulation waveform of the high-side FET voltage
- Figure 5 High-side FET Voltage Ringing Waveform on TPS53667EVM-769
- Figure 6 TDK 0402 Capacitor Impedance versus Frequency
- Figure 7 TDK Different Size Capacitor Impedance versus Frequency
- Figure 8 Simplified circuit of VIN part
- Figure 9 Simulation result of current distribution
- Figure 10 Simulation result of high-side FET voltage and bypass cap

- 11 **Figure 11 Voltage stress waveform with 3.3nF**
- 12 **Figure 12 Voltage stress waveform with 1uF**
- 13 **Figure 13 Simulation result about bypass cap ESL**
- 14 **Figure 14 Simulation circuit of the voltage inside and outside IC**
- 15 **Figure 15 Simulation result about the voltage Test point and FET**
- 16 **Figure 16 Improper PCB layout sample**
- 17 **Figure 17 Equivalent simulation circuit for bad PCB layout board**
- 18 **Figure 18 On board test high side FET waveform**
- 19 **Figure 19 Simulation waveform**
- 20 **Figure 20 Different voltage stress between test point and FET**
- 21 **Figure 21 Layout recommendation**
- 22 **Figure 22 Simulation result base on layout recommendation**

## LIST OF TABLES

- 1 **Table 1 Component Comparison Table**

## 1 介绍

为了减小 FET 的电压应力,系统工程师通常在开关节点到地之间使用 RC 吸收电路来做缓冲,但是这个电路仅仅压制下管的电压应力而对上管的电压应力并无直接影响,上管电压应力主要还是取决于输入电容和 PCB 布局而产生的寄生参数。不合适的布局以及选取不恰当的输入电容会使得上管应力在大电流情况下变得非常高,进而影响系统的可靠性。这篇应用报告会从应力产生机理出发阐述如何选择合适输入电容以及合理布局来减小上管应力提高系统可靠性。

## 2 仿真模型

在实际电路设计中,PCB 和电容都有自己固有的寄生感抗 (ESL),FET 也有固有的寄生电容 (Coss),这些寄生参数会在 FET 开关过程中产生谐振也就是我们所说的电压振铃,电流越大,振铃幅值越高。

Figure 1 是 TI TPS53667EVM-769 的 PCB 布局.由于不同的输入电容放置在不同位置,因此我们把输入滤波电容分为三部分:

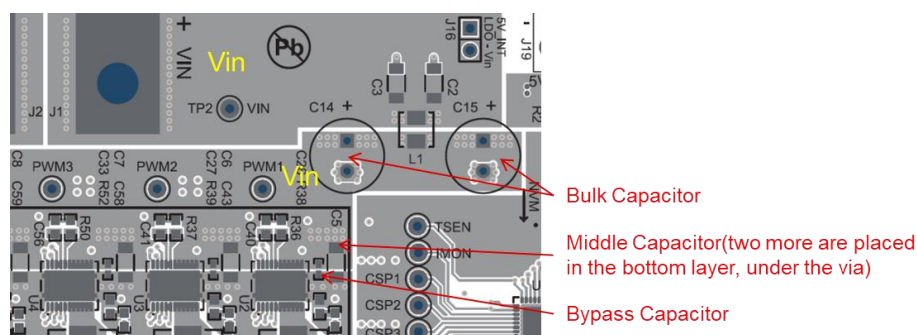


Figure 1 The top layer layout of TPS53667 EVM -769

### 1. 电解储能电容

- 这部分电容放置在离 FET 最远的地方,主要目的是起储能作用,在后面讨论我们也会看到这部分电容放置位置对于上管应力并无直接影响。

### 2. 陶瓷储能电容

- 这部分电容一般放置在 FET 和电解储能电容的中间位置,目的主要是提供开关切换瞬间的储能作用。

### 3. 旁路电容

- 这部分电容最靠近 FET,主要是起到减小噪音降低振铃的作用。

这三部分电容把输入铜线布局分为三部分,每一部分都有自己的 ESL 与滤波参数, Figure2 为一个等效电路:

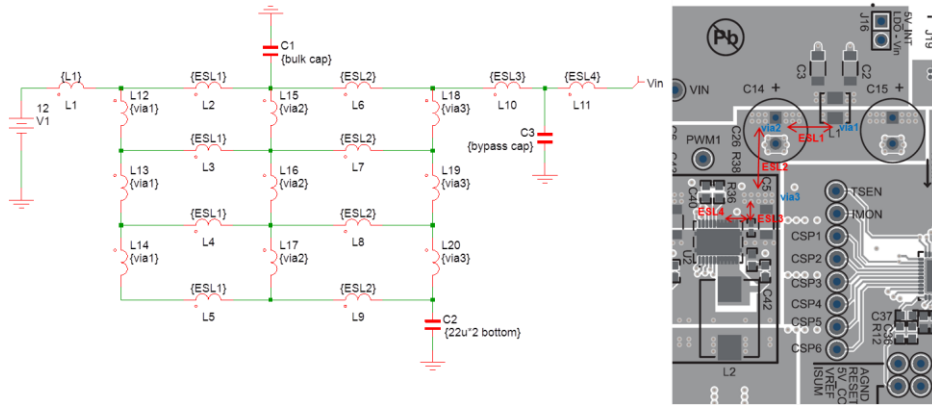


Figure 2 Equivalent Parasitic Parameter Circuit

这个等效电路模型可以通过简化后在 Simplis 软件上运行仿真。如 Figure 3 所示：

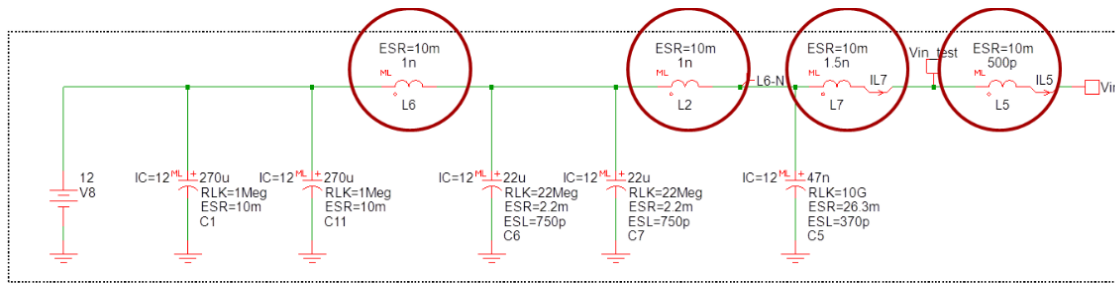


Figure 3 VIN part of equivalent circuit model

通过仿真我们可以看到上管的电压振铃波形如 Figure 4 所示：

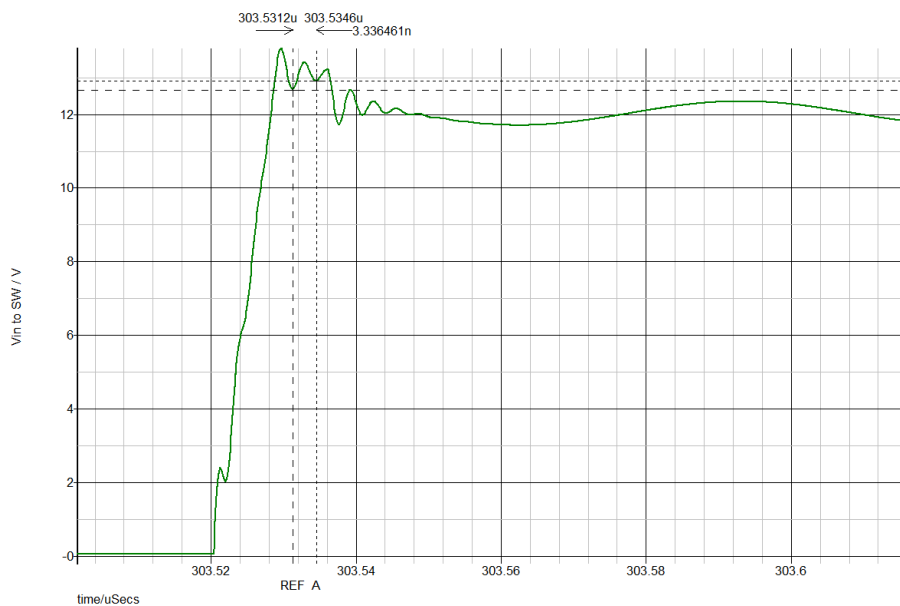


Figure 4 Simulation waveform of the high-side FET voltage

Figure 5 是在评估板 TPS53667EVM-769 上使用同样参数后的实测波形:

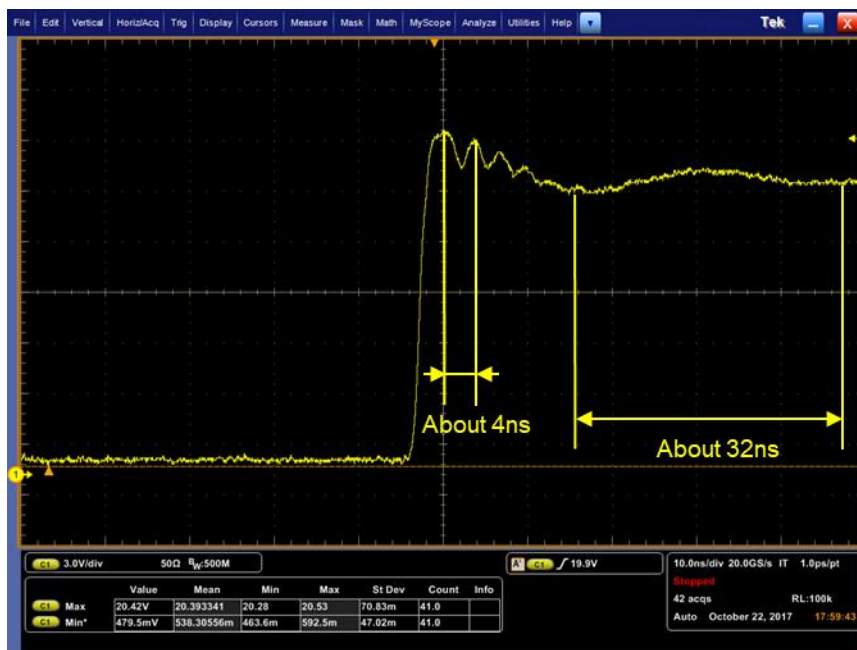


Figure 5 High-side FET Voltage Ringing Waveform on TPS53667EVM-769

通过比较 Figure 4 和 Figure 5,两个波形都可以清楚看到具有低频与高频部分的谐振或振铃。波形显示寄生参数确实作为主要原因影响了上管应力的形状与幅值。

## 3 多相电源上管应力产生的机理

### 3.1 Bypass 电容特性

当我们用 C3 滤除高频噪音的时候(Figure 2 所示电容),它自身的 ESL 对于滤除噪音非常关键, **Error! Reference source not found.6** 为具有相同封装 (0402) 不同容量的频率阻抗图。**Error! Reference source not found.7** 为不同封装的频率阻抗图。可以明显看出较大的封装具有较大的 ESL, 同时高频下阻抗变得更大。相同封装不同容量在高频处显示几乎一样的阻抗。当然低频处的阻抗值主要由容量来主导。因此我们通常用较大的容值电容来滤除低频噪音, 用较小封装的陶瓷电容来滤除高频噪音。

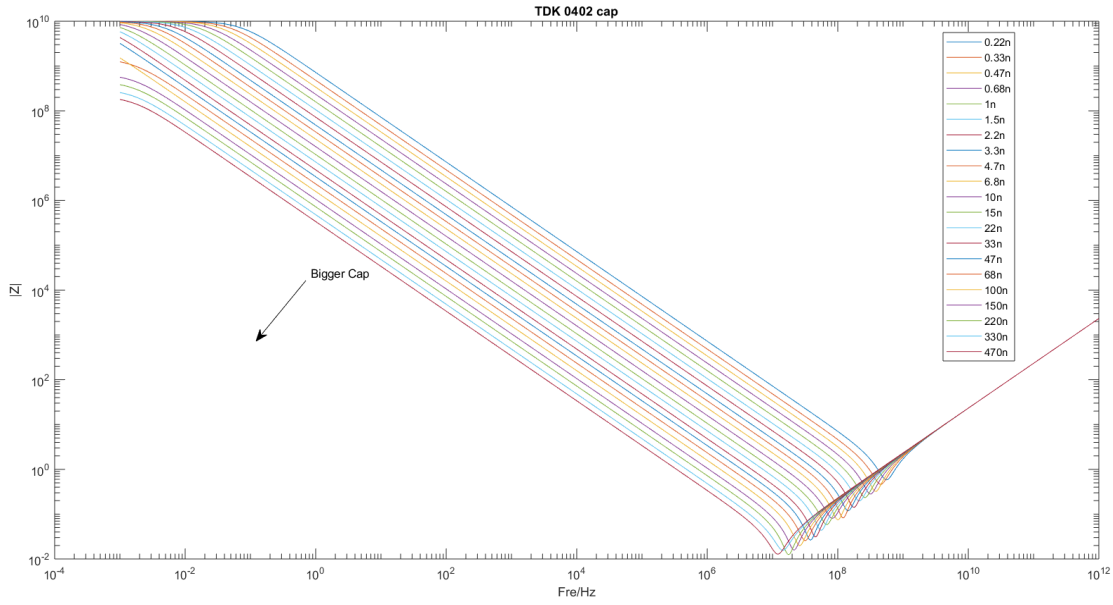


Figure 6 TDK 0402 Capacitor Impedance versus Frequency

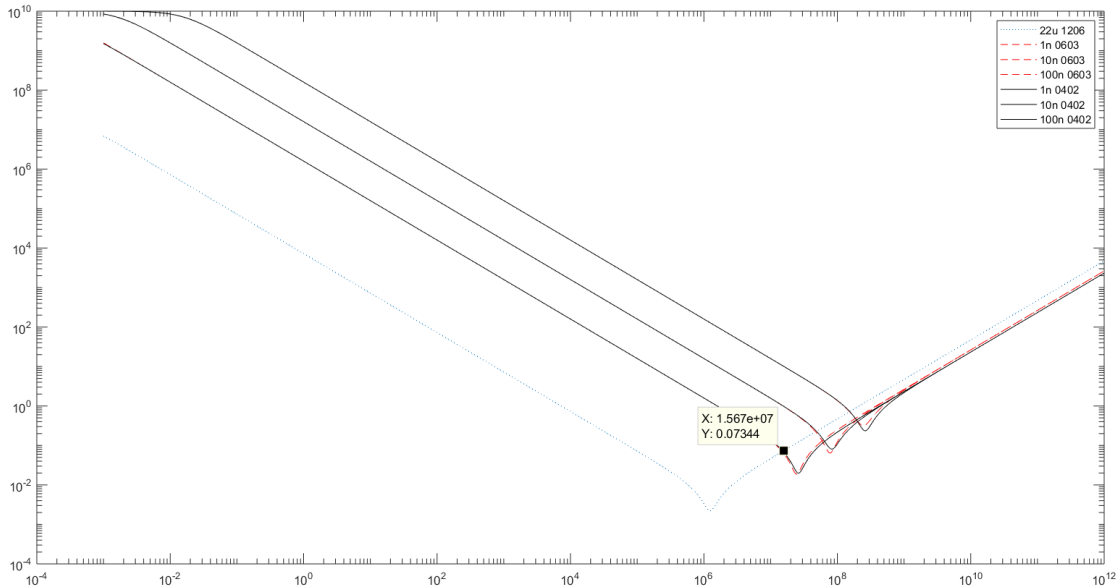


Figure 7 TDK Different Size Capacitor Impedance versus Frequency

### 3.2 高/低频振铃

为了较好的理解高/低频振铃的机理，我们把输入部分的滤波等效电路简化如 Figure 8:

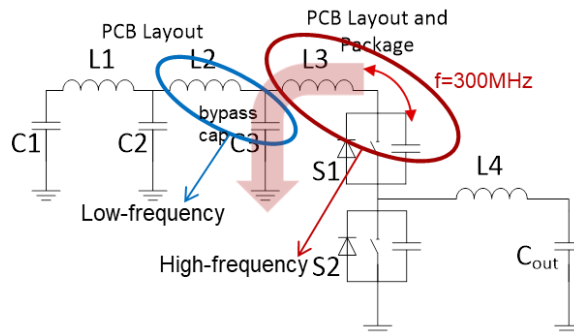


Figure 8 Simplified circuit of VIN part

在 Figure 8, C1 是电解储能电容, C2 是陶瓷储能电容, C3 是 bypass 电容。PCB 铜皮的 ESL 被分为三部分 L1, L2 和 L3。

在这篇文章接下来的部分, 我们用 Figure8 电路的器件标号统一描述, 下面的 Table1 列出了相关的标识内容。

Component Comparison Table

Number	Component	Description
C1	Bulk capacitor	-
C2	Middle capacitor	-
C3	Bypass capacitor	-
L1	VIN copper wire ESL1	ESL from C1 to C2
L2	VIN copper wire ESL2	ESL from C2 to C3
L3	VIN copper wire ESL3	ESL from C3 to VIN pin and ESL inside IC

Table 1 Component Comparison Table

通过 Simplis 仿真表明, 上管应力的部分主要是受 C3,  $C_{oss\_S1}$ , L3 和 C3 的 ESL 影响. 由于  $C3 \gg C_{oss\_S1}$ , 所以 C3 容值在高频谐振中可以被忽略。

低频谐振部分主要受 L2, C2 和它自身 ESL 以及 C3 影响. 由于  $C2 \gg C3$ , C2 容值在低频谐振中可以被忽略。

### 3.3 C3 的影响 (Bypass 电容)

#### 3.3.1 C3 容量的影响

C3 容量是构成低频部分的主要因素。在 **Error! Reference source not found.7** 显示, 同样封装条件下容值越大, 低频阻抗越低。较低的阻抗会使得更多的电流流过这个通路。C3 容值越大, 低频部分就会有更多电流流过 C3, 这其实就是滤波电容所应该起到的作用。下图 Figure9 是电流流过 bypass 电容和 FET 的  $C_{oss\_S1}$  电容的一个仿真结果, 3.3nF bypass 电容仅仅只有毫安级别的电流流过同时几乎看不到低频成分, 主要振铃电流都流向了  $C_{oss\_S1}$  电容, 这就会导致  $C_{oss\_S1}$  电容承担更多电流进而引起较大的振铃。而 47nF 作为 bypass 电容通过 Figure9 可以看到, 更多的振铃电流流过了 bypass 电容从而使得 bypass 电容起到了应有的作用。同样封装条件下较大 bypass 电容的容值可以有效的分担  $C_{oss\_S1}$  电容的振铃电流。

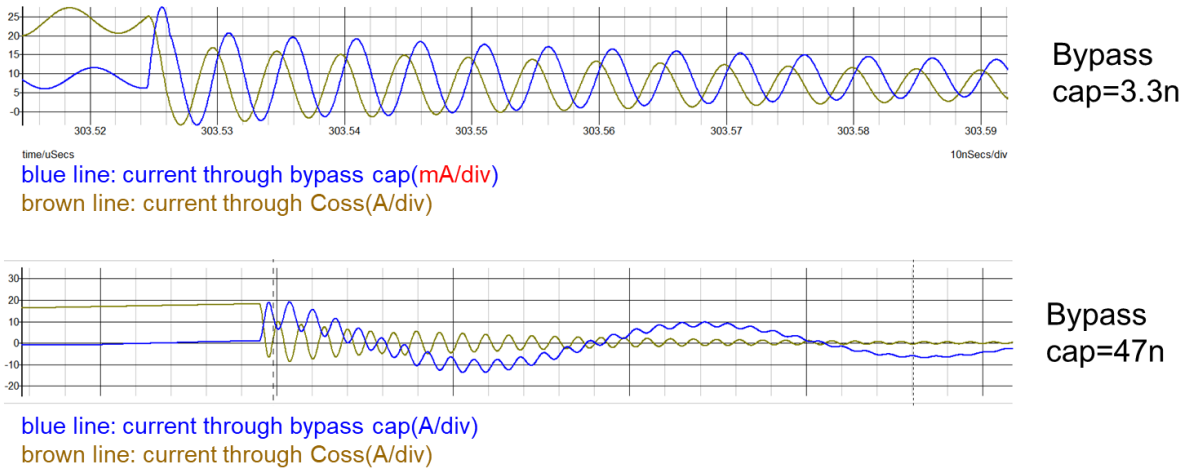


Figure 9 Simulation result of current distribution

**Error! Reference source not found.**10 为上管电压应力与 bypass 电容（0402 封装）容值的关系图。仿真结果显示, 在同样 0402 封装条件下, 越大的容值对于降低上管电压应力是具有很明显的作用。此外在整个系统综合来看, 随着 bypass 电容容量大于 68nF 以后, 对于上管应力的抑制作用将会越来越小。

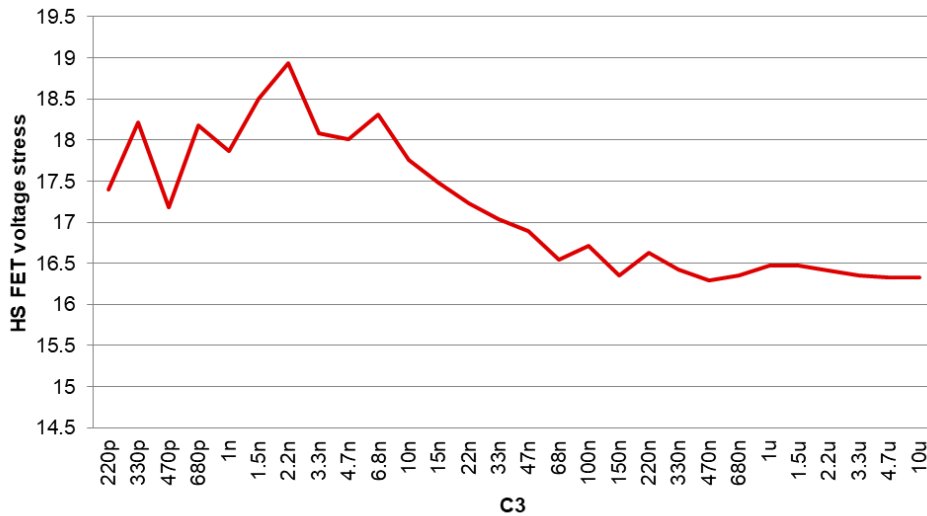


Figure 10 Simulation result of high-side FET voltage and bypass cap

**Error! Reference source not found.**11 和 Figure12 为在同样测试条件下, 仅仅更换同样封装不同容值 bypass 电容的测试结果。通过比较这两个波形可以看到很明显结果, 上管电压应力从 3.3nF 的 19.08V 降低到了 47nF 的 17.52V。

测试条件:

Vin=12.6V; 5 相总电流 228A, 45.6A 每相

Figure 1: bypass 电容: 3.3nF

Figure 2: bypass 电容: 47nF



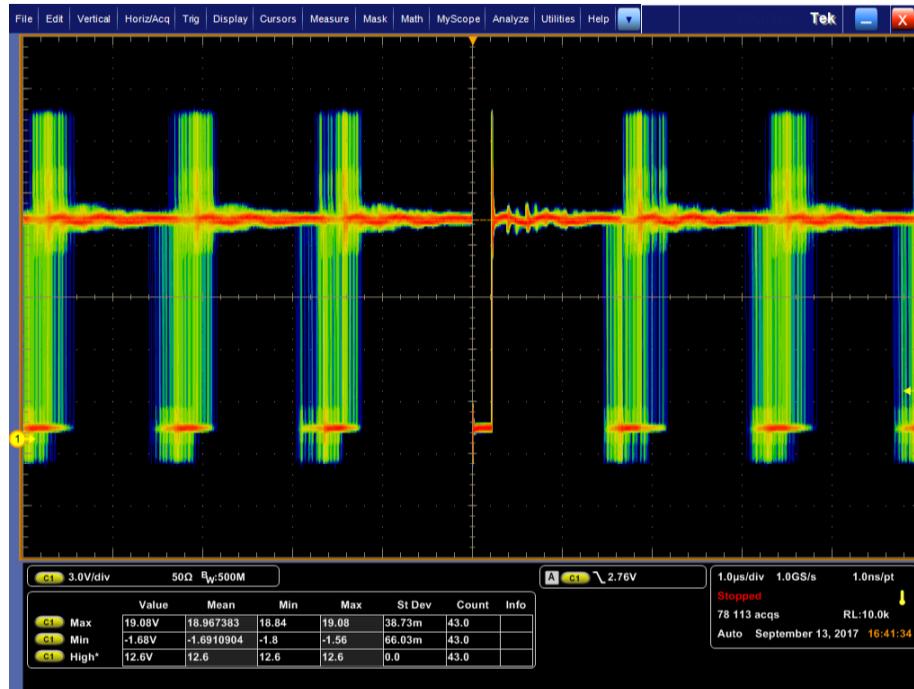


Figure 11 Voltage stress waveform with 3.3nF

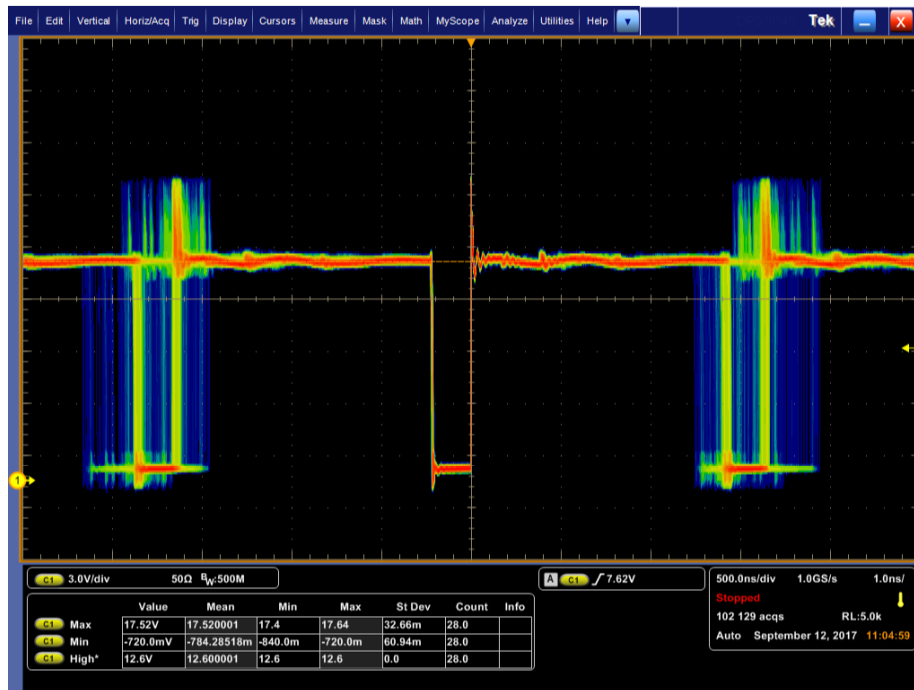
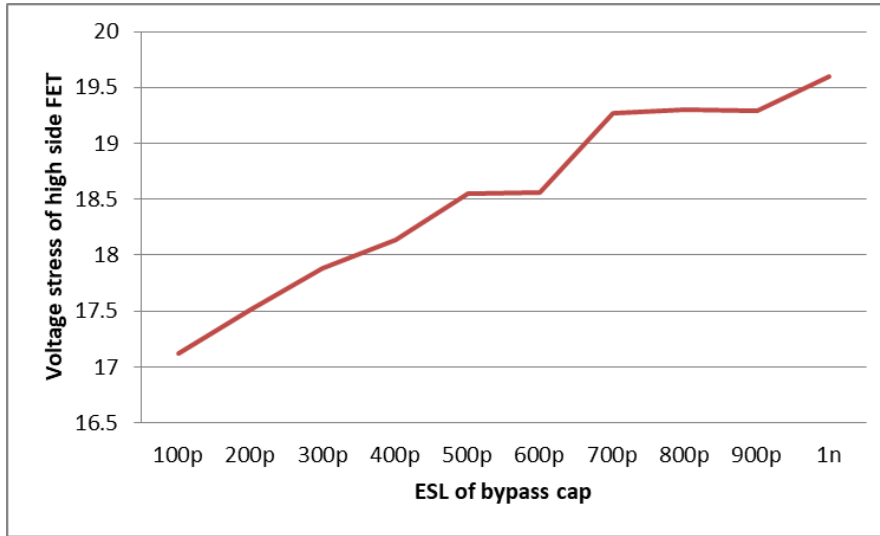


Figure 12 Voltage stress waveform with 1µF

### 3.3.2 C3 ESL 的影响 (Bypass 电容)

从 3.2 部分的分析知道, Bypass 电容的 ESL 是参与到高频部分的谐振。较大的电容封装会有较大的 ESL, 这会导致在高频谐振的时候, 这部分 ESL 变为阻抗的主要部分, 因此会弱化高频时候的 bypass 作用导致较高的电压振铃。**Error! Reference source not found.11** 是关于 ESL 对上管电压振铃的仿真结果, 上管电压应力随着 ESL 值的增加而增加, 因此选择一个较小封装的 bypass 电容是非常重要的。



**Error! Reference source not found.13** Simulation result about bypass cap ESL

### 3.3.3 C3 的放置 (Bypass 电容)

Bypass 电容放置的位置决定了 Bypass 电容到 IC VIN 管脚的 ESL L3, 越大的 L3 会储存更多的能量在上管关断之前, 这部分能量会在上管关断后直接影响上管电压振铃, 所以这一部分的 ESL 应该越小越好, 也就是我们应该尽可能把 bypass 靠近 IC 的 VIN 和 Ground 功率管脚以减小上管的电压应力。

### 3.4 测试点与 FET 的电压应力

一般在测试电压应力的时候, 由于差分探头都比较难刚好点在芯片的管脚上, 因此都会尽量选择在靠近的一个位置测试, 在大电流的应用场合就会产生测试点的测试电压与真实芯片管脚电压的差别, 以下也对这种情况做了相关的仿真分析如 Figure12 所示: 把 L3 分为两部分, C3 到 Vin\_test 和 Vin\_test 到芯片管脚。

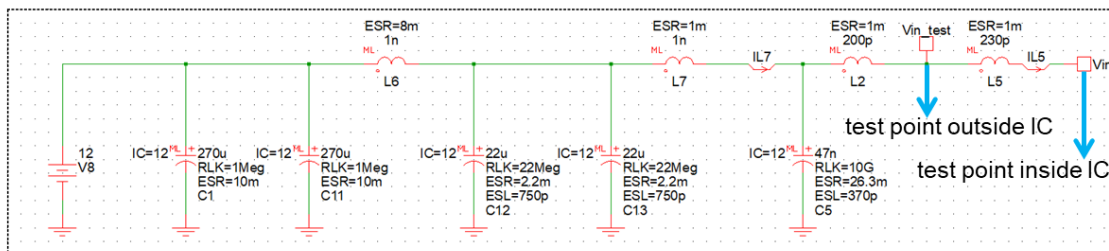


Figure 14 Simulation circuit of the voltage inside and outside IC

通过同样条件的仿真测试，Figure15 显示测试值和芯片管脚电压会有 2V 的差别，更差的 PCB 布局早成更大的 ESL 时候，这个差值还会变得更大。

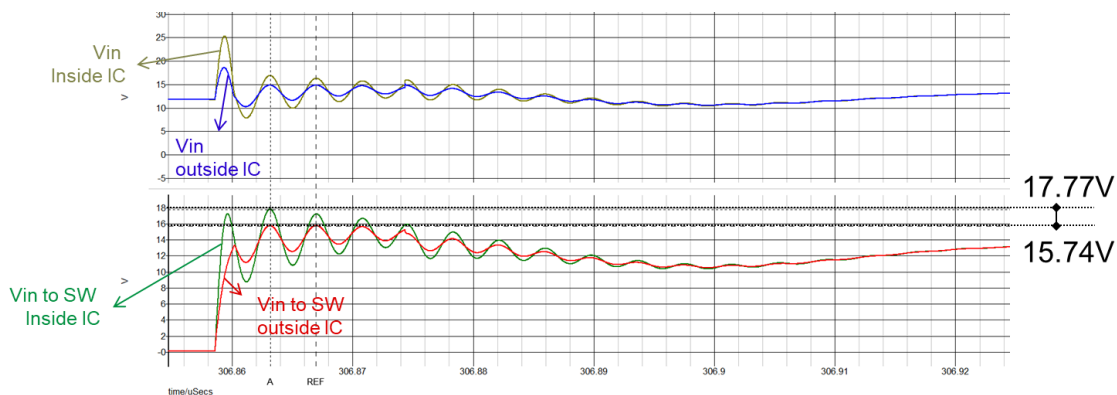


Figure 15 Simulation result about the voltage Test point and FET

### 3.5 推荐 PCB 布局

Figure 16 为一个 PCB 布局不太理想的一个例子，如红框所示，bypass 电容通过单线和单过孔连接到地平面，再通过地平面与芯片的功率地相连接。这就会产生非常大的地脚寄生感抗。

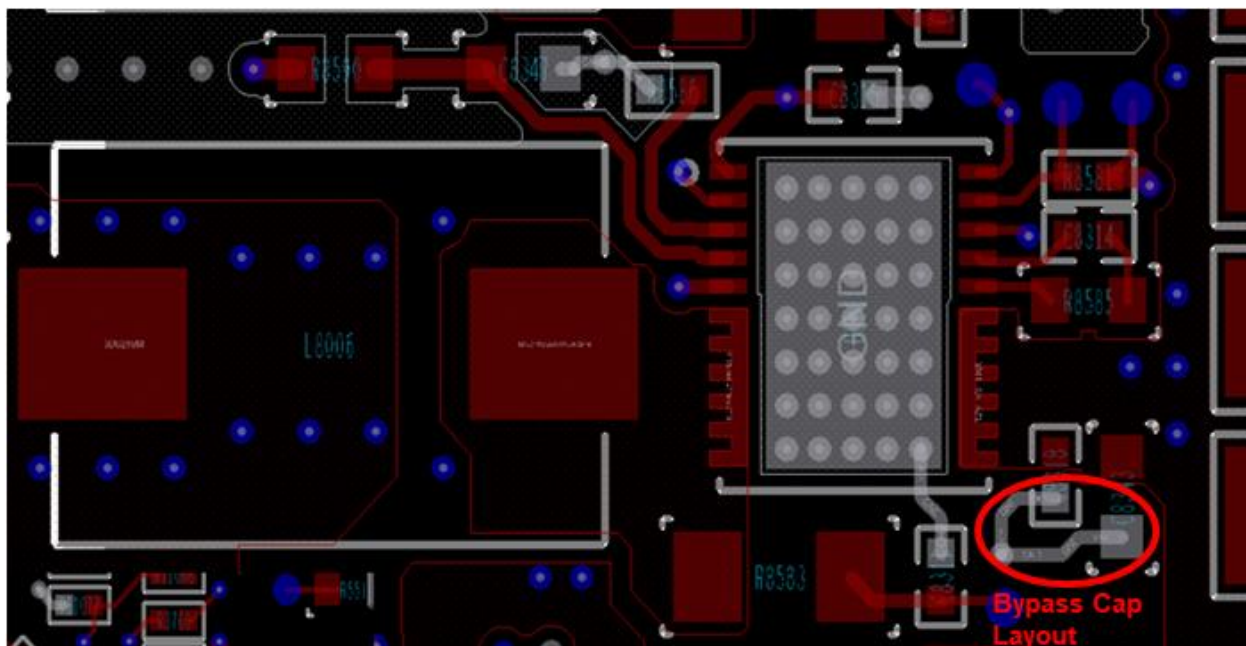


Figure 16 Improper PCB layout sample

Figure 15 为通过软件工具提取出这个布局的寄生参数的等效电路图。

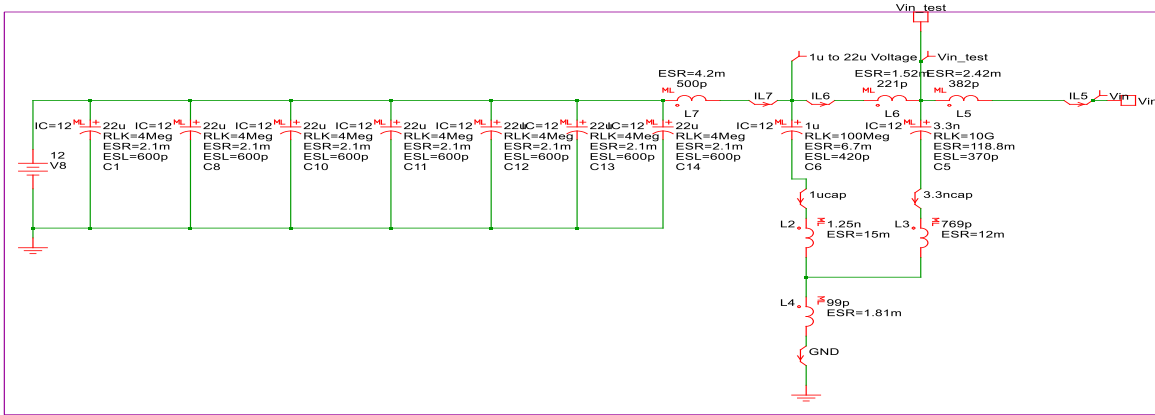


Figure 17 Equivalent simulation circuit for bad PCB layout board

由于测试点比较难直接在芯片管脚上，因此选取了一个测试点位置，同时在仿真参数设置上也把测试点对寄生参数的影响输入仿真电路。以下为测试与仿真结果：

Figure 18 为板级测试点测试结果

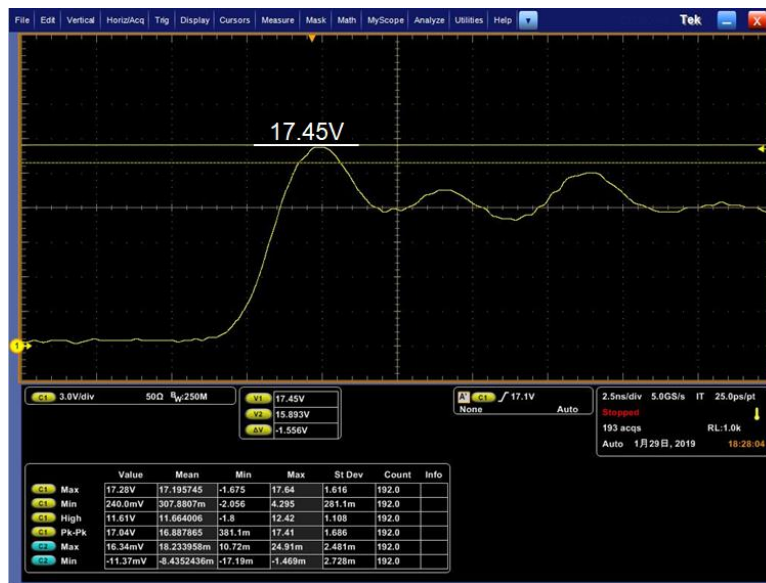


Figure 18 On board test high side FET waveform

Figure 19 为仿真测试点测试结果

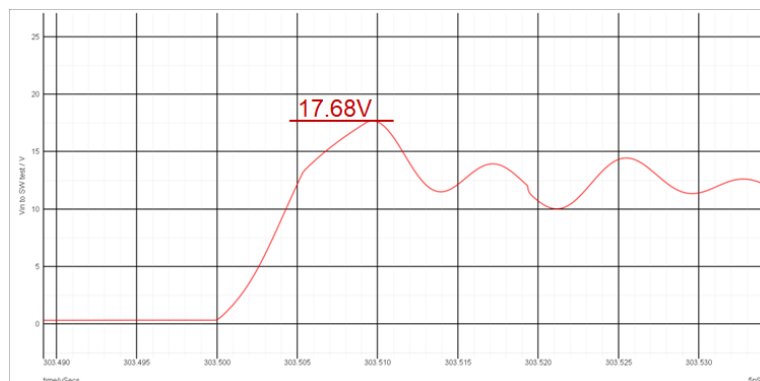


Figure 19 Simulation waveform

从仿真测试来看，仿真结果与实测结果几乎一致。那么我们在仿真电路里面再加入一个芯片管脚的测试点，测试结果如图 Figure20 所示，管脚电压为 20.77V，有 $\Delta 3.09\text{V}$  的压差在测试点与芯片管脚上。

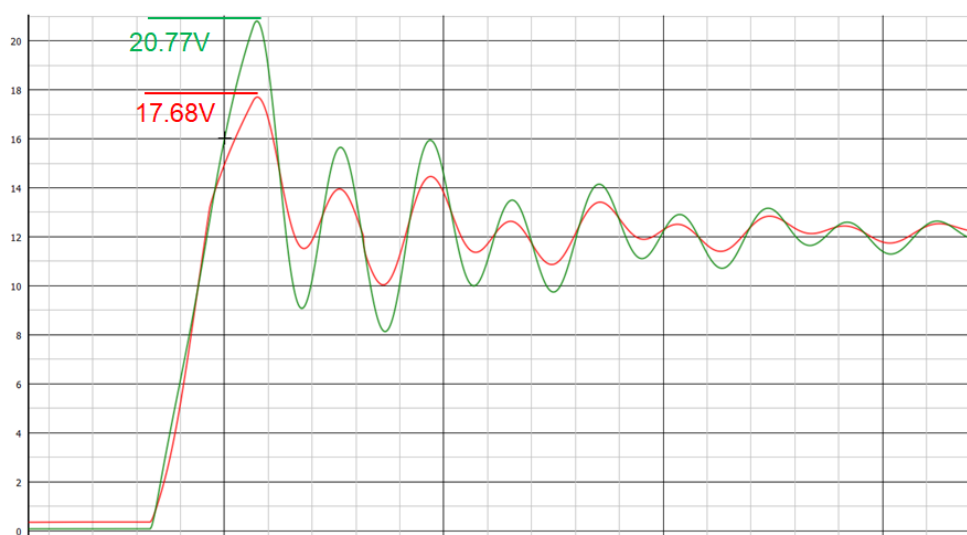


Figure 20 Different voltage stress between test point and FET

从结果来看，不太理想的 PCB 布局导致较大的 ESL 对上管应力具有非常大的影响。

Figure21 为 PCB 优化建议和通过优化 PCB 布局减小寄生感抗后的电路模型，并且同时用 0402 封装的 47nF 电容替代之前的 3.3nF 电容。

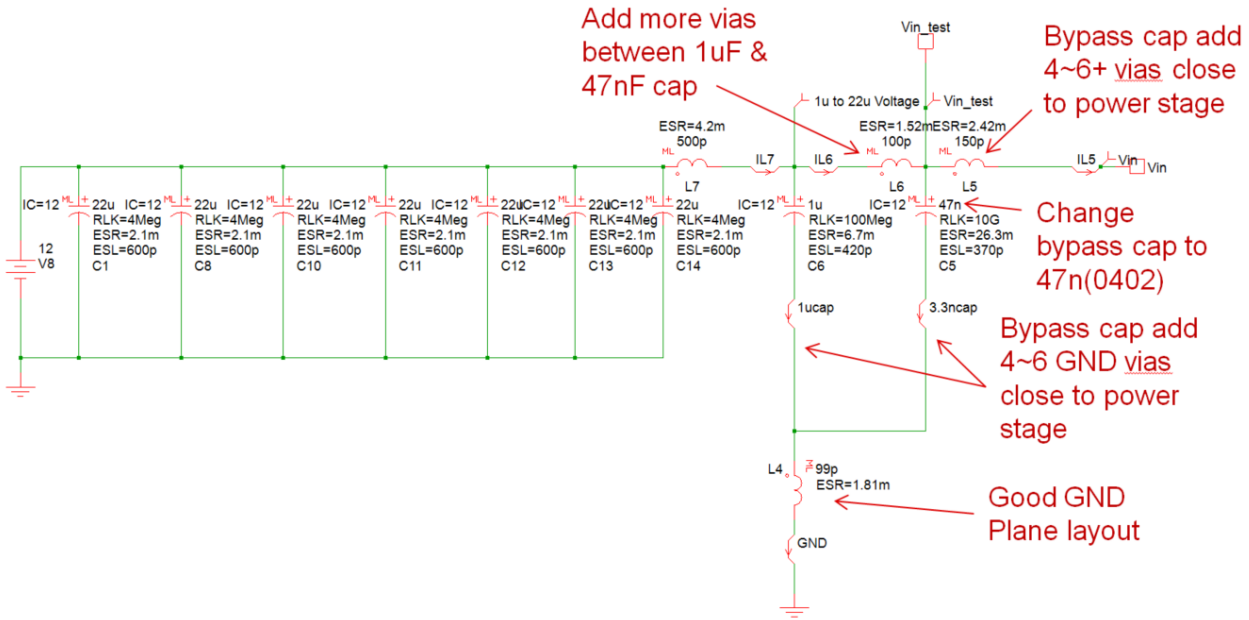


Figure 21 Layout recommendation

Figure 22 为优化后仿真电路模型的仿真值，从结果可以看到，测试点电压从 17.68V 降低到 16.24V，芯片管脚电压从 20.77V 降低到 17.92V，不仅绝对值有下降，测试点到芯片管脚的差值也大大的减小了。

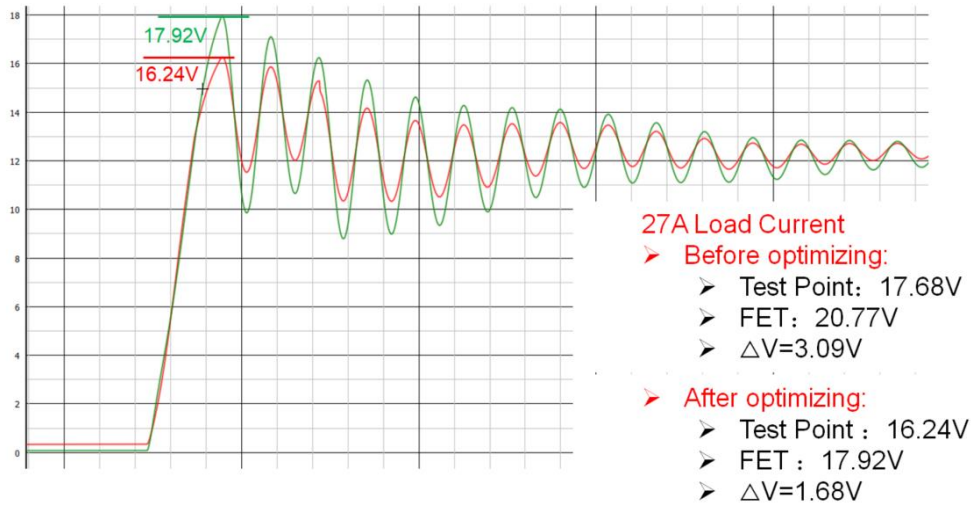


Figure 22 Simulation result base on layout recommendation

所以一个好的 PCB 布局同时选择一个合适的 bypass 电容会非常有效的降低上管电压振铃从而提高系统电源的可靠性。

## 4. 结论

在多相大电流应用场景，通过以下的方法合适有效的降低上管电压振铃

- 通过良好的 PCB 布局来减小输入寄生感抗 是减小电压振铃的一个重要手段

- 选择一个合适类型，封装，容量的 bypass 电容对于降低上管应力也是一个非常重要的方法。

## 5. 参考

1] TDK <https://www.tdk-electronics.tdk.com/en>

## 重要声明和免责声明

TI 均以“原样”提供技术性及其可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122  
Copyright © 2019 德州仪器半导体技术（上海）有限公司