

TI 参考设计

适用于馈线终端单元的高精度交流电压和电流测量 AFE 参考设计



TI 参考设计

此 TI 参考设计解决方案可满足合并单元、保护继电器、DTU、FTU 和间隔控制单元的模拟前端需求，借助一个简单串行外围接口 (SPI) 即可精确测量宽输入范围内的多个 (16 个或更多) 电压和电流输入。使用 ADS8688/ADS8688A ADC，则可以根据应用和输入信号电平尽可能减少模拟输入的外部信号调节需求。此 AFE 设计实施方案采用模块化设计，可借助 ADS8688/ADS8688A ADC 的 SPI 菊花链特性来轻松扩展通道，与此同时，还可保持与处理器的基本连接。

设计资源

TIDA-00307	设计页面
ADS8688	产品文件夹
ADS8698	产品文件夹
ADS8668	产品文件夹
CSD17571Q2	产品文件夹
TPS70933	产品文件夹
TPS70950	产品文件夹
ADS8688A	产品文件夹
ADS8678	产品文件夹



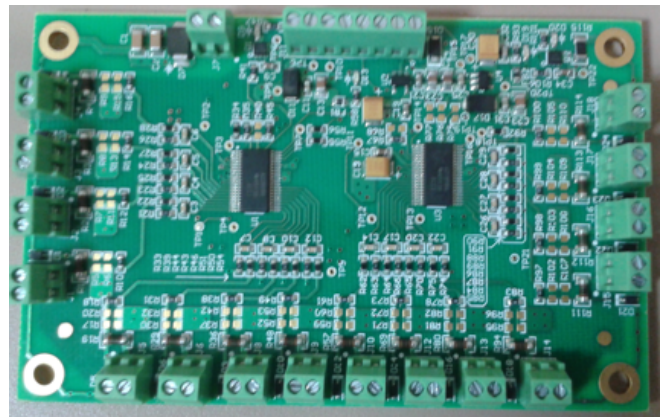
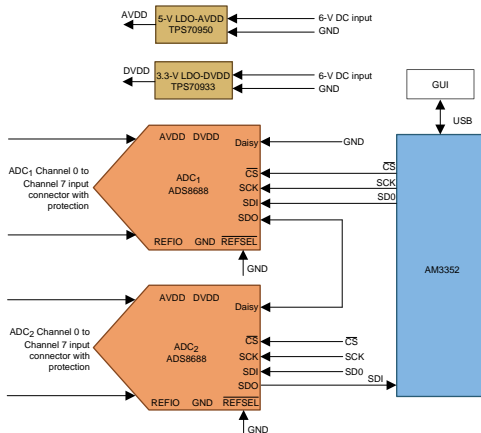
咨询我们的 E2E 专家
WEBENCH® 设计中心

设计特性

- 设计基于 ADS8688 (16 位 SAR ADC)
- ADC 为主机提供 SPI
- 与 ADS8688A、ADS8678、ADS8668 兼容的设计
- 两个 ADC 以菊花链形式连接来增加输入数目
- 基于 ADC 选择， $\pm 10.24V$ 、 $\pm 5.12V$ 、 $\pm 2.56V$ 、 $\pm 1.28V$ 和 $\pm 0.64V$ 可编程输入范围可用于精确测量低振幅输入信号
- 数据输出：500Kbps 采样率
- 附加 ADC 通道，不带 PGA (AUX_IN)
- 支持双电源和单电源运行
- 输入过压保护：高达 $\pm 20V$
- 4.096V 片上低漂移电压基准
- 可使用 50、60 或 400Hz 赫兹的交流传感器输入；范围符合 IEC60044-8 规定的电子式电流互感器输出要求

典型场合

- 智能电网合并单元 应用
- 多功能保护继电器
- 电源质量分析器
- FTU、DTU 或 RTU





该 TI 参考设计末尾的重要声明表述了授权使用、知识产权问题和其他重要的免责声明和信息。

1 系统说明

1.1 现有电网的问题

电网系统规模庞大结构复杂，由集中式电厂、传输线路和配电网络组成。电网可承载数千兆瓦 (GW) 电力，同时持续均衡电力供应来应对波动的需求，具有出色的可靠性，很少出现断电情况。

智能电网技术解决了以下电网问题：

- 电力中断和电力质量下降
- 高峰供电期间效率不佳
- 不支持强大的信息流
- 对分布式发电的支持受限

1.2 智能电网

尽管电力技术已经取得长足进步，并进而带动了电力需求的上升，但电力的生成、传输和配电方式却并无多大变化。智能电网一词是指一项新技术，它通过计算机化的自动处理和控制在沿用了数百年的传统发电配电方法引领到 21 世纪。

智能电网技术基于当前的电网系统构建，但引入了数字技术，可实现配电企业与客户之间的双向通信。双向通信能力构建了一个大范围、自动化的电力网络，可以保护、监视和优化互连设备的运行。利用这种新型自动化网络可获取更多信息，既能使配电企业更加高效地响应客户需求，又能使客户更有效地控制电力的使用。

智能电网包含许多互连设备，这些设备可以监视电力使用情况并共享实时数据。智能电网最核心的部件之一是智能电表。这种智能电表与接入家庭和办公室的标准电表类似，可采集电能使用和消耗信息并提供给电力企业，不过智能电表能够更频繁地提供这些数据。智能电表还能够与家用和办公室电器及程序通信。电力企业和客户可通过智能电表实时了解电能使用情况。

与智能电表实现电力企业和客户间的通信类似，智能传输和配电器件也实现了电力企业与传输或配电中心的相互通信。这种通信有助于电力企业发现传输和配电过程中的低效因素，最终帮助电力企业节约大量成本并降低客户的电费。

智能电网技术的特性使得其在许多方面都远超现有电力系统。智能电网可实现：

- 为电力企业提供有实际价值的信息
- 为客户提供有实际价值的信息
- 为客户提供电力使用模式和成本信息
- 自动制定决策并分散决策权
- 支持和强化新技术

智能电网理念贯穿整个电网，包括：

- 智能电表
- 智能馈电线
- 智能变电站
- 智能传输

- 智能集中发电

1.2.1 智能电网应用中采用的 关键技术

感应和测量 — 感应和测量技术方便电力企业和客户实时地了解 and 响应电网状态。例如，智能电表能够与连接智能家电和显示设备的家庭网络进行通信，每个家庭可通过智能电表监测电力需求和当前电价。

集成通信 — 高速标准化双向通信可在所有电网设备间实时传输信息流并有助于决策制定。现有的多项技术（包括广域无线网和蜂窝网络）均可提供所需的通信基础设施。

先进的组件 — GPS 系统、限流导线、高级储能系统和电力电子设备等先进的组件可帮助电力企业改进发电、传输和配电能力，同时提升运营智能。

先进的控制方法 — 由于电网控制器处理的信息更多，并且需要更快的响应速度，因此电网的管理任务变得更为复杂。先进的控制系统可以快速查找和处理重要信息，简化工作流程并为操作员提供清晰的指导。

1.2.2 智能电网技术的主要应用

智能电网技术构成新电网的基础，可实现新的智能电网应用，包括如下应用：

- 自动抄表 (AMR)
- 高级计量基础设施 (AMI)
- 实时电价 (RTP)
- 需求响应 (DR)
- 智能充电和车电互联
- 配电自动化
- 分布式发电集成

1.3 过程总线概览

过程总线是过程级别（即靠近测量组件、控制组件或这两类组件的位置）采用的总线或 LAN。

通常，过程总线具有如下优势：

- 满足与光学电压和电流互感器实现接口的需求
- 避免在现场连接铜线
- 最大限度减少配置时间
- 优化重新配置

借助过程总线，可将来自电子互感器的数字采样测量值 (SMV) 发送到保护和控制继电器。过程总线还允许连接智能开关设备，例如断路器、隔离开关或接地开关。过程总线的特性包括如下特性：

- 光纤数字变电站
- 合并单元 (MU) 是连接变电站模拟信号的数字接口。
- CT、VT、断路器、开关设备、电力变压器传感器和其他设备
- 最好紧邻一次设备放置
- 可使用带以太网的 CPU 代替保护继电器，无需任何 IO 模块

过程总线拓扑结构包括：

- 点对点，合并单元与 IED 多重直连
 - 无需高精度全局时间基准，IED 作为同步主站，可扩展性问题
- 作为以太网网络的过程总线与电站总线隔离
 - 具有更高安全性，并简化了工程设计，需要双回原 IED
- 过程总线与电站总线共享一个通用的以太网网络
 - 该解决方案经济高效，需仔细部署网络工程以实现逻辑分离。
- 过程总线采用冗余 PRP 星型连接
 - 零恢复时间，重复网络，更高的网络基础设施成本
- 过程总线采用多个冗余 HSR 环形式
 - 经济高效，大规模网络通信贯穿所有节点，维护问题

过程总线具有以下性能要求：

- 能源自动化应用中的时间精度要求：
 - 1s SCADA
 - 100ms 配电自动化
 - 1ms 变电站自动化（事件序列）
 - 10 μ s 过程总线
 - 1 μ s 同步精度
- 合并单元延迟界限（一次侧传感器到以太网），根据 IEC 61869-9：
 - 1.5ms 保护
 - 10ms 计量
- 定时：
 - 当前 PPS 和 IRIG-B 遵照 61850-9-2LE。根据 61850-9-2LE，合并单元的时间戳精度属于类别

T4, IEC 61850-5 中规定为 $\pm 4\mu\text{s}$

注: 接收 IED 端 $30\mu\text{s}$ 的数据移位会造成 0.5 度相角误差。

1.4 合并单元

合并单元是变电站内的模拟接口装置。合并单元可连接传统或非传统互感器，并通过光纤发送电流和电压采样值，从而避免使用铜缆来连接变电站一次设备与保护、控制和测量设备。

例如，变电站自动化系统中使用合并单元来采集传感器数据并转发到其他设备，例如相应变电站自动化系统更高层级中用于保护和控制特性的智能电子器件 (IED)。

合并单元是物理模拟设备与数字设备通过通信网络实现互联的接口。模拟信号将转换为数字信号，并通过采样值 (SV) 网络通信协议进行传输。

IEC 61850-9-2LE 合并单元是过程总线接口连接的最佳解决方案。借助合并单元，可以将变电站中通过控制室内的馈电保护继电器、电表和故障记录器测量的信息整合在一起。采用光纤通信的方式确保了合并单元的安全。合并单元避免了大量使用铜缆，解决了影响变电站设计、建造和维护成本的核心技术问题和物流挑战。开放式 **IEC 61850-9-2LE** 过程总线具有稳健且简单的架构，允许混合搭配不同制造商提供的继电器、电表和故障记录设备。合并单元从传统互感器采集数据，将模拟信号转换为 **IEC 61850-9-2LE** 定义的数字协议。合并单元使用工业级以太网硬件通过光纤传输转换的信号。由于合并单元为互感器带来的电力负荷小，因此可插入运行中的变电站，而不会影响现有设施。这项技术方便客户访问变电站及更高级别控制和监测设施的过程总线信息。

根据 **IEC 61850-9-2LE** 规定，采样值帧总大小约为 180 字节，按每周期 80 次的速率采样。按每周期 80 次的速率采样时，50Hz 条件下单个合并单元发送帧会占用约 6Mb/s 的带宽。按每周期 80 次的速率采样时，60Hz 条件下发送帧会占用约 7.2Mb/s 的带宽。**IEC 61850-9-2LE** 数据集 *PhsMeas1* 共含八个元素：四个电流数据和四个电压数据。一个合并单元可以有多个数据。

保护和测量采样值数据流如表 1 所示：

表 1. 采样值数据流

配置文件	每周期点数	每数据包采样数	总采样	每秒数据包数
保护	80	1	每秒 4000 至 4800 次采样	4000 (50Hz) 至 4800 (60Hz)
测量 (电源质量监控和波形记录应用)	256	8	每秒 12800 至 15360 次采样	1600 (50Hz) 至 1920 (60Hz)

1.5 保护继电器

保护继电器可检测故障线路、装置或其他电力系统异常/危险状况。保护继电器还能够触发相应的电路控制操作。继电器通过测量电力系统中在正常和异常情况下会有所不同的电量来检测和找到故障点。保护继电器最重要的作用是保护各个器件，进而保护整个设备。保护继电器还负责最大限度减少因绝缘击穿带来的损失和成本，这些绝缘击穿（高于过载）称为故障。这些故障可能是由绝缘失效或不可预见的事件（例如，闪电或因接触树木和植物造成的电力跳闸）引起。

继电器在正常工作期间不需要动作，但一旦出现异常系统状况则必须触发。继电器必须具有这种即时可用性，以避免整个电力网络或其中的某些部分出现严重中断或受损。理论上，继电器系统应能够响应网络中可能出现的无数次异常。不过实际上，必须要对比风险而做出一些妥协。如果在监视、保护和控制方案中仅采用局部测量方式，将很难确保整个电力系统的稳定性和安全性。应对这一难题的一种方法是开发系统级保护和控制机制，来作为传统局部和区域性保护策略的补充。要实现此类机制，可将同步向量测量作为有效的数据源，来提取有关系统状况的关键信息。同步相量测量能力是目前市售领先的保护继电器的可用特性之一。这一特性正在被日益广泛地采用。

保护继电器是从二次侧 CT 和 VT 接收测量信号的智能电子器件 (IED)。这些继电器可检测受保护单元是否存在威胁（根据单元类型和配置）。必要时，保护继电器将发送跳闸信号到断路器，以断开故障组件与电力系统的连接。保护继电器按受保护设备类型（例如发动机、传输线路、变压器和负载）可分为几类。

采用保护继电器的典型子系统包括：

- 电源
 - 宽输入范围（TI 参考设计可满足这些要求）
 - 24 至 300V DC
 - 20 至 265V AC
 - 高效 SMPS
- CPU
 - 高速 32 位 RISC CPU
 - > 120 MIPS
 - FLASH 存储器
 - 轻松升级固件
 - 支持高速通信
 - 10/100Mbps 以太网 LAN
 - 冗余光纤
- DSP 和 CT 或 VT
 - 模块化 CT 或 VT 配置，多达 8 个 CT 或 VT
 - 高速数字采样
 - 16 位 AD
 - 每个电源周期超过 64 次采样
 - 高速 DSP
- 数字 I/O
 - 控制输出
 - 固态
 - 机电式，多种类型

- 快速激励速度（不到 4ms）
- 状态输入
- 干触点和湿触点
- 18 至 300V DC
- 快速检测速度 (< 4ms)
- DC 模拟 I/O
 - 传感器类型输入
 - dcmA
 - DC 电压
 - 电阻
- 通信
 - 高速串行
 - 异步（9600 至 115KBaud）
 - 光纤（单模和多模）
 - 通道冗余

模拟输入要求包括：

- 电流和电压输入
 - 二次侧 CT，二次侧分压器
- 低压 DC 模拟输入（传感器输入）
 - 0 至 20mA
 - 4 至 20mA
 - 0 至 5V
 - 0 至 10V
 - RTD (Pt, Ni, Cu)
- 保护继电器电流和电压通道数
 - 4 至 16 通道
- 低压 DC 模拟输入（传感器输入）
 - 4 至 32 通道

1.6 采用 ADS8688 的 TI 模拟前端设计

TI 拥有多种模数转换器 (ADC) 产品。ADS8688 器件非常适用于电网基础设施中的测量应用。该 ADC 模块可以测量 AC 输入（电压或电流输入）。模块上提供十六个通道，每个通道均可配置为电流或电压输入。此 TI 参考设计还包括外部保护电路，并已经过测试和验证，符合 IEC61000-4 标准对于 ESD 和浪涌的要求。

此 TI 参考设计展现了以下特性：

- 使用 ADS8688 16 位 ADC 对电流和电压输入采样
- 通过以菊花链形式连接两个 ADC，将模拟输入通道数增至 16
- 遵照 IEC 61850-9-2LE 按保护和测量采样速率对模拟输入采样
- 通过简单的 SPI 即可连接，无需使用 FPGA（现场可编程门阵列）

此项设计还满足合并单元、保护继电器、多特性电能表和功率表的精度和采样速度要求。

访问设计工具文件夹 (www.ti.com/tool/TIDA-00307) 或8 节 可获取用于评估此项参考设计的设计文件，包括： 电路原理图，物料清单 (BOM)、PCB 布局 (Altium) 和光绘文件。

2 设计 特性

表 2 列出 TIDA-00307 的设计 特性。

表 2. TIDA-00307 的 设计 特性

要求	规范 特性
ADC	16 位 8 通道 500kHz 采样速率 ADS8688
通道数	每个 ADC 8 个通道 (第九通道不带 PGA)
精度	< $\pm 0.25\%$, 25°C 未经校准
输入电压范围	$\pm 10.24V$ 、 $\pm 5.12V$ 、 $\pm 2.56V$
输入阻抗	> 1M Ω
菊花链	两个 ADS8688 器件采用菊花链配置
电源	5V 模拟电源 3.3V 数字 I/O 电源
接口	四线制 SPI 兼容接口
模拟输入连接器	每个 ADC 八个 2 引脚螺钉型端子, 用于连接模拟输入。
ESD 抗扰度	IEC 61000-4-2: 4kV 接触放电
浪涌瞬态抗扰度	IEC 61000-4-5: 信号端口上 $\pm 1kV$ (CM)
过压保护	$\pm 20V$

3 框图

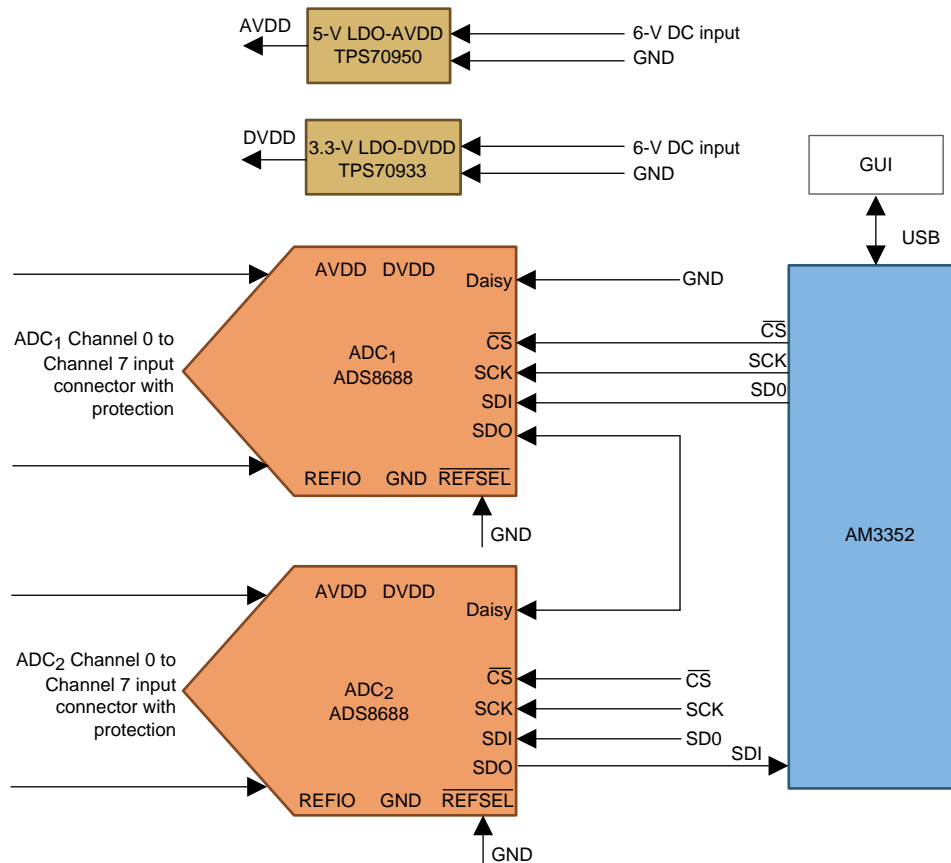


图 1. TIDA-00307 系统框图

3.1 ADC

本参考设计使用的 ADC 为 ADS8688 器件。ADS8688 器件为支持双极输入的 16 位 500kSPS 8 通道单电源 SAR ADC。该 ADC 的片上基准电压为 4.096V，具有低漂移特性。本设计中使用两个 ADC，均可配置为内部或外部基准电压。

3.2 菊花链

ADS8688 器件具有一个简单的 SPI 兼容串行接口，并提供以菊花链形式连接多个 ADC 的选项。此参考设计中的两个 ADC 以菊花链形式连接。

3.3 电源

此参考设计整合了 TPS70933 器件（用于 3.3V 电源）和 TPS70950 器件（用于 5V 电源）。TPS70933 器件是一款 150mA 30V 超低 I_Q 宽输入低压降稳压器，具有反向电流保护特性。TPS70950 器件是一款 150mA 30V 超低 I_Q 宽输入低压降稳压器，具有反向电流保护特性。

3.4 数字接口

该 ADC 模块使用 SPI 兼容接口连接 AM3352 ARM Cortex-A8 处理器。

3.5 模拟输入连接器和保护

提供两引脚螺丝型连接器（每个通道一个，共计 16 个）来连接 AC 模拟输入。这些输入具有 ESD 和浪涌保护特性。所使用的输入为单端输入。可使用以下双极输入范围： $\pm 2.56V$ 、 $\pm 5.12V$ 和 $\pm 10.24V$ 。

3.6 ADC 诊断

AUX_IN ADC 通道用于诊断用途。为进行 ADC 诊断，可在上电期间对 ADC 进行采样，或者也可按固定间隔进行采样。此通道的输入端没有 PGA。

4 电路设计和组件选择

4.1 ADC

ADS8688 器件是一款集成有数据采集系统的 8 通道器件，采用 16 位逐次逼近 (SAR) ADC。器件工作吞吐量达 500kSPS。该器件的每个输入通道都具有集成的模拟前端电路，过压保护高达 $\pm 20V$ ，支持具有自动和手动扫描模式的 8 通道多路复用器，可提供具有极低漂移的片上 4.096V 基准电压。器件由单个 5V 模拟电源供电，每个输入通道均可支持真正的双极输入范围（ $\pm 2.56V$ 、 $\pm 5.12V$ 和 $\pm 10.24V$ ）。可通过软件编程设定内部器件寄存器的方式对每个通道单独进行输入范围选择。无论选择何种输入范围，该器件都将提供一个 $1M\Omega$ 的恒定阻性输入阻抗。

ADS8688 器件提供了一个兼容 SPI 的串行接口，可连接数字主机，同时支持以菊花链方式连接多个器件。数字电源可提供 1.65 到 5.25V 范围内的电压，因此可直接连接各种主机控制器

该器件还集成了前端信号处理特性，包括多路复用器、二阶抗混叠滤波器、ADC 驱动器放大器，并且支持扩展级工业温度范围。这些特性使得 ADS8688 器件成为任何工业标准模拟输入测量的理想选择。图 2 展示了器件的基本框图。

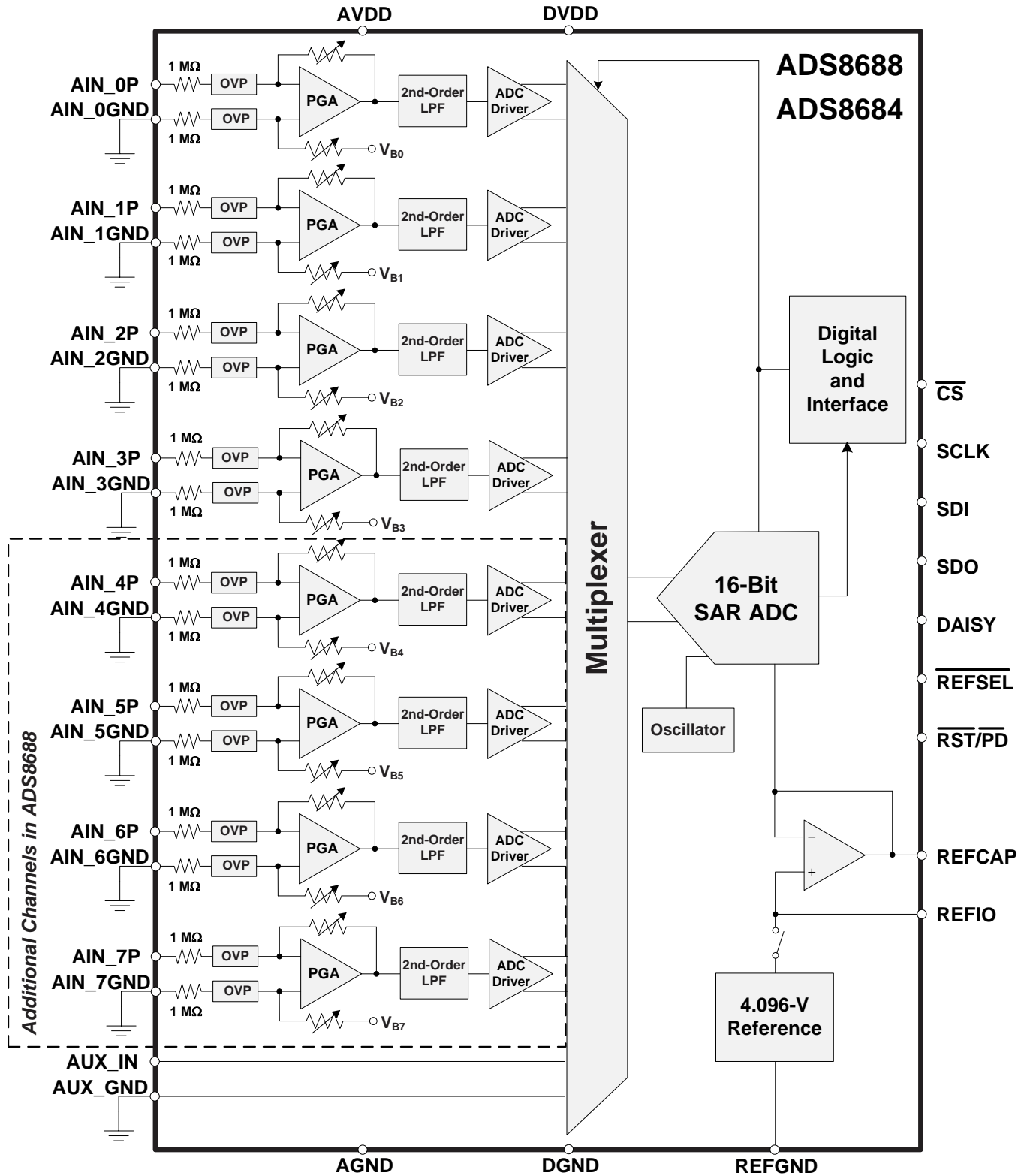


图 2. ADS8688 的内部框图

4.1.1 二阶低通滤波器 (LPF)

为减轻前端放大器和 PGA 增益电阻机的噪声，ADS8688 的每一个模拟输入通道在 PGA 输出上都具有一个二阶的抗混淆 LPF。图 3 和图 4 分别显示了模拟抗混淆滤波器的幅值和相位响应曲线。为达到最佳性能，抗混淆滤波器的 -3-dB 截止频率通常设为 15kHz。滤波器性能在 ADC 支持的整个输入范围内保持恒定。

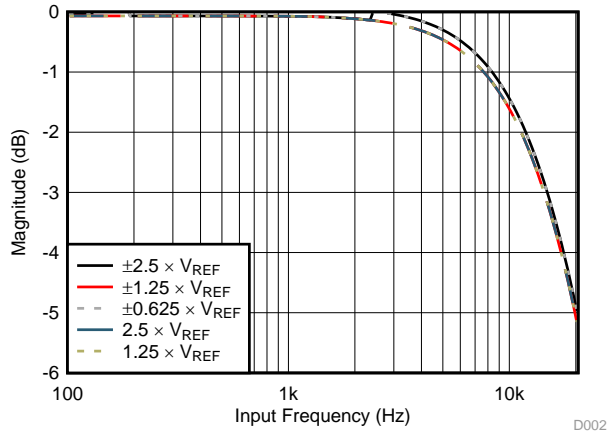


图 3. 二阶 LPF 幅值响应

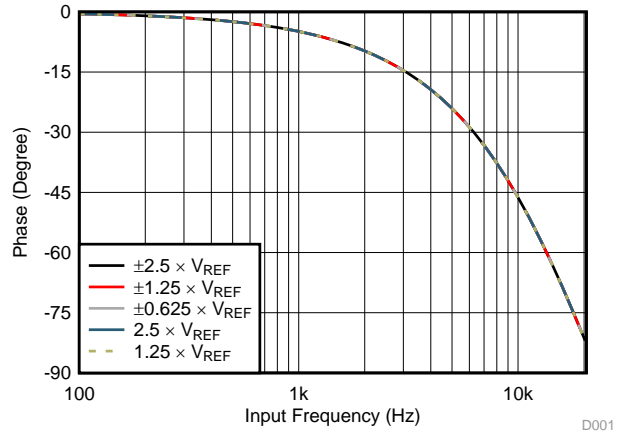


图 4. 二阶 LPF 相位响应

ADC 滤波器性能

4.1.2 ADC 驱动器

为满足 16 位 SAR ADC 在最大采样频率 (500kSPS) 下的性能要求，ADC 输入端的采样和保持电容必须在采集时间窗内成功充电和放电。ADC 输入端的这一驱动要求需要使用高带宽低噪声的稳定放大器缓冲器。这种输入驱动器集成在器件每个模拟输入通道的前端信号路径中。从多路复用器的一个通道转换到另一个通道期间，快速集成驱动器可确保多路复用器的输出在 ADC 采集时间内稳定到 16 位精度，不论相应通道上的输入电平如何。

4.1.3 多路复用器

ADS8688 器件具有一个集成的 8 通道模拟多路复用器 (MUX)。对于每个模拟输入通道，正模拟输入 AIN_{nP} 与负接地输入 AIN_{nGND} 之间的压差由模拟前端电路调节之后再馈送到多路复用器中。多路复用器的输出直接由 ADC 采样。器件中的多路复用器可以在手动或自动模式下扫描这些模拟输入，如 ADS8688 数据表的通道排序模式一节所述。在手动模式下 (MAN_Ch_n)，通过寄存器写操作为每次采样选择通道。在自动扫描模式下 (AUTO_RST)，当前通道采样完毕后，每到一个 CS 下降沿通道编号就会自动递增。可通过寄存器设置为自动扫描选择模拟输入。器件仅以升序自动扫描所选的模拟输入。ADS8688 器件在所有通道上的最大整体吞吐量为 500kSPS。每个通道的吞吐量取决于多路复用器扫描序列中选择的通道数。例如，如果选择两个通道，则每通道吞吐量为 250kSPS，如果选择四个通道，则每通道吞吐量为 125kSPS。

4.1.4 基准

ADS8688 器件可采用内部电压基准或外部电压基准（使用内部缓冲器）。内部或外部基准选择取决于外部 REFSEL 引脚。器件带有内置的缓冲器放大器，可驱动内部 ADC 内核的实际基准输入，实现最大性能。

4.1.5 内部基准

器件的内部基准电压为 4.096V（标称值）。要选择内部基准，REFSEL 引脚必须下拉为低电平或者连接到 AGND 引脚。使用内部基准时，REFIO 引脚（引脚 5）成为内部基准值的输出引脚。TI 建议在 REFIO 引脚与 REFGND（引脚 6）之间连接一个

10- μF （最小）去耦电容，如图 5 所示。电容器应尽可能靠近 REFIO 引脚放置。内部带隙电路的输出阻抗通过该电容形成了一个低通滤波器，通过带宽来限制基准电压的噪声。使用的电容越小，系统中的基准噪声越大，进而会降低 SNR（信噪比）和 SINAD（信纳比）性能。请勿使用 REFIO 引脚驱动外部 AC 或 DC 负载，因为 REFIO 引脚输出能力有限。REFIO 引脚后接适用的运算放大器缓冲器（例如 OPA320 器件）时，可用作信号源。

在当前的设计中，这两个 ADC 都用作内部基准。此外，当 ADC 配置为菊花链模式时，ADC₁ 可配置为内部基准，ADC₂ 可配置为外部基准。当 ADC₁ 配置为内部基准时，可在 REFIO 引脚获得基准输出，可用作 ADC₂ 的基准输入。如果 ADC₁ 和 ADC₂ 需要精度一致并且降低功耗，则需要这种配置。内部和外部基准均可通过引脚配置 (REFSEL)。

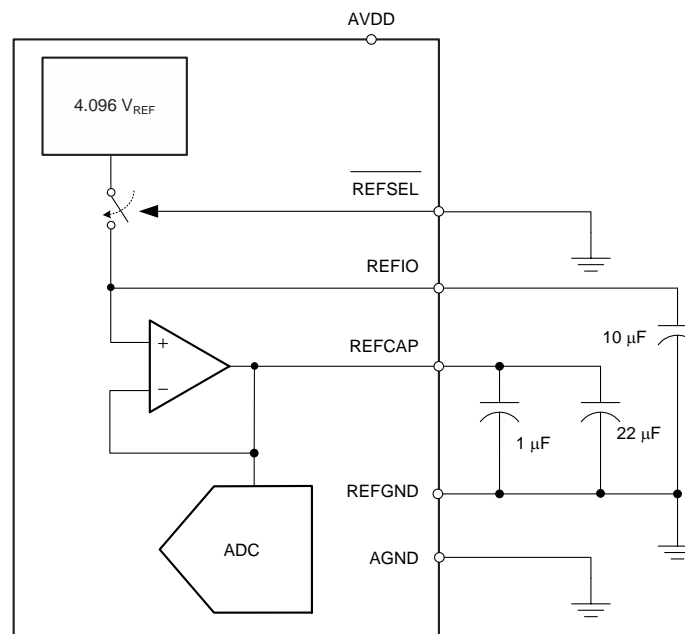


图 5. 使用内部 4.096V 基准时的 ADS8688 连接

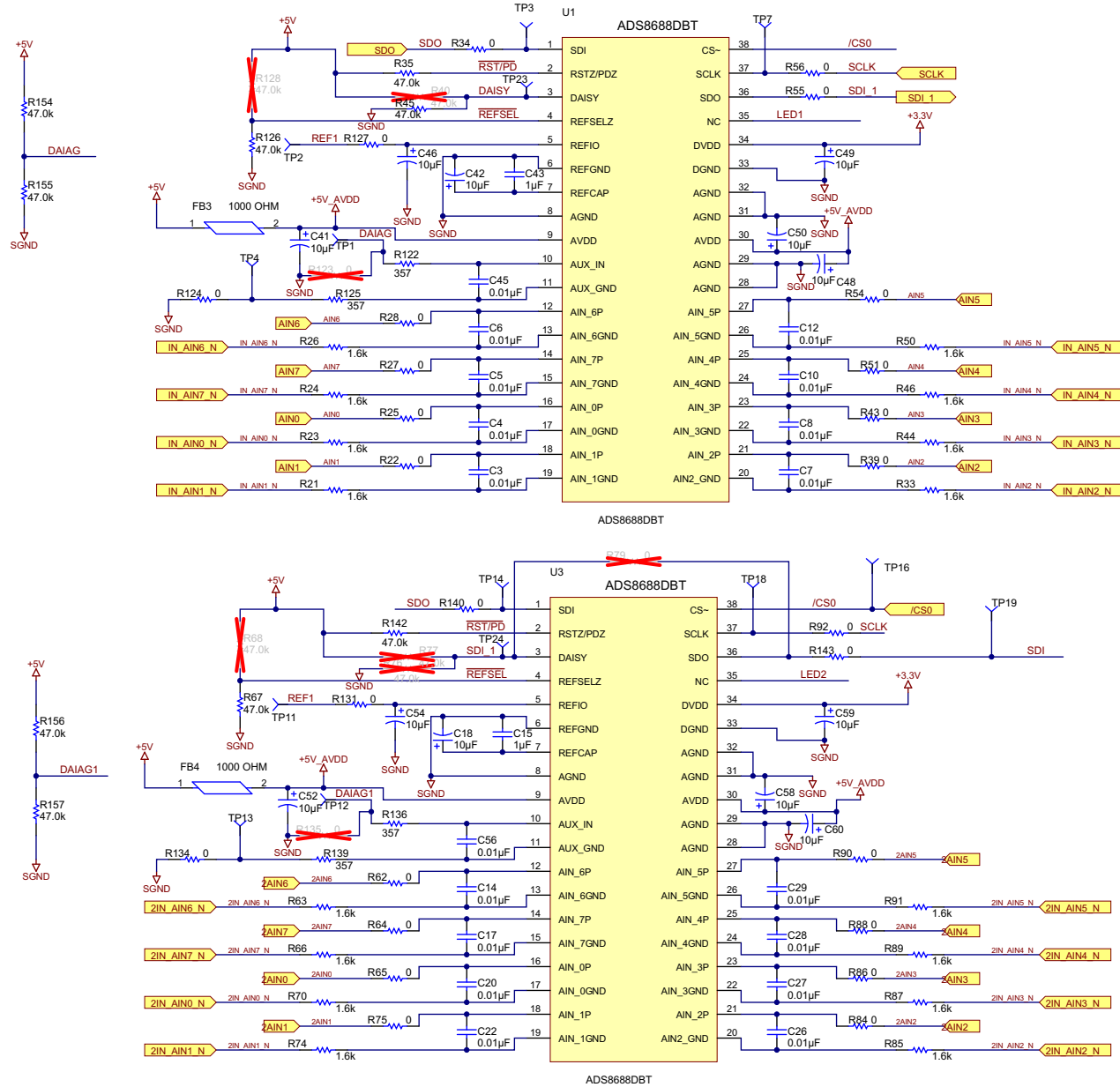


图 6. 两个 ADC 采用菊花链模式连接

4.2 菊花链配置

图 7 展示了以菊花链模式连接多个器件的典型连接图。所有器件的 \overline{CS} 、SCLK 和 SDI 输入连接在一起，并分别由主机控制器的同一个 \overline{CS} 、SCLK 和 SDO 引脚控制。菊花链中第一个 ADC 的 DAISY₁ 输入引脚连接到 DGND 引脚。SDO₁ 输出引脚连接到 ADC₂ 的 DAISY₂ 输入。菊花链中第 N 个 ADC (ADC_N) 的 SDON 引脚连接到主机控制器的 SDI 引脚。这些器件无需任何特殊硬件或软件配置即可进入菊花链模式。

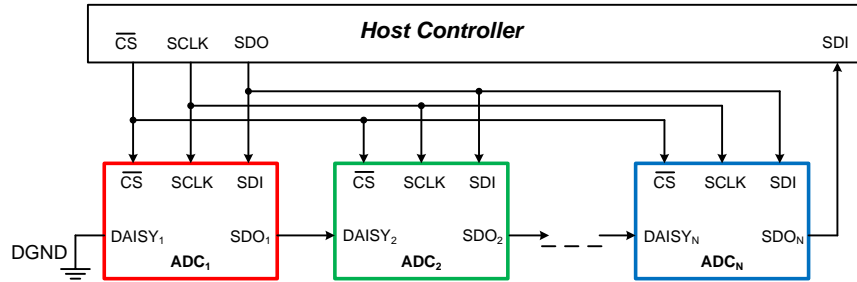


图 7. 菊花链连接图

图 7 展示了以菊花链模式连接器件的典型时序图。

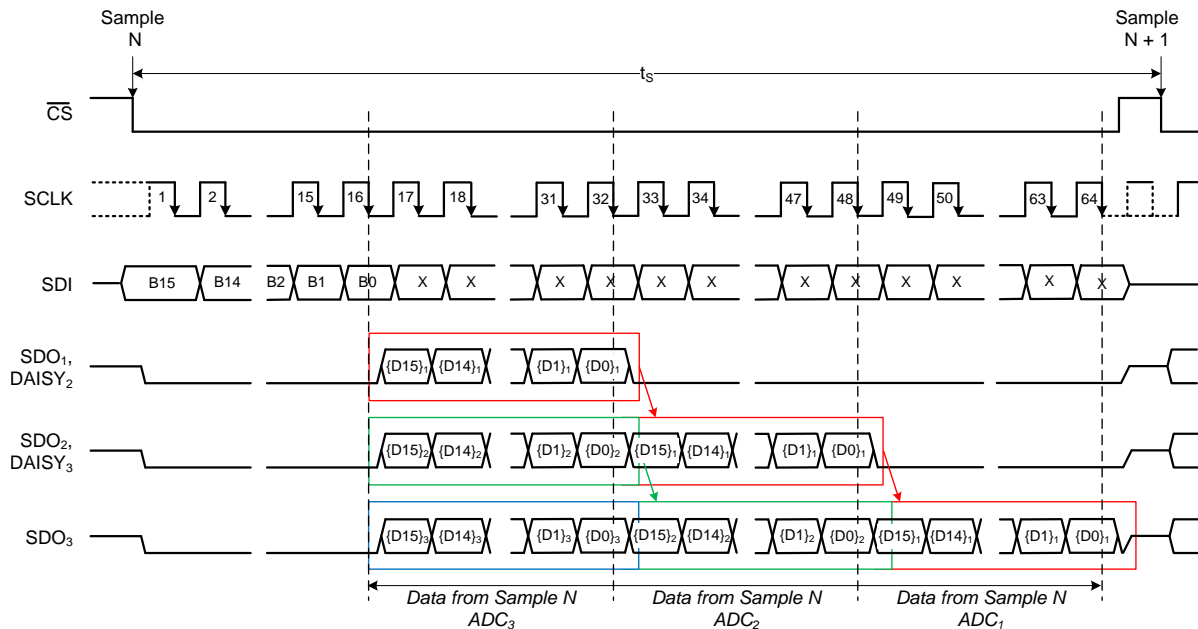


图 8. 以菊花链模式连接器件的时序图

在 \overline{CS} 信号的下降沿，所有器件将对相应选定通道的输入信号进行采样，然后进入转换相位。对于前 16 个 SCLK 周期，可使用 SDI 线进入下一次转换的内部寄存器设置，这对菊花链中的所有器件都是通用的。在这段时间内，所有器件的 SDO 输出均保持低电平。转换结束后，菊花链中的每个 ADC 都将相应的转换结果装载到内部的 16 位移位寄存器。在第 16 个 SCLK 下降沿，菊花链中的每个 ADC 会在相应的 SDO 输出引脚上输出 MSB（最高有效位）。在随后的每个 SCLK 下降沿，每个 ADC 的内部移位寄存器将锁存 DAISY_N 引脚上的数据，并在 SDO 引脚移出数据的下一位。因此，数字主机先接收 ADC_N 的数据，再接收 ADC_{N-1} 的数据，以此类推（遵循 MSB 优先原则）。总体来说，最少需要 16 × N 个 SCLK 下降沿来捕捉菊花链中所有 N 个器件的输出。本例中，共有三个器件通过菊花链连接在一起。因此，需要 3 × 16 = 48 个 SCLK 周期来捕捉菊花链中所有器件的输出，还需要 16 个 SCLK 周期输入寄存器设置来进行下一次转换，因此整个数据帧共需要 64 个 SCLK 周期。系统的总吞吐量随着菊花链配置中所连接的器件数的增多而按比例减少。

根据图 7，可知：

- 所有器件的 SDI 引脚均连在一起，这样每个器件都以相同的内部配置运行。可以用额外的控制器资源来控制器件的 SDI 输入，从而将器件设置成不同的配置。
- 如果菊花链模式下连接的器件数超过四个，主机控制器的共享输出线路上的负载会增加（CS、SDO 和 SCLK）。这种增加的负载可能会导致数字时序错误。可在主机控制器共享输出上使用数字缓冲器，然后将共享数字线馈送到其他器件，这样便可以克服这种局限性。

注： 如果不需要菊花链配置而仅使用一个器件，请进行以下更改：

1. 移除 R45 并安装 R40
 2. 安装 R79
 3. 移除 U3
-

注： 当前 TI 参考设计是连接主机的非隔离式接口。如需使用隔离式接口，此设计可连接到 TIDA-00300 设计。注意，隔离器延迟会影响数据输出速率性能。TIDA-00300 设计配置为 5V。ADC 模块也必须配置为 5V。

4.3 电源

4.3.1 3.3V I/O 电源

TPS70933 稳压器是一种超低静态电流器件，专为功率敏感型应用而设计。一个精密带隙和误差放大器在温度范围内的精度为 2%。此器件的静态电流仅为 1 μ A，因此对于由电池供电、要求非常小闲置状态功耗的常开系统而言，是非常理想的解决方案。该器件还具有热关断、电流限制和反向电流保护特性，提升了安全性。通过将 EN 引脚下拉至低电平可将稳压器置于关断模式。此模式下的关断电流低至 150nA（典型值）。TPS70933 器件系列采用 SON-6、SOT-23-5 和 SOT-223-4 封装。

TPS70933 器件 包括如下特性：

- 超低 I_Q ：1 μ A
- 反向电流保护
- 低 $I_{SHUTDOWN}$ ：150nA
- 输入电压范围：2.7 至 30V
- 支持 200mA 峰值输出
- 低压降：50mA 时为 245mV
- 在温度范围内的精度为 2%
- 可用固定输出电压范围：1.2 至 6.5V
- 热关断及过流保护

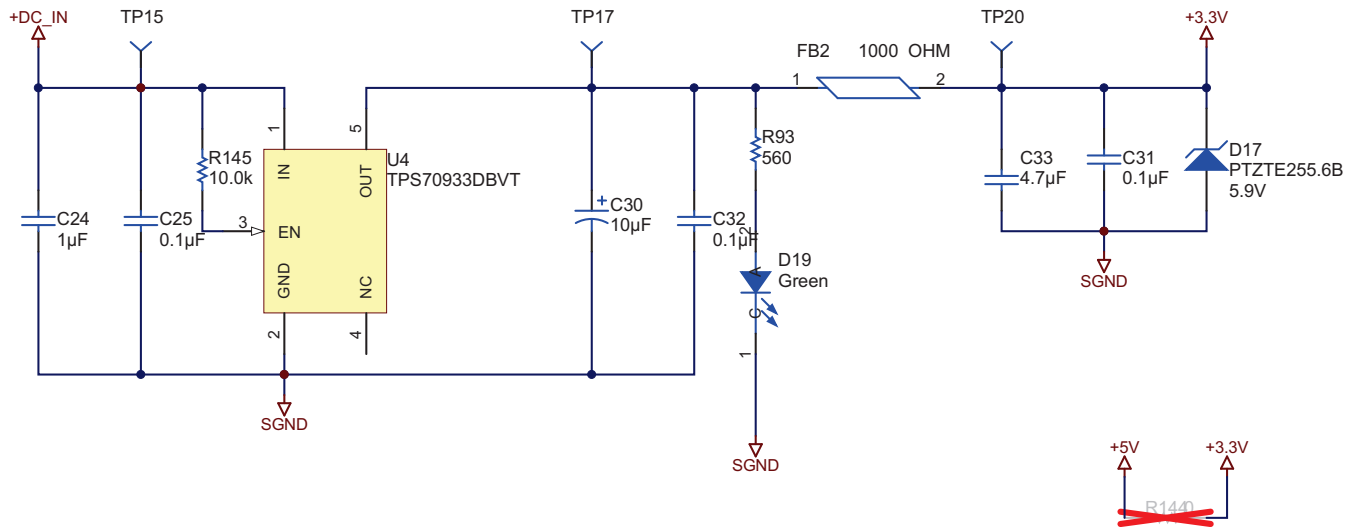


图 9. 用于 DVDD 的 LDO (3.3V)

注： ADS8688 器件可配置为使用单电源运行。移除图 9 中的组件并补充 R144，即可将 ADC 配置为 5V 运行。

4.3.2 5V 模拟电源

TPS70950 稳压器是一种超低静态电流器件，专为功率敏感型应用而设计。一个精密带隙和误差放大器在温度范围内的精度为 2%。此器件的静态电流仅为 1µA，因此对于由电池供电、要求非常小闲置状态功耗的常开系统而言，是非常理想的解决方案。该器件还具有热关断、电流限制和反向电流保护特性，提升了安全性。通过将 EN 引脚下拉至低电平可将稳压器置于关断模式。这个模式的关断电流低至 150nA（典型值）。TPS70950 器件系列采用 SON-6、SOT-23-5 和 SOT-223-4 封装。

TPS70950 器件 包括如下特性：

- 超低 I_Q ：1µA
- 反向电流保护
- 低 $I_{SHUTDOWN}$ ：150nA
- 输入电压范围：2.7 至 30V
- 支持 200mA 峰值输出
- 低压降：50mA 时为 245mV
- 在温度范围内的精度为 2%
- 可用固定输出电压范围：1.2 至 6.5V
- 热关断及过流保护

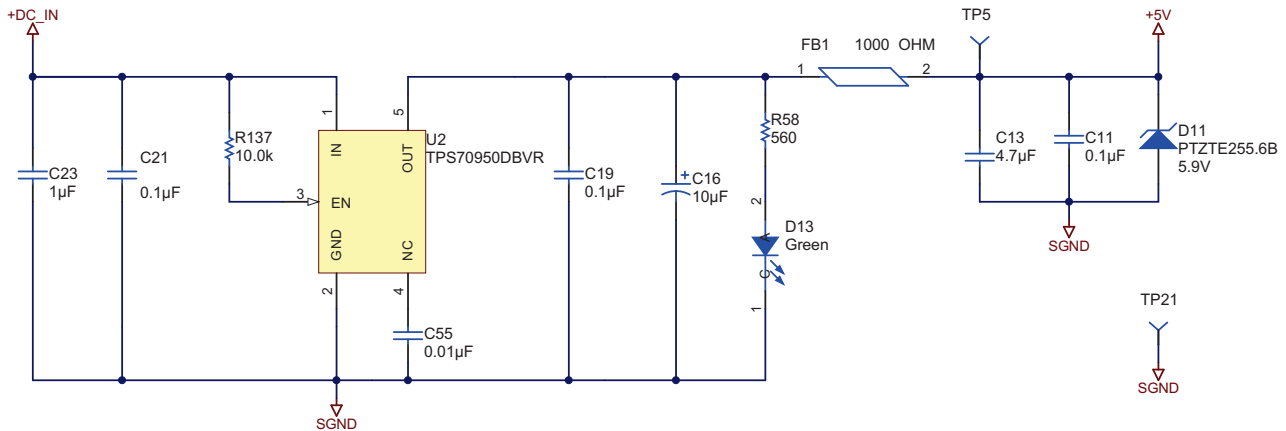


图 10. 用于 AVDD 的 LDO (5V)

4.3.3 电源相关建议

表 3. 典型电源电流要求

电源类型	ADC ₁		ADC ₂	
	电压 (V)	电流 (mA)	电压 (V)	电流 (mA)
模拟	5	16	5	16
I/O	3.3	1	3.3	1

该器件使用两个单独的电源：AVDD 和 DVDD。器件内部电路使用 AVDD 电源，而 DVDD 电源用于数字接口。AVDD 和 DVDD 电源可以单独设定为允许范围内的任意值。

在各个电源上，AVDD 电源引脚必须通过加入最小 10µF 和 1µF 的电容来与 AGND 引脚去耦。将 1µF 电容尽可能靠近电源引脚放置。应将最小 10µF 的去耦电容靠近 DVDD 电源放置，以提供高频数字开关电流。去耦电容的作用表现在器件电源抑制比 (PSRR) 性能的差异上。

4.4 数字接口

4.4.1 数字引脚 说明

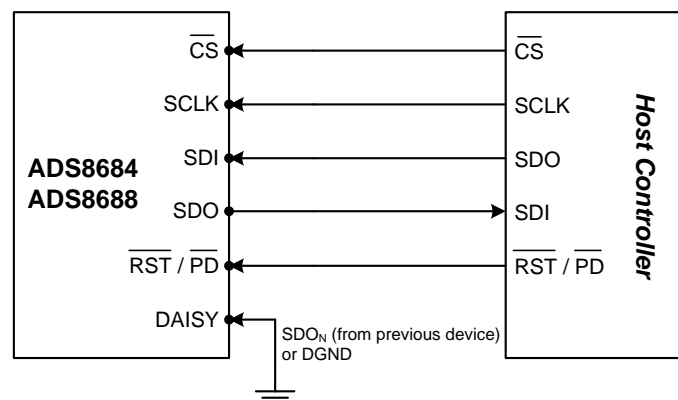


图 11. ADS8688 SPI

图 11 显示了 ADS8688 器件的数字数据接口。

数字引脚描述如下：

- \overline{CS} (输入)** — \overline{CS} 引脚为低电平有效片选信号。 \overline{CS} 引脚还用作在下降沿触发转换的控制信号。每个数据帧都从 \overline{CS} 信号的下降沿开始。特定帧内转换的模拟输入通道在前一个帧内选定。在 \overline{CS} 下降沿，器件对选定通道的输入信号采样并使用内部时钟启动转换。可在此转换过程中输入下一个数据帧的器件设置。当 \overline{CS} 信号为高电平时，ADC 被视为处于空闲状态。
- SCLK (输入)** — 该引脚代表数据接口的外部时钟输入。对器件的所有同步访问都从 SCLK 信号的下降沿开始。
- SDI (输入)** — SDI 引脚为串行数据输入线。主机处理器使用 SDI 引脚对内部器件寄存器编程，来进行器件配置。在每个数据帧开头， \overline{CS} 信号转换为低电平，器件在后续的 16 个 SCLK 周期内出现的每个 SCLK 信号下降沿处读取 SDI 线上的数据。特定数据帧中针对器件配置进行的任何更改都将在随后的 \overline{CS} 信号下降沿处应用到器件。
- SDO (输出)** — SDO 引脚为串行数据输出线。器件使用 SDO 引脚输出转换数据。数据输出帧的大小因寄存器中 SDO 格式的设置而异。 \overline{CS} 信号为低电平时，会将 SDO 引脚从高阻抗状态释放。SDO 引脚在前 15 个 SCLK 下降沿保持低电平。输出数据流的 MSB 在第 16 个 SCLK 下降沿处在 SDO 上输出，随后在之后的每个下降沿输出后续数据位。SDO 线在整个数据帧输出完毕后转为低电平，并在 \overline{CS} 信号变为高电平时进入高阻态。

4.5 模拟输入连接器和保护

ADC 模块还带有一个端子块，可用于连接十六个模拟输入。这些输入经过配置后可用来测量电流或电压输入。这些输入具有 ESD 和浪涌保护特性。

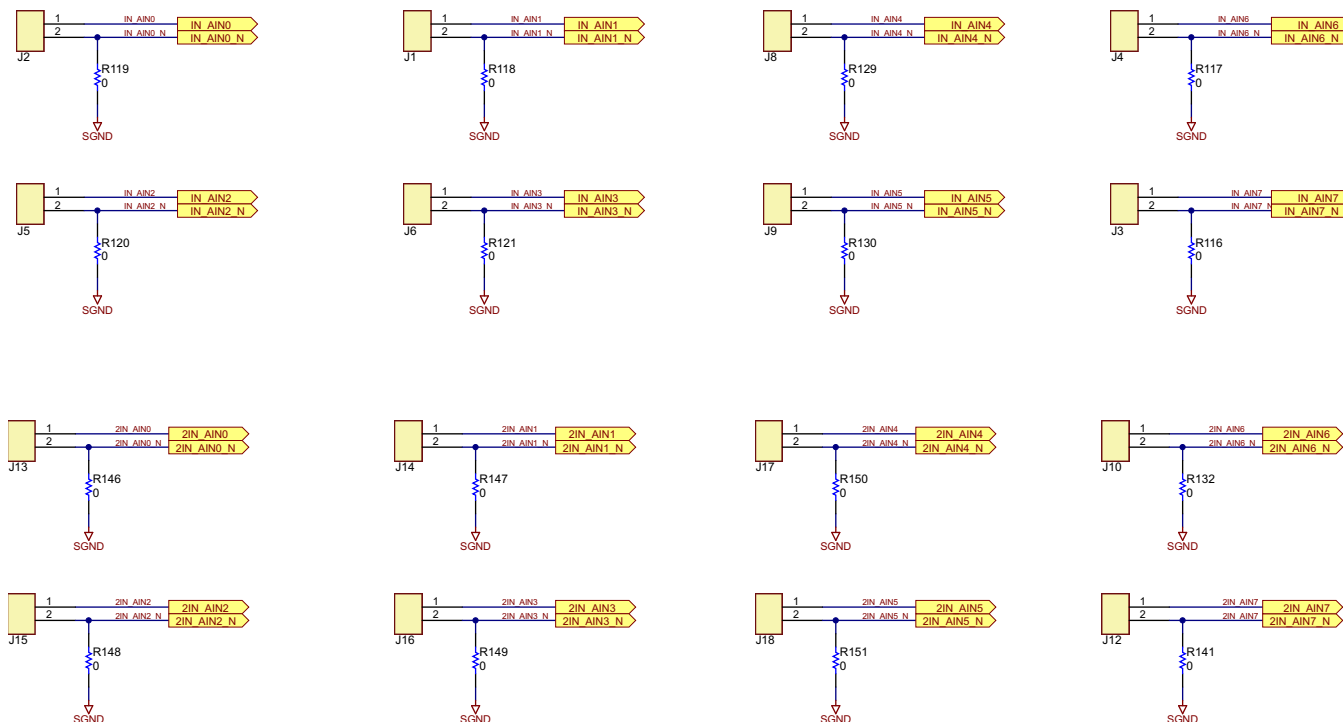


图 12. 模拟输入

表 4 列出了 EMC 测试要求。

表 4. EMC 测试要求

测试和标准	测试等级
IEC 61000-4-2 静电放电 (ESD)	±4kV 接触放电
IEC 61000-4-5 浪涌	±1kV (信号端口)

瞬态电压抑制器 (TVS) 二极管与高压电容 Y-cap 并联，用于将浪涌电压钳位在更安全的限值。此外，这两个 Y-cap 置于关键位置，可快速将瞬变电能分流到接地端。Y-cap 为快速瞬变提供低阻抗，TVS 二极管有助于抗高压尖峰干扰。

4.6 ADC 诊断

AUX_IN ADC 通道用于诊断用途。进行测量和诊断时，连接 2.5V DC 电压作为输入。该通道没有 PGA 电路，因此测量中不含任何增益或可配置范围。

4.7 布局布线指南

将 ADC 配置为菊花链模式时，应确保走线符合 SLK 引脚及采用菊花链连接的两个 ADC 的片选要求。

下面列出了一般性的布局原则：

- 将 PCB 分为模拟和数字部分。确保模拟信号与数字信号分离。这种布局有助于使模拟输入和基准输入信号远离数字噪声。在这个布局示例中，模拟输入和基准信号走线均部署在电路板下侧，而数字连接走线部署在电路板顶侧。
- 建议使用专用的接地层。
- ADS8688 器件电源必须有效旁路。在 AVDD 引脚和 DVDD 引脚之间放置过孔，必须绕过旁路电容。所有接地引脚必须使用较短的低阻抗路径连接到接地层。
- REFCAP 引脚使用两个去耦电容。第一个电容是小型的 1 μ F、X7R 级 0603 尺寸陶瓷电容器，放置在器件引脚旁，用于对高频信号去耦。另一个电容的电容值为 10 μ F，为器件基准电路提供所需的充电电能。这两个电容必须直连到器件引脚，引脚和电容之间不能有任何过孔。
- 如果使用器件的内部基准，REFIO 引脚也必须用 10 μ F 电容去耦。电容必须放置在靠近器件引脚的位置。

4.8 基于应用的增强特性

有多个器件与引脚兼容且具有相同的输入范围。可根据应用和系统成本选择所需的 ADC。表 5 提供了可考虑选用的不同 ADC 的详细信息。

表 5. 基于应用的 ADC 选择

规范	ADS8698	ADS8688	ADS8688A	ADS8678	ADS8668
分辨率 (位)	18	16	16	14	12
采样率 (最大) (KSPS)	500	500	500	500	500
输入通道的数量	8	8	8	8	8
工作温度范围 (°C)	-40 至 125	-40 至 125	-40 至 125	-40 至 125	-40 至 125
接口	串行 SPI	串行 SPI	串行 SPI	串行 SPI	串行 SPI
输入范围 (V)	± 10.24 ± 5.12 ± 2.56 10.24 5.12	± 10.24 ± 5.12 ± 2.56 10.24 5.12	± 10.24 ± 5.12 ± 2.56 ± 1.28 ± 0.64 10.24 5.12 2.56 1.28	± 10.24 ± 5.12 ± 2.56 ± 1.28 ± 0.64 10.24 5.12 2.56 1.28	± 10.24 ± 5.12 ± 2.56 ± 1.28 ± 0.64 10.24 5.12 2.56 1.28

5 软件说明

5.1 菊花链配置

将器件配置为菊花链模式后，所有器件都接收相同的命令输入。

5.1.1 器件具有选择控制寄存器（地址 = 03h）

该寄存器中的各个位可用于配置以菊花链模式运行的器件 ID，以及配置 SDO 上的输出位格式。

图 13. 特性选择寄存器

7	6	5	4	3	2	1	0
DEV[1:0]		1	0	1	SDO[2:0]		
R/W	R/W	R	R	R	R/W	R/W	R/W

图例：R/W = 读/写；R = 只读

表 6. 特性选择寄存器字段说明

位	字段	类型	复位	说明
7:6	DEV[1:0]	R/W	0h	器件 ID 位。 00 = 菊花链模式下器件 0 的 ID 01 = 菊花链模式下器件 1 的 ID 10 = 菊花链模式下器件 2 的 ID 11 = 菊花链模式下器件 3 的 ID
5	1	R	1h	必须始终置为 1
4	0	R	0h	必须始终设为 0
3	1	R	1h	必须始终置为 1
2:0	SDO[2:0]	R/W	0h	SDO 数据格式位（请参见表 7）。

表 7. SDO 数据格式 对应的程序寄存器位说明

SDO 格式 SDO[2:0]	输出位流起始	输出格式			
		位[24:9]	位[8:5]	位[4:3]	位[2:0]
000	第 16 个 SCLK 下降沿； 无延迟	所选通道的转换结果（MSB 优先）	SDO 拉至低电平		
001	第 16 个 SCLK 下降沿； 无延迟	所选通道的转换结果（MSB 优先）	通道地址	SDO 拉至低电平	
010	第 16 个 SCLK 下降沿； 无延迟	所选通道的转换结果（MSB 优先）	通道地址	器件地址	SDO 拉至低电平
011	第 16 个 SCLK 下降沿； 无延迟	所选通道的转换结果（MSB 优先）	通道地址	器件地址	输入范围

表 8. ADS8688 菊花链数据输出序列

字输出（假定已配置全部八个通道）	ADC ₁ （菊花链输入接地）	ADC ₂ （ADC ₁ 用于连接 ADC ₂ 菊花链输入的 SDO）
字 1		CH0
字 2	CH0	
字 3		CH1
字 4	CH1	
字 5		CH2
字 6	CH2	
字 7		CH3
字 8	CH3	
字 9		CH4
字 10	CH4	
字 11		CH5
字 12	CH5	
字 13		CH6
字 14	CH6	
字 15		CH7
字 16	CH7	

5.1.1.1 通过菊花链实现同步采样

将电压输入连接到 ADC₁，将电流输入连接到 ADC₂，即可通过保护继电器实现同步采样。由于两个 ADC 的采样同时进行，可实现高水平同步采样。唯一的误差可能是由两个 ADC 内部振荡器的相位差引起的。

实现同步采样的原则如下：

- 确保两个 ADC 片选之间延迟最短。
- 确保使用相同的基准以减少误差同时实现节能（将 ADC₁ 基准连接到 ADC₂ 基准，并禁用 ADC₂ 内部基准）。

5.2 ADC 输入配置

范围选择寄存器（地址 = 05h（通道 0）、06h（通道 1）、07h（通道 2）、08h（通道 3）、09h（通道 4）、0Ah（通道 5）、0Bh（通道 6）、0Ch（通道 7））

这些寄存器用于为各个通道（对于 ADS8688，n = 0 至 7）选择输入范围。这些寄存器的默认值为 00h。

图 14. 通道 n 输入范围寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	Range_CHn[2:0]		
R	R	R	R	R	R/W	R/W	R/W

图例：R/W = 读/写；R = 只读

表 9. 通道 n 输入范围寄存器字段说明

位	字段	类型	复位	说明
7:3	0	R	0h	必须始终设为 0
2:0	Range_CHn[2:0]	R/W	0h	通道 n（对于 ADS8684，n = 0 至 3；对于 ADS8688，n = 0 至 7）输入范围选择位。 000 = 输入范围设为 $\pm 2.5 \times V_{REF}$ 001 = 输入范围设为 $\pm 1.25 \times V_{REF}$ 010 = 输入范围设为 $\pm 0.625 \times V_{REF}$ 101 = 输入范围设为 0 至 $2.5 \times V_{REF}$ 110 = 输入范围设为 0 至 $1.25 \times V_{REF}$

5.2.1 ADC 增益控制 — 可编程增益放大器 (PGA)

器件为每个模拟输入通道单独提供一个可编程增益放大器 (PGA)，用于将原始单端输入信号转换为全差分信号，以驱动内部 16 位 ADC。PGA 还会调节输入信号共模电平，然后再馈送到 ADC 以确保最大限度地利用 ADC 输入动态范围。根据输入信号范围的不同，可设置程序寄存器中的 Range_CHn[2:0]（n = 0 至 3 或 7）位来相应地调整 PGA 增益。Range_CHn[2:0] 位的默认或上电状态为 000，对应于输入信号范围 $\pm 2.5 \times V_{REF}$ 。表 10 列出了 Range_CHn[2:0] 位针对不同模拟输入电压范围的各种配置。

PGA 使用高度匹配电阻网络来实现多种增益配置。可精确调整所有通道上这些电阻与放大器之间的匹配关系，从而保持所有通道和输入范围的总体增益误差较低。

表 10. 输入范围选择位配置

模拟输入范围	Range_CHn[2:0]		
	位 2	BIT 1	位 0
$\pm 2.5 \times V_{REF}$	0	0	0
$\pm 1.25 \times V_{REF}$	0	0	1
$\pm 0.625 \times V_{REF}$	0	1	0
0 至 $2.5 \times V_{REF}$	1	0	1
0 至 $1.25 \times V_{REF}$	1	1	0

5.3 ADC 采样

5.3.1 自动扫描序列控制寄存器

在 AUTO_RST 模式下，器件会按升序自动扫描预选的通道，且每次转换都会选择一个新通道。各个通道可选择性地包含在自动扫描序列中。对于未选择进行自动排序的各通道，可分别关断其模拟前端电路。

5.3.2 手动通道选择包括辅助通道 — 命令寄存器 说明

命令寄存器为 16 位只写寄存器，用于设置 ADS8688 的工作模式。该寄存器中的设置用于选择通道排序模式 (AUTO_RST 或 MAN_Ch_n)，配置器件待机 (STDBY) 或关断 (PWR_DN) 模式以及将程序寄存器复位 (RST) 为默认值。表 11 列出了该寄存器的所有命令设置。在上电或复位期间，命令寄存器的默认内容全部为 0，器件将等待一条写入命令，然后再进入其他工作模式。CS 信号变为高电平时，器件将在该特定数据帧结束时执行此命令。

表 11. 命令寄存器映射

寄存器	MSB 字节								LSB 字节	命令 (十六进制)	下一帧操作
	B15	B14	B13	B12	B11	B10	B9	B8	B[7:0]		
继续运行 (NO_OP)	0	0	0	0	0	0	0	0	0000 0000	0000h	继续以之前的模式运行
待机 (STDBY)	1	0	0	0	0	0	1	0	0000 0000	8200h	器件进入待机模式
断电 (PWR_DN)	1	0	0	0	0	0	1	1	0000 0000	8300h	将器件断电
复位程序寄存器 (RST)	1	0	0	0	0	1	0	1	0000 0000	8500h	将程序寄存器复位为默认值
自动通道排序和复位 (AUTO_RST)	1	0	1	0	0	0	0	0	0000 0000	A000h	复位后启用自动模式
手动选择通道 0 (MAN_Ch_0)	1	1	0	0	0	0	0	0	0000 0000	C000h	选择通道 0 输入
手动选择通道 1 (MAN_Ch_1)	1	1	0	0	0	1	0	0	0000 0000	C400h	选择通道 1 输入
手动选择通道 2 (MAN_Ch_2)	1	1	0	0	1	0	0	0	0000 0000	C800h	选择通道 2 输入
手动选择通道 3 (MAN_Ch_3)	1	1	0	0	1	1	0	0	0000 0000	CC00h	选择通道 3 输入
手动选择通道 4 (MAN_Ch_4) ⁽¹⁾	1	1	0	1	0	0	0	0	0000 0000	D000h	选择通道 4 输入
手动选择通道 5 (MAN_Ch_5)	1	1	0	1	0	1	0	0	0000 0000	D400h	选择通道 5 输入
手动选择通道 6 (MAN_Ch_6)	1	1	0	1	1	0	0	0	0000 0000	D800h	选择通道 6 输入
手动选择通道 7 (MAN_Ch_7)	1	1	0	1	1	1	0	0	0000 0000	DC00h	选择通道 7 输入
手动选择 AUX (MAN_AUX)	1	1	1	0	0	0	0	0	0000 0000	E000h	选择 AUX 通道输入

⁽¹⁾ 阴影部分表示 4 通道版本器件中不包含的位或寄存器。

5.3.3 自动扫描序列使能寄存器（地址 = 01h）

该寄存器选择以 AUTO_RST 模式排序的各个通道。该寄存器的默认值为 FFh，表示默认情况下所有通道都包含在自动扫描序列中。

图 15. AUTO_SEQ_EN 寄存器

7	6	5	4	3	2	1	0
CH7_EN	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

图例：R/W = 读/写

表 12. AUTO_SEQ_EN 字段说明

位	字段	类型	复位	说明
7	CH7_EN	R/W	1h	通道 7 使能。 0 = 未选中通道 7 以 AUTO_RST 模式排序 1 = 已选中通道 7 以 AUTO_RST 模式排序
6	CH6_EN	R/W	1h	通道 6 使能。 0 = 未选中通道 6 以 AUTO_RST 模式排序 1 = 已选中通道 6 以 AUTO_RST 模式排序
5	CH5_EN	R/W	1h	通道 5 使能。 0 = 未选中通道 5 以 AUTO_RST 模式排序 1 = 已选中通道 5 以 AUTO_RST 模式排序
4	CH4_EN	R/W	1h	通道 4 使能。 0 = 未选中通道 4 以 AUTO_RST 模式排序 1 = 已选中通道 4 以 AUTO_RST 模式排序
3	CH3_EN	R/W	1h	通道 3 使能。 0 = 未选中通道 3 以 AUTO_RST 模式排序 1 = 已选中通道 3 以 AUTO_RST 模式排序
2	CH2_EN	R/W	1h	通道 2 使能。 0 = 未选中通道 2 以 AUTO_RST 模式排序 1 = 已选中通道 2 以 AUTO_RST 模式排序
1	CH1_EN	R/W	1h	通道 1 使能。 0 = 未选中通道 1 以 AUTO_RST 模式排序 1 = 已选中通道 1 以 AUTO_RST 模式排序
0	CH0_EN	R/W	1h	通道 0 使能。 0 = 未选中通道 0 以 AUTO_RST 模式排序 1 = 已选中通道 0 以 AUTO_RST 模式排序

5.4 ADC 数据采集 SPI

5.4.1 数据采集示例

本节举例说明主机处理器如何使用器件接口来配置器件内部寄存器，以及如何转换和获取对特定输入通道进行采样后的数据。图 16 显示了时序图。

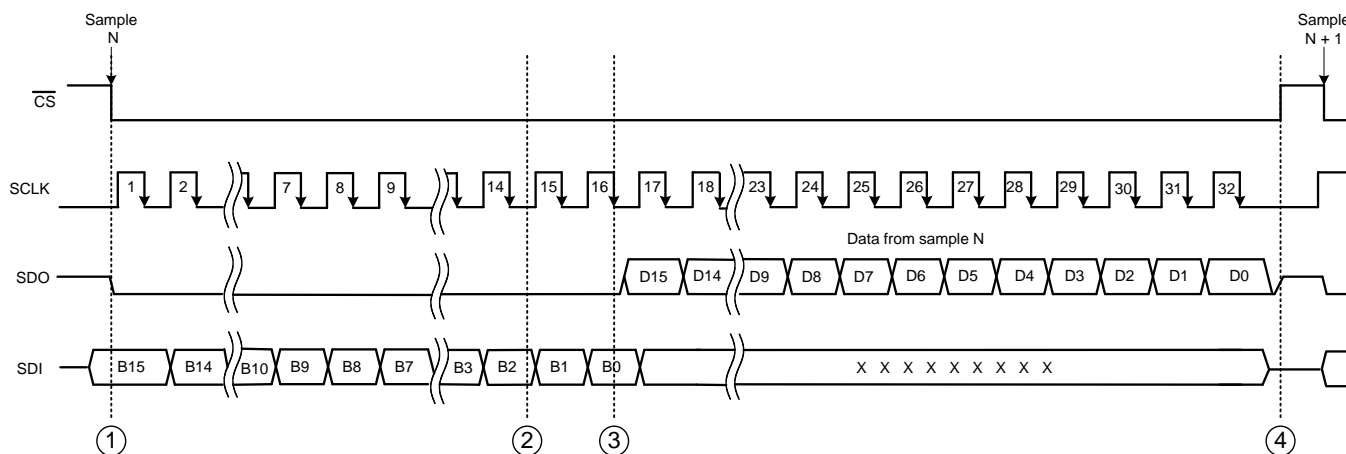


图 16. 使用串行接口的器件工作时序图

图 16 中显示了四个事件。这些事件描述如下：

- 事件 1** — 主机通过 \overline{CS} 信号的下降沿发起数据转换帧。 \overline{CS} 下降沿触发的模拟输入信号由 ADC 采样，并使用内部振荡器时钟进行转换。此数据帧内转换的模拟输入通道在前一个数据帧内选定。在此数据帧内可使用 SDI 和 SCLK 输入端输入器件进行下一次转换所用的内部寄存器设置。此时会启动 SCLK 并在接下来的 16 个 SCLK 周期中，在每个 SCLK 下降沿将 SDI 线上的数据锁存到器件。在此期间，由于第一个 16 个 SCLK 周期内在 SDO 线上器件未输出内部转换数据，SDO 会变为低电平。
- 事件 2** — 在第一个 16 个 SCLK 周期内，器件将完成内部转换过程并将数据传输到转换器内。不过，器件在 SCLK 输入端出现第 16 个下降沿后才会输出 SDO 上的数据位。由于 ADC 转换时间固定（数据表中的电气特性表给出了最大值），第 16 个 SCLK 下降沿必须在内部转换结束后出现，否则器件将输出错误数据。因此，SCLK 频率不得超过器件数据表“时序要求：串行接口”表中给定的最大值。
- 事件 3** — 在 SCLK 信号的第 16 个下降沿，器件读取 SDI 线上输入字的 LSB。器件不会读取 SDO 线上其余数据帧的任何内容。在相同的边沿，SDO 线上输出转换数据的 MSB，并由主机处理器在 SCLK 信号的后一下降沿读取。对于 16 位输出数据，可在第 3 个 SCLK 下降沿读取 LSB。SDO 在后续 SCLK 下降沿输出 0，直到启动下一次转换。
- 事件 4** — 接收到器件的内部数据后，主机会将 \overline{CS} 信号置为低电平，从而终止数据帧。SDO 会进入高阻态，直到启动下一个数据帧，如事件 1 所述。

5.5 ADC 传输特性、范围选择和 RMS 计算

5.5.1 ADC 传输特性

ADS8688 器件是一款多通道器件，所有输入通道均支持单端、双极和单极输入范围。对于单极和双极输入范围，器件输出都直接采用二进制格式。所有模拟通道的输出代码格式均相同。图 17 显示了各 ADC 通道针对所有输入范围的理想传输特性。每个输入信号的满量程 (FSR) 等于正满量程 (PFS) 输入电压与负满量程 (NFS) 输入电压之差。最低有效位 (LSB) 大小等于 $FSR / 216 = FSR / 65536$ (ADC 分辨率为 16 位)。基准电压 $V_{REF} = 4.096V$ 时，不同输入范围对应的 LSB 值列于表 13 中。

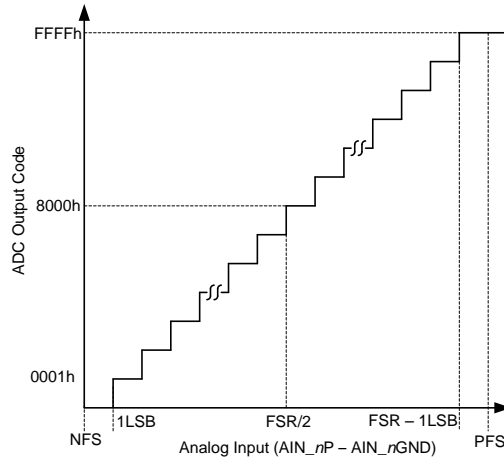


图 17. 16 位 ADC 传输特性 (直接采用二进制格式)

表 13. 不同输入范围对应的 ADC LSB 值 ($V_{REF} = 4.096V$)

输入范围	正满量程	负满量程	满量程	LSB (μV)
$\pm 2.5 \times V_{REF}$	10.24V	-10.24V	20.48V	312.5
$\pm 1.25 \times V_{REF}$	5.12V	-5.12V	10.24V	156.25
$\pm 0.625 \times V_{REF}$	2.56V	-2.56V	5.12V	78.125
0 至 $2.5 \times V_{REF}$	10.24V	0V	10.24V	156.25
0 至 $1.25 \times V_{REF}$	5.12V	0V	5.12V	78.125

5.5.2 范围选择寄存器（地址 = 05h（通道 0）、06h（通道 1）、07h（通道 2）、08h（通道 3）、09h（通道 4）、0Ah（通道 5）、0Bh（通道 6）、0Ch（通道 7））

这些寄存器用于为各个通道（对于 ADS8684，n = 0 至 3；对于 ADS8688，n = 0 至 7）选择输入范围。这些寄存器的默认值为 00h。

图 18. 通道 n 输入范围寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	Range_CHn[2:0]		
R	R	R	R	R	R/W	R/W	R/W

图例：R/W = 读/写；R = 只读

表 14. 通道 n 输入范围寄存器字段说明

位	字段	类型	复位	说明
7:3	0	R	0h	必须始终设为 0。
2:0	Range_CHn[2:0]	R/W	0h	通道 n（对于 ADS8684，n = 0 至 3；对于 ADS8688，n = 0 至 7）输入范围选择位。 000 = 输入范围设为 $\pm 2.5 \times V_{REF}$ 001 = 输入范围设为 $\pm 1.25 \times V_{REF}$ 010 = 输入范围设为 $\pm 0.625 \times V_{REF}$ 101 = 输入范围设为 0 至 $2.5 \times V_{REF}$ 110 = 输入范围设为 0 至 $1.25 \times V_{REF}$

5.5.3 RMS 计算步骤

使用以下步骤计算 RMS（均方根）值：

- Step 1. 将 ADC 配置为双极输入。
- Step 2. 设置所需的电压输入（可变）和频率（50 或 60Hz）。
- Step 3. 以 500kSPS 或所需的采样率对输入采样。
- Step 4. 从所有采样值中减去 $FSR / 2$ （偏移）（ADC 为单极）。
- Step 5. 计算所有采样值和累加值的平方值。
- Step 6. 对累加的采样次数进行计数。
- Step 7. 用累加采样值除以累加采样次数。
- Step 8. 计算累加采样值的平方根。
- Step 9. 编制与所配置的输入范围相对应的代码（例如：10.24V = 满量程）。

6 测试设置

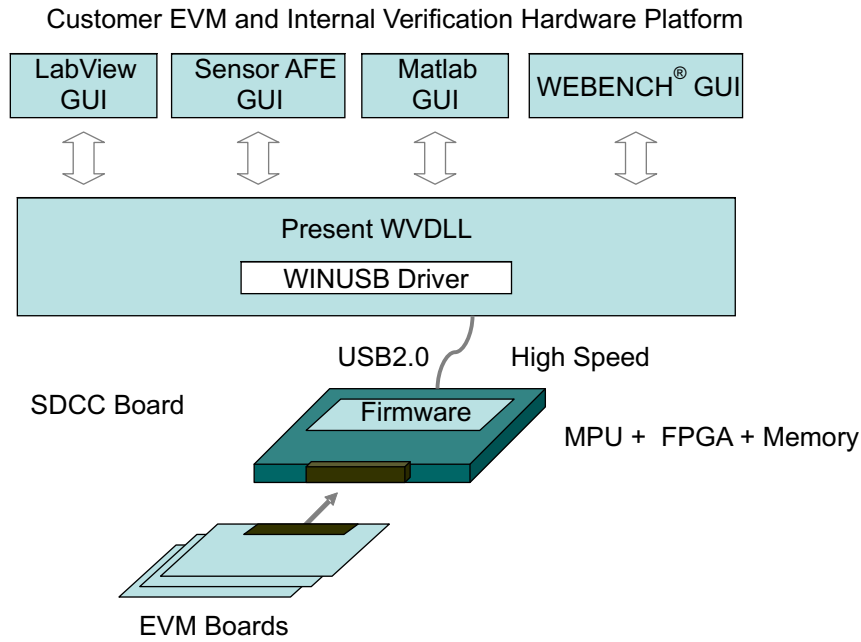


图 19. 用于捕捉 ADC 数据的 GUI

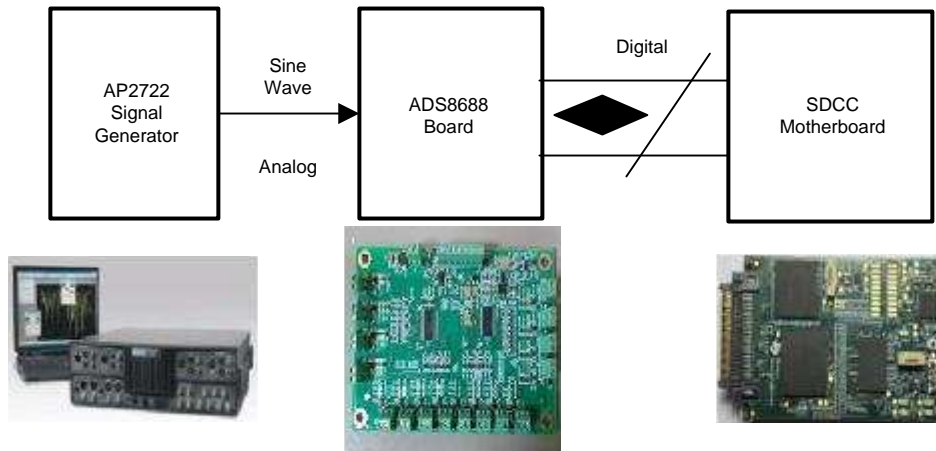


图 20. ADC 测量设置

基于 LabVIEW 的 GUI 用于连接 SDCC 主板。SDCC 主板通过 SPI 接口连接 ADS8688 电路板。

7 测试结果

7.1 特性测试

表 15. DC 电压测量

参数		测量值
模拟电源	AVDD + 5V DC	4.995 至 4.996
I/O 电源	DVDD + 3.3 DC	3.299 至 3.301
ADC 基准	REFIO 4.096	4.097 至 4.098

7.2 ADC 特性

7.2.1 菊花链模式特性测试

ADC₁ 和 ADC₂ 各自的所有 8 通道均可检测施加的输入电压并提供等效的 ADC 代码。本测试未对精度进行测试。

7.2.2 与 ADC 连接对应的设置

表 16. ADC 接口设置

参数	设置
时钟	编程设定的时钟为 17MHz
帧大小	帧大小为 48 位 (16 个命令位 + CH1 (16 位) + Ch2 (16 位))
采样之间的延迟	>2 个时钟
通道 0 和通道 4 模拟输入	5V DC, 3.5V _{RMS} AC

7.2.3 观察结果

表 17. ADC 输入检测

ADC 通道	交流输入检测		直流输入检测	
	ADC ₁	ADC ₂	ADC ₁	ADC ₂
通道 0	正常	正常	正常	正常
通道 1	正常	正常	正常	正常
通道 2	正常	正常	正常	正常
通道 3	正常	正常	正常	正常
通道 4	正常	正常	正常	正常
通道 5	正常	正常	正常	正常
通道 6	正常	正常	正常	正常
通道 7	正常	正常	正常	正常

7.3 模拟输入电压测量

7.3.1 过程

- 按7.4节和7.6节所述施加交流电压，频率为60Hz
- 使用基于LabVIEW的GUI捕捉采样值
- AM3352处理器通过SPI连接ADS8688器件
- 捕捉多于10K ADC采样值
- 计算所捕捉采样值的RMS
- 在未进行任何软件校准的情况下测量所有误差

表 18. ADC₁ 和 ADC₂ 的输入连接器

通道	ADC ₁ 连接器	ADC ₂ 连接器
通道 0	J2	J13
通道 1	J1	J14
通道 2	J5	J15
通道 3	J6	J16
通道 4	J8	J17
通道 5	J9	J18
通道 6	J3	J10
通道 7	J3	J12

7.4 观察结果

表 19. 采用 $3.5V_{RMS}$ 输入的 ADC 测量结果⁽¹⁾

ADC 通道	ADC ₁ (首个采用菊花链模式, 菊花链输入引脚接地)		ADC ₂ (最后一个采用菊花链模式)	
	施加的输入电压 (V)	测量值 (V)	施加的输入电压 (V)	测量值 (V)
通道 0	3.553	3.5512	3.553	3.552
通道 1	3.551	3.55	3.551	3.5501
通道 2	3.5532	3.5512	3.5532	3.552
通道 3	3.5518	3.55	3.5518	3.5501
通道 4	3.557	3.555	3.557	3.5558
通道 5	3.5532	3.5512	3.5532	3.552
通道 6	3.5518	3.55	3.5518	3.5501
通道 7	3.557	3.555	3.557	3.5558

⁽¹⁾ 测量不确定性为 1 至 2 mV。

表 20. 采用 $500mV_{RMS}$ 输入的 ADC 测量结果⁽¹⁾

ADC 通道	ADC ₁ (首个采用菊花链模式, 菊花链输入引脚接地)		ADC ₂ (最后一个采用菊花链模式)	
	施加的输入电压 (mV)	测量值	施加的输入电压 (mV)	测量值
通道 0	500.1	500.05	500.1	500.05
通道 1	500.2	500.1	500.2	500.1
通道 2	500.4	500.03	500.4	500.04
通道 3	500.2	500.13	500.2	500.13
通道 4	500.4	500.22	500.4	500.28
通道 5	500.2	500.14	500.2	500.19
通道 6	500.4	500.21	500.4	500.27
通道 7	500.2	500.12	500.2	500.16

⁽¹⁾ 测量不确定性为 0.1 至 0.3mV。

7.5 同步采样验证（峰值采样比较法）

当两个器件采用菊花链形式连接并使能相同片选进行采样时，ADC₁ 的 CH0 与 ADC₂ 的 CH0 之间的采样延迟最短。

7.5.1 同步采样验证步骤

- Step 1. 配置 ADC₁ 和 ADC₂ 以获取通道 0 数据。
- Step 2. 施加 60Hz AC 输入。
- Step 3. 使能片选，以最大频率启动转换。
- Step 4. 由于选择了两个通道，数据帧大小为 48 位，每通道吞吐量 ≤ 250kHz（如果转换期间存在一到两个时钟延迟则更小）。
- Step 5. 获取采样值，持续时间 > 100ms。
- Step 6. 比较两个 ADC 输出的最小 ADC 采样值和最大 ADC 采样值。

7.6 采用菊花链模式的同步采样通道的精度结果

测得的所有误差均未经过任何用于增益调整的软件校准。

表 21. 通道 0 的 ADC 精度⁽¹⁾

SL 编号	50Hz, 10.24V 输入范围精度					60Hz, 10.24V 输入范围精度				
	实际值	ADC ₁		ADC ₂		实际值	ADC ₁		ADC ₂	
		测量值	误差 (%)	测量值	误差 (%)		测量值	误差 (%)	测量值	误差 (%)
1	0.5003	0.5068	0.0999	0.5069	0.1199	0.5005	0.5055	0.0000	0.5058	0.0599
2	1.0001	1.0067	0.0600	1.0067	0.0600	0.9995	1.0050	0.0480	1.0050	0.0480
3	1.9998	2.0048	-0.0500	2.0047	-0.0550	2.0010	2.0068	0.0400	2.0068	0.0400
4	2.9998	3.0041	-0.0567	3.0036	-0.0733	3.0010	3.0061	0.0030	3.0061	0.0030
5	4.0010	4.0037	-0.0825	4.0033	-0.0925	4.0002	4.0035	-0.0425	4.0031	-0.0525
6	4.9994	4.9932	-0.2440	4.9927	-0.2540	4.9995	4.9943	-0.2040	4.9937	-0.2160
7	6.0010	5.9940	-0.2166	5.9930	-0.2333	5.9998	5.9931	-0.1950	5.9930	-0.1967
8 个	6.9950	6.9864	-0.2087	6.9857	-0.2187	6.9986	6.9904	-0.1886	6.9895	-0.2015

⁽¹⁾ 这些测量结果均不含软件偏移或增益校准。

表 22. 通道 4 的 ADC 精度⁽¹⁾

SL 编号	50Hz, 10.24V 输入范围精度					60Hz, 10.24V 输入范围精度				
	实际值	ADC ₁		ADC ₂		实际值	ADC ₁		ADC ₂	
		测量值	误差 (%)	测量值	误差 (%)		测量值	误差 (%)	测量值	误差 (%)
1	0.4989	0.5058	0.1804	0.5059	0.2004	0.4994	0.5046	0.0400	0.5051	0.1402
2	0.9960	1.0027	0.0703	1.0034	0.1406	0.9995	1.0052	0.0700	1.0056	0.1101
3	2.0018	2.0075	-0.0150	2.0079	0.0050	1.9985	2.0044	0.0450	2.0046	0.0550
4	2.9998	3.0034	-0.0800	3.0041	-0.0567	2.9992	3.0036	-0.0200	3.0034	-0.0267
5	3.9932	3.9969	-0.0576	3.9971	-0.0526	3.9983	4.0015	-0.0450	4.0022	-0.0275
6	4.9980	4.9935	-0.2101	4.9939	-0.2021	5.0016	4.9963	-0.2059	4.9970	-0.1919
7	6.0054	5.9988	-0.2098	5.9991	-0.2048	5.9985	5.9916	-0.1979	5.9925	-0.1834
8	7.0001	6.9915	-0.2086	6.9919	-0.2029	7.0005	6.9926	-0.1843	6.9895	-0.2286

⁽¹⁾ 这些测量结果均不含软件偏移或增益校准。

为测试 ADS8688 器件的精度性能，施加电压输入。提供负载电阻以施加交流电流输入。

7.7 诊断通道测试

AUX_IN ADC 通道不含前端 PGA，且输入具有如下限制：

表 23. AUX_IN 通道输入范围

参数	测试条件	最小值	典型值	最大值	单位
$V_{(AUX_IN)}$ AUX_IN 电压范围	(AUX_IN – AUX_GND)	0		V_{REF}	V
工作输入电压	AUX_IN	0		V_{REF}	V
	AUX_GND		0		V

表 24. 0V DC 输入时的 AUX_IN 通道测量结果

ADC	0V 输入时的观察结果
ADC ₁	0
ADC ₂	0

表 25. 5V/2 直流输入时的 AUX_IN 通道测量结果

ADC	2.5V (5V/2) 输入时的观察结果
ADC ₁	2.501
ADC ₂	2.502

7.8 过压保护测试

表 26. 过压保护

应用通道	$7V_{RMS}$ 在施加 20V 过压前的 ADC 读数	$7V_{RMS}$ 在施加 20V 过压后的 ADC 读数
ADC ₁ - 通道 1	6.998	6.998
ADC ₂ - 通道 1	6.997	6.997

注： 输出电压在 10.24V 峰值输入后达到饱和。

为仿真过压保护条件，需施加 20V AC 峰值输入，且持续时间 > 5s。

7.9 ADS8688 的精度性能

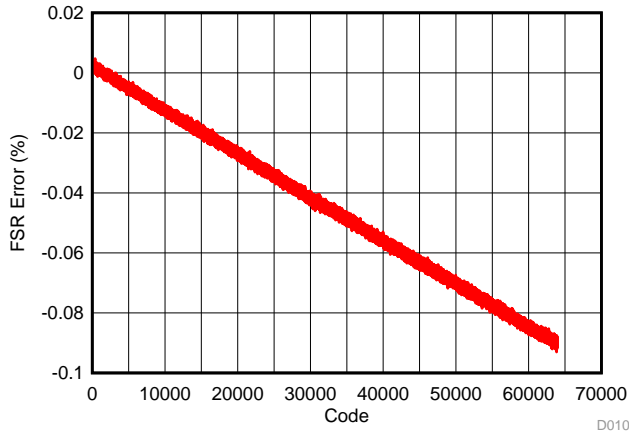


图 21.0 至 5V 范围, 编码与 FSR 误差 (%) 间的关系 (校准前)

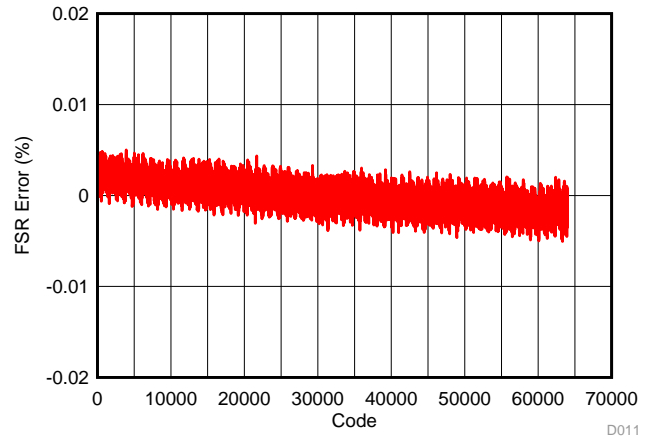


图 22.0 至 5V 范围, 编码与 FSR 误差 (%) 间的关系 (校准后)

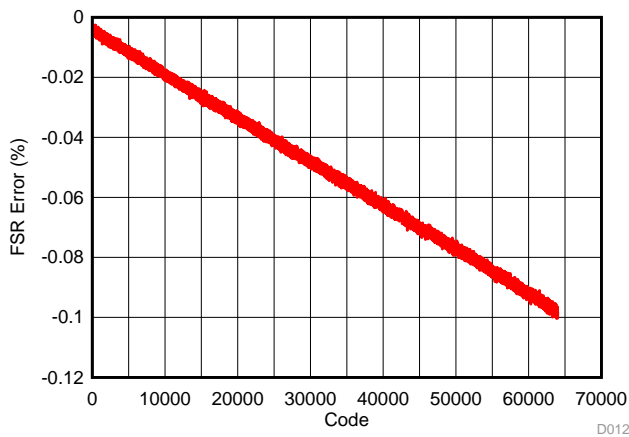


图 23.0 至 10V 范围, 编码与 FSR 误差 (%) 间的关系 (校准前)

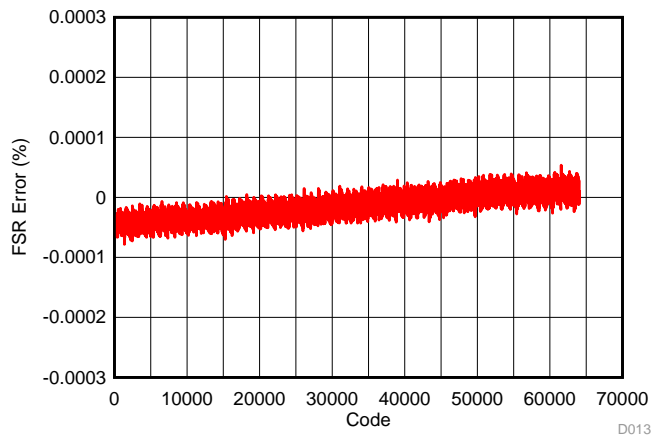


图 24.0 至 10V 范围, 编码与 FSR 误差 (%) 间的关系 (校准后)

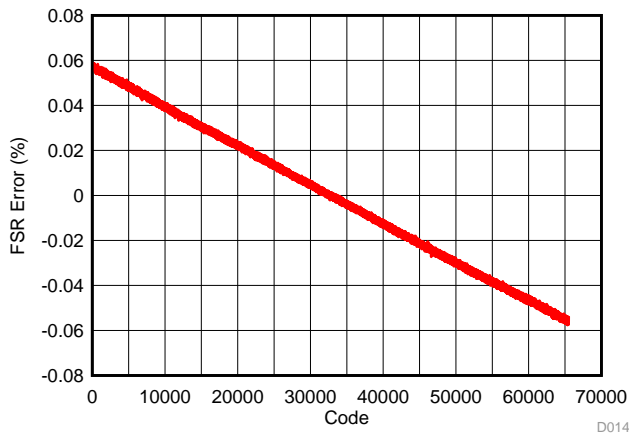


图 25. ±10V 范围, 编码与 FSR 误差 (%) 间的关系 (校准前)

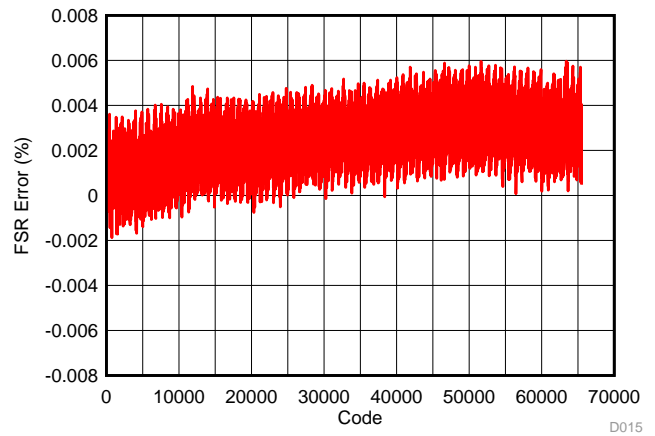


图 26. ±10V 范围, 编码与 FSR 误差 (%) 间的关系 (校准后)

7.10 认证前测试

已执行以下 EMC 标准测试。

- 静电放电 (ESD), IEC61000-4-2
- 浪涌, IEC61000-4-5

表 27. 性能标准

标准	性能 (通过) 标准
A	ADC 模块继续按预期运行。测试过程中无特性或性能损失。
B	允许性能暂时下降。测试完成后, ADC 模块在无人工干预的情况下应能够按预期继续运行。
C	允许测试期间存在特性损失, 但硬件或软件不得损坏。测试完成后, ADC 模块经手动重启或者掉电/上电后应能够自动按预期继续运行。

后续章节将介绍测试设置、步骤和观察结果。

7.10.1 静电放电 (ESD): IEC61000-4-2

模拟输入连接器的 ESD 等级和预期性能标准如下:

表 28. ESD 测试条件

通用测试标准	测试等级	性能
ESDIEC 61000-4-2	信号线上施加 4kV 接触放电	标准 B (测试完成后, ADC 模块按预期继续运行)

表 29. ESD 测试结果

测试编号	测试模式	观察结果
1	接触放电 1kV	通过
2	接触放电 -1kV	通过
3	接触放电 2kV	通过
4	接触放电 -2kV	通过
5	接触放电 4kV	通过
6	接触放电 -4kV	通过

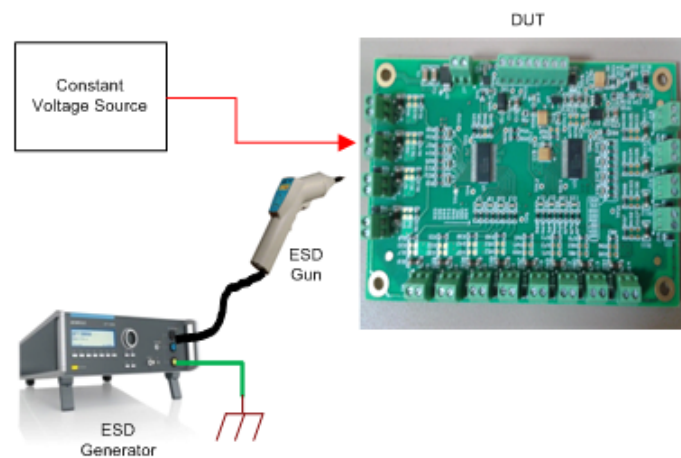


图 27. ESD 设置

7.10.2 浪涌 - IEC61000-4-5

7.10.2.1 测试等级和预期性能

I/O 连接器的共模浪涌和预期性能标准如下:

表 30. 浪涌测试条件

通用测试标准	测试等级	性能
浪涌 IEC 61000-4-5	±1kV, 信号线	标准 B (测试完成后, ADC 模块按预期继续运行)

表 31. 浪涌测试结果

测试编号	测试模式	观察结果
1	0.5kV	通过
2	-0.5kV	通过
3	1kV	通过
4	-1kV	通过

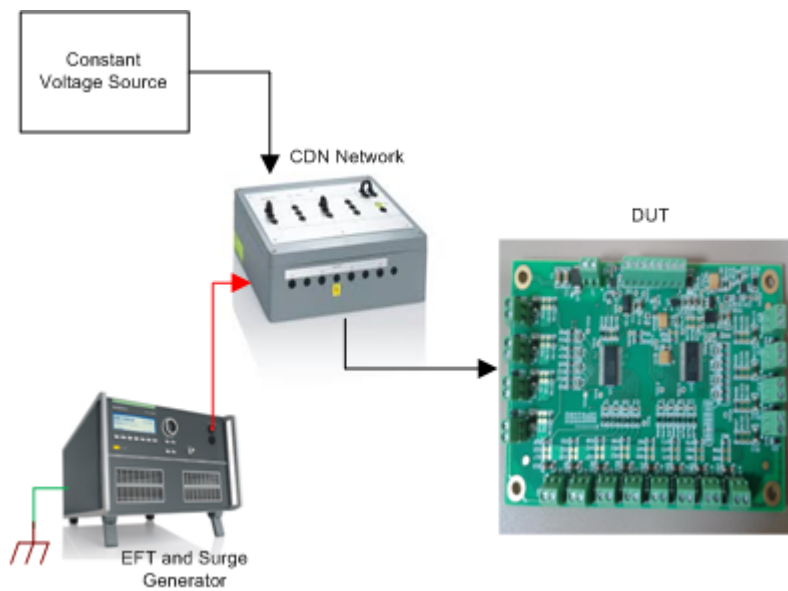


图 28. 浪涌测试设置

7.11 汇总

表 32. 测试结果汇总

测试	结果
菊花链	菊花链支持两个 ADC。在 500kHz 时捕捉采样值
对所有通道进行采样	两个 ADC 按预期检测到所有通道上施加的模拟输入
精度	无软件校准时 < ±0.25%
EMC 测试	通过 ESD 和浪涌测试

8 设计文件

8.1 电路原理图

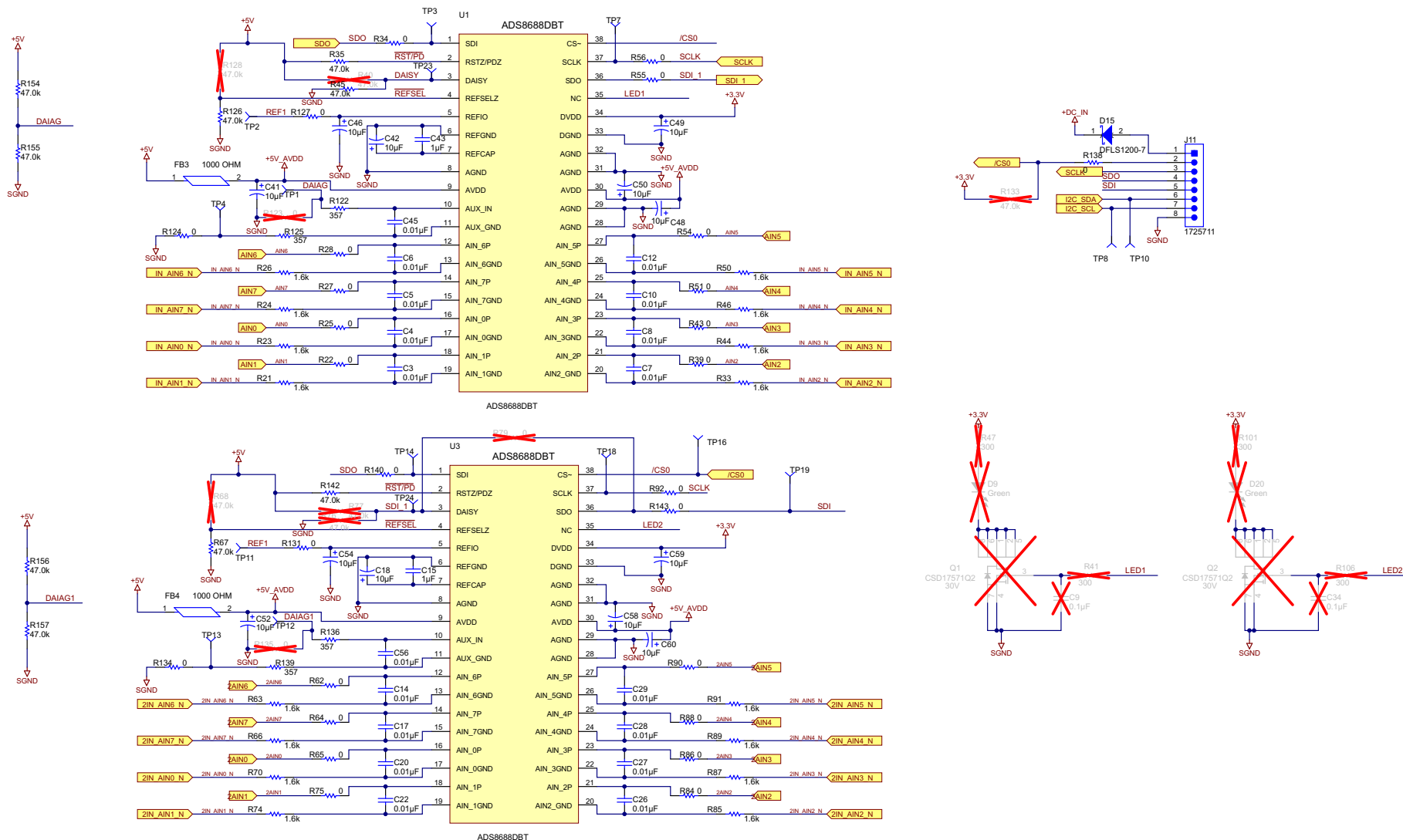


图 29. ADC₁ 和 ADC₂ 电路原理图

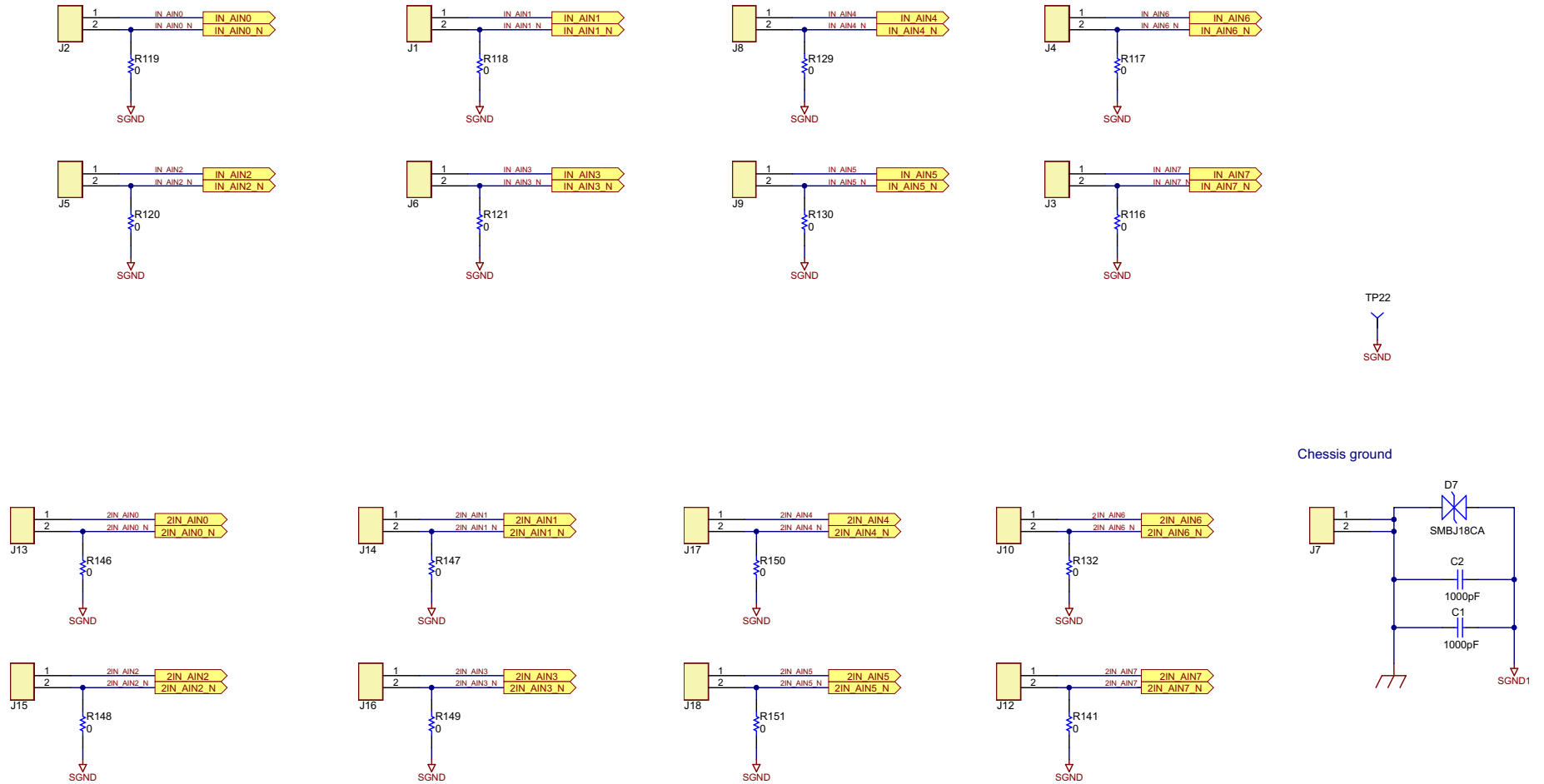


图 30. ADC₁ 和 ADC₂ 输入电路原理图

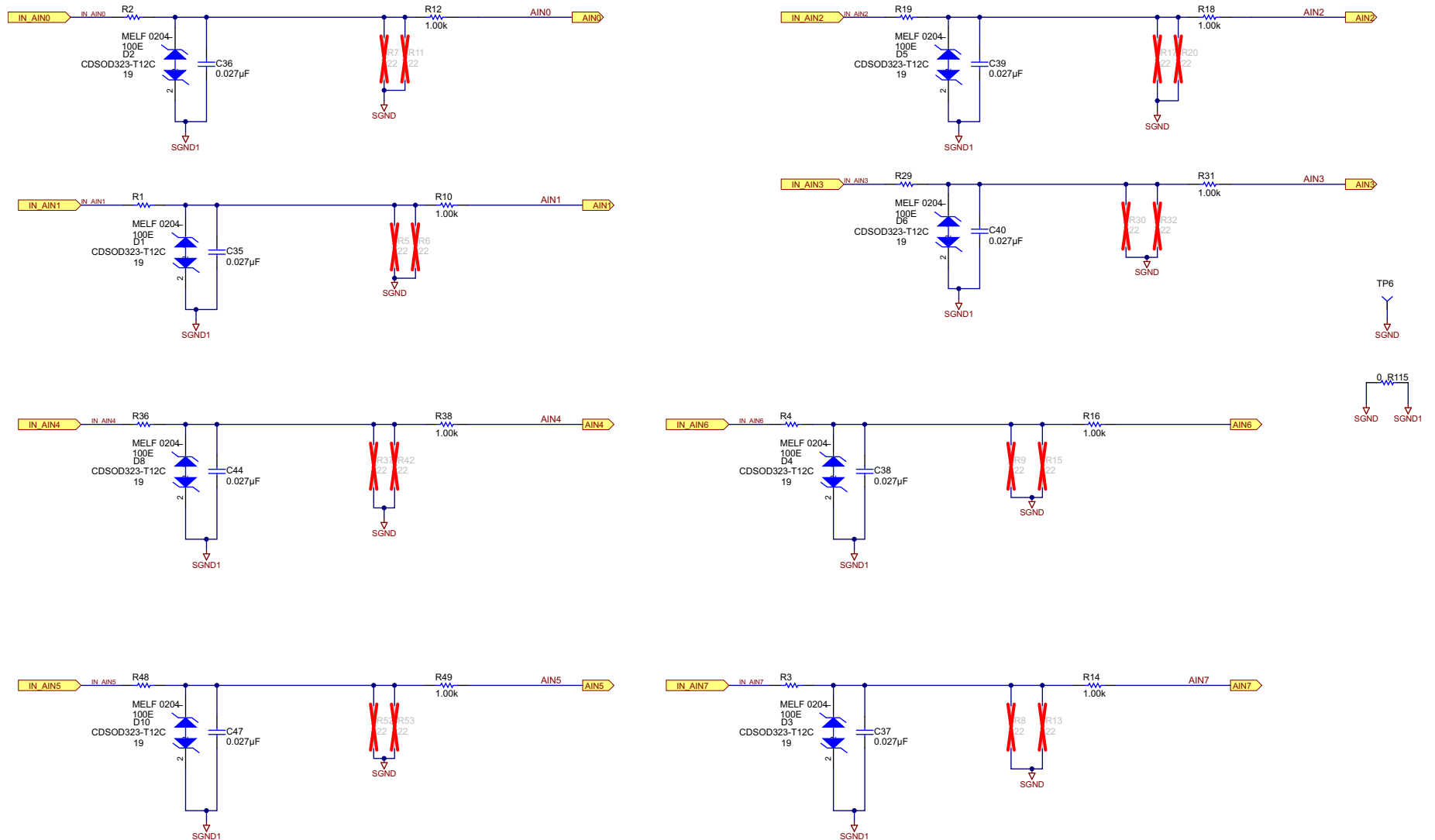


图 31. ADC₁ 滤波器电路原理图

AN0 to AN3

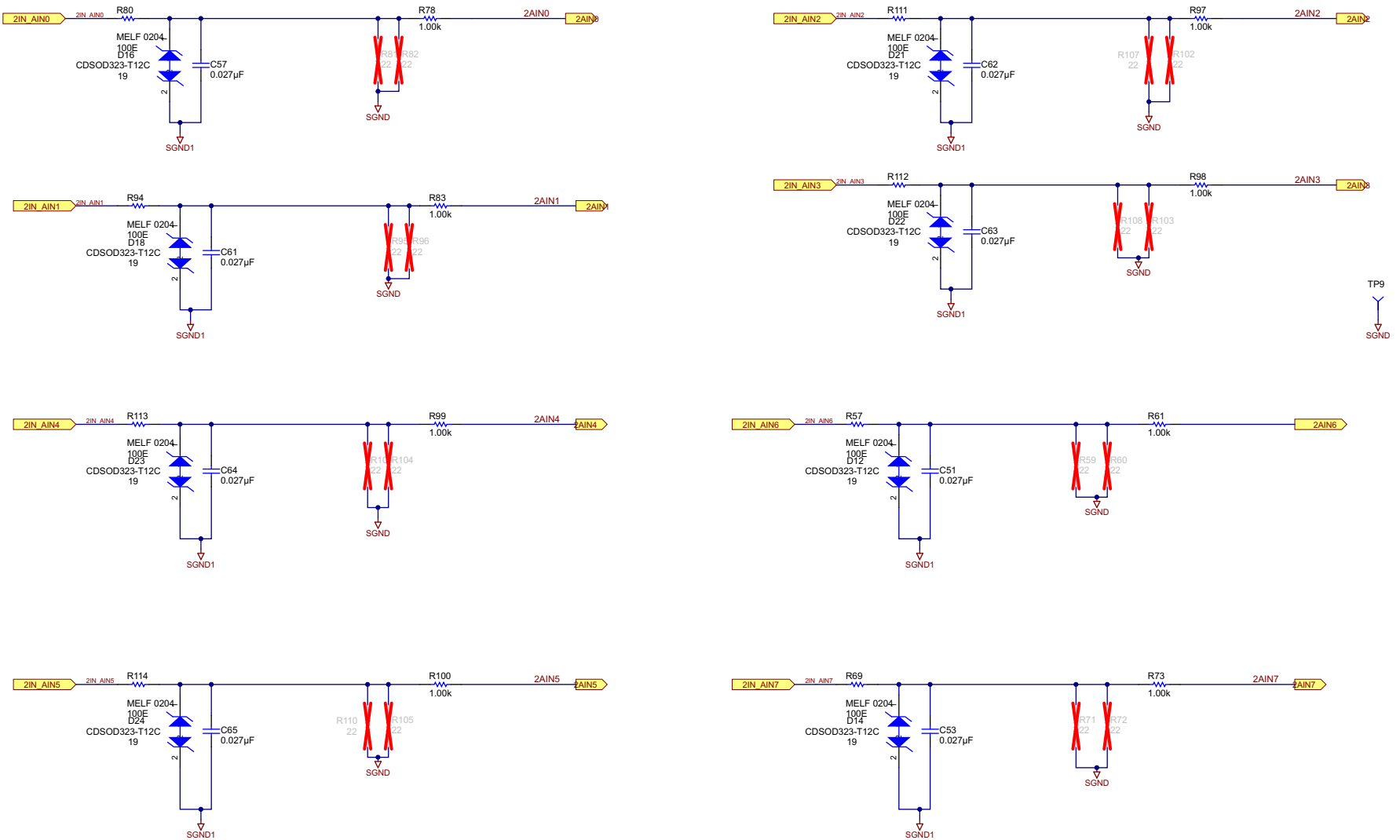


图 32. ADC₂ 滤波器电路原理图

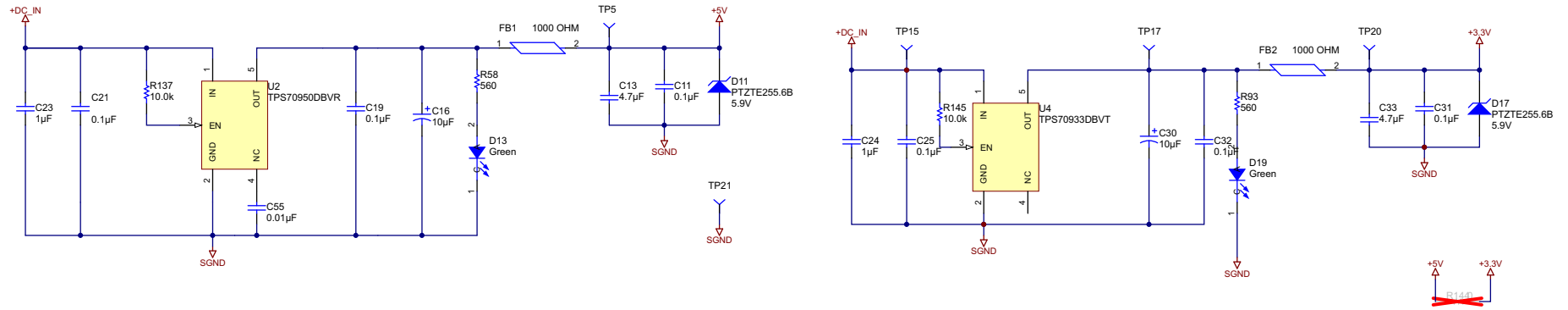


图 33. 电源电路原理图

8.2 物料清单

要下载物料清单 (BOM), 请参见 [TIDA-00307](#) 的设计文件。

表 33. BOM

项目	数量	基准	是否已安装	部件说明	制造商	制造商部件号	PCB 封装
2	2	C1, C2	已安装	电容, 陶瓷, 1000pF, 2kV 10%, X7R, 1206	Johanson Dielectrics Inc	202R18W102kV4E	603
3	18	C3, C4, C5, C6, C7, C8, C10, C12, C14, C17, C20, C22, C26, C27, C28, C29, C45, C56	已安装	电容, 陶瓷, 0.01uF, 100V, ± 5%, X7R, 0603	AVX	06031C103JAT2A	603
4	0	C9, C34	未安装	电容, 陶瓷, 0.1uF, 25V, ± 5%, X7R, 0603	AVX	06033C104JAT2A	603
5	6	C11, C19, C21, C25, C31, C32	已安装	电容, 陶瓷, 0.1uF, 50V, ± 10%, X7R, 0603	Kemet (基美)	C0603C104K5RACTU	0805_HV
6	2	C13, C33	已安装	电容, 陶瓷, 4.7uF, 50V, ± 10%, X5R, 0805	TDK	C2012X5R1H475K125AB	603
7	2	C15, C43	已安装	电容, 陶瓷, 1uF, 16V, ± 10%, X7R, 0603	太阳诱电 (Taiyo Yuden)	EMK107B7105KA-T	3528-21
8	14	C16, C18, C30, C41, C42, C46, C48, C49, C50, C52, C54, C58, C59, C60	已安装	电容, 钽, 10uF, 16V, ± 10%, 2Ω, SMD	威世斯普拉格 (Vishay-Sprague)	T491B106K016AT	805
9	2	C23, C24	已安装	电容, 陶瓷, 1uF, 50V, ± 10%, X7R, 0805	AVX	08055C105KAT2A	1206
10	16	C35, C36, C37, C38, C39, C40, C44, C47, C51, C53, C57, C61, C62, C63, C64, C65	已安装	电容, 陶瓷, 0.027uF, 50V, ± 5%, C0G/NP0, 1206	村田 (Murata)	GRM3195C1H273JA01D	603
11	1	C55	已安装	电容, 陶瓷, 0.01uF, 50V, ± 5%, X7R, 0603	Kemet (基美)	C0603C103J5RACTU	sod-323
12	16	D1, D2, D3, D4, D5, D6, D8, D10, D12, D14, D16, D18, D21, D22, D23, D24	已安装	二极管, TVS, 阵列, 19V, SOD323	Bourns Inc.	CDSOD323-T12C	DIO_SMB_BIAAAA
13	1	D7	已安装	TVS, 18V, 600W, 双向, SMB	力特公司 (Littelfuse Inc)	SMBJ18CA	LED0603AA
14	0	D9, D20	未安装	LED SmartLED 绿色 570NM	欧司朗	LG L29K-G2J1-24-Z	powerDI123
15	2	D11, D17	已安装	二极管, 齐纳二极管, 5.9V, 1W, PMDS	罗姆半导体 (Rohm Semiconductor)	PTZTE255.6B	LED0603AA
16	2	D13, D19	已安装	LED SmartLED 绿色 570NM	欧司朗	LG L29K-G2J1-24-Z	powerDI123
17	1	D15	已安装	二极管, 肖特基, 200V, 1A, PowerDI123	Diodes Inc.	DFLS1200-7	FB 0603
18	4	FB1, FB2, FB3, FB4	已安装	铁氧体芯片, 1000Ω, 300MA, 0603	TDK 株式会社 (TDK Corporation)	MMZ1608B102C	FID_TOP_40_80BA
20	4	H1, H2, H3, H4	已安装	机械螺钉, 圆头, #4-40 x 1/4, 尼龙, Philips 盘形头	B&F 紧固件供应商	NY PMS 440 0025 PH	CN2_MTB_P100_PD80_D1.1_S5.54X6.5_STACK

表 33. BOM (continued)

项目	数量	基准	是否已安装	部件说明	制造商	制造商部件号	PCB 封装
21	17	J1, J2, J3, J4, J5, J6, J7, J8, J9, J10, J12, J13, J14, J15, J16, J17, J18	已安装	引脚块, 4x1, 2.54mm, TH	On Shore Technology Inc	OSTVN02A150	CONN_1725711
22	1	J11	已安装	引脚块, 8x1, 2.54mm, TH	菲尼克斯 (Phoenix Contact)	1725711	Label_650x200
24	0	Q1, Q2	未安装	MOSFET, N 沟道, 30V, 22A, SON 2X2mm	德州仪器 (TI)	CSD17571Q2	1206
25	16	R1, R2, R3, R4, R19, R29, R36, R48, R57, R69, R80, R94, R111, R112, R113, R114	已安装	电阻 100Ω, 4W, 1%, 0204, MELF	威世贝士拉革 (Vishay Beyschlag)	MMA02040C1000FB300	603
26	0	R5, R6, R7, R8, R9, R11, R13, R15, R17, R20, R30, R32, R37, R42, R52, R53, R59, R60, R71, R72, R81, R82, R95, R96, R102, R103, R104, R105, R107, R108, R109, R110	未安装	电阻, 22Ω, 1%, 0.1W, 0603	威世达勒 (Vishay-Dale)	CRCW060322R0FKEA	603
27	16	R10, R12, R14, R16, R18, R31, R38, R49, R61, R73, R78, R83, R97, R98, R99, R100	已安装	电阻, 1.00kΩ, 1%, 0.1W, 0603	威世达勒 (Vishay-Dale)	CRCW06031K00FKEA	603
28	16	R21, R23, R24, R26, R33, R44, R46, R50, R63, R66, R70, R74, R85, R87, R89, R91	已安装	电阻, 1.6kΩ, 5%, 0.1W, 0603	Vishay-Dale	CRCW06031K60JNEA	603
29	27	R22, R25, R27, R28, R34, R39, R43, R51, R54, R55, R56, R62, R64, R65, R75, R84, R86, R88, R90, R92, R124, R127, R131, R134, R138, R140, R143	已安装	电阻, 0Ω, 5%, 0.1W, 0603	国巨 (Yageo America)	RC0603JR-070RL	603
30	9	R35, R45, R67, R126, R142, R154, R155, R156, R157	已安装	电阻, 47.0kΩ, 1%, 0.1W, 0603	威世达勒 (Vishay Dale)	CRCW060347K0FKEA	603
31	0	R40, R68, R76, R77, R128, R133	未安装	电阻, 47.0kΩ, 1%, 0.1W, 0603	威世达勒 (Vishay Dale)	CRCW060347K0FKEA	603
32	0	R41, R47, R101, R106	未安装	电阻, 300Ω, 5%, 0.1W, 0603	威世达勒 (Vishay-Dale)	CRCW0603300RJNEA	603
33	2	R58, R93	已安装	电阻, 560Ω, 5%, 0.1W, 0603	威世达勒 (Vishay-Dale)	CRCW0603560RJNEA	603
34	0	R79, R123, R135	未安装	电阻, 0Ω, 5%, 0.1W, 0603	国巨 (Yageo America)	RC0603JR-070RL	1206
35	17	R115, R116, R117, R118, R119, R120, R121, R129, R130, R132, R141, R146, R147, R148, R149, R150, R151	已安装	电阻, 0Ω, 5%, 0.25W, 1206	国巨 (Yageo America)	RC1206JR-070RL	603
36	4	R122, R125, R136, R139	已安装	电阻, 357Ω, 1%, 0.1W, 0603	威世达勒 (Vishay-Dale)	CRCW0603357RFKEA	603
37	2	R137, R145	已安装	电阻, 10.0kΩ, 1%, 0.1W, 0603	威世达勒	CRCW060310K0FKEA	805
38	0	R144	未安装	电阻, 0Ω, 5%, 0.125W, 0805	国巨 (Yageo America)	RC0805JR-070RL	TP1_PD40_D0.5_S50
39	24	TP1, TP2, TP3, TP4, TP5, TP6, TP7, TP8, TP9, TP10, TP11, TP12, TP13, TP14, TP15, TP16, TP17, TP18, TP19, TP20, TP21, TP22, TP23, TP24	已安装	测试点, 40mil 焊盘, 20mil 钻孔	STD	STD	DBT0038A_M
40	2	U1, U3	已安装	16 位, 500KSPS, 8 通道, SAR ADC	TI	ADS8688DBT	DBV0005A_N
41	1	U2	已安装	IC REG LDO 5V, 0.15A SOT23-5	德州仪器 (TI)	TPS70950DBVR	DBV0005A_N
42	1	U4	已安装	IC REG LDO 3.3V, 0.15A SOT23-5	德州仪器 (TI)	TPS70933DBVT	

8.3 PCB 布局布线

要下载板层图，请参见 [TIDA-00307](#) 的设计文件。

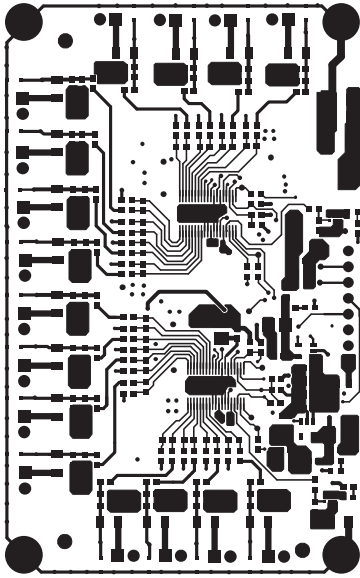


图 34. 顶层



图 35. 接地层

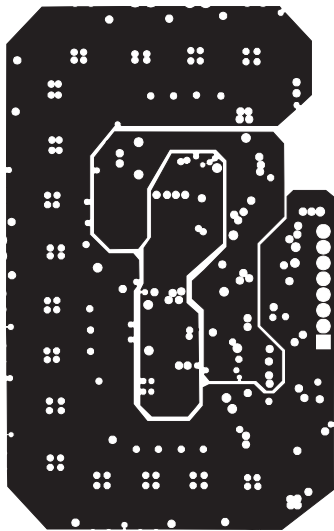


图 36. 电源层

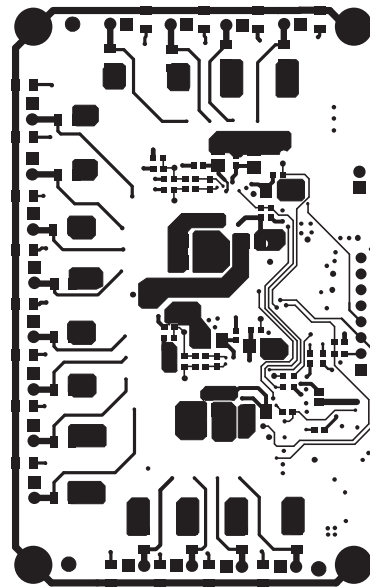


图 37. 底层

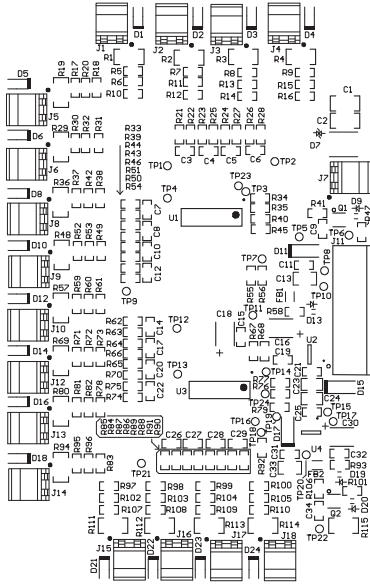


图 38. 顶部覆盖层

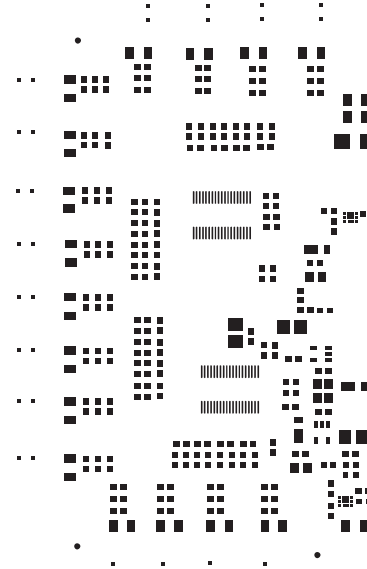


图 39. 顶层锡膏防护层

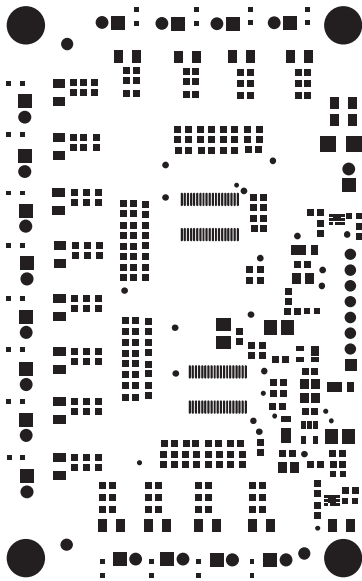


图 40. 顶层阻焊层

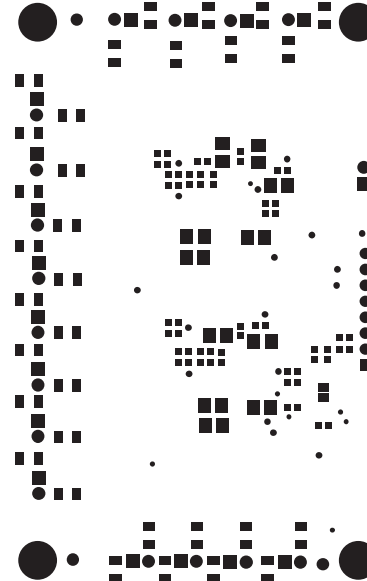


图 41. 底层阻焊层

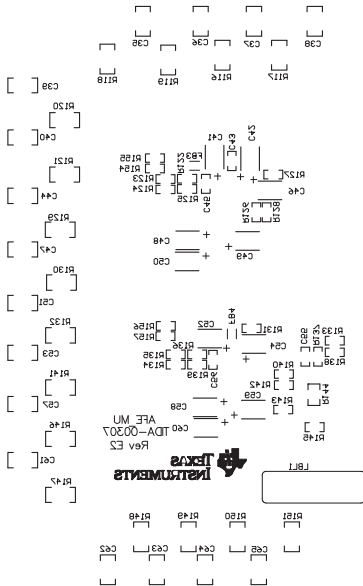


图 42. 底部覆盖层

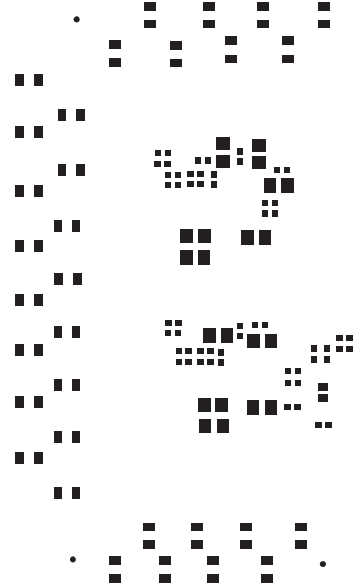


图 43. 顶层锡膏防护层

8.4 光绘文件

要下载光绘文件，请参见 TIDA-00307 的设计文件。

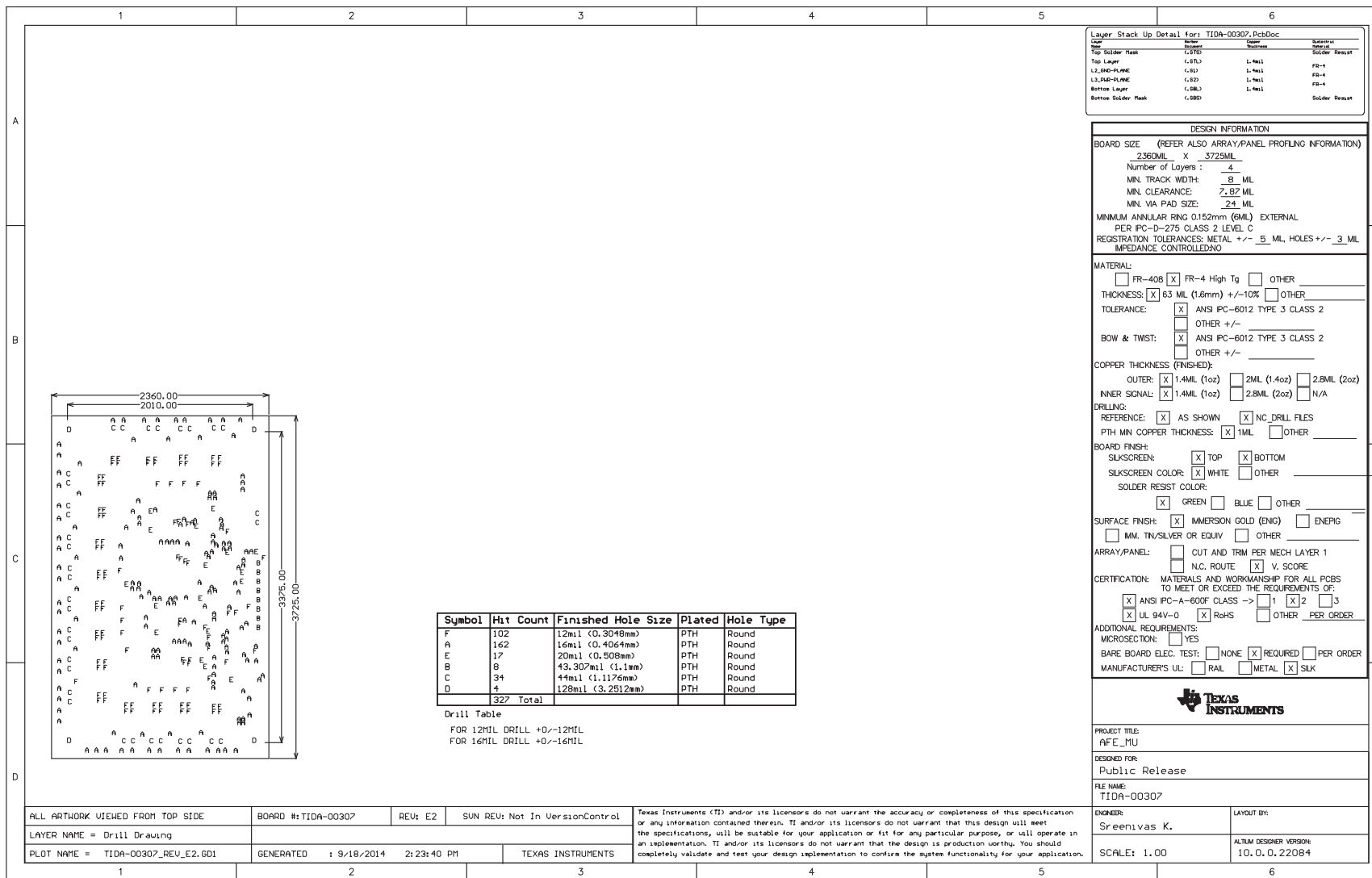


图 44. 制造层

8.5 Altium 项目

要下载 Altium 项目文件，请参见 TIDA-00307 的设计文件。

The image shows a screenshot of an Altium project file for a PCB. The main area displays a top-down view of a green PCB with red solder mask and various components. Dimensions are shown as 1000 (mm) in width and 3725.00 (mm) in height. A grid is visible in the bottom left corner.

On the right side, there is a 'Layer Stack Up Detail' table for TIDA-00307.PcbDoc:

Layer	Material	Thickness	Notes
Top Solder Mask	C075		Solder Mask
Top Layer	C075	1.401	FR-4
L3,PRE-PLANE	C080	1.401	FR-4
L3,PAD-PLANE	C080	1.401	FR-4
Bottom Layer	C080	1.401	FR-4
Bottom Solder Mask	C080		Solder Mask

Below the table is the 'DESIGN INFORMATION' section, which includes:

- BOARD SIZE:** 2360MIL X 3725MIL
- Number of Layers:** 4
- MIN. TRACK WIDTH:** 8 MIL
- MIN. CLEARANCE:** 7.87 MIL
- MIN. VIA PAD SIZE:** 24 MIL
- MINIMUM ANNULAR RING:** 0.152mm (6MIL) EXTERNAL
- PER IPC-D-275 CLASS 2 LEVEL C**
- REGISTRATION TOLERANCES:** METAL +/- 0.5 MIL, HOLES +/- 0.3 MIL
- IMPEDANCE CONTROLLED:** NO

The 'MATERIAL' section includes options for FR-408, FR-4 High Tg, and other materials. The 'COPPER THICKNESS' section includes options for 1.4mil, 2mil, and 2.8mil. The 'SURFACE FINISH' section includes options for Immersion Gold (ENIG) and ENEPG.

At the bottom, there is a 'Texas Instruments' logo and project information:

- PROJECT TITLE:** AFE_MU
- DESIGNED FOR:** Public Release
- FILE NAME:** TIDA-00307
- ENGINEER:** Sreenivas K.
- LAYOUT BY:** ALTUM DESIGNER VERSION: 10.0.0.22084
- SCALE:** 0.72

图 45. Altium 项目

8.6 光绘文件

要下载光绘文件，请参见 [TIDA-00307](#) 的设计文件

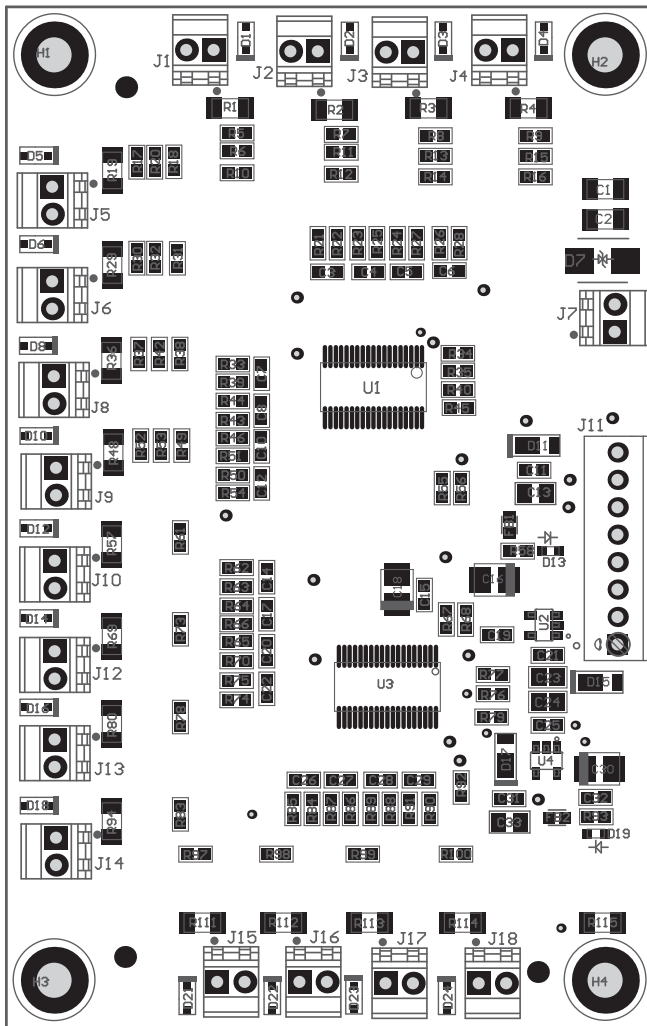


图 46. 顶层

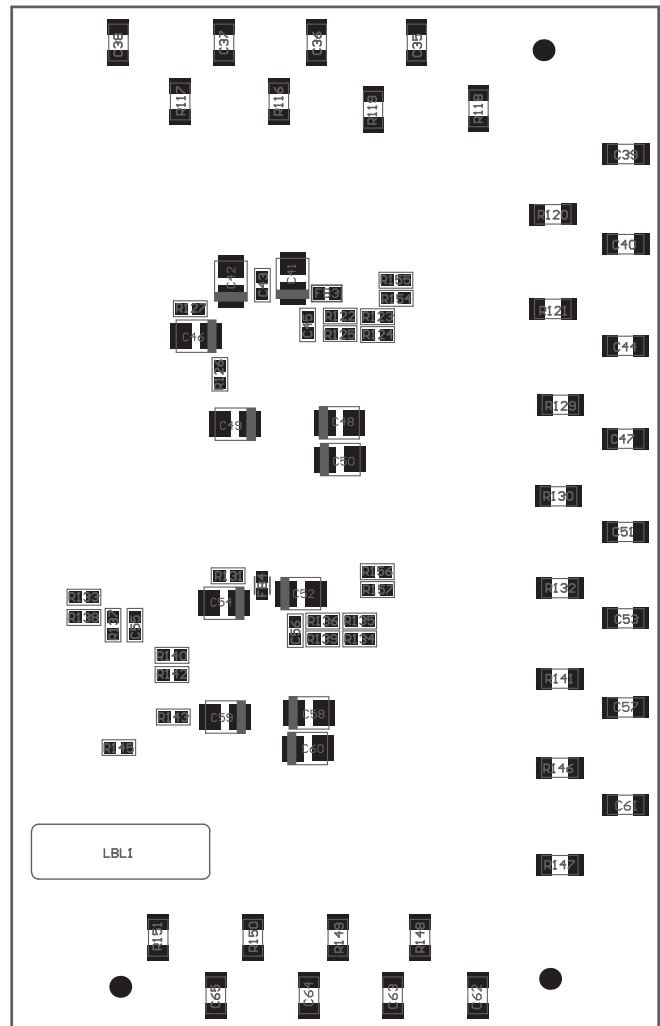


图 47. 底层

9 参考资料

<http://www.google.com/patents/US20140074415>

9.1 商标

All trademarks are the property of their respective owners.

10 术语

FTU— 馈线终端单元

DTU— 配电终端单元

RTU— 远程终端单元

11 关于作者

KALLIKUPPA MUNIYAPPA SREENIVASA 是德州仪器 (TI) 的系统架构师，负责开发面向工业领域的参考设计解决方案。**Sreenivasa** 在高速数字和模拟系统设计方面拥有丰富经验。**Sreenivasa** 拥有印度迈索尔韦斯科技大学电子与通信工程 (BE-E&C) 学士学位。

修订版本 A 历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Original (October 2014) to A Revision	Page
• 已更改 原标题适用于合并单元和保护继电器的传感器输入 AFE	1
• 已更改 首页上的 设计 说明	1
• 已添加 ADS8698 到 设计资源	1
• 已添加 ADS8668 到 设计资源	1
• 已添加 ADS8688A 到 设计资源	1
• 已添加 ADS8678 到 设计资源	1
• 已添加 “与 ADS8688A、ADS8678、ADS8668 兼容的设计”到 设计 特性	1
• 已删除 “ $\pm 10.24\text{V}$ 、 $\pm 5.12\text{V}$ 和 $\pm 2.56\text{V}$ 可编程输入范围”自 设计 特性	1
• 已添加 “基于 ADC 选择， $\pm 10.24\text{V}$ 、 $\pm 5.12\text{V}$ 、 $\pm 2.56\text{V}$ 、 $\pm 1.28\text{V}$ 和 $\pm 0.64\text{V}$ 可编程输入范围可用于精确测量低振幅输入信号”到 设计 特性	1
• 已添加 “可使用 50、60 或 400Hz 的交流传感器输入；范围符合 IEC60044-8 规定的电子式电流互感器输出要求”到 设计 特性	1
• 已添加 电源质量分析器到 典型 场合	1
• 已添加 FTU、DTU 或 RTU 到 典型 场合	1
• 已添加 4.8 节	22
• 已添加 10 节	52

有关 TI 设计信息和资源的重要通知

德州仪器 (TI) 公司提供的技术、应用或其他设计建议、服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用；如果您（个人，或如果是代表贵公司，则为贵公司）以任何方式下载、访问或使用了任何特定的 TI 资源，即表示贵方同意仅为该等目标，按照本通知的条款进行使用。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。

您理解并同意，在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，以及您的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。您就您的应用声明，您具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。您同意，在使用或分发包含 TI 产品的任何应用前，您将彻底测试该等应用和该等应用所用 TI 产品的功能。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

您只有在为开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等产权包括但不限于任何专利权、版权、屏蔽作品权或与使用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对 TI 资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无复发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。

TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为您辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

您同意向 TI 及其代表全额赔偿因您不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

本通知适用于 TI 资源。另有其他条款适用于某些类型的材料、TI 产品和服务的使用和采购。这些条款包括但不限于适用于 TI 的半导体产品 (<http://www.ti.com/sc/docs/stdterms.htm>)、[评估模块](http://www.ti.com/sc/docs/sampters.htm)和样品 (<http://www.ti.com/sc/docs/sampters.htm>) 的标准条款。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司