

ADC 源阻抗用于 Hercules™ ARM® 安全 MCU

Jim Childers

摘要

无缓冲多路复用比率式模数转换器 (ADC) 对于驱动不是一直明显的源阻抗有严格要求。本应用报告解决了源阻抗和采样率之间的权衡。它包括在 GS30, GS40, GS60 过程节点使用 TMS470 处理器和赫丘利斯 ARM 安全 MCU (TMS470M, TMS570 和 RM4x 系列) 的 10 位和 12 位的示例 (又分别被称为 F05/C05, F035/C035 和 F021)。

内容

1	简介	2
2	系统模型	2
3	ADC 输入模型	3
4	外部元件	4
5	稳定时间不足的症状	4
6	Cext 的影响	5
7	Cext 再充电	7
8	计算 Cext	8
9	计算 Rsource	10
10	稳定时间不足的后果	11
11	高源阻抗的后果	11
12	解决方案	12
13	结论	12
14	本文档中的术语	12
15	参考书目	12

图片列表

1	系统模型.....	2
2	ADC 输入模型	3
3	外部元件.....	4
4	足够稳定时间	4
5	稳定时间不足	5
6	仔细检查边沿	5
7	外部电容值与稳定时间间的关系.....	6
8	在 12 位转换器上的四个 SPICE 运行期.....	6
9	Cext 再充电	7
10	在电荷共享期间, 把 Cext 充到 1/4 LSB.	8
11	戴维宁等效模型	10

图表列表

1	稳定时间与 源阻抗间的关系.....	10
---	--------------------	----

Hercules is a trademark of Texas Instruments.
 ARM is a registered trademark of ARM Limited.
 All other trademarks are the property of their respective owners.

1 简介

鉴于它们的简单设计和需要在生产过程中进行调整的电路固有缺失，通常在微控制器中使用无缓冲多路复用比率式模数转换器（ADC）。多路复用和非多路复用的版本多以独立形式存在，并可能出现在最常见的 ADC 中。它们没有用来引入输入偏移和增益误差的内部缓冲放大器，并且没有可能引起缩放误差的内部基准电压。

设计人员们习惯于把这些 ADC 应用在多种低频应用中。实际上，在过去的二十年中，它们就已经被各个生产微控制器系列产品的公司所使用，并且已经与承载它们的微处理器一起增加了转换速度。

其优势的一个副作用是，ADC 中的采样电容直接被外部信号充电并且不断增加的转换速度使之成为一个日益增长的问题。虽然在给 12pF 的采样电容充电时，这看起来好像问题不大，但是，在高转换速度下，在分配时间内将其充电到 $\frac{1}{2}$ 最低有效位 (LSB) 内就会出现这个问题。

另外，如果采样时间不充足，那么之前一个通道转换在采样电容上遗留的剩余电荷会影响目前正在被转换的通道的准确性。这种现象被称为通道间串扰。

2 系统模型

首先，检查使用 ADC 的整体环境。ADC 系统模型应该包括从传感器或信号源到模数转换器内部的所有物件。图 1 把系统分为四个可以单独讨论的不同区块。

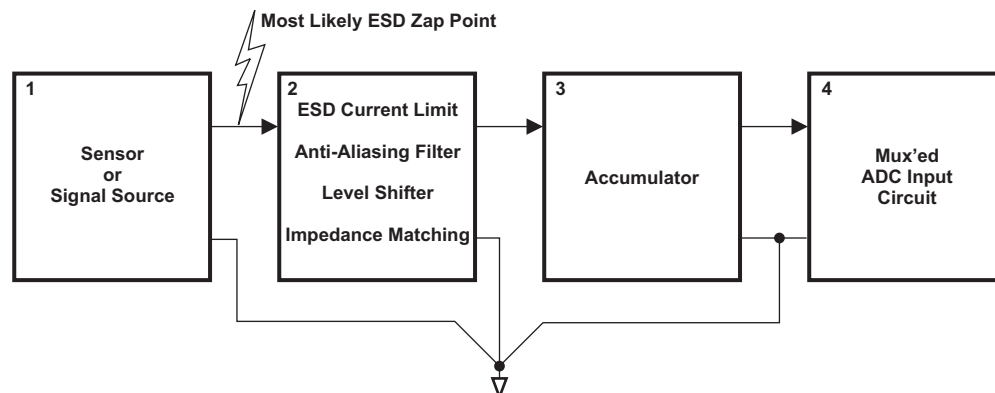


图 1. 系统模型

- 块 1:** 实际上，该传感器几乎可以从一个精密空气流量传感器到一个撞击压电晶体的压电块的任何物件。这样，源电压的范围可以从几微伏（如来自一个热电偶）到几千伏（压电块撞击一个晶体）。源阻抗和频率可采用相类似的范围。考虑到这一点，关于源没有太多可以说，除非明确规定输入块 2 的输入要求。
- 块 2:** 最好将它描述为一个匹配电路。如在图 1 所示，它要满足许多同时要求。它必须保持 ESD 入口点（如适用）和 ADC 输入引脚之间至少有足够的串联电阻来保护 ADC 输入免受损坏。例如，为了通过 4KV 接触模型 ESD 测试，在变换进入点和 ADC 引脚之间就至少需要约 3000Ω 的电阻（大多数 ADC 都有 2KV ESD 保护）。只要被数字化，有一点上面没有提到的重要信息是，不应将一个大于无效电平的那奎斯特频率引入已采样的信号。这意味着 -67 分贝用于 10 位或 79 分贝用于 12 位。一旦噪音被数字化，它是可以与所需信号区分开来的，所以它最好比较小！因此，一个低通滤波器（抗混叠滤波器）的截止频率必须被有所安排地被定位在所需最大信号频率， f ，和输入通道采样频率， $F_s/2$ （那奎斯特频率）的一半之间。由于某些物件充电速度不够快，例如热敏电阻器的输出，所以该过滤器是选配的。往往需要一个电平转换器把输入信号峰值电平与 ADC 输入的额定 3.3V（或着对于某些 ADC，为 5V）摆幅相匹配，以此来优化整体动态范围。该电路可以与作为一个分压器的两个电阻器一样简单，一个就像一个运算放大器的有源电路，或一个精密的自动增益控制 (AGC) 电路，就像一个与可变磁阻转速传感器一起使用的电路一样。阻抗匹配通常需要更高阻抗传感器或电平转换器与块 3 和 4 的要求相匹配。对于一个给定的通道，块 3 和 4 的阻抗要求取决于该通道的采样频率， f_s 。而对于块 2 中的前三项，设计人员一般都能很好理解；对于 ADC 输入的源阻抗的真正要求有时会被误解。了解 ADC 的源阻抗要求是本应用说明的关键。
- 块 3:** 根据所需的采样速度、成本、和其他因素，此块是可选的。如果它存在，它只作为一个电容器。在该通道的离散时间采样窗口期间，它在连续时间内积累电荷，接着可以与 ADC 的采样电容器电荷共享。
- 块 4:** 这就是 ADC 本身。由于 ADC 是一个单一转换器，此转换器与 16 或 32 输入通道时间-多路复用，因此在设计时，相对于每通道转换器，在设计时应给予更多关注。

3 ADC 输入模型

这就是 ADC 本身。由于 ADC 是一个单一转换器，此转换器与 16 或 32 输入通道时间-多路复用，因此在设计时，相对于每通道转换器，在设计时应给予更多关注。

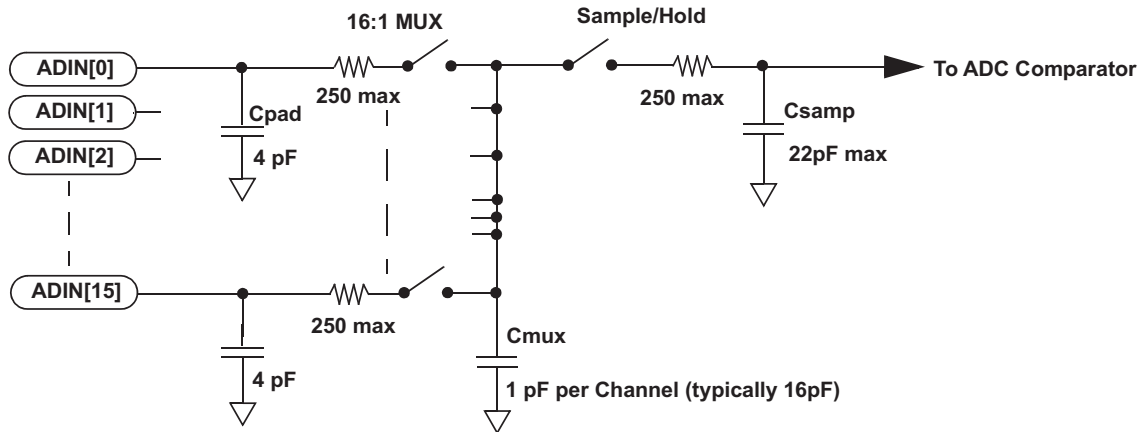


图 2. ADC 输入模型

在 ADINx 引脚和采样电容，Csamp，路径之间有两个 CMOS 开关。第一个是选择要转换通道的 N 对 1 多路复用器；通常 N =16 或 32。第二个是由 ADC 的逐次逼近状态机控制的采样保持控制栅极。

4 外部元件

如前面提到块 2 和 3，通常的做法是把外部元件添加到缩放和从模拟信号过滤信号的 ADIN[X] 引脚上。这些元件是由块 1 和 4 的要求确定的。图 3 中显示了一个相当典型电路。

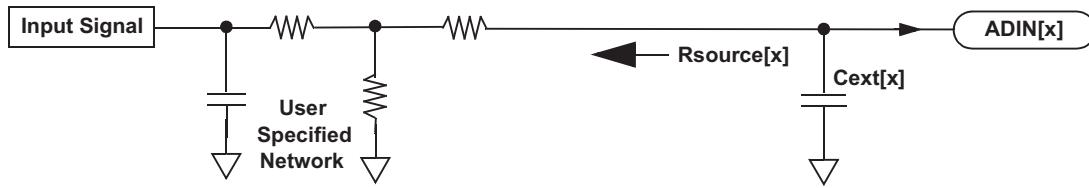


图 3. 外部元件

一般来说，大多数用户会把 ADC 引脚的一个大电容（块 3）接地（图 3 中的 $C_{ext,x}$ ）。这个电容是用来降低由 ADC 感测到的通道源阻抗，以便内部采样电容可以快速充电。

如前所述，这是一个 C_{ext} 和 $(C_{mux}+C_{samp})$ 之间电荷共享的过程（请参阅图 2 图 3），其 RC 时间常数主要取决于最大的 ADC 输入阻抗（2 个开关，每个最大电阻 250Ω），多路复用器的最大电容（16pF），ADC 的最大采样电容（13 或 22pF）。

在图 3 中，随着 R_{source} 的增加，由 R_{source} 和 C_{ext} 生成的截止频率将降低。这意味着，传感器更改和 C_{ext} 上变化稳定之间的响应时间会增加。

5 稳定时间不足的症状

在图 4 至图 6 中，人为制造的示波器照片用来演示 C_{samp} 没有足够稳定时间所带来的影响。例如，在一个 10μs 组周期转换时间内，有两个正在按顺序转换的通道。第一个通道上有一个 100Hz 的方波，第二个通道是一个直流 (DC) 信号。

对于第一个示波器，假设稳定时间对所选采样频率是足够的。也就是说，当所有物件都正确运行时，这就是您希望在两个 ADIN 引脚上看到的：

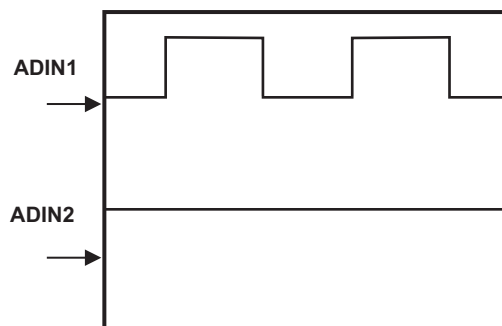


图 4. 足够稳定时间

现在，减少分配的稳定时间，以便 ADC 只在少数几个 LSB 而不是 $\frac{1}{2}$ LSB 内稳定。毕竟，这两个信号的频率非常低：100Hz 和 DC。为什么它们必须稳定呢？让我们看看发生了什么：

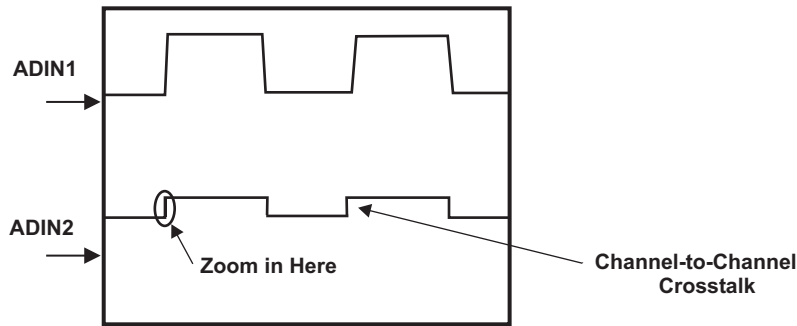


图 5. 稳定时间不足

由于顶部波形失去了一些频宽，因此角都不太方正。但如果您只在意它的最大值和最小值，那这也许就不是一个问题了。但看看第二个波形发生了什么。它收到来自之前通道串扰的影响。如果它旨在成为一个 DC 电平，那么该信号就已变得几乎毫无用处。但问题的根源是什么？

如之前图表所示，放大较低走线的上升沿：

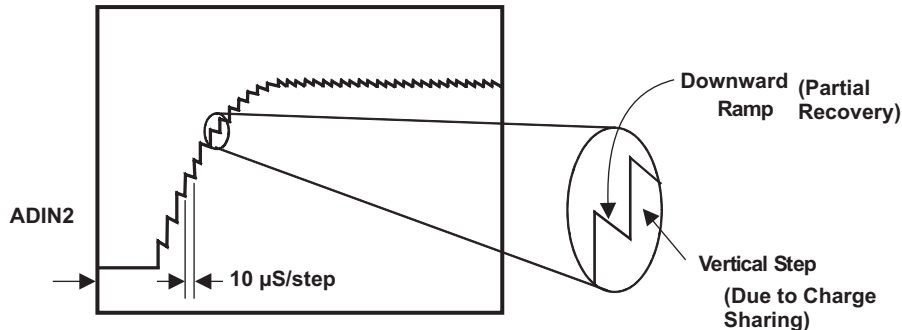


图 6. 仔细检查边沿

您应该看到一个组成过渡边沿的锯齿图案。事实上，在这个例子中，采样频率对信号频率的比例是 1000: 1，所以可能有一百个左右的阶跃，而不是上面所示的十几个。如上所示，阶跃间隔将在通道周期率上。在这种情况下，为 10us。垂直阶跃是由 ADIN_[1] 的转换_[1] 残留在 C_{mux} 和 C_{samp} 上的剩余电荷引起的，从而在 ADIN_[2] 转换期间，在 C_{ext[2]} 内生成了一个非常小的有害偏移。向下阶跃是由试图通过 ADIN_[2] 源阻抗恢复误差的 ADIN_[2] 源造成的。这两个阶跃量之间的不同是随着时间的推移累积在 C_{ext[2]} 上的误差。由于整个 R_{source} 误差电压在每个周期都累积，误差阶跃会越来越小直至垂直向上的阶跃和向下的阶跃相互抵消。

在示波器上，当缩小到足够能看到 100Hz 波形时，100KHz 串扰采样人工痕迹就完全看不到了，基本的指数形状（在上图中）看起来就像一个干净的方波。在一般情况下，串扰看起来就像一个叠加在 ADIN_[x] 上的 ADIN_[x-1] 的垂直缩放图像。

6 Cext 的影响

现在，来看看块 3 和选择 Cext 的合理性，或者关于这一点，甚至使用 Cext 的合理性。要做到这一点，使用 SPICE 来试一下几个 Cext 值并测量 C_{samp} 上的电压稳定到精确值的 1/2 LSB 内所需时间。对于一个在 3.3V 的 12 位 ADC，该数量达到 403μV。绘制稳定时间与 Cext 曲线能告诉我们有关 Cext 的本质。

假定 ADC 的两个通道处于连续转换模式，图 7 是在 SPICE 39 运转期时绘制的图像。为 R_{source} 选定一个 2000Ω 的中值。

图 7 最左边的点对应 $C_{EXT} = 0$ (但 $C_{PAD} = 4pF$)。随着 C_{ext} 的增加, 可以看到在 C_{ext} 大约为 $200nF$ 之前, 所需稳定时间恶化。接下来稳定时间急剧滚降直至 C_{ext} 约为 $622nF$, 在此点的图像斜率稳定于接近 0 值以在 C_{ext} 中进一步上升。该图清楚地表明了 C_{ext} 有一个最优范围。它在 8 节显示了如何得出这个最优范围, 但现在我们需要了解下图中为 12 位所计算出的曲线的形状。

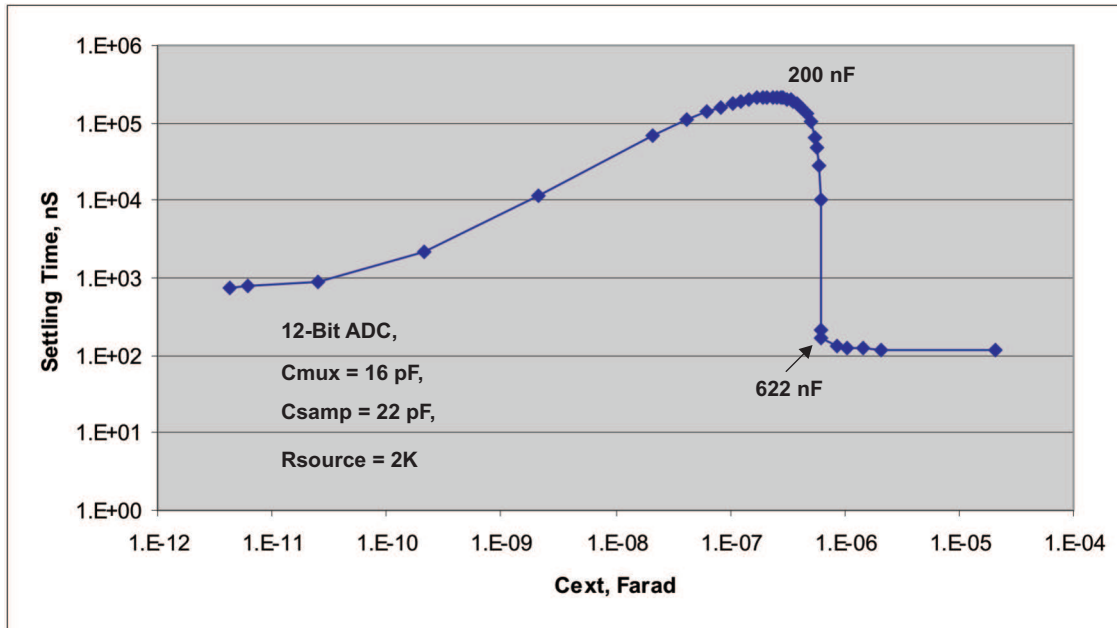


图 7. 外部电容值与稳定时间间的关系

对于一个 10 位 ADC 来说, 该曲线是相似的, 但 C_{ext} 值将较之小 4 倍, 假定与 C_{samp} 值相同。

图 8 显示了一个与图 7 制作的相似的 12 位转换器上运行的 4 SPICE 的手绘时间域图。这些可能有助于证明在 C_{ext} 上升时, 稳定时间却突然下降的原因; 然而, 波形有如此巨大规模的差异, 以至于甚至一个双对数曲线图也不能将它们放在同一个图表内来, 所以在图 8 中采用了一些图形许可。

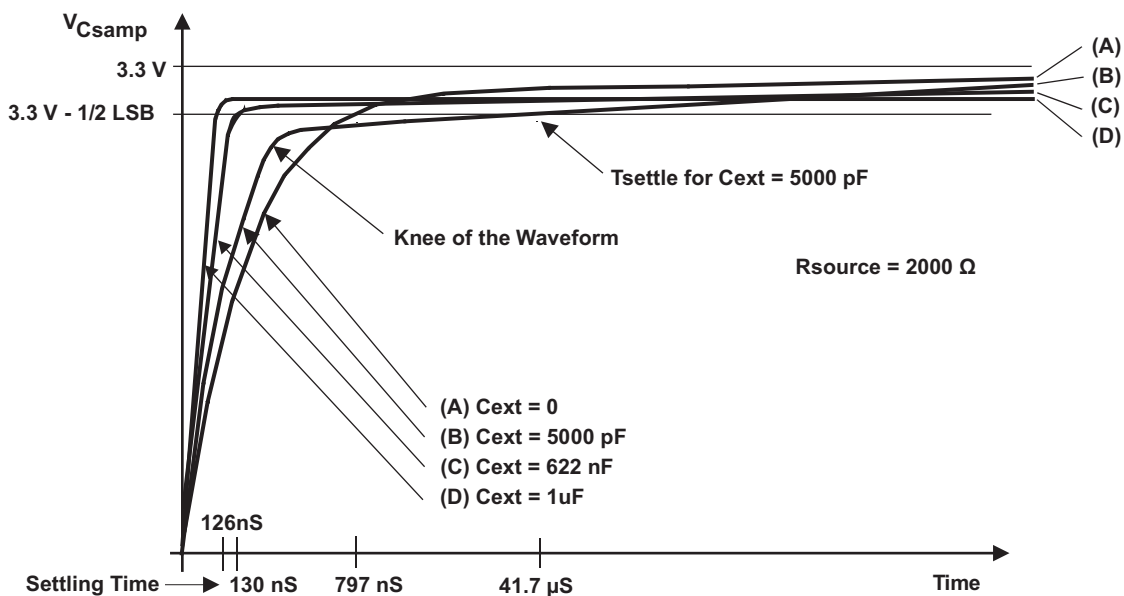


图 8. 在 12 位转换器上的四个 SPICE 运行期

该目的是在 C_{samp} 宣布稳定前，让 C_{samp} 充电水平达到 $3.3V \frac{1}{2} LSB$ 内。请注意，随着 C_{ext} 变得比 C_{samp} 大许多，该曲线看着更像是由一个拐点连接的两条直线。 C_{ext} 变得越大，拐点就更清晰。

以下是每个上述曲线的相关性：

- (a) $C_{ext}=0$ 时，实际上没有明显的拐点。该曲线是一个近似于 $(R_{source}+R_{mux}+R_{samp}) \cdot (C_{mux}+C_{samp})$ 的简单 RC。
- (b, c, d) 对于另外三条曲线，电荷共享使电压跳转至有一个被 $(R_{mux}+R_{samp}) \cdot (C_{mux}+C_{samp})$ 控制的 RC 时间常数的拐点。之后从该拐点往上，RC 时间常数被 $R_{source} \cdot C_{ext}$ 控制。
- (c,d) 由于随着 C_{ext} 的上升，该拐点升至高于 $[3.3V - \frac{1}{2} LSB]$ 线，由于在 $3.3V$ 线 $\frac{1}{2} LSB$ 之内为定义的稳定区间， C_{samp} 的稳定时间快速减少。

垂直线段有 C_{ext} 和 $(C_{MUX} + C_{SAMP})$ 之间的电荷共享决定。如果，在电荷共享后，拐点降落至少于 $[3.3V - \frac{1}{2} LSB]$ 线，那么就需要由 R_{source} 在很长时间内来完成剩余的 C_{ext} 和 C_{samp} 充电操作。然而，如果该拐点位于或超过了该线，那么 C_{samp} 充电已经完成，并且所有剩下的工作就是完成 C_{ext} 的再充电。然而，一旦 C_{samp} 稳定，模拟-数字转换 (A/D) 转换就可以进行。请记住我们有一个完全组周期时间来为 C_{ext} 再充电，此时间比一个单通道的周期时间长两个数量级。

7 Cext 再充电

在 C_{ext} 和 $[C_{mux} + C_{samp}]$ 之间的电荷共享期间，如果您通过远离理想值的 $\frac{1}{2} LSB$ 给 C_{ext} 充电，那么理论上，在您再次尝试电荷共享之前，您将不得不等待无限长的时间来让 C_{ext} 恢复到理想值。

在再次电荷共享之前，在 C_{ext} 仅恢复到 $1/4 LSB$ 内的那段时间里，请尝试更实际的操作。图 9 显示了每一个连续电荷共享增加了误差，直至它稳定在 $\frac{1}{2} LSB$ 和 $1 LSB$ 之间为止。这造成了一个被 ADC 感测到的电压中 $1 LSB$ 有效偏移误差。

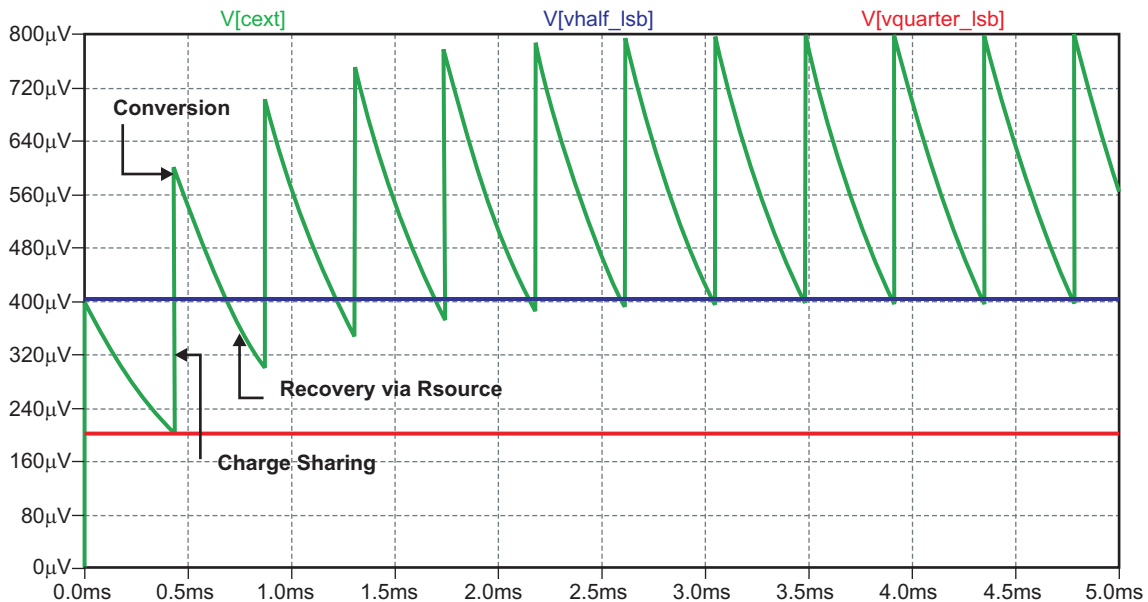


图 9. Cext 再充电

在上述模拟图中，垂直边沿是由于与 $[C_{mux} + C_{samp}]$ 电荷共享而向下斜坡边沿是由于 C_{ext} 通过 R_{source} 恢复。这里的假设是，前面的通道是在 $3.3V$ 上而当前的通道是在 $0V$ 。

这里的术语，误差，是指在 C_{ext} 电压与理想电压的偏离。为了避免串扰影响转换结果，高峰绝不能超过 $\frac{1}{2} LSB$ 。

这样解决问题的目的是改善由于串扰造成的偏移误差，如果在充电期间，只允许 C_{ext} 充到 1/4 LSB，让我们看看会发生什么。通过把 C_{ext} 的尺寸相对于原图增加一倍，就可以轻松完成。此外，当 C_{ext} 被恢复，把它恢复至 1/8 LSB。

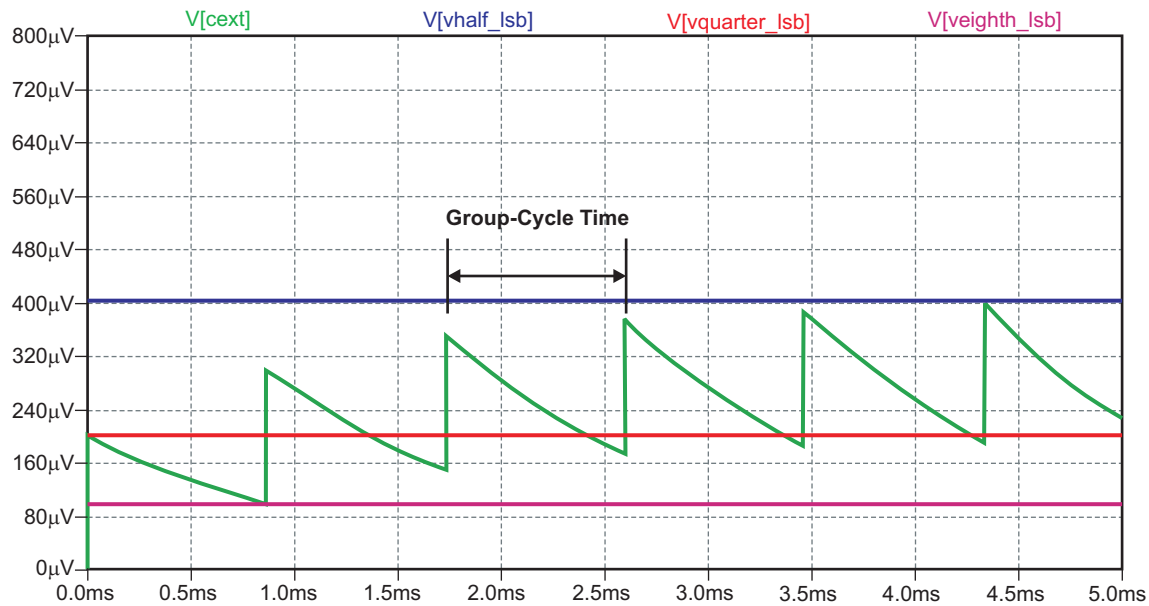


图 10. 在电荷共享期间，把 C_{ext} 充到 1/4 LSB。

现在，经过几个周期，在 C_{ext} 开始与 C_{samp} （即谷底）电荷共享时，误差只是 1/4 LSB，并且在峰值时，在 C_{ext} 上的最大误差从没超过 1/2 LSB。这导致了一个被 ADC 感测到的电压中 1/2 LSB 有效偏移误差。

8 计算 C_{ext}

来看一下，对于一个 $C_{mux}=16pF$ 和 $C_{samp}=20pF$ 的 12 位转换器来说，为什么 C_{ext} 应该大于或等于 622nF。要做到这一点，你需要检查 C_{ext} 和 C_{samp} 之间的电荷共享。现在您需要使用 $C_{mux} + C_{samp} +$ 容错 ($16pF+(20pF+2pF)$) 来计算共享电荷。鉴于 C_{pad} 很小，并且与 C_{ext} 并联，它可被忽略。

通过“共享前的电荷等于共享后的电荷”之类的电荷守恒来建立方程式：

$$\text{before charge sharing, } Q_{\text{samp}} = C_{\text{samp}} \times V_{\text{samp}} \text{ and } Q_{\text{ext}} = C_{\text{ext}} \times V_{\text{ext}}, \quad (1)$$

$$\text{conservation of charge, } Q_{\text{final}} = Q_{\text{samp}} + Q_{\text{ext}}, \quad (2)$$

添加并联电容，

$$C_{\text{total}} = C_{\text{samp}} + C_{\text{ext}}, \quad (3)$$

在共享电荷后，

$$Q_{\text{final}} = C_{\text{total}} \times V_{\text{final}}, \quad (4)$$

把公式 1，公式 2 和公式 3 代入公式 4，

$$(Q_{\text{ext}} + Q_{\text{samp}}) = (C_{\text{ext}} + C_{\text{samp}}) \times V_{\text{final}} \quad (5)$$

$$\text{solving for } V_{\text{final}}, \quad V_{\text{final}} = \frac{(Q_{\text{ext}} + Q_{\text{samp}})}{(C_{\text{ext}} + C_{\text{samp}})}, \quad (6)$$

把公式 1 代入公式 6,

$$V_{\text{final}} = \frac{(C_{\text{ext}} \cdot V_{\text{ext}} + C_{\text{samp}} \cdot V_{\text{samp}})}{(C_{\text{ext}} + C_{\text{samp}})}, \quad (7)$$

其中 V_{final} 是指与 C_{samp} 共享电荷后在 C_{ext} 上的剩余电压。

可以看出, 对于一个稳定在不超过 $\frac{1}{2}$ LSB 范围的 12 位 ADC, v_{final} 会是:

$$V_{\text{final}} = \left(V_{\text{in}} - \frac{V_{\text{in}}}{2^{(12+1)}} \right) = 0.999878 \times V_{\text{in}} \quad (8)$$

其中 V_{in} 是输入信号值。

刚才得出, C_{samp} 必须被稳定在 $\frac{1}{4}$ LSB 内, 以便为 C_{ext} 低于 $\frac{1}{2}$ LSB 的最坏情况下误差保留空间; 因此,

$$V_{\text{final}} = \left(V_{\text{in}} - \frac{V_{\text{in}}}{2^{(12+1+1)}} \right) = 0.999939 \times V_{\text{in}} \quad (9)$$

在一个标称 3.3V 系统中, 最坏情况下的值为 $201\mu\text{V}$ 。

对于一个稳定至 $\frac{1}{4}$ LSB 内的 10 位 ADC, V_{final} 会是:

$$V_{\text{final}} = \left(V_{\text{in}} - \frac{V_{\text{in}}}{2^{(10+1+1)}} \right) = 0.999756 \times V_{\text{in}} \quad (10)$$

以及在一个标称 3.3V 系统中, 这相当于 $403\mu\text{V}$ 。

从公式 7 到公式 8,

现在, 假定 C_{samp} 被放电, C_{ext} 保持 V_{in} 值, V_{final} 的结尾必须是 $0.999939 \times V_{\text{in}}$ (即, $V_{\text{in}}@12$ 位在 $\frac{1}{4}$ LSB 内):

$$V_{\text{in}} \times \left(1 - \frac{1}{2^{(12+2)}} \right) = \frac{(C_{\text{ext}} \cdot V_{\text{in}} + C_{\text{samp}} \cdot 0)}{(C_{\text{ext}} + C_{\text{samp}})} \quad (11)$$

$$(C_{\text{ext}} + C_{\text{samp}}) \times \left(1 - \frac{1}{16384} \right) = C_{\text{ext}} \quad (12)$$

$$\text{solving for } C_{\text{ext}}, \quad C_{\text{ext}} = 16383 \times C_{\text{samp}} \quad (13)$$

对于一个 $C_{\text{mux}}=16\text{pF}$ 和 $C_{\text{samp}}=20\text{pF}$ 的 12 位转换器,

$$C_{\text{ext}} = 16383 \times (16 + 20 + 2)\text{pF} = 622 \text{ nF} \quad (14)$$

对于一个 $C_{\text{mux}}=16\text{pF}$ 和 $C_{\text{samp}}=12\text{pF}$ 的 12 位转换器,

$$C_{\text{ext}} = 16383 \times (16 + 12 + 1)\text{pF} = 475 \text{ nF} \quad (15)$$

对于一个 $C_{\text{mux}}=16\text{pF}$ 和 $C_{\text{samp}}=20\text{pF}$ 的 10 位转换器,

$$C_{\text{ext}} = 4095 \times (16 + 20 + 1)\text{pF} = 156 \text{ nF} \quad (16)$$

对于一个 $C_{\text{mux}}=16\text{pF}$ 和 $C_{\text{samp}}=12\text{pF}$ 的 10 位转换器,

$$C_{\text{ext}} = 4095 \times (16 + 12 + 1)\text{pF} = 119 \text{ nF} \quad (17)$$

这就是 C_{ext} 的一个绝对极小值。请确保当挑选其值时, 需包括容差和老化因素。较大的值是比较好的, 但实际上对采样时间没有作用, 并且对组周期只有有限的影响。下面的章节中进一步讨论了这个问题。

假定一个 12 位 ADC, 在采样期间而不是组周期期间, $C_{\text{ext}} < 16383 \times C_{\text{samp}}$ 要求 C_{samp} 被完全充电。因此 $C_{\text{ext}} < 16383 \times C_{\text{samp}}$ 本质上是一个与 $C_{\text{ext}} > 16383 \times C_{\text{samp}}$ 不同的运行。

从速度和 R_{source} 需求的角度来看，如果 C_{ext} < 16383 * CSAMP（假设没有抗混叠滤波器），实际上是最好的还是没有外部电容。这已在上图中显著地显示。

9 计算 R_{source}

馈入外部电容，C_{ext}，的总电阻被称为 R_{source}。即，它就被 C_{ext} 观察到的驱动源的戴维宁等效电阻。

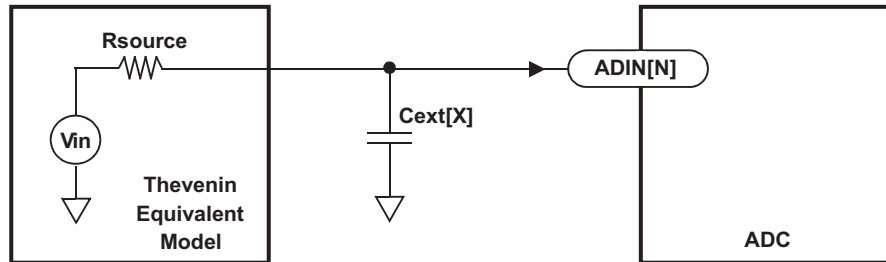


图 11. 戴维宁等效模型

用 12 位分辨率把 RC 电路稳定在 1/4 LSB 内所需的时间常数：

$$\gamma = \ln\left(2^{(12+2)}\right) = 9.7 \text{ time constants} \quad (18)$$

对于 10 位：

$$\gamma = \ln\left(2^{(10+2)}\right) = 8.3 \text{ time constants} \quad (19)$$

给定一个组周期时间，T_{cyc}，被要求用来补充 C_{ext} 内耗尽的电荷的 R_{source} 值由以下关系给出：

$$R_{\text{source}} < \frac{T_{\text{cyc}}}{\gamma \times C_{\text{ext}}} \quad (20)$$

但是一个由大量的 SPICE 运行制作的表格比进行大量计算要容易得多，此外，由于 ADC 有两个密集的极点，ADC 稳定时间的计算就会变得很麻烦（请见 3 节）。

表 1 显示了不同类型 ADC 的稳定时间与源阻抗的关系。若要使用此表，需根据数据表技术规格，在前三栏找到您的 ADC。其次，如果你使用一个外部电容，C_{ext}，在考虑容差和老化因素后，要确保它与第 4 栏列出的值一样大。如果您的 C_{ext} 比列出的那个值大的话，就算真是如此，它将对结果栏产生有利影响。

表 1. 稳定时间与源阻抗间的关系

ADC 通道	ADC 的分辨率，位	C _{samp} 数据表，pF	最小 C _{ext} ，nF	R _{source} ，Ω	C _{samp} 稳定至 1/2 LSB，nS	C _{ext} 恢复至 1/4 LSB，μS
16	10	20 ± 2	0	200	159	-
16	10	20 ± 2	0	2K	662	-
16	10	20 + 2	0	20K	5900	-
16	10	20 ± 2	156	200	112	21
16	10	20 ± 2	156	2K	112	213
16	10	20 ± 2	156	20K	112	2130
16	10	12 ± 1	0	200	113	-
16	10	12 ± 1	0	2K	508	-
16	10	12 ± 1	0	20K	4500	-
16	10	12 ± 1	119	200	77	17
16	10	12 ± 1	119	2K	77	165
16	10	12 ± 1	119	20K	77	1645

表 1. 稳定时间与 源阻抗间的关系 (continued)

ADC 通道	ADC 的分辨率, 位	Csamp 数据表, pF	最小 Cext, nF	Rsource, Ω	Csamp 稳定至 ½ LSB, nS	Cext 恢复至 1/4 LSB, μS
16	12	20 ± 2	0	200	187	-
16	12	20 ± 2	0	2K	797	-
16	12	20 ± 2	0	20K	7000	-
16	12	20 ± 2	622	200	130	90
16	12	20 ± 2	622	2K	130	900
16	12	20 ± 2	622	20K	130	9000
16	12	12 ± 1	0	200	134	-
16	12	12 ± 1	0	2K	600	-
16	12	12 ± 1	0	20K	5310	-
16	12	12 ± 1	475	200	89	68
16	12	12 ± 1	475	2K	89	682
16	12	12 ± 1	475	20K	89	6820

如果 Cext 至少是先前计算的极小值, 那么 Csamp 的建立时间就会不受源阻抗控制。

接下来, 来看 Cext 的稳定时间, 改变 Rsource 的效果是相当线性的, 所以您可以通过使用您的时间要求, 很容易地进行插值, 以便获得所需的源电阻。

来看看使用表 1 的一个例子。需要记住的是, 整个组周期时间是被用来恢复 Cext 的。假定您有一个 16 通道 10 位的 ADC, 列出的其采样外部电阻为 20 pF。您有一个必须每 15μS 转换的通道组。使用表格中第 4 行的数据, 如果一个 200Ω 的 Rsource 为 Cext 产生一个 21μS 的恢复时间 (即, 组周期时间), 然后使用线性插值, 一个 15μS 的恢复时间将需要一个 Rsource, 其值为:

$$R_{\text{source}} < \frac{200 \cdot 15}{21} = 143\Omega \quad (21)$$

这个示例表明, 要使 Cext 的恢复时间从 21μS 加快到 15μS, 需要把源阻抗从 200Ω 减少至 143Ω 或更小。

请注意, 假如您把表 1 中 Cext 的尺寸增加一倍, 只是插值就可以了就如您已经使用表中所列的 Cext 的精确值一样。无论用哪种方式, 相同的电荷量都被删除/恢复。

10 稳定时间不足的后果

如若 Cext 至少与表 1 列出的一样大, 那么稳定 Csamp 的最大时间会少于 130nS, 这是非常短的时间。因此没有刻意修改这个参数的必要。

只有当 Rsource 非常低时, 省略 Cext 才有意义, 否则, 通道将对噪声敏感。一般来说, 只有在与由运算放大器驱动输出的传感器一起工作时 Rsource 的值才比较低。在这种情况下, Rsource 是 < 100Ω, 仍是没有必要在刻意修改稳定时间。

稳定时间不足导致串扰。正如在开始讨论过的, 这是从一个通道转移到下一个, 并在很多的转换周期内在 Cext 上积累了的电荷。有了串扰, 每个通道会干扰要转换组中的下一个通道。这种现象要归因于转换通道_[N]后 Csamp 上的剩余电荷, 此电荷污染了通道_[X+1]的 Cext_[X+1]上的电荷。

一个很好的规则就是不刻意修改稳定时间。

11 高源阻抗的后果

如若源阻抗对于所需的转换时间过高, 唯一的一个结果就是通道的响应时间会滞后。会发生完全 ½ LSB 准确度, 但是根据公式 18 和公式 19, 它将被推迟。

如果 **Cext** 不存在，或者如果实在是太小了，并且您已经刻意修改了稳定时间，那么结果将不准确，将会有串扰，且永远不会出现全完全 $\frac{1}{2}$ LSB。

一个很好的规则就是不刻意修改稳定时间。

12 解决方案

对于那些坚持刻意修改稳定时间的用户来说，有一款软件可选的功能（包括较新的赫丘利斯 MCU ADC）允许应用在转换期间给 **Csamp** 放电。所需的执行此放电过程的最短时间通常约为 1 至 2 个 ADC 时钟周期。

此功能的使用也不是万能的。如果您使用了此功能，并在刻意修改了稳定时间，它就会提供一个由实际值缩放产生的结果。只有当组周期时间和通道间时序运行状况良好时，该缩放值才可预测。如果时序变化，比例因子也会变化。

使用此放电功能的唯一原因是为了降低使用 **Cext** 正确值的成本；但是，如果 ADC 时序运行状况良好的话，就刻意成功使用。

13 结论

无缓冲多路复用比率式 ADC 在成本和可生产性方面表现出色，但为了得到预期结果，在用它们进行设计时，就必须仔细考虑。

最显著的有以下几点：

- 在 ADC 连续循环运行时，通过检查在 $ADIN_{[x]}$ 引脚的波形，可以很容易地分析稳定时间问题。
- 在大多数情况下，如果选择了适当的值，将会获得包括 **Cext** 在内的最佳速度/阻抗结果。
- 给定一个指定数量的位分辨率，可以计算出不受频率和源阻抗控制的 **Cext** 的合适值。
- 切勿在刻意修改稳定时间。它将只会给您带来一个不可预知的结果！
- 如果您刻意修改了稳定时间，请使用放电功能和连续组转换。预计缩放的结果

14 本文档中的术语

ADCLK	ADC 的内部片上时钟 这个时钟周期是一个外设时钟周期，ICLK 的整数倍。此值在 ADC 寄存器是可编程的。
ICLK	驱动 ADC 的外设时钟。
采样时间	在 ADC 的采样开关闭合，以便为内部采样电容， Csamp ，充电的时间。
稳定时间	要求给采样电容， Csamp ，充电的时间，在 $\frac{1}{2}$ LSB 之内。如果采样时间大于稳定时间，那么就需要调整 ADC。
转换时间	要转换的一个单一的通道所需的时间。它是采样时间加上一个每位分辨率（10 或 12）的 ADCLK 每时钟周期的总和。
组转换	在 TMS470 和赫丘利斯 ARM 安全 MCU 中，组中的所有用户设定的通道都是被依次和和自动转换的。组转换由软件建立和启动。它们可被编程为只运行一次或连续运行。
组周期	测量的时间是从通道 [N] 开始转换到同一通道 [N] 的下一转换开始的时间。
通道采样频率	这是一个单一通道被采样时的频率，且等于组周期时间的倒数。
偏移误差	由于输入电压中的一个有害模拟组件所导致的 ADC 理想转换功能的变化。

15 参考书目

- 《高级 CMOS 逻辑数据手册》(SCAD001)
- 《选择一个抗混叠滤波器》，Steve Hendrix，2001 年 1 月。

重要声明

德州仪器(TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合TI 标准保修的适用规范。仅在TI 保证的范围内, 且TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何TI 专利权、版权、屏蔽作品权或其它与使用了TI 产品或服务的组合设备、机器、流程相关的TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是TI 的专利权或其它知识产权方面的许可。

对于TI 的产品手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

TI 产品未获得用于关键的安全应用中的授权, 例如生命支持应用(在该类应用中一旦TI 产品故障将预计造成重大的人员伤亡), 除非各方官员已经达成了专门管控此类使用的协议。购买者的购买行为即表示, 他们具备有关其应用安全以及规章衍生所需的所有专业技术和知识, 并且认可和同意, 尽管任何应用相关信息或支持仍可能由TI 提供, 但他们将独力负责满足在关键安全应用中使用其产品及TI 产品所需的所有法律、法规和安全相关要求。此外, 购买者必须全额赔偿因在此类关键安全应用中使用TI 产品而对TI 及其代表造成的损失。

TI 产品并非设计或专门用于军事/航空应用, 以及环境方面的产品, 除非TI 特别注明该产品属于“军用”或“增强型塑料”产品。只有TI 指定的军用产品才满足军用规格。购买者认可并同意, 对TI 未指定军用的产品进行军事方面的应用, 风险由购买者单独承担, 并且独力负责在此类相关使用中满足所有法律和法规要求。

TI 产品并非设计或专门用于汽车应用以及环境方面的产品, 除非TI 特别注明该产品符合ISO/TS 16949 要求。购买者认可并同意, 如果他们在汽车应用中使用任何未被指定的产品, TI 对未能满足应用所需要求不承担任何责任。

可访问以下URL 地址以获取有关其它TI 产品和应用解决方案的信息:

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP 机动性处理器	www.ti.com/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity		
	德州仪器在线技术支持社区		www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2012 德州仪器 半导体技术 (上海) 有限公司