

TI 高性能嵌入式处理器高速 SERDES 接口调测方法

杨宇/Thomas Yang

Processor

摘要

为满足大数据适时传输的要求，TI 高性能嵌入式处理器，如 Keystone，Sitara 等系列处理器中均集成了丰富的传输带宽超 Giga bps 的业界主流高速接口，比如 RapidIO，1G Ethernet，10G Ethernet，PCIe，Hyperlink，AIF2 等。这些高速外设的物理层传输实现上均采用 SERDES 接口，因此 SERDES 接口的调测对保证高速信号板级传输的质量显得尤为重要，并进一步会对整机运行的稳定性和性能产生直接影响，而在基于 TI 高性能处理器的开发过程中，SERDES 接口的调测也常常是难点所在。基于以上考虑，有必要就高速 SERDES 接口的调测进行归纳和总结，以方便用户的使用。

本文首先介绍了 TI 处理器 SERDES 模块的工作原理，并探讨了影响 SERDES 高速信号传输质量的主要因素，在基于 Keystone SERDES 模块配置参数优化的基础上，推出了基于 SERDES 模块优化方法的自动化调测优化工具，并采用该工具在客户案例中进行了实践，取得了很好的效果。

目录

1	SERDES 模块简介	3
1.1	串行接口的优势	3
1.2	SERDES 的定义	3
1.3	SERDES 分层.....	3
1.4	TI 高性能处理器 SERDES 模块介绍.....	4
1.4.1	串行器(Serializer)和解串器(De-serializer).....	4
1.4.2	发送端均衡器(Tx Equalizer)	5
1.4.3	接收端均衡器(Decision Feedback Equalizer)	5
1.4.4	时钟数据恢复(CDR)	7
2	基于 TI 高性能 处理器 SERDES 接口的性能优化.....	7
2.1	TI 高性能处理器 SERDES 接口特性	7
2.2	TI 高性能处理器 SERDES 接口链路优化	7
2.3	PRBS 测试	9
3	TI 高性能处理器 SERDES 模块开发调试注意事项.....	10
3.1	硬件设计自查列表.....	10
3.2	信号传输路径检查.....	10
3.3	眼图测试.....	11
4	TI SERDES debug 工具.....	13
4.1	BER 测试.....	13
4.2	On Die Eye-diagram 测试	15
5	结束语	16
	参考文献	16

1 SERDES 模块简介

1.1 串行接口的优势

随着电子行业技术的发展，特别是在传输接口的发展上，IEEE1284 被 USB 接口取代，PATA 被 SATA 取代，PCI 被 PCI-Express 所取代，无一都证明了传统并行接口的速度已经达到一个瓶颈了，取而代之的是速度更快的串行接口，于是原本用于光纤通信的 SERDES 技术成为了为高速串行接口的主流。串行接口主要应用了差分信号传输技术，具有功耗低、抗干扰强，速度快的特点，理论上串行接口的最高传输速率可达到 10Gbps 以上。

1.2 SERDES 的定义

SERDES 是英文 SERializer(串行器)/DESerializer(解串器)的简称。它是一种时分多路复用 (TDM)、点对点的通信技术，即在发送端多路低速并行信号被转换成高速串行信号，经过传输媒体(光缆或铜线)，最后在接收端高速串行信号重新转换成低速并行信号。这种点对点的串行通信技术充分利用传输媒体的信道容量，减少所需的传输信道和器件引脚数目，从而减少了传输线之间的干扰，增大了背板传输距离，并且大大降低通信成本。同时带来了诸如减少布线冲突、降低开关噪声、更低的功耗和封装成本等许多好处。而 SERDES 技术的主要缺点是需要非常精确、超低抖动的元件来提供用于控制高数据速率串行信号所需的参考时钟。即使严格控制元件布局，使用长度短的信号并遵循信号走线限制，这些接口的抖动余地仍然是非常小。

1.3 SERDES 分层

SERDES 主要由物理介质相关 (PMD) 子层、物理媒介附加 (PMA) 子层和物理编码子层 (PCS) 所组成。PMD 是负责串行信号传输的电气层，PMA 负责串化/解串化，PCS 负责数据流的编码/解码，在 PCS 的上面是上层数字 IP 功能。一般的高速接口均是由 2 个 IP (时钟域) 组成，上层是数字 IP，一般执行接口协议相关的处理，下层为 SERDES 层，主要执行串并，并串转换的处理。

如图 1 所示，蓝色背景子模块为 PCS 层，是标准的可综合 CMOS 数字逻辑，可以硬逻辑实现。

褐色背景的子模块是 PMA 层，是数模混合 CML/CMOS 电路，是理解 SERDES 区别于并行接口的关键，也是本文要讨论的内容。

发送方向(Tx)信号的流向: 处理器软逻辑(fabric)送过来的并行信号，通过接口 FIFO(Interface FIFO)，送给 8B/10B 编码器(8B/10B encoder)或扰码器(scrambler)，以避免数据含有过长连零或者连一，之后送给串行器(Serializer)进行 并->串 转换，串行数据经过均衡器(equalizer)调理，由驱动器(driver)发送出去。

接收方向(Rx)信号的流向, 外部串行信号由线性均衡器(Linear Equalizer)或判决反馈均衡器(Decision Feedback Equalizer)调理, 去除一部分确定性抖动(Deterministic jitter)。CDR 从数据中恢复出采样时钟, 经解串器变为对齐的并行信号。8B/10B 解码器(8B/10B decoder)或解扰器(de-scrambler)完成解码或者解扰。如果是异步时钟系统(plesio-synchronous system), 在用户 FIFO 之前还应该有弹性 FIFO 来补偿频差。

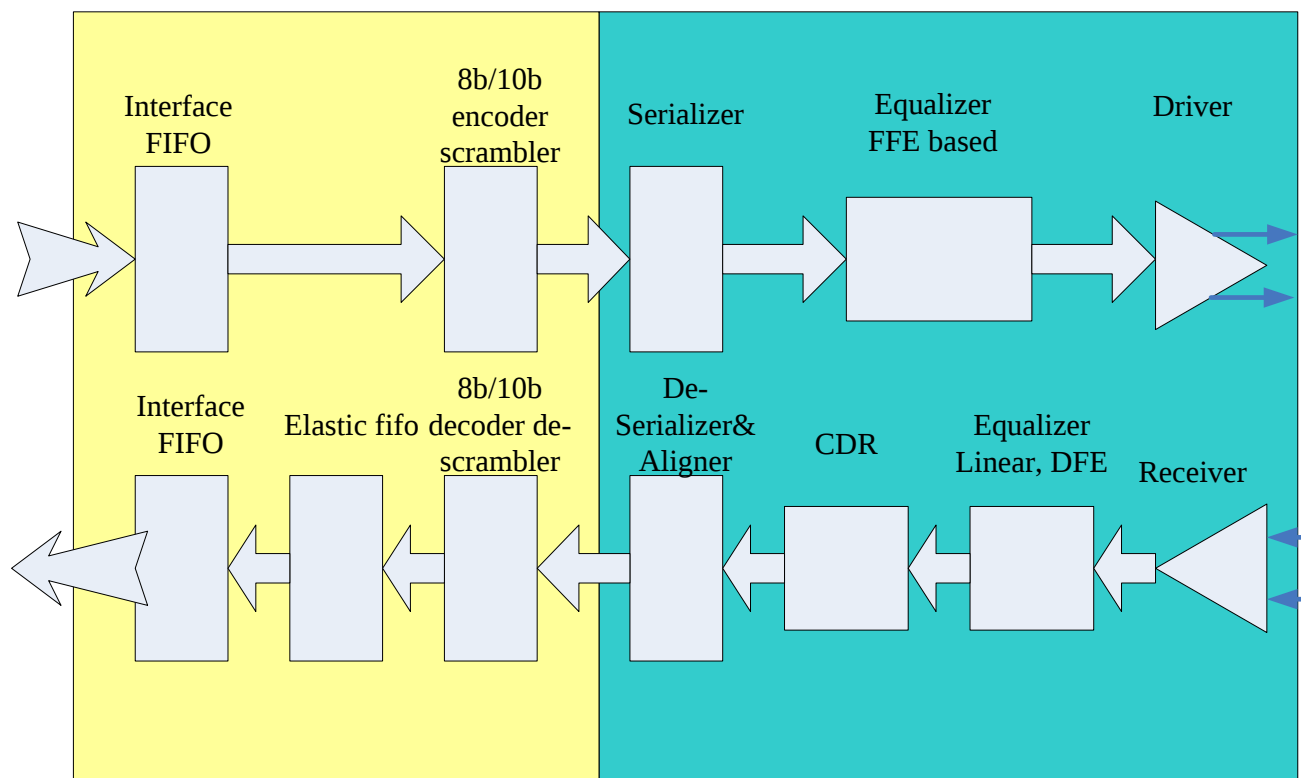


图 1 SERDES 结构图

1.4 TI 高性能处理器 SERDES 模块介绍

下面以 TI Keystone1/2 系列器件的 SERDES 模块为例, 重点介绍和 SERDES debug 相关的 PMA 层。以下的信息对于 TI 其他高性能处理器(如 Sitara 系列)具有同样参考意义。

1.4.1 串行器(Serializer)和解串器(De-serializer)

串行器 Serializer 把并行信号转化为串行信号。Deserializer 把串行信号转化为并行信号。对于 TI 处理器而言, 输入到 SERDES 模块前的并行信号为 8 /10bit 或者 16/20bit 宽度, 串行信号为 1bit 宽度(也可以分阶段串行化, 如 8bit->4bit->2bit->equalizer->1bit 以降低 equalizer 的工作频率)。采用扰码(scrambled)的协议如 SDH/SONET, SMPTE SDI 使用 8/16bit 的并行宽度, 采用 8B/10B 编码的协议如 PCIe, GbE, RapidIO 使用 10bits/20bits 宽度。在 TI 的 Keystone 处理器中, 高速接口一般采用的是 10bits/20bits 宽度格式。

接收方向除了 Deserializer 之外，一般带有还有对齐功能逻辑(Aligner)。相对 SERDES 发送端，SERDES 接收端起始工作的时刻是任意的，接收器正确接收的第一个 bit 可能是发送并行数据的任意 bit 位置。因此需要对齐逻辑来判断从什么 bit 位置开始，以组成正确的并行数据。对齐逻辑通过在串行数据流中搜索特征码字(Alignment Code)来决定串并转换的起始位置。比如 8B/10B 编码的协议通常用 K28.5(正码 10' b1110000011，负码 10' b0001111100)来作为对齐字。

1.4.2 发送端均衡器(Tx Equalizer)

SERDES 信号从发送芯片到达接收芯片所经过的路径称为信道(channel)，包括芯片封装，pcb 走线，过孔，电缆，连接器等元件。从频域看，信道可以简化为一个低通滤波器(LPF)模型，如果 SERDES 的速率大于信道(channel)的截止频率，就会一定程度上损伤信号。均衡器的作用就是补偿信道对信号的损伤。发送端的均衡器采用 FFE(Feed forward equalizers)结构，发送端的均衡器也称作加重器(Emphasis)。加重(Emphasis)分为去加重(De-emphasis)和预加重(Pre-emphasis)，De-emphasis 降低差分信号的摆幅(swing)，Pre-emphasis 增加差分信号的摆幅。

TI 的 Sitara, Keystone 等高性能处理器 SERDES IP 发送端均衡器均使用 De-emphasis 的方式，加重越强，信号的平均幅度会越小。发送侧均衡器设计为一个高通滤波器(HPF)，大致为信道频响 $H(f)$ 的反函数 $H^{-1}(f)$ ，FFE 的目标是让到达接收端的信号为一个干净的信号。如图 2 所示，TI 发送端均衡器采用去加重方式的 4 阶滤波器。

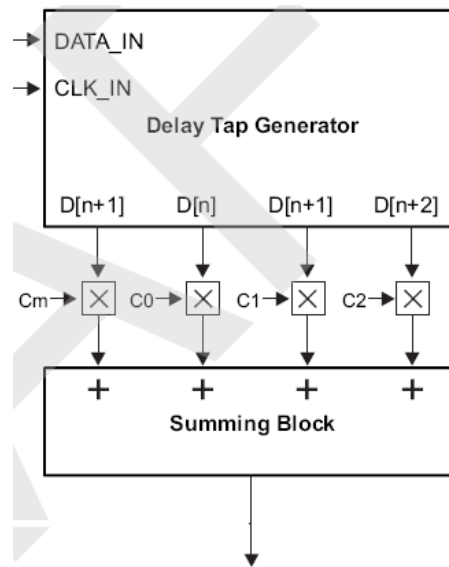


图 2. 4 阶 FFE 滤波

1.4.3 接收端均衡器(Decision Feedback Equalizer)

如前所述，信道频率响应的表现就像一个低通滤波器，通过信道的高频信号受到衰减，而低频信号则不受影响。在时域上，这种损耗会分散信道所传输的符号，使接收端符号的脉冲宽度拖尾持续时间大于符号的周期，从而该符号与相邻的符号间产生相互干扰，这种现象被称为符号间干扰。

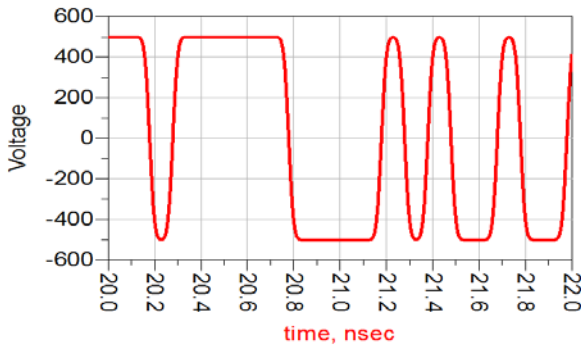


图 3 信号发送侧波形图

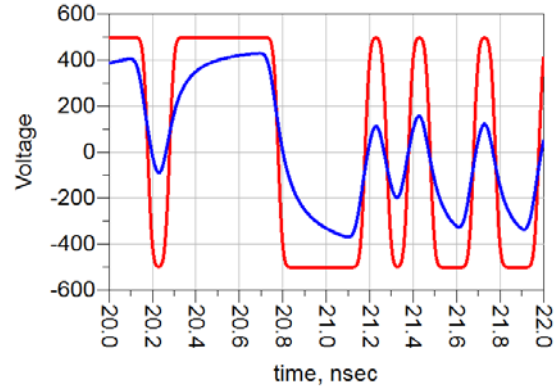


图 4 信号接收侧波形图

发送端波形如图 3 所示，经过板上传输损耗后的波形如图 4 所示。数学上，在接收端 nT_b 时刻接收到的带有符号间干扰(ISI)的非归零二进制信号用数学式子可以表示为：

$$y(n) = \sum_{k=-\infty}^{\infty} h(k)a(n-k)$$

其中：

$n(n)$: nT_b 时刻信号中的附加噪声；

$h(k)$: 信道的脉冲响应在 kT_b 时的采样值；

$a(n-k)$: 第 $(n-k)T_b$ 时刻发送的二进制数据；

$$y(n) = h(0)a(n) + \sum_{k=-\infty, k \neq n}^{\infty} h(k)a(n-k) + n(n)$$

上面公式中等号右边的第二项就是影响符号判决的 ISI 项。当数据传输通过信道时，符号间干扰会引起信道输出端眼图闭合，从而对时钟数据恢复电路的设计带来困难，导致误码率(BER)上升。

为解决这一问题，TI 高性能处理器中 SERDES 接收均衡器采用判决反馈均衡器，判决反馈均衡器将恢复出的二进制数据与一定的系数相乘后立即反馈到信号输入端，并与当前数据相加减，通过反馈回来的二进制数据将当前接收到的数据中存在的符号间干扰消除。判决反馈均衡器采用已经恢复出来的数据值来消除当前判决中所存在的符号间干扰，从而不会放大噪声成分。TI Keystone2 DSP SERDES 的 DFE 采用 5 阶 DFE，DFE 系数的调节采用自适应算法。其中 PHY-A 采用边缘 DFE 算法，PHY-B 采用中心 DFE 算法。

1.4.4 时钟数据恢复(CDR)

CDR 的目标是找到最佳的采样时刻,这需要数据有丰富的跳变。CDR 有一个指标叫做 最长连 0 或连 1 长度 容忍(Max Run Length 或者 Consecutive Identical Digits)能力。如果数据长时间没有跳变, CDR 就无法得到精确的训练, CDR 采样时刻就会漂移, 可能采到比真实数据更多的 1 或者 0。而且当数据重新恢复跳变的时, 有可能出现错误的采样。比如有的 CDR 采用 PLL 实现, 如果数据长时间停止跳变, PLL 的输出频率就会漂移。TI 在 SERDES CDR 驱动中已经采用最优配置, 用户直接使用即可。

2 基于 TI 高性能 处理器 SERDES 接口的性能优化

2.1 TI 高性能处理器 SERDES 接口特性

在 TI 的高性能处理器, 如 Keystone1/2 multicore DSP, Sitara ARM processor 等, 均集成了业界主流的一些高速接口, 比如: Serial RapidIO (SRIO), Antenna Interface (AIF), HyperLink, Serial Gigabit Media Independent Interface (SGMII), Peripheral Component Interconnect Express (PCIe), Ten Gigabit Ethernet (10GbE), 其中最高单 Lane 速率可以达到 12.5G bps。在这些高速接口中均采用 SERDES 模块作为发送接收数据链路的物理层。

Interface	Supported Rate Setting			Lane Baud Rate (GBaud)	Ref Clk (MHz)
	1× (GBaud)	1/2× (GBaud)	1/4× (GBaud)		
AIF2	6.144	- ¹	-	6.144	122.88
	4.9152	-	-	4.9152	122.88
SRIO	5.0	2.5	1.25	5.0	125
	-	3.125	-	6.25	125
	5.0	2.5	1.25	5.0	156.25
	-	3.125	-	6.25	156.25
PCIe Gen 2	5.0	2.5	-	5.0	100
SGMII	-	-	1.25	5.0	125
HyperLink	12.5	6.25	-	12.5	156.25
	12.5	6.25	-	12.5	312.5
10GbE	-	-	1.25	5.0	156.25
	10.3125	-	-	10.3125	156.25

图 5. 集成 SERDES 模块的主要高速接口

2.2 TI 高性能处理器 SERDES 接口链路优化

由于 TI 处理器 SERDES 模块在接收侧均采用自适应调整策略, 一般不用用户参与, 因此一般对 SERDES 链路优化的用户调测均集中在发送侧。发送侧均衡调整通过调节滤波器的系数来改变滤波器的频响, 以补偿信道的高频损失, 如前所述, TI 高性能处理器采用 de-emphasis 的方式, 其去加重幅值越强, 信号的平均幅度会越小。并行数据在经过并串转换模块后, 被输入到 4 阶抽头延时发送器模

块, 进而产生 4 流的串行数据。该 4 阶抽头延时发送器设计为一个高通滤波器(HPF), 其函数表达式如下, 因为信道本质是低通滤波器, 对高频信号进行衰减, 所以发送侧均衡器本质是要补偿其高频增益, 这样在时域上才能使得到达接收端的信号尽可能为一个无失真的信号。

$$y(n) = c_m a_m + c_0 a_0 + c_1 a_1 + c_2 a_2;$$

在这里

$$d_m = d(n+1); d_0 = d(n); d_1 = d(n-1); d_2 = d(n-2)$$

定义如下:

$d(n+1)$: 数据流中下一个比特;

$d(n)$: 数据流中当前比特;

$d(n-1)$: 数据流中相较于当前比特的前一个比特;

$d(n-2)$: 数据流中相较于当前比特的前两个比特;

TI 高性能处理器 SERDES 模块提供了动态配置接口, 可以通过调整 4 阶 FIR 滤波器的参数 C_m, C_0, C_1, C_2 来改变滤波器的频响。 C_m, C_0, C_1, C_2 参数的配置直接决定了 SERDES 信号发送侧的性能, 因为在优化配置中需要注意以下几点:

1) 根据去加重的物理定义, 其去加重幅值可以由时域上非第 1 个跳变 bit 的电压幅值 V_b 和第 1 个跳变 bit(0→1 或者 1→0) 的电压幅值 V_a 的比值计算得到。其中 V_a 及 V_b 和 4 阶滤波器参数 C_m, C_0, C_1, C_2 成线性关系。其关系如下公式所示。通过调整这 4 个滤波器参数可以直接决定去加重幅值: $\text{de-emphasis} = 20\log_{10}(V_b/V_a)$, $V_a = C_0 - C_m + C_1, V_b = C_0 - C_m - C_1$ 。如设置 $C_m=4, C_0=25, C_1=7$ 那么得到的去加重幅值为:

$$\text{De-emphasis} = 20\log_{10}(14/28) = -6 \text{ dB}.$$

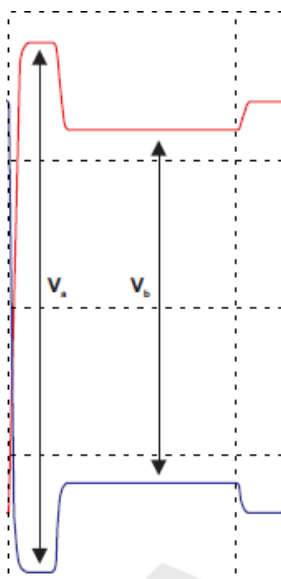


图 6. 去加重波形图

2) C_m , C_0 , C_1 和 C_2 的参数极性设置可以是正数也可以是负数，可以通过SERDES Lane控制寄存器的比特位PMA_LN_TXEQ_POLARITY[n], $n=0\sim3$ 分别对不同的参数进行极性设置。但其归一化值必须满足关系式： $|C_m|+|C_0|+|C_1|+|C_2|=1$ ，其中 C_0 的值是根据 C_m , C_1 和 C_2 的值分别进行自适应调整的。 C_m , C_1 , C_2 的值可以通过TXDRV_C1_IN_OVR_O[4:0], TXDRV_C2_IN_OVR_O [3:0] 和TXDRV_CM_IN_OVR[3:0]进行配置。用户可以通过TI提供的测试优化工具遍历 C_m , C_1 , C_2 的多种组合得到满足传输协议误码率（BER）的最佳组合值。测试优化工具的使用参考本文章节3。

除了 4 阶抽头滤波器参数优化外，对于发送侧，发送信号幅值调整也直接影响传输信号质量，对于较远距离的差分信号传输，传输频率越高单位距离的衰减程度越大，由于 SERDES 的传输信号一般在 1GHz 以上，为保证在接收侧的接收信号可以达到信号检测(signal detection)的门限，在发送侧需要调整传送信号的幅值大小。TI Keystone2 DSP 可以通过以下方法进行调节：

TXDRV_ATT_IN_OVR_O[3:0] 调整发送驱动的衰减范围。

PMA_LN_TX_VREG_LEV_O[2:0] 调整输出电压校准器的值，可调范围为 0.75V 到 1.1V 之间，但出于长期运行可靠性角度考虑，一般不推荐设置为比 0.95V 要高的值。

2.3 PRBS 测试

TI 高性能处理器中大部分高速接口的 SERDES 模块 每条 lane 的 PHY 模块均包含了独立的 PRBS 产生模块，PRBS 产生模块可以产生不同的 PRBS 数据块，PRBS 数据块可以被发送到 Link partner 以测试 BER(Bit Error Rate)。这里以 Keystone2 芯片为例介绍基于 PRBS 的调试方法。

目前 PRBS 数据块支持 PRBS-7，PRBS-15,PRBS-23,PRBS-31 4 种数据格式，这四种数据格式的 bit 生成定义如图 7 所示：

PRBS Type	PRBS Polynomial
PRBS-7	$X_7 + X_6 + 1$
PRBS-15	$X_{15} + X_{14} + 1$
PRBS-23	$X_{23} + X_{18} + 1$
PRBS-31	$X_{31} + X_{28} + 1$
End of Table 17-1	

图 7 PRBS 的生成定义

用户可以通过配置 PRBS 产生寄存器进行序列的传输控制，如图 8 所示。具体驱动程序可以参考 TI 提供的 MCSDK 包/Processor SDK 包中的 PDK 目录下的 DIAG 子文件夹。

Figure 17-13. Register at 034 (lane_034)

31	30	28	27
Reserved	BIST_GEN_INSERT_COUNT_O_2_0	BIST_GEN_SEND_PREAM_O	
R +0	R/W +000	R/W +0	
26	18	17	16
Reserved	BIST_CHK_PREAM1_O_9_8	BIST_CHK_PREAM1_O_7_0	BIST_GEN_EN_O
R +00000	R/W +00	R/W +00000000	R/W +0
6	5	4	2
BIST_GEN_WORD_O	BIST_GEN_CDN_O	BIST_CHK_INSERT_LENGTH_O_2_0	BIST_CHK_PREAM0_O_9_8
R/W +0	R/W +0	R/W +000	R/W +00

图 8 PRBS 生成器寄存器定义

3 TI 高性能处理器 SERDES 模块开发调试注意事项

3.1 硬件设计自查列表

由于 SERDES 链路上传输的均为高速信号，因此对硬件设计提出了较高要求，本节列出了基于 Sitara 和 Keystone 芯片上和 SERDES 相关的主要硬件设计检查点，供用户参考：

- 1) 根据 Sitara AM57x hardware design guide, Keystone SERDES design guide, Keystone Hardware design 的要求检查 SERDES 布线是否满足要求；
- 2) 检查输入电源噪声，上电顺序是否满足要求；
- 3) 检查输入时钟抖动是否满足要求；
- 4) 检查耦合电容的值和放置位置；
- 5) 检查 PLL 是否锁定；
- 6) 通过降低相邻高速信道的发送幅值和预加重权值来检查潜在的串扰问题。

3.2 信号传输路径检查

TI 处理器中 SERDES 信号传输支持两种自循环模式。一种是 LB_NES(近端回环模式)，另外一种 是 LB_FEP(远端回环模式)，分别如图 9 所示：

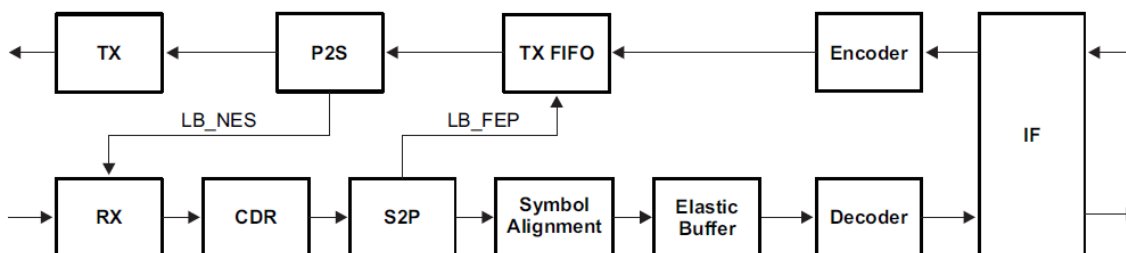


图 9 SERDES 信号的典型回环模式

在硬件板做好后，可以通过不同的回环模式对板子进行自测，以排查相关问题。在以后实际调测过程中，若出现 SERDES 高速链路相关问题，也可以根据不同回环模式进行第一轮筛查，以初步确定哪一个模块可能出错。

若在近端回环模式下，BER 值（误码率）较高，主要可以检测 SERDES 输入时钟相关设置，如果远端回环模式下 BER 值较高，则主要检测发送端幅值，衰减设置，发送侧滤波器参数设置，接收端 DFE 设置，CDR 设置以及和时钟相位偏移相关的设置。

3.3 眼图测试

眼图是用余辉方式累积叠加显示采集到的串行信号的比特位的结果，叠加后的图形形状看起来和眼睛很像，故名眼图。眼图上通常显示的是 1.25UI 的时间窗口。通过眼图的形状特点可以快速地判断信号的质量。一个典型的眼图指标如图 10 所示。

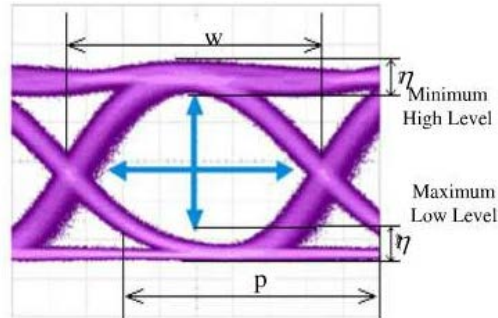


图 10 典型眼图形状

用户可以通过检查抓到的眼图和眼图模板是否有冲突以及冲突的类型来初步判别需要调整的参数。

1) 眼图和中心模板(MASK)冲突

若眼睛闭合比较明显，此时应该减少发送端驱动的衰减值（TXDRV_ATT_IN_OVR_O）和加大输出电压（PMA_LN_TX_VREG_LEV_O）以加大输出信号幅值。

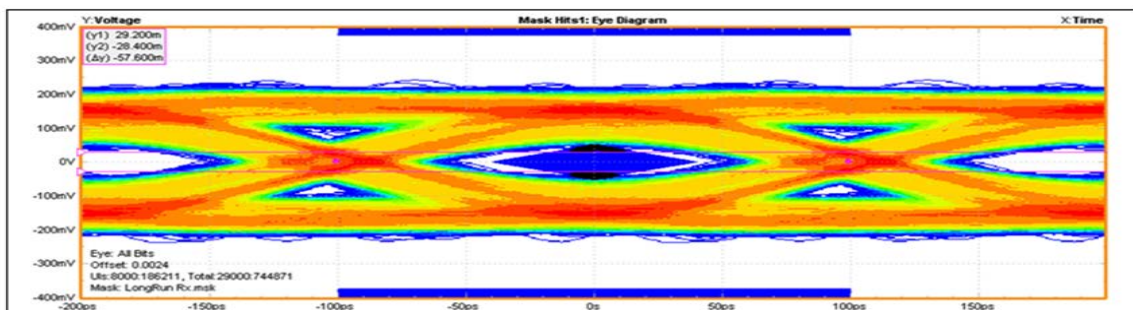


图 11 眼图上下闭合

若眼睛中心点相较于模板有了水平方向偏移。此时可以通过调整发送端滤波器参数 Cm,C1,C2 以获得眼图最佳值。

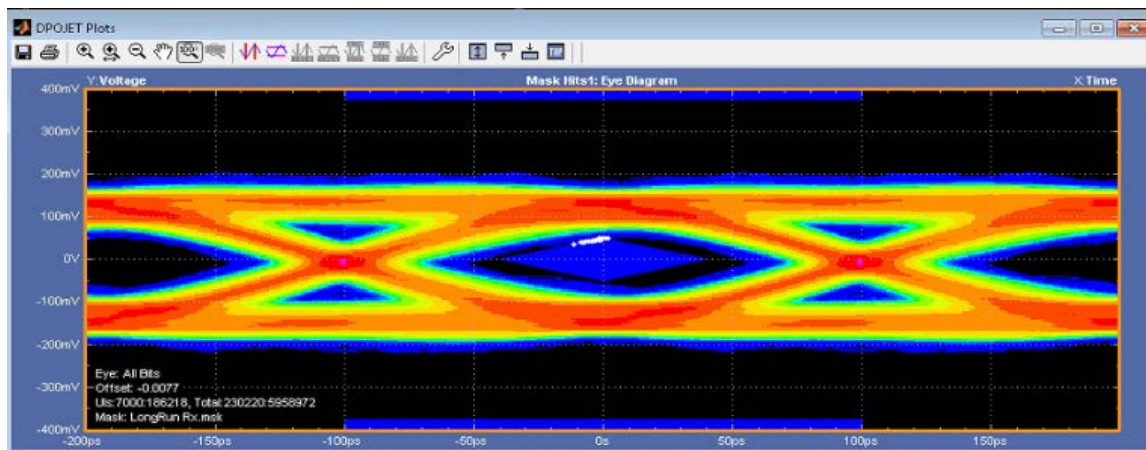


图 12 眼图左右偏移

2) 眼图和模板的上顶下底边沿冲突

若眼睛张开过大，此时应该增加发送端驱动的衰减值（TXDRV_ATT_IN_OVR_O）和减少输出电压（PMA_LN_TX_VREG_LEV_O）以降低输出信号幅值。

3) 眼图过零点杂散

有可能是板间串扰引起，需要仔细检查板子信号完整性设计

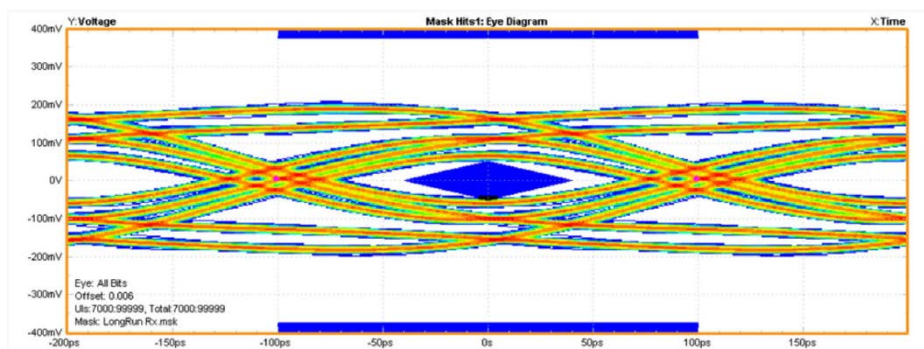


图 13 眼图眼皮杂散

以上仅列举了几种典型场景，除此之外检查眼图测试结果中数据信号 jitter 指标也对判别错误根源很有帮助。根据 SERDES 传输协议规定了信号传输的 TJ（total value）值 Total Jitter 由两部分 Jitter 组成：

RJ，随机抖动，主要由随机干扰，瞬时激发干扰引起，比如信号串扰，在接收端的数据表象为错误分布为以 bit 为单位的随机位置。

DJ, 确定抖动, 主要由符号间干扰等引起, 在接收端的数据表象为错误按一定规律分布在一个宽泛的区域间。当确定抖动过大时, 常常需要检查输入时钟信号 jitter 值, 因为它会间接影响数据信号 jitter 指标

4 TI SERDES debug 工具

为方便用户对 TI 高性能处理器的 SERDES 接口进行调试和问题定位, TI 开发了基于 Java 脚本控制的 SERDES debug 工具, 通过 Java 脚本和测试工程可执行文件在仿真器上配合使用。SERDES debug 工具可以测试经过 CDR 和 RX 侧 DFE 模块后的误码率(BER)和眼图(Eye-diagram)。当用户安装了 Processor SDK 或者 MCSDK 后, 可以在 `pdk_installer_folder/packages\ti\diag` 找到相应源码和应用工具。

4.1 BER 测试

通过 Java 脚本文件 `SERDES_dss_ber.js` 可以灵活控制测试时间和 SERDES 传输参数, 由于 SERDES 接收侧参数是由 SERDES 模块自适应调整的, 所以在 TI 工具中主要是针对发送侧参数 `Cm,C1,C2` 和发送幅值来配置, 通过遍历可能的 `Cm,C1,C2` 和发送幅值范围来获得最优 BER 和 Eye-diagram 的值, 然后从中选出最佳的 `Cm,C1,C2` 和发送幅值的组合。

测试时间长短的选择是严格依照 SERDES 信号传输最小误码率的要求确定, 以 SRIO 接口为例, 根据 Rapid IO 2.1 协议, 在传输线速率 5Gbps 时, 最小误码率的要求是 10^{-12} , 则测试时间 $(s)=1/(10^{-12})*5(s)$ 。

仿真器可以采用 TI 通用的 XDS560 系列仿真器或者 XDS200 仿真器, 仿真器链接和加载 out 程序均在 java 脚本文件中通过 java 代码实现, 大大简便了用户的使用。

在 Java 脚本中还可以指定 PRBS 测试数据类型。具体测试数据类型释义由前节所述。

待测试的高速接口的特性参数如参考时钟配置, 传输线速率, lane 的数目等均由文件 `SERDES_dbg_test_init.c` 在初始化时进行配置。

图 14 是操作界面。可以通过修改脚本指定特定的 `Cm,C1,C2`, 和发送幅值范围, 测试时间及测试接口的 Lane。

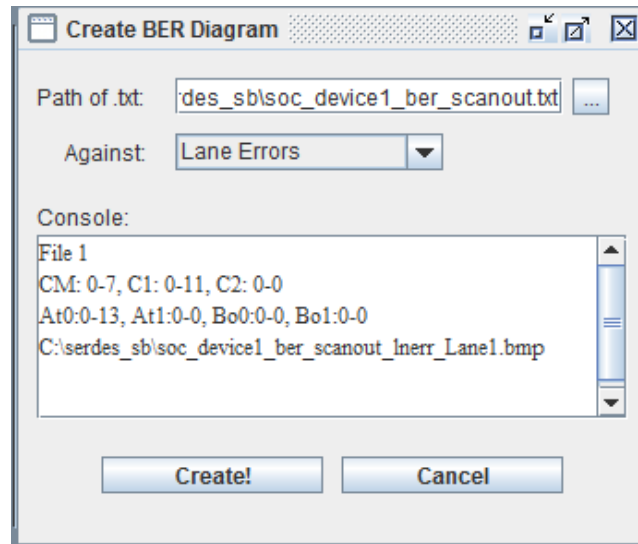


图 14 BER 测试操作界面

在链接上仿真器后，需要在 Java 脚本文件中正确指定可执行文件(*.out)在电脑上的存放路径。在 HOST 机上运行 Java 脚本后，会获得接收侧 BER 结果的文本文件，然后运行工具中附带的 Create BER Diagram 程序，就可以得到各种 Cm,C1,C2 组合下的 BER 值。如图 15 所示，红色代表 BER 偏高，淡黄色代表 BER 存在，但不是很高，绿色代表 BER 满足高速接口 spec（本例中为 RapidIO2.1）要求，白色是最终选择出的最佳值。

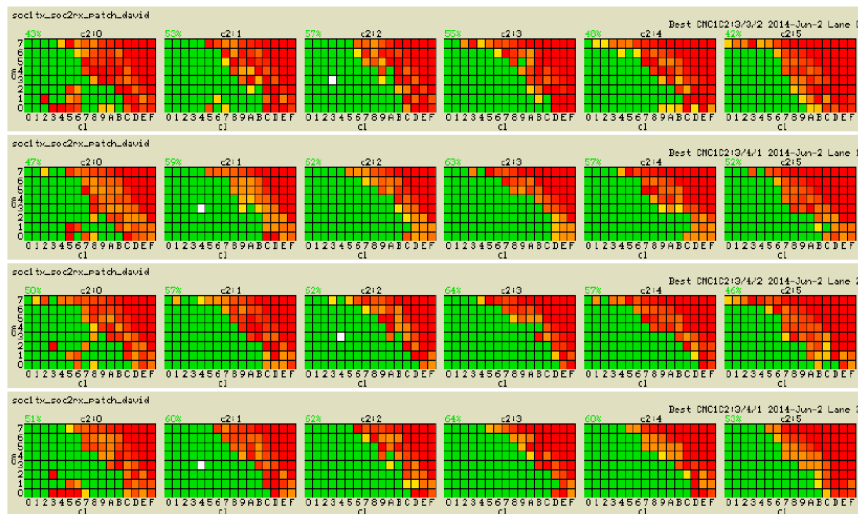


图 15 BER 测试结果

4.2 On Die Eye-diagram 测试

片上眼图测试过程和 BER 测试过程类似，运行工具包中的 `SERDES_dss_eye.js` 和相应的眼图生成程序即可。这里需要注意的是，采用这个工具生成的眼图和通用示波器在芯片接收 pin 脚上测得的眼图是不一样的。工具生成的眼图是 DFE 模块内部算法通过调整在水平方向（时间）和垂直方向（幅值）采样点偏移量测量 BER 后，根据获得的 BER 值绘制眼图得到的。我们称为 on die eye-diagram（片上眼图），这个经过接收端均衡处理过的眼图相较于 pin 脚上测量的眼图对接收机判定链路传输性能更具有直接意义。产生的 On Die 眼图如图 16 所示，Eye Diagram 配置界面 如图 17 所示。

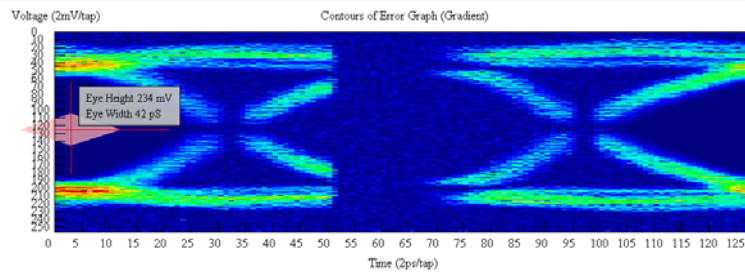


图 16 On Die Eye-diagram

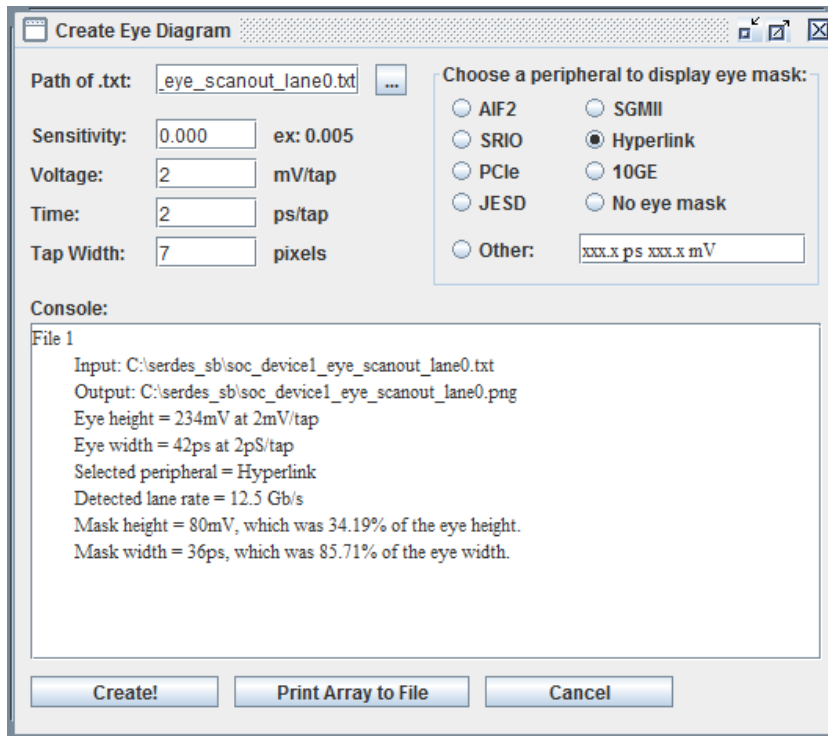


图 17 On Die Eye-diagram 配置界面

5 结束语

从上面介绍可以看出，TI 高性能处理器 SERDES 模块在实际开发过程中，由于 IP 复杂度较高，涉及知识面较宽，对用户硬件设计，软件设计和测试验证方法要求均较高。因此有必要对主要调测方法进行一个大致的总结。

硬件设计上需要仔细阅读 TI SERDES design guide, hardware design guide, layout guide 中的设计要求，并严格遵循其要求，若不能确定硬件设计是否符合规范要求，此时应对高速信号接口进行 IBIS model 仿真。

软件开发上，对于用户不可调部分（RX 均衡，CDR 等），建议采用 TI PDK 软件包中最新的初始化参数，TI 提供的最新初始化参数是经过综合考虑功耗性能比后提供的最优参数，用户可以直接采用。对于用户可调部分（主要是发送侧），需要用户自己根据板子的实际走线，布局通过 SERDES 测试优化工具选取最优值后，再将该值配置在正式产品的驱动软件中。

参考文献

1. *KeyStone II Architecture Serializer/Deserializer (SERDES) User's Guide (SPRUHO3)*
2. *Hardware Design Guide for KeyStone II Devices (SPRABV0)*
3. *AM57x High-Speed Interface Layout Guidelines (Rev. F)*
4. http://processors.wiki.ti.com/index.php/AM57x_Hardware_Design_Guide
5. *Hardware Design Guide for KeyStone I Devices SPRABI2C*

有关 TI 设计信息和资源的重要通知

德州仪器 (TI) 公司提供的技术、应用或其他设计建议、服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用；如果您（个人，或如果是代表贵公司，则为贵公司）以任何方式下载、访问或使用了任何特定的 TI 资源，即表示贵方同意仅为该等目标，按照本通知的条款进行使用。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。

您理解并同意，在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，以及您的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。您就您的应用声明，您具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。您同意，在使用或分发包含 TI 产品的任何应用前，您将彻底测试该等应用和该等应用所用 TI 产品的功能。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

您只有在为开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等产权包括但不限于任何专利权、版权、屏蔽作品权或与使用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对 TI 资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。

TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为您辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

您同意向 TI 及其代表全额赔偿因您不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

本通知适用于 TI 资源。另有其他条款适用于某些类型的材料、TI 产品和服务的使用和采购。这些条款包括但不限于适用于 TI 的半导体产品 (<http://www.ti.com/sc/docs/stdterms.htm>)、[评估模块](#)和样品 (<http://www.ti.com/sc/docs/sampters.htm>) 的标准条款。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司