

LMK 时钟 family LVDS 输出交流耦合设计 注意事项

Joyce Li

China Key Account Team

ABSTRACT

LMK0380x/LMK0480x 以及 LMK0482x family 是 TI 推出的高相噪性能的基于模拟锁相环的时钟模块。LMK0030x family 是 TI 推出的低附加抖动的 clock buffer 系列。以上的时钟器件输出电平支持多种信号电平，常用的 LVDS, HSDS, LVPECL 或者 LCPECL 都可以灵活配置。本文将介绍当输出配置为 LVDS 电平时，外部电路需要注意的设计事项，并且提供仿真结果供使用者参考。

Contents

1	LMK03806, LMK0480x, LMK0482x, LMK0030x 系列 LVDS 电平输出的几种拓扑.....	2
2	当 LVDS 输出电路为图 4 时的时钟输出稳定问题	3
3	如何从设计上减小 Tstartup delay	4
	3.1 对 Rbias 不同取值进行仿真	5
4	结论	7
5	参考文献	8

Figures

Figure 1.	LVDS driver DC 耦合到负载接收端.....	2
Figure 2.	LVDS driver AC 耦合到负载接收端，AC 耦合电容前 PN 之间跨接 100ohm 电阻	2
Figure 3.	LVDS driver AC 耦合到负载接收端，负载端集成 50ohm 电阻，以及直流偏置电压。	3
Figure 4.	LVDS driver AC 耦合到负载接收端，负载端集成 100ohm 电阻。	3
Figure 5.	当 LVDS 输出电路为图 4 拓扑时的输出仿真波形	4
Figure 6.	LVDS 驱动不带内部 100ohm 负载的 AC 耦合推荐电路.....	4
Figure 7.	LVDS 驱动不带内部 100ohm 负载的 AC 耦合推荐电路.....	5
Figure 8.	Rbias=560ohm, Tstartup delay<50ns	6
Figure 9.	Rbias=750ohm, Tstartup delay<200ns	6
Figure 10.	Rbias=1000ohm, Tstartup delay<300ns	7
Figure 11.	Rbias=1000ohm, Tstartup delay>200ns	7

1 LMK03806, LMK0480x, LMK0482x, LMK0030x 系列 LVDS 电平输出的几种拓扑

LVDS (Low Voltage Differential Signal) 即低电压差分信号, 是常用的一种差分对电平标准, 其特点是电流驱动模式, 电压摆幅 350mV 加载在 100ohm 的电阻上。其中发送端是一个 3.5mA 的电流源, 产生的 3.5mA 的电流通过差分线中的一路到接收端。电流通过接收端的 100ohm 的匹配电阻产生 350mV 的电压, 同时电流经过差分线的另一路流回发送端。当发送端进行状态变化时, 通过改变流经 100ohm 电阻的电流方向产生有效的 0 和 1 态。

LMK03806, LMK0480x, LMK0482x, LMK0030x 系列的输出类型配置为 LVDS 类型时, 常用的拓扑有如下几种: 大致可以分为直流和交流耦合。

交流耦合允许在驱动不同的接收器时改变直流偏置电平 (共模电压) 标准。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压, 因此重要的是确保接收器偏置到理想的电平。

当使用 LVDS 驱动器驱动差分接收器时, 可以通过添加 AC 耦合电容来阻塞 DC 信号。但是, 需要在驱动器侧和接收器侧都建立适当的直流偏置点。

图 1 是当时钟芯片的输出和负载接收端是直流耦合。LVDS 的 P 和 N 端跨接了 100ohm 的端接电阻。

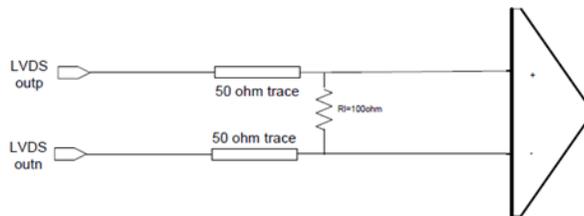


Figure 1. LVDS driver DC 耦合到负载接收端

图 2 是 LVDS 输出和负载接收端是 AC 耦合, 在 AC 耦合电容前, P 和 N 端跨接了 100ohm 的端接电阻。

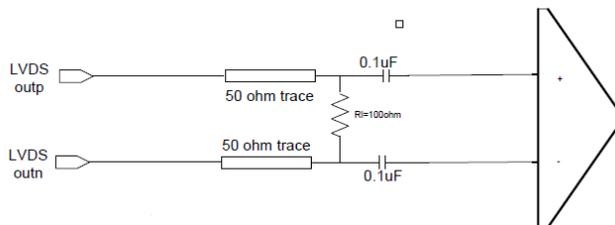


Figure 2. LVDS driver AC 耦合到负载接收端, AC 耦合电容前 PN 之间跨接 100ohm 电阻

图 3 也是常见的 LVDS AC 耦合方式, 和图 2 的区别是负载接收端内部电路集成了片上的 50ohm 电阻, 并且在 P/N 之间有直流偏置电压。外部电路 P/N 之间没有跨接电阻。

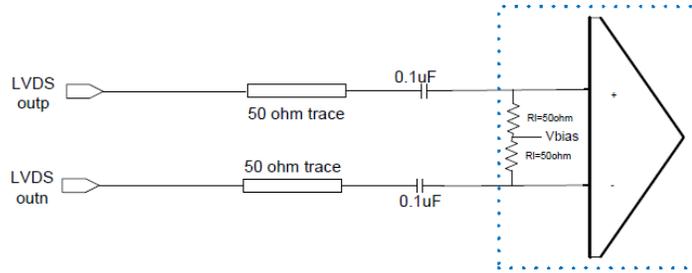


Figure 3. LVDS driver AC 耦合到负载接收端，负载端集成 50ohm 电阻，以及直流偏置电压。

图 4 是 LVDS AC 耦合的另一种方式，和图 3 的区别是负载内部集成了 P/N 之间的负载 100ohm 电阻，P/N 间没有偏置电平。图 3 和图 4 这两种连接方式通常是在负载接收端集成了端接的 100ohm 电阻情况。所以外部的 100ohm 电阻通常被省略掉，以便实现更高的摆幅。

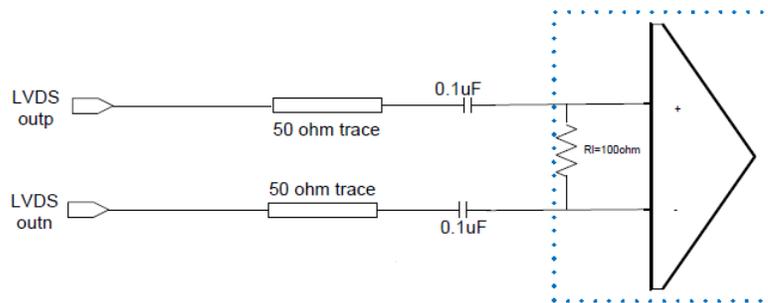


Figure 4. LVDS driver AC 耦合到负载接收端，负载端集成 100ohm 电阻。

2 当 LVDS 输出电路为图 4 时的时钟输出稳定问题

当 LMK03806, LMK0480x, LMK0482x, LMK0030x 系列的 LVDS 输出拓扑配置为图 4 时，也即直流信号没有完整的回路时，由于有 AC 耦合电容的原因，阻止了 DC 的电流回路，导致 LVDS 的输出信号会存在一段不稳定的时间，可以认为在输出正常稳定的信号前由于给电容充电有一段建立延迟时间。用户会看到 LVDS 输出波形异常。图 5 是仿真结果，测试条件为 LMK00301 输出 40MHz 的差分 LVDS 信号，时钟到接收端之间的 PCB 走线为 9 英寸的单端 50ohm 走线，接收端内部集成 100ohm 阻抗。由上到下的波形分别为接收端的输入信号的共模电平（黄色曲线）、接收端的输入信号的差分信号、LMK 时钟输出信号经过传输线在 AC 耦合电容前、LMK00301 的输出端。可以看到在开启输出后，有一段时间 P/N 信号的波形呈现异常状态，不是标准的方波，并且摆幅过大，有明显的过冲，PN 信号的共模电平也偏高，经过 1.5us 后，P/N 信号摆幅逐渐下降，并且共模电平也逐渐减小至正常。

这段输出稳定建立时间（Tstartup delay）受到输出频率大小、AC 耦合电容大小、传输线走线长短的影响。

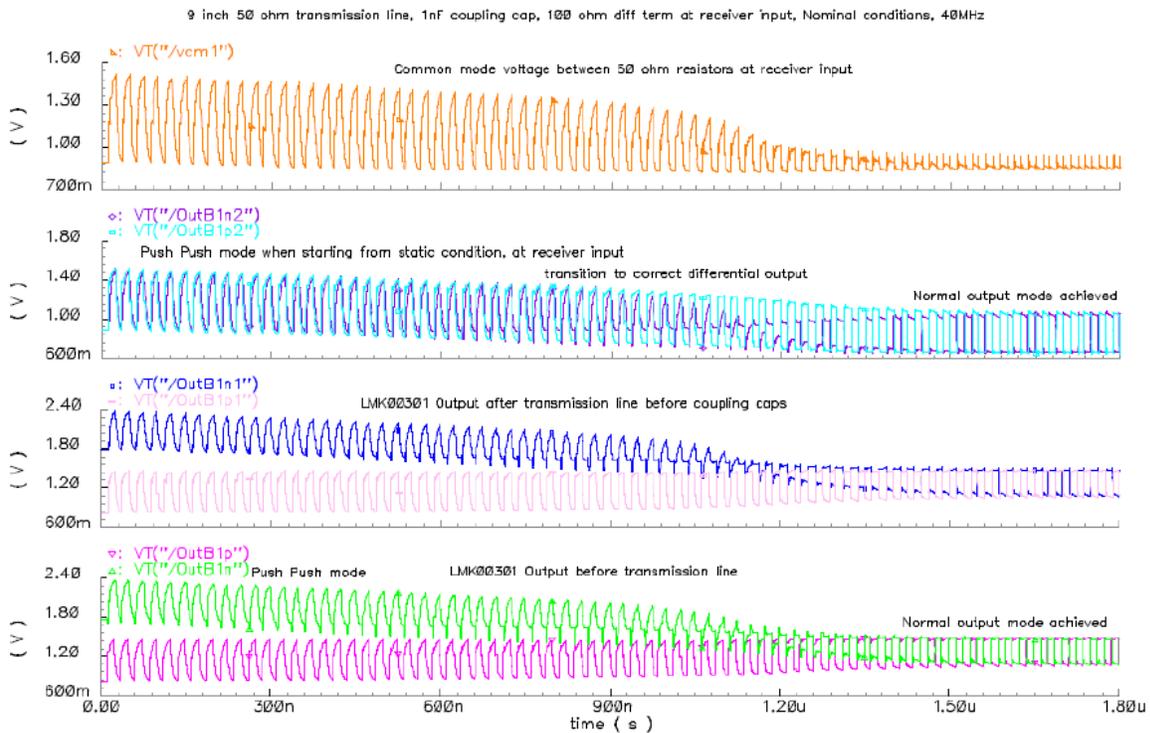


Figure 5. 当 LVDS 输出电路为图 4 拓扑时的输出仿真波形

3 如何从设计上减小 Tstartup delay

如果用户选择 LVDS 类型输出，采用 AC 耦合，那么推荐的外围设计电路取决于接收端接器件内部是否集成了 100ohm 的端接电阻。

当端接不带内部 100ohm 差分端接的差分接收器时，应该在交流耦合电容之前放置 100ohm 负载，以允许 P/N 之间有完整的直流路径，如图 6 所示。负载 100ohm 电阻和交流耦合电容应为放置在尽可能靠近接收器输入的位置，以最大程度地减少枝节（stub）长度。接收器可以在内部偏置或外部偏置。外部偏置时，需要注意内部电阻的选择，选择在 Kohm 的范围内。

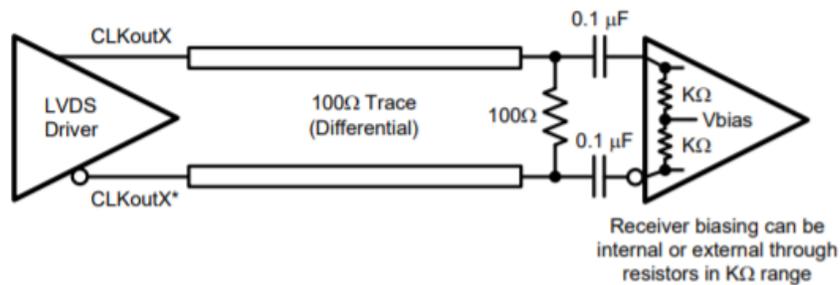


Figure 6. LVDS 驱动不带内部 100ohm 负载的 AC 耦合推荐电路

当端接端内部 100ohm 差分端接的差分接收器时，并且是 AC 耦合时，由于没有完整的 DC 耦合回路，输出有会存在一定的稳定建立时间 $T_{startup\ delay}$ 。下面介绍如何减小 $T_{startup\ delay}$ 。

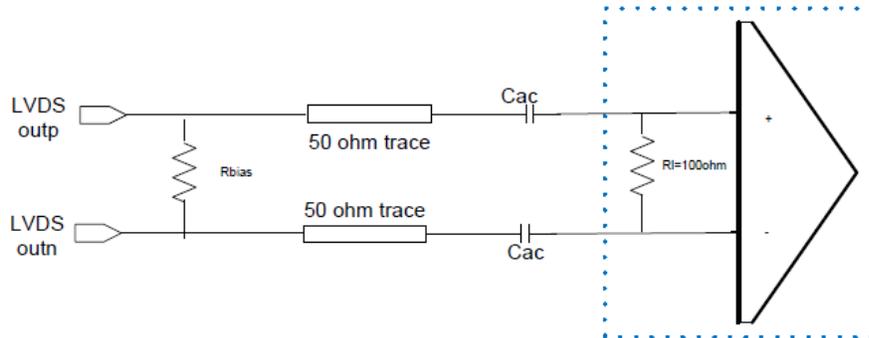


Figure 7. LVDS 驱动不带内部 100ohm 负载的 AC 耦合推荐电路

1. 应在 AC 耦合电容前 P/N 之间添加电阻 R_{bias} 实现 DC 回路，如图 7 所示。 R_{bias} 的添加会使 LVDS 摆幅降低。为了不影响接收端的摆幅 R_{bias} ， R_{bias} 可以选择在 560ohm~1Kohm 之间， R_{bias} 越小， $T_{startup\ delay}$ 越短，摆幅越低。
2. 降低 AC 耦合电容，也可以降低 $T_{startup\ delay}$ 。

3.1 对 R_{bias} 不同取值进行仿真

接下来对 R_{bias} 不同电阻值进行电路仿真，观察 $T_{startup\ delay}$ 。

仿真电路如图 7，仿真条件： $F_{clkout}=250\text{MHz}$ ， $C_{ac}=100\text{pF}$ ，设置 $R_{bias}=560\text{ohm}$ ， 750ohm ， 1kohm 以及开路。温度设置为 $-40\text{C}\sim 130\text{C}$ 。

1. $R=560\text{ohm}$. 下图 8 是仿真结果，可以从图中看到在 40ns~50ns 之间，输出趋于稳定。可以判定 $T_{startup\ delay}<50\text{ns}$

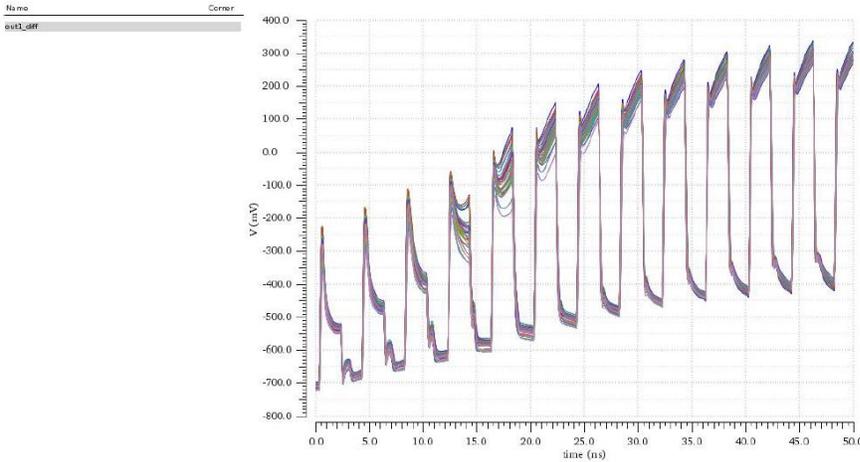


Figure 8. Rbias=560ohm, Tstartup delay<50ns

2. R=750ohm, 图 9 是仿真结果, 可以从图中看到在 179~200ns 之间, 输出趋于稳定。Tstartup delay<200ns

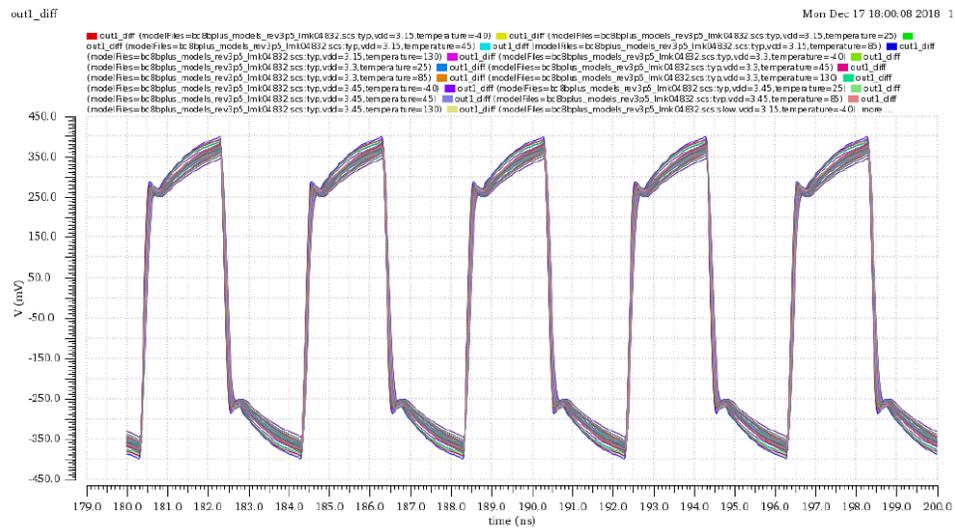


Figure 9. Rbias=750ohm, Tstartup delay<200ns

3. R=1000ohm, 图 10 是仿真结果, 可以从图中看到在 279~300ns 之间, 输出趋于稳定。Tstartup delay<300ns

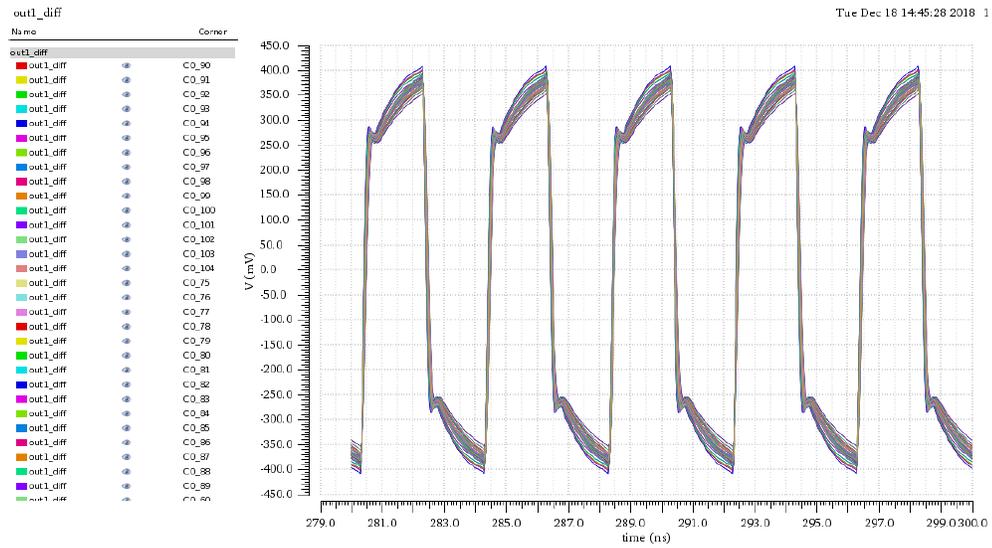


Figure 10. Rbias=1000ohm, Tstartup delay<300ns

4. R 开路时，图 11 是仿真结果，可以看到输出的波形明显有过冲和尖峰，经过了 200ns 输出仍没有稳定。Tstartup delay>200ns

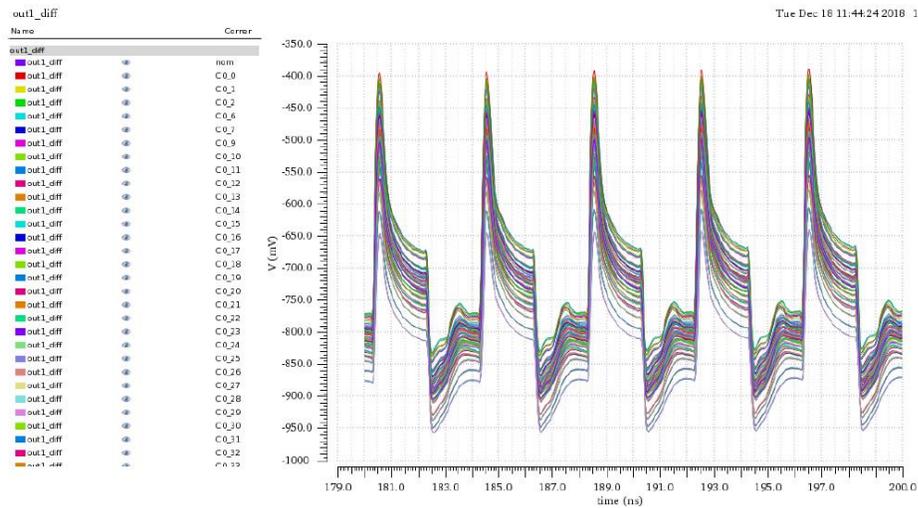


Figure 11. Rbias=1000ohm, Tstartup delay>200ns

从以上仿真结果可以看出，Rbias 越小，Tstartup delay 越短，推荐 Rbias=560ohm，也是 TI LMK00301 系列 EVM 板的取值。

4 结论

本文介绍了 LMK0480x / LMK0482x / LM0030x 系列等器件当配置成 LVDS 电平输出下的推荐外围电路以及注意事项，提供了仿真结果供用户参考。当 LVDS 驱动器与没有集成 100ohm 负载的接收器件接口时，请选择 DC 耦合方案（图 1）或 AC 耦合方案（图 2）。如果接收器件内部集成了 100ohm 负载，并采用 AC 耦合时，则需要注意添加 Rbias 电阻，使其提供一个完整的 DC 回路。以防止出现不正确的偏置条件并减少启动延迟时间。使用较小的交流耦合电容 Cac 也可以缩短启动延迟时间。

以下列出了 TI LMK 家族有同样特性的器件，便于用户参考。

TI Devices
LMK03806
LMK0480x (LMK04803, LMK04805, LMK04806, LMK04808)
LMK0030x buffer family (LMK00304, LMK00306, LMK00308 and LMK00301)
LMK01801 buffer
LMK04906
LMK04816
LMK04208
LMK0482x (LMK04828, LMK04826, LMK04821)

5 参考文献

1. *LMK00301/LMK04832 datasheet*

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2021 德州仪器半导体技术（上海）有限公司