

Antony Ahn

摘要

从个人电子产品到工业和汽车领域，反激式转换器广泛用于多种应用。它通常支持超小型到中型电源，而且与其他拓扑相比，需要的外部元件更少。但是，在正常工作中，传统的反激式转换器会因硬开关操作而产生有害的电压尖峰。这种电压尖峰具有高频噪声谐波，通常与系统级的 EMI 问题有关。另一个问题是，一旦峰值电压应力高于器件的绝对最大额定值，这种电压尖峰就会损坏开关器件。此应用手册将通过 TPS55340 的设计示例来说明如何减小和抑制这种电压尖峰。

内容

1 反激式转换器的开关节点电压应力.....	2
1.1 反射电压 VOR.....	2
1.2 漏电感系数.....	3
2 减小开关节点上的电压尖峰.....	4
2.1 齐纳或 TVS 钳位.....	4
2.2 阻塞二极管的正向恢复特征.....	5
3 使用 TPS55340 的设计示例.....	6
3.1 初始关键设计和测试结果.....	6
3.2 降低 V _{sw} 的重新设计过程.....	6
3.3 使用具有良好 T _{fr} 的阻塞二极管.....	7
4 总结.....	8
5 参考文献.....	8

插图清单

图 1-1. 反激式转换器的一次侧电流、电压和开关节点电压.....	2
图 1-2. 具有漏电感的开关节点波形.....	3
图 2-1. 在齐纳额定电压下开关节点的电压尖峰.....	4
图 2-2. 根据齐纳额定电压变化的二次电流波形.....	4
图 2-3. 阻塞二极管的正向恢复产生的电压峰值.....	5
图 3-1. 初始设计中 TPS55430 VSW 的示波器图像.....	6
图 3-2. 关于 VOR 和齐纳二极管的设计变更.....	6
图 3-3. 更改 VOR 和齐纳二极管额定电压后的示波器图像.....	7
图 3-4. 更改阻塞二极管后的最终测试结果.....	7

表格清单

表 3-1. 设置 VOR 后，一次电流峰值不应达到 IC 的内部电流限值.....	6
表 3-2. V _{sw} 的绝对最大额定值应小于 40V.....	6

商标

所有商标均为其各自所有者的财产。

1 反激式转换器的开关节点电压应力

1.1 反射电压 VOR

在典型反激式转换器中，当初级侧开关关断，储存的能量通过变压器输送到负载时，次级侧将出现反射电压。在最坏的情况下，增加最大输入 VDC、VIN 后，此反射电压 VOR 将对开关器件形成电压应力。此反射电压 VOR 的振幅是一项关键的设计因素，将影响对开关器件施加的电压应力。

$$V_{OR} = \frac{N_p}{N_s} V_{out} \quad (N_p: \text{Number of Turns in Primary, } N_s: \text{Number of Turns in Secondary}) \quad (1)$$

根据上面的简单公式，在设置输出电压后，VOR 由初级次级匝数比决定。然后，如果 VOR 是固定值，反激式控制器或转换器将根据电感器的伏秒平衡来设置占空比。图 1-1 比较了不同 VOR 电平下的电压和电流应力。

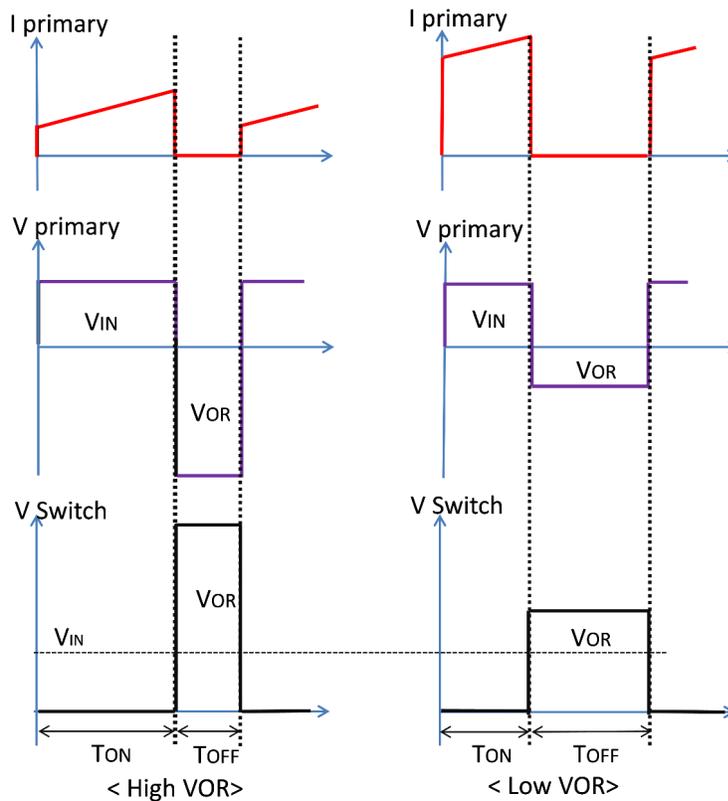


图 1-1. 反激式转换器的一次侧电流、电压和开关节点电压

如果 VOR 超过系统规定的限定值，应通过调整匝数比来限制该值。但是，VOR 降低将导致峰值电流应力提高，并因导通损耗增加而使系统效率降低。而且，峰值提高还有可能导致内部集成 FET 的器件触发内部电流限制。

1.2 漏电感系数

除了电压应力 ($V_{IN} + V_{OR}$)，关断时还存在较大的电压尖峰，这是由一次绕组的漏电感中存储的能量造成的。基本而言，事实是这样的，一个绕组的磁通不会 100% 耦合到其他绕组，因此它仍然是电路中的漏电感。减小漏电感系数的一种方法是改善变压器绕组结构，例如交错绕组。图 1-2 是在初级侧添加相等的少量漏电感后的仿真结果。

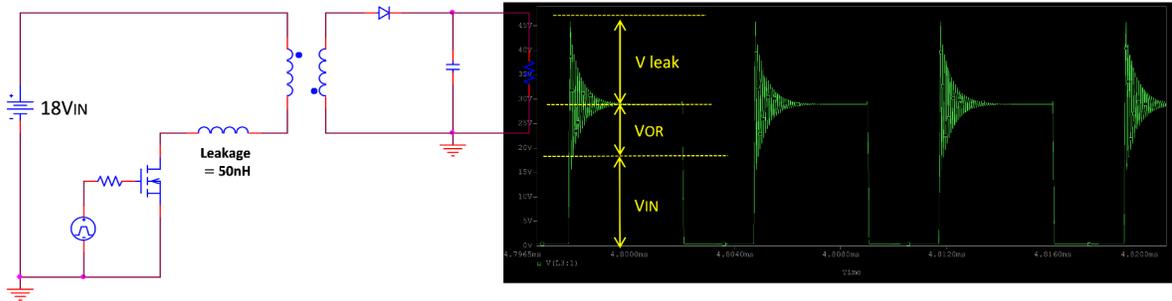


图 1-2. 具有漏电感的开关节点波形

作为仿真结果，漏电感中的存储能量在关断瞬变时立即变为电压尖峰，然后主要与节点上的电容谐振。通常，它在几百 MHz 以下谐振，因此可能导致系统中出现 EMI 问题，需要采取其他缓冲措施。而且，如果电压峰值高于器件的 AMR (绝对最大额定值)，无论是在设计阶段还是在现场，都会导致 IC 或 FET 损坏。

2 减小开关节点上的电压尖峰

2.1 齐纳或 TVS 钳位

用户可以通过几种方式添加一些缓冲器电路，从而限制电压尖峰，但是，如果需要限制峰值电平以保护开关器件时，我们强烈建议在该解决方案中使用齐纳/TVS 钳位。这意味着，用户通过合理选择齐纳二极管的 V_z 额定电压，可轻松控制由变压器漏电感造成的电压尖峰的峰值电平。图 2-1 显示了关于如何在相同的漏电感、VOR 和 VIN 条件下，根据齐纳额定电压来抑制电压尖峰的仿真结果，并显示了 SW 节点上电压波形的变化。从左向右，齐纳额定电压分别是 VOR 的 1.5 倍、1.3 倍和 1.1 倍。（VOR 为 10V，VIN 为 18V）显然，随着齐纳额定电压接近 VOR 值，电压峰值和振铃不断降低。

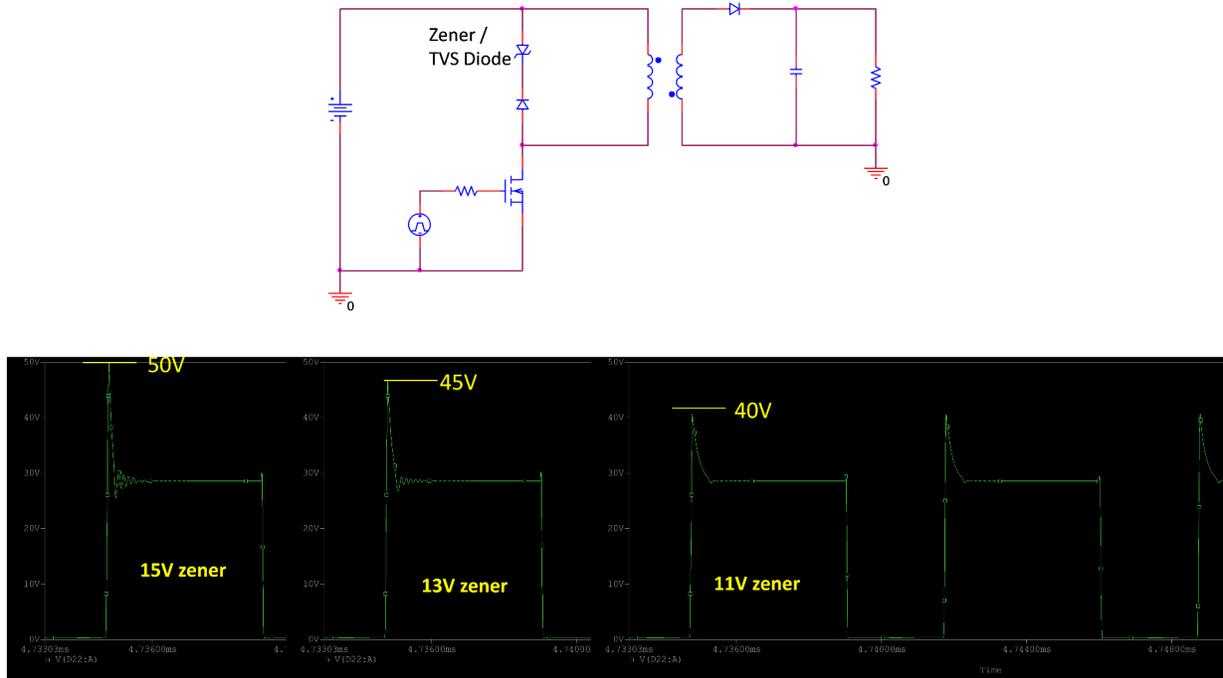


图 2-1. 在齐纳额定电压下开关节点的电压尖峰

齐纳钳位的主要作用是当主开关关断时吸收漏电感的能量，但是，如果齐纳额定电压非常接近 VOR 电平，它还会从一次绕组的励磁电感中钳制一些能量。这意味着，储存在初级侧中本应在关断期间输送到次级负载的一些能量可能会在齐纳块中消失，如图 2-2 所示。考虑到所需电压应力与系统效率间的关系，应该在系统中对此进行优化。

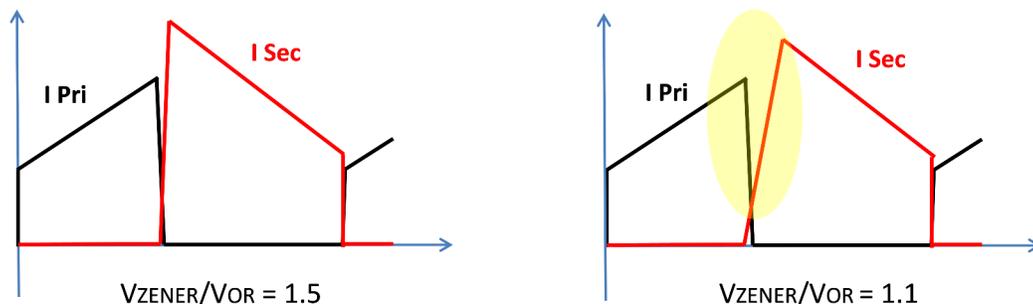


图 2-2. 根据齐纳额定电压变化的二次电流波形

2.2 阻塞二极管的正向恢复特征

在关断瞬变时，应尽快通过齐纳耗散漏电感中存储的能量。在关断状态之前，阻塞二极管处于反向偏置状态，然后当主开关关断后，应立即使电流从漏电感流至齐纳二极管。布局中流到齐纳的电流路径应合适，但阻塞二极管的正向恢复时间也是一项重要因素。如果阻塞二极管的速度不足以处理此瞬态能量，将会出现有害的电压峰值。

图 2-3 着重显示了在阻塞二极管的正向恢复周期中建立的部分。在图 3-1 的实际测试结果中，这次出现了大约 5V 的电压峰值。

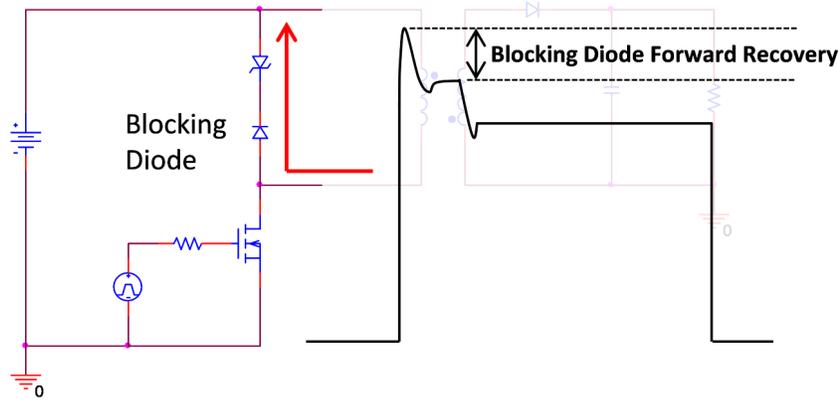


图 2-3. 阻塞二极管的正向恢复产生的电压峰值

3 使用 TPS55340 的设计示例

3.1 初始关键设计和测试结果

- VIN_Max : 18VDC , VOUT : 14V , IOOUT : 1.6A
- 将 VOR 设置为与 Vout 相差 10V , 并设置 Np、Ns 的匝数比 (Np : 初级匝数 , Ns : 次级匝数)
- TPS55430 D/S 的主要检查清单 (5A、40V 电流模式集成式 FET 直流转换器)

表 3-1. 设置 VOR 后 , 一次电流峰值不应达到 IC 的内部电流限值

参数	测试条件 :	最小值	典型值	最大值	单位	
OCP 和 SS						
I_{LIM}	N 沟道 MOSFET 电流限值	D = D _{max}	5.25	6.6	7.775	A

表 3-2. Vsw 的绝对最大额定值应小于 40V

		最小值	最大值	单位
输出电压	SW ⁽²⁾	-0.3	40	V
	SW (10<10ns 瞬态值) ⁽²⁾	-5	40	V

图 3-1 是初始设计中 TPS55340 Vsw 的示波器图像。峰值 Vsw 的测量值为 38V。因此，它与 AMR 额定值只有 2V 的裕度。有时，实际中需要峰值 Vsw 小于 IC AMR 的 80~85%，以增强大规模生产的可靠性。因此，需要根据 TPS55340 的重新设计参数减小该值。

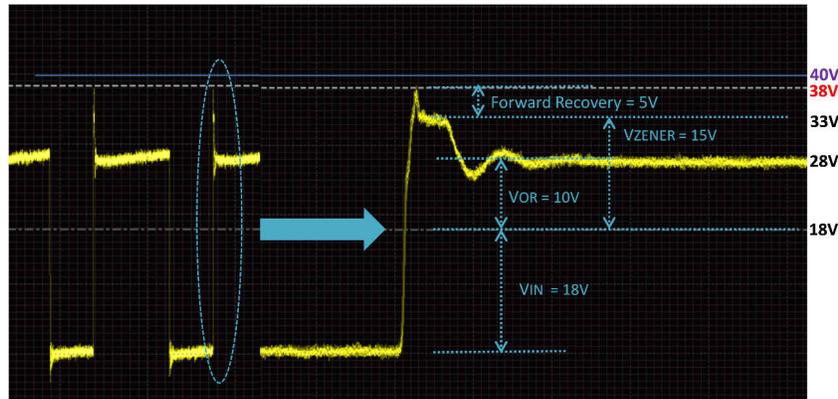


图 3-1. 初始设计中 TPS55430 VSW 的示波器图像

3.2 降低 Vsw 的重新设计过程

第一步是在确保一次电流峰值未达到 IC 的内部电流限制电平后，检查并降低 VOR 电平，因此如果我们降低 VOR (如图 1-1 所示)，电流将会增大。这会再次改变受 VOR 电平影响的齐纳二极管额定电压。

图 3-2. 关于 VOR 和齐纳二极管的设计变更

	以前	之后
VOR	10V	8V
齐纳额定电压	15V	10V

图 3-3 显示了显著降低的 Vsw 峰值电压的图形。重新设计反射电压和齐纳二极管额定电压后，峰值电压从 38.4V 降低到 34.5V。但仍然需要增加一些 40V AMR 的裕度。

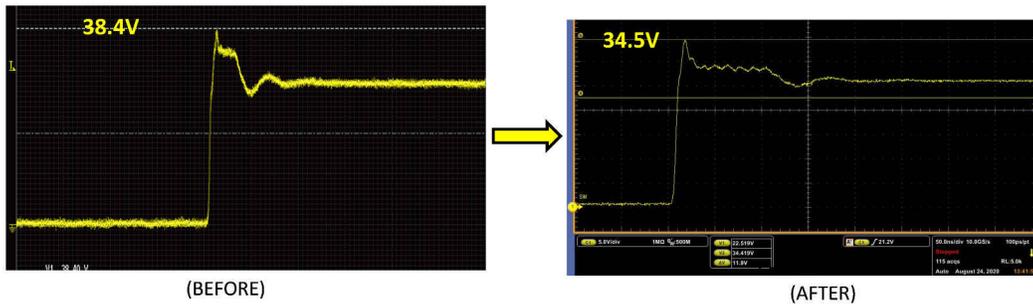


图 3-3. 更改 VOR 和齐纳二极管额定电压后的示波器图像

3.3 使用具有良好 T_{fr} 的阻塞二极管

使用 TPS55340EVM-148 的阻塞二极管 (MURS105T3G , On-semi) , 其特性如图 3-4 所示。

最大正向恢复时间 ($i_F = 1.0A$, $di/dt = 100A/\mu s$, 建议 1.0V)	t_{fr}	25ns
---	----------	------

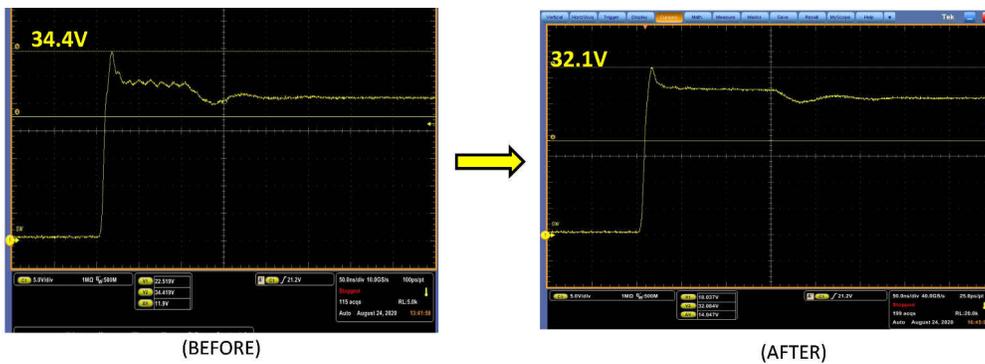


图 3-4. 更改阻塞二极管后的最终测试结果

更改阻塞二极管后, V_{sw} 测得为大约 32V , 高达 AMR (40V) 的 80~85% , 并具有一定裕度。

4 总结

如果用户对于反激式转换器的开关节点波形有严格的要求，那么首先需要检查反射电压是否得到优化，然后再考虑合适的缓冲方法。此外，还应避免 PCB 设计错误，因为这通常会导致重要路径中产生寄生电感。最后，保持测量的准确性对于接收 SW 节点上的精确电压波形也非常重要。

5 参考文献

- 德州仪器 (TI), [用于 TPS55340 5A、40V 电流模式集成式 FET 直流转换器的隔离型反激式拓扑模块](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司