

TLV320ADCx120 和 PCMx120-Q1 中的动态范围增强器和压缩器



Gaurav Rana

Diljith Thodhi

摘要

TLV320ADC5120/PCM5120-Q1 和 TLV320ADC6120/PCM6120-Q1 器件是双通道、高性能、音频模数转换器，具有广泛的功能，其中包括：

- 可编程增益放大器 (PGA)
- 数字音量控制
- 可编程麦克风偏置电压
- 锁相环 (PLL)
- 可编程高通滤波器 (HPF)
- 自动增益控制 (AGC)
- 动态范围增强器 (DRE)
- 动态范围压缩器 (DRC)
- 支持高达 768kHz 采样率的线性相位或低延迟滤波器模式

本应用手册介绍了如何在 TLV320ADC5120/PCM5120-Q1 和 TLV320ADC6120/PCM6120-Q1 器件中配置动态范围增强器 (DRE) 和动态范围压缩器 (DRC) 特性。

内容

1 引言.....	3
2 动态范围增强器.....	5
3 动态范围压缩机.....	6
4 PGA 抗饱和.....	6
5 高通滤波器.....	7
6 DRE/DRC 参数.....	8
7 支持采样速率.....	12
8 示例.....	13
9 参考文献.....	14
10 修订历史记录.....	14

插图清单

图 1-1. DRE 性能.....	3
图 1-2. DRC 性能.....	4
图 2-1. 信号处理方框图.....	5

表格清单

表 2-1. 使用 DSP_CFG1 寄存器选择 DRE.....	5
表 3-1. 使用 DSP_CFG1 寄存器选择 DRC.....	6
表 4-1. 使用 DSP_CFG1 寄存器选择 PGA 抗饱和.....	6
表 5-1. 用于高通滤波器系数的可编程寄存器.....	7
表 6-1. DRE 参数列表.....	8
表 6-2. DRE/DRC 触发阈值电平可编程设置.....	8
表 6-3. DRE/DRC 最大增益可编程设置.....	8
表 6-4. 用于释放时间常数参数的可编程寄存器.....	9

表 6-5. 用于起音时间常数参数的可编程寄存器.....	9
表 6-6. 用于释放迟滞参数的可编程寄存器.....	10
表 6-7. 用于起音迟滞参数的可编程寄存器.....	10
表 6-8. 用于起音去抖参数的可编程寄存器.....	10
表 6-9. 用于释放去抖参数的可编程寄存器.....	11
表 7-1. DRE 算法支持的采样率.....	12

商标

所有商标均为其各自所有者的财产。

1 引言

TI 音频 ADC 产品系列中的 TLV320ADC5120/PCM5120-Q1 和 TLV320AD6120/PCM6120-Q1 器件采用称为动态范围增强器 (DRE) 的算法, 该算法可用于通过提高低信号电平下的 ADC 通道的动态范围来提高远场录音性能。DRE 是一种数字辅助算法, 可动态调整前端可编程增益放大器 (PGA), 以提高低电平信号的信噪比, 同时防止高电平信号使 PGA 和 ADC 饱和。远场录音性能也可以通过使用高 PGA 增益得到提高, 但可能会降低近场录音性能, 因为高输入电平的动态变化与高固定增益 PGA 相结合会使 PGA 和 ADC 饱和。DRE 提供了在不降低近场录音性能的情况下提高远场录音性能的功能。图 1-1 显示了 DRE 对通道性能的改进。在使用 DRE 的情况下, ADC 通道性能不受 ADC 本底噪声的限制, 即使对于低于 ADC 本底噪声的信号也能提高录音性能。动态范围每提高 6dB, 远场录音距离就会增加两倍。

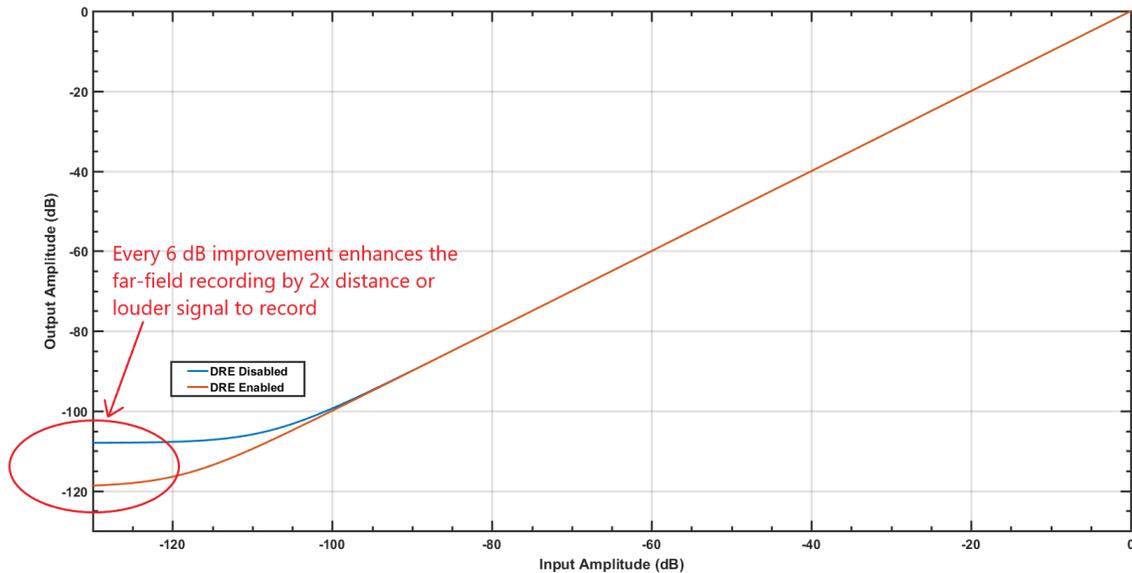


图 1-1. DRE 性能

动态范围压缩 (DRC) 是一种动态调整 ADC 通道的 PGA 增益的算法, 可在音频范围的某个区域扩展信号电平。在录制语音信号时, 如果说话者在说话的同时改变其与麦克风的距离, 则会产生一个典型的 DRC 应用示例。麦克风的声压级与到声源的距离成反比。因此, 对于较远的声源, 麦克风的输出较弱。如果没有 DRC, 而只有一个固定增益 PGA, 那么当人靠近麦克风时, 输出电平会从小变大。启用 DRC 后, 低于某个阈值的输入电平变化可以保持在恒定电平。因此, 低于某个阈值的语音信号会被放大以保持恒定的输出, 从而可以正确记录较弱的语音信号。因此, DRC 会自动响应低于某个阈值的输入信号变化以保持固定的电平, 从而满足目标应用要求。图 2 显示了禁用和启用 DRC 时的输出与输入之间的关系图。

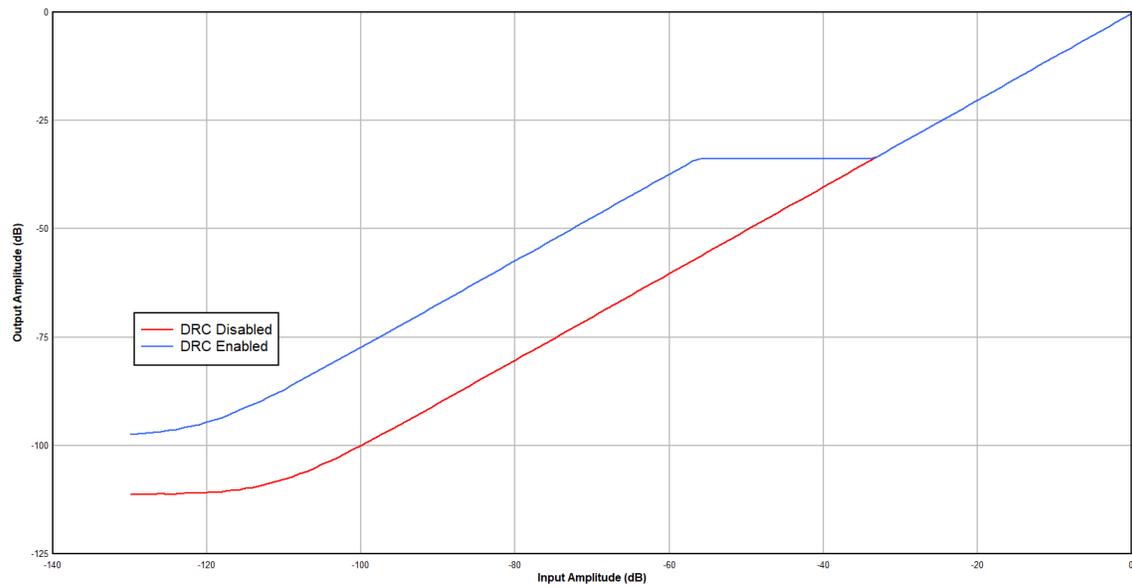


图 1-2. DRC 性能

TLV320ADC5120/PCM5120-Q1 和 TLV320ADC6120/PCM6120-Q1 器件的所有 ADC 通道都支持 DRE 和 DRC。本应用手册介绍了 DRE 和 DRC 的运行、可调参数以及使用 DRE/DRC 所需的器件配置。

2 动态范围增强器

图 2-1 显示了 TLV320ADC5120/PCM5120-Q1 和 TLV320ADC6120/PCM6120-Q1 器件的信号处理链。TLV320ADC5120/PCM5120-Q1 和 TLV320ADC6120/PCM6120-Q1 器件中前端 PGA 的动态范围性能分别为 120dB 和 122dB。随后的 $\Delta-\Sigma$ ADC 对于 TLV320ADC5120/PCM3120-Q1 具有 108dB 动态范围，对于 TLV320ADC6120/PCM6120-Q1 具有 113dB 动态范围。在没有 DRE 的情况下，PGA 的超低噪声性能受到 ADC 性能的限制，整体通道动态范围由 ADC 的动态范围决定。在没有 DRE 的情况下，可以提高整体通道的动态范围超过 ADC 的动态范围，会更多地受到 PGA 动态范围的限制。

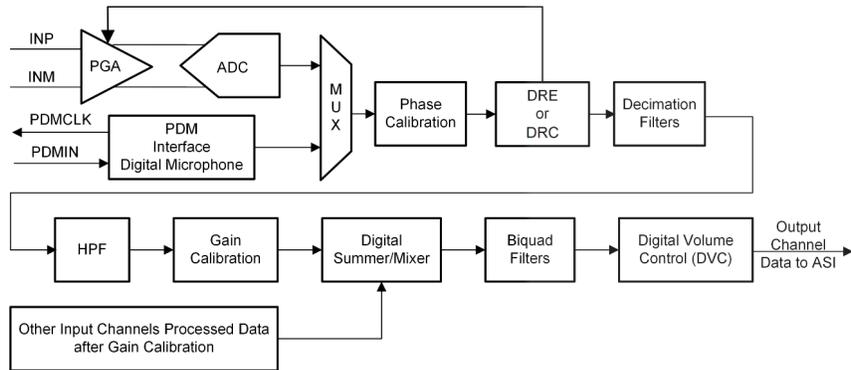


图 2-1. 信号处理方框图

DRE 算法监测输入信号，对低于阈值的信号电平增加模拟 PGA 的增益。同时，DRE 算法在数字电路中产生相应的倒数衰减，因此模拟 PGA 增益和数字衰减的净效应相互抵消。因此，DRE 可以在不增加整体通道增益的情况下扩大动态范围。DRE 不会获得超过阈值的信号。提升模拟低电平信号可使 ADC 的输入显著高于其本底噪声，从而防止 ADC 性能成为限制因素。后续处理使用了高性能 32 位数字信号处理器，具有非常低的量化噪声，因此 PGA 性能成为整体通道性能的限制因素。TLV320ADC5120/PCM5120-Q1 和 TLV320ADC6120/PCM6120-Q1 器件支持多达四个模拟输入通道。所有模拟输入通道都支持 DRE。这些器件支持来自模拟麦克风源或辅助线路输入的差分或单端信号。模拟麦克风输入支持驻极体电容器和微机电 (MEMS) 麦克风。尽管这些器件还支持数字脉冲密度调制 (PDM) 数字麦克风，但由于数字麦克风的模拟增益无法控制，DRE/DRC 不支持数字通道。TLV320ADCx120/PCMx120-Q1 系列器件还支持模拟通道上的自动增益控制 (AGC) 算法，以保持恒定的标称输出电平。无法同时使用 AGC、DRE 和 DRC 算法，因为所有这些算法都控制 PGA。可以使用 DSP_CFG1 寄存器 (页面 = 0x00，地址 = 0x6C) 的 AGC_DRE_SEL 位来选择 DRE 或 AGC，如表 2-1 所示。

表 2-1. 使用 DSP_CFG1 寄存器选择 DRE

位	字段	类型	复位	说明
3	DRE_AGC_SEL	R/W	0h	当启用了任何通道时，选择 DRE 或 AGC。 0d = 选择 DRE。 1d = 选择 AGC。

3 动态范围压缩机

DRC 算法是一种混合信号解决方案，其中通道的模拟可编程增益放大器 (PGA) 由闭环控制数字算法控制。图 2-1 显示了器件的信号处理链。为了响应输入信号的变化，DRC 算法监测来自 ADC 的数字化信号并调整 PGA，以保持低于某个阈值的恒定目标电平。如果信号低于阈值电平，那么 DRC 会增大 PGA 增益。如果信号高于阈值电平，那么 DRC 会保持默认的 PGA 增益。使用 PGA 的模拟电路来改变输入信号以提供最佳的噪声性能，因为该电路避免了数字电路中增加量化噪声的增益调整。此外，DRC 算法在 PGA 更改期间使用小阶跃幅度来减少输入信号中的失真。如使用 DSP_CFG1 寄存器选择 DRC 所示，可以使用 DSP_CFG1 寄存器 (页面 = 0x00，地址 = 0x6C) 的 DRE_AGC_SEL 和 DRC_EN 位来选择 DRC。

表 3-1. 使用 DSP_CFG1 寄存器选择 DRC

位	字段	类型	复位	说明
3	DRE_AGC_SEL	R/W	0b	当启用了任何通道时，选择 DRE 或 AGC。 0d = 选择 DRE。 1d = 选择 AGC。
1	DRC_EN	R/W	0b	动态范围压缩 (DRC) 与 DRE 相同，无数字增益补偿 0d = 禁用 DRC。根据 DRE_AGC_SEL 位的不同，器件可以处于 DRE 或 AGC 模式中。 1d = 启用 DRC。器件无法处于 DRE 或 AGC 模式。

可以使用以下寄存器位为每个通道独立启用或禁用 DRE/DRC：

- CH1_DREEN (P0_R60_D0)
- CH2_DREEN (P0_R65_D0)
- CH3_DREEN (P0_R70_D0)
- CH4_DREEN (P0_R75_D0)

4 PGA 抗饱和

DRE 和 DRC 算法具有防止 PGA 对有界输入信号饱和的特性。当通道增益 (PGA 增益) 大于 0dB 时，输入信号电平被压缩以避免削波。使用 DSP_CFG1 寄存器 (页面 = 0x00，地址 = 0x6C) 的 EN_AVOID_CLIP 位启用该功能。

表 4-1. 使用 DSP_CFG1 寄存器选择 PGA 抗饱和

位	字段	类型	复位	说明
0	EN_AVOID_CLIP	R/W	0b	通道增益大于 0dB 且启用 DRE、DRC 或 AGC 模式之一的抗削波器。0d = 根据用户编程值保持通道增益。 1d = 当通道增益大于 0dB 且信号电平超过第 4 页中设置的编程阈值设置时，信号电平被压缩以避免削波。

当一些恒定模拟可编程增益 (C0 dB) 与 DRE 或 DRC 一起配置时，会产生 PGA 抗饱和功能的典型应用示例。将输入信号电平增加到超过某个电平 (-C0 dB) 会导致 PGA 输出饱和，这对模拟电路的性能是有害的。启用 PGA 抗饱和功能后，即使输入信号电平增加到超过 - C0 dB 电平，PGA 输出也不会饱和，因为 PGA 增益降低，并且剩余的增益应用于数字侧。整体通道增益保持不变。

5 高通滤波器

为了消除任何导致错误输入电平估算的直流失调电压，DRE/DRC 算法通过高通滤波器 (HPF) 处理输入信号。该 HPF 是 DRE/DRC 独有的，与抽取滤波器使用的二阶 HPF 滤波器不同。

方程式 1 给出了 HPF 实现的传递函数。

$$H(z) = \frac{N0 + N1 \times z^{-1}}{1 + D1 \times z^{-1}} \quad (1)$$

HPF 是使用三个系数实现的一阶滤波器：DRE_HPFB0、DRE_HPFB1 和 DRE_HPFA1。使用方程式 2、方程式 3 和方程式 4 将传递函数参数 (N0、N1 和 D1) 转换为系数。

$$DRE_HPFB0 = \text{round}(2^8 * N0) \quad (2)$$

$$DRE_HPFB1 = \text{round}(2^8 * N1) \quad (3)$$

$$DRE_HPFA1 = \text{round}(2^8 * D1) \quad (4)$$

这些系数是用户可编程的，以设置与 48kHz 操作的默认截止 (3dB 点) 频率 10Hz 不同的截止频率。增加截止频率可以加快信号电平估算的稳定。降低截止频率可以提高信号电平估算的精度。默认滤波器系数在速度和精度之间提供了良好的平衡，适用于大多数应用。表 5-1 显示了 HPF 的系数寄存器。系数以 32 位二进制补码格式表示。

表 5-1. 用于高通滤波器系数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_HPFB0	0x06	0x6C	0x7F	DRE_HPFB0 字节 [31:24]
	0x06	0x6D	0xFF	DRE_HPFB0 字节 [23:16]
	0x06	0x6E	0xFF	DRE_HPFB0 字节 [15:8]
	0x06	0x6F	0xFF	DRE_HPFB0 字节 [7:0]
DRE_HPFB1	0x06	0x70	0x80	DRE_HPFB1 字节 [31:24]
	0x06	0x71	0x00	DRE_HPFB1 字节 [23:16]
	0x06	0x72	0x00	DRE_HPFB1 字节 [15:8]
	0x06	0x73	0x01	DRE_HPFB1 字节 [7:0]
DRE_HPFA1	0x06	0x74	0x7E	DRE_HPFA1 字节 [31:24]
	0x06	0x75	0xEE	DRE_HPFA1 字节 [23:16]
	0x06	0x76	0xD8	DRE_HPFA1 字节 [15:8]
	0x06	0x77	0xE2	DRE_HPFA1 字节 [7:0]

6 DRE/DRC 参数

表 6-1 显示了 DRE/DRC 算法的参数。其中两个参数是写入器件寄存器来控制的。其他参数驻留在器件的 32 位宽系数存储器 (Book 0、Page 5、Page 6 和 Page 7) 中。在热启动期间，器件采用 Book 0 的 Page 5、Page 6 和 Page 7 中参数的默认值，为了使用户值覆盖这些参数，需要设置 DSP_CFG1 寄存器 (P0_R108_D2) 中的位 $DRE_AGC_CFG_DEF_OVR = 1$ 。

表 6-1. DRE 参数列表

DRE 参数	特性/说明
DRE/DRC 阈值 (dB)	高于 DRE/DRC 处于非活动状态时的信号电平。
最大增益 (dB)	DRE/DRC 应用的增益上限。
释放时间常数 (秒)	当输入信号降至低于 DRE/DRC 阈值时 DRE/DRC 电路通过增大 PGA 增益进行响应的速度。
起音时间常数 (秒)	当输入信号升至高于 DRE/DRC 阈值时 DRE/DRC 电路通过减小 PGA 增益进行响应的速度。
释放迟滞 (dB)	超过 DRE/DRC 阈值的信号电平降低量 (以 dB 为单位)，迫使 DRE/DRC 增加增益并开始释放。
起音迟滞 (dB)	超过 DRE/DRC 阈值的信号电平增加量 (以 dB 为单位)，迫使 DRE/DRC 减小增益并开始起音。
释放去抖 (样本)	起音事件之后，在 DRE/DRC 开始释放和增加 PGA 增益之前，连续输入样本数低于 DRE 阈值的数量。
起音去抖 (样本)	释放事件之后，在 DRE/DRC 开始起音和减小 PGA 增益之前，连续输入样本数升到高于 DRE 阈值。

DRE/DRC 阈值：DRE/DRC 停止修改 PGA 并将其设置为统一增益时的信号电平。阈值电平是相对于 ADC 输出的满量程 (dBFS) 表示的。表 6-2 列出了 DRE/DRC 阈值配置设置。默认值为 -54dB。设置高阈值电平会减少 DRE/DRC 在信号电平突然增加时做出反应的余量，并可能导致数字削波和 PGA 饱和。因此，必须将 DRE/DRC 阈值设置为具有足够的裕度，以防止在输入电平发生较大动态变化时出现削波。

表 6-2. DRE/DRC 触发阈值电平可编程设置

P0_R109_D[7:4] : DRE_LVL[3:0]	DRE 触发阈值电平
0000	DRE/DRC 目标阈值是 -12dB 输出信号电平。
0001	DRE/DRC 目标阈值是 -18dB 输出信号电平。
0010	DRE/DRC 目标阈值是 -24dB 输出信号电平。
...	...
0111 (默认值)	DRE/DRC 目标阈值是 -54dB 输出信号电平。
...	...
1001	DRE/DRC 目标阈值是 -66dB 输出信号电平。
1010 至 1111	保留 (不使用这些设置)

最大增益：最大增益表示 DRE/DRC 对低于 DRE/DRC 阈值的信号应用的增益上限。表 6-3 列出了最大增益配置设置。默认值是 24dB。其可编程范围为 2dB 至 30 dB，步长为 2 dB。

表 6-3. DRE/DRC 最大增益可编程设置

P0_R109_D[3:0] : DRE_MAXGAIN[3:0]	允许的 DRE/DRC 最大增益
0000	允许的 DRE/DRC 最大增益为 2dB。
0001	允许的 DRE/DRC 最大增益为 4dB。
0010	允许的 DRE/DRC 最大增益为 6dB。
...	...
1011 (默认值)	允许的 DRE/DRC 最大增益为 24dB。
...	...
1110	允许的 DRE/DRC 最大增益为 30dB。
1111	保留 (不使用该设置)

释放时间常数：当输入信号降至低于 DRE/DRC 阈值时 DRE/DRC 电路增大 PGA 增益的速度。释放时间常数由两个系数控制：DRE_REL_ALPHA 和 DRE_REL_BETA。方程式 5 和方程式 6 显示了如何从下述时间常数中计算 DRE_REL_ALPHA 和 DRE_REL_BETA 参数。

$$DRE_REL_ALPHA = \text{round}(2^{31} * e^{-\ln(9) / 48000 * RT}) \quad (5)$$

$$DRE_REL_BETA = (2^{31} - \text{round}(2^{31} * e^{-\ln(9) / 48000 * RT})) \quad (6)$$

其中

- RT 是以秒为单位的释放时间常数
- FSYNC 是 ADC 的采样率 (以 Hz 为单位)

表 6-4 显示了控制 DRE_REL_ALPHA 和 DRE_REL_BETA 参数的寄存器。这些参数均具有 32 位的宽度，必须以二进制补码表示形式写入。DRE_REL_ALPHA 和 DRE_REL_BETA 的默认值对应的时间常数为 20 毫秒。

表 6-4. 用于释放时间常数参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_REL_ALPHA	0x05	0x7C	0x7F	DRE_REL_ALPHA 字节 [31:24]
	0x05	0x7D	0xB5	DRE_REL_ALPHA 字节 [23:16]
	0x05	0x7E	0x16	DRE_REL_ALPHA 字节 [15:8]
	0x05	0x7F	0x50	DRE_REL_ALPHA 字节 [7:0]
DRE_REL_BETA	0x06	0x08	0x00	DRE_REL_BETA 字节 [31:24]
	0x06	0x09	0x4A	DRE_REL_BETA 字节 [23:16]
	0x06	0x0A	0xE9	DRE_REL_BETA 字节 [15:8]
	0x06	0x0B	0xB0	DRE_REL_BETA 字节 [7:0]

起音时间常数：当输入信号升至高于 DRE/DRC 阈值时，DRE/DRC 电路减小 PGA 增益的速度有多快。起音时间常数由两个系数控制：DRE_ATT_ALPHA 和 DRE_ATT_BETA。方程式 7 和方程式 8 显示了如何从下述时间常数中计算 DRE_ATT_ALPHA 和 DRE_ATT_BETA 参数。

$$DRE_ATT_ALPHA = \text{round}(2^{31} * e^{-\ln(9) / 48000 * AT}) \quad (7)$$

$$DRE_ATT_BETA = (2^{31} - \text{round}(2^{31} * e^{-\ln(9) / 48000 * AT})) \quad (8)$$

其中

- AT 是以秒为单位的起音时间常数
- FSYNC 是 ADC 的采样率 (以 Hz 为单位)

DRE_ATT_ALPHA 和 DRE_ATT_BETA 系数均以宽度为 32 位的二进制补码形式表示。表 6-5 显示了控制 DRE_ATT_ALPHA 和 DRE_ATT_BETA 参数的寄存器。DRE_ATT_ALPHA 和 DRE_ATT_BETA 的默认值对应的时间常数为 0.1 毫秒。

表 6-5. 用于起音时间常数参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_ATT_ALPHA	0x06	0x0C	0x50	DRE_ATT_ALPHA 字节 [31:24]
	0x06	0x0D	0xFC	DRE_ATT_ALPHA 字节 [23:16]
	0x06	0x0E	0x64	DRE_ATT_ALPHA 字节 [15:8]
	0x06	0x0F	0x5C	DRE_ATT_ALPHA 字节 [7:0]
DRE_ATT_BETA	0x06	0x10	0x2F	DRE_ATT_BETA 字节 [31:24]
	0x06	0x11	0x03	DRE_ATT_BETA 字节 [23:16]
	0x06	0x12	0x9B	DRE_ATT_BETA 字节 [15:8]
	0x06	0x13	0xA4	DRE_ATT_BETA 字节 [7:0]

释放迟滞：超过 DRE/DRC 阈值的信号电平降低量，迫使 DRE/DRC 增加增益并开始释放。释放迟滞以 dB 为单位。[方程式 9](#) 显示了如何计算 DRE_REL_HYST 参数。

$$\text{DRE_REL_HYST} = \text{round}(2^8 * \text{RH}) \quad (9)$$

其中

- RH (≥ 0) 是以 dB 为单位的释放迟滞

DRE_REL_HYST 的默认值为 0x00000300，对应的迟滞为 3dB。[表 6-6](#) 显示了控制 DRE_REL_HYST 参数的寄存器。

表 6-6. 用于释放迟滞参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_REL_HYST	0x06	0x34	0x00	DRE_REL_HYST 字节 [31:24]
	0x06	0x35	0x00	DRE_REL_HYST 字节 [23:16]
	0x06	0x36	0x03	DRE_REL_HYST 字节 [15:8]
	0x06	0x37	0x00	DRE_REL_HYST 字节 [7:0]

起音迟滞：超过 DRE 阈值的信号电平增加量，迫使 DRE/DRC 减小增益并开始攻击。[方程式 10](#) 显示了如何计算 DRE_ATT_HYST 参数。

$$\text{DRE_ATT_HYST} = \text{round}(2^8 * \text{AH}) \quad (10)$$

其中

- AH (≥ 0) 是以 dB 为单位的起音迟滞

起音迟滞的默认值为 1dB。可以通过对[表 6-7](#) 中列出的寄存器进行写入来更改默认值。

表 6-7. 用于起音迟滞参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_ATT_HYST	0x06	0x3C	0x00	DRE_ATT_HYST 字节 [31:24]
	0x06	0x3D	0x00	DRE_ATT_HYST 字节 [23:16]
	0x06	0x3E	0x01	DRE_ATT_HYST 字节 [15:8]
	0x06	0x3F	0x00	DRE_ATT_HYST 字节 [7:0]

起音去抖：释放事件之后，在 DRE/DRC 开始攻击且 PGA 增益减小之前，上升到 DRE/DRC 阈值以上的连续输入样本数。在频率为 48kHz 时该参数的默认值为 2 个样本 (0.01 毫秒)。[方程式 11](#) 显示了如何计算 DRE_ATT_CNT 参数。

$$\text{DRE_ATT_CNT} = \text{round}(2^8 * \text{FSYNC} * \text{AD}) \quad (11)$$

其中

- AD (≥ 0) 以秒为单位
- FSYNC 是 ADC 的采样率 (以 Hz 为单位)

[表 6-8](#) 显示了控制 DRE_ATT_CNT 参数的寄存器。

表 6-8. 用于起音去抖参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_ATT_CNT	0x06	0x18	0x00	DRE_ATT_CNT 字节 [31:24]
	0x06	0x19	0x00	DRE_ATT_CNT 字节 [23:16]
	0x06	0x1A	0x02	DRE_ATT_CNT 字节 [15:8]
	0x06	0x1B	0x00	DRE_ATT_CNT 字节 [7:0]

释放去抖：起音事件之后，在 DRE/DRC 开始释放和增加 PGA 增益之前下降到 DRE/DRC 阈值以下的连续输入样本数。在频率为 48kHz 时释放去抖的默认值为 25 毫秒。方程式 12 显示了如何计算 DRE_REL_CNT 参数。

$$\text{DRE_REL_CNT} = \text{round}(2^8 * \text{FSYNC} * \text{RD}) \quad (12)$$

其中

- RD (>= 0) 是以秒为单位指定的释放去抖
- FSYNC 是 ADC 的采样率 (以 Hz 为单位)

表 6-9 列出了控制 DRE_REL_CNT 参数的寄存器。

表 6-9. 用于释放去抖参数的可编程寄存器

系数	PAGE	寄存器	复位值	说明
DRE_REL_CNT	0x06	0x1C	0x00	DRE_REL_CNT 字节 [31:24]
	0x06	0x1D	0x04	DRE_REL_CNT 字节 [23:16]
	0x06	0x1E	0xB0	DRE_REL_CNT 字节 [15:8]
	0x06	0x1F	0x00	DRE_REL_CNT 字节 [7:0]

7 支持采样速率

DRE/DRC 算法不支持所有的采样率和所有的通道组合。表 7-1 显示了 DRE/DRC 算法在采样率下支持的采样率以及相应的通道数。对于 16 或 14.7kHz 至 96 或 88.2kHz 的采样率，DRE/DRC 算法支持全部的两个模拟通道。在 192 或 176.4kHz 采样率下，DRE/DRC 仅限于一个通道。

表 7-1. DRE 算法支持的采样率

采样率 (kHz)	通道数量
16/14.7	2
24/22.05	2
32/29.4	2
48/44.1	2
96/88.2	2
192/176.4	1

8 示例

DRE 默认参数对大多数应用都很有效。默认的 DRE 触发阈值为 **-54dB**。这为 DRE 提供了足够的余量以便对突然出现的强烈信号及时做出反应。增大 DRE 触发阈值可提高小信号性能，但会减小切换到起音周期之前的可用余量。可以通过减小起音时间来缓解该问题。本节展示了一个示例，其中设置了更高的 DRE 触发阈值并调整了时间常数以使 DRE 响应更快。

- 目标电平 = **-54dB**
- 最大增益 = **24dB**
- 起音时间 = **0.01ms**
- 释放时间 = **20ms**
- 起音保持 = **0.0417ms**
- 释放保持 = **20ms**
- 起音迟滞 = **1dB**
- 释放迟滞 = **3dB**

```
# Key: w 9C XX YY ==> write to I2C address 0x9c, to register 0xXX, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device.Note that there are
# other valid sequences depending on which features are used.
#
# See the corresponding EVM user guide for jumper settings and audio connections.
#
# Differential 2-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
# Power up IOVDD and AVDD power supplies
# Wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Wait for 1ms.
#
w 9C 00 00 # Goto Page 0
w 9C 02 81 # Exit Sleep mode
d 10      # Wait for 16 ms
w 9C 01 01 # Reset
w 9C 6C 44 # Enable DRE in DSP_CFG1 and Override DRE parameters with user values
w 9C 3C 01 # Select DRE on Ch. 1 using CH1_CFG0
w 9C 41 01 # Select DRE on Ch. 2 using CH2_CFG0
w 9C 6D 4B # DRE LVL = -36 dB, DRE GAIN = 24 dB
w 9C 00 05 # Goto Page 5
w 9C 7C 7F B5 16 50 # DRE Release Time Alpha
w 9C 00 05 # Goto Page 6
w 9C 08 00 4A E9 B0 # DRE Release Time Beta
w 9C 0C 01 50 DB 39 # DRE Attack Time Alpha
w 9C 10 7E B5 16 50 # DRE Attack Time Beta
w 9C 18 00 00 02 00 # DRE Attack Debounce
w 9C 1C 00 04 B0 00 # DRE Release Debounce
w 9C 3C 00 00 01 00 # DRE Attack Hysteresis
w 9C 34 00 00 03 00 # DRE Release Hysteresis

w 9C 00 00 # Goto Page 0
w 9C 07 30 # TDM Mode with 32 Bits/Channel
w 9C 73 c0 # Enable Ch.1 - Ch.2
w 9C 74 f0 # Enable ASI Output channels
w 9C 75 e0 # Power up ADC
```

要启用 DRC 算法而不是具有与上述示例相同的参数集的 DRE 算法，请将 DSP_CFG1 (Page 0，寄存器 0x6c) 设置为值 **0x46** (而不是 DRE 的 **0x44**) 。

9 参考文献

请参阅如下相关文档：

- TLV320ADC6120
 - 德州仪器 (TI), [TLV320ADC6120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
 - 德州仪器 (TI), [具有 106dB SNR 的 TLV320ADC6120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)。
- TLV320ADC5120
 - 德州仪器 (TI), [TLV320ADC5120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
 - 德州仪器 (TI), [具有 106dB SNR 的 TLV320ADC5120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)。
- TLV320ADC3120
 - 德州仪器 (TI), [TLV320ADC3120 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
 - 德州仪器 (TI), [具有 106dB SNR 的 TLV320ADC3120 立体声通道、768kHz、Burr-Brown™ 音频 ADC 评估模块](#)。
- 德州仪器 (TI), [ADCx120EVM-PDK 用户指南](#)。
- 德州仪器 (TI), [PurePath™ Console](#)。
- 德州仪器 (TI), [PCM6120-Q1 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
- 德州仪器 (TI), [PCM5120-Q1 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
- 德州仪器 (TI), [PCM3120-Q1 2 通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。

10 修订历史记录

Changes from Revision * (November 2021) to Revision A (April 2022)	Page
• 在整个出版物中新增了 PCM5120-Q1 和 PCM6120-Q1。	1

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司