

Application Note

**AM6442、AM6422、AM6412 和 AM2434 原理图设计和审阅
检查清单**

摘要

本应用手册总结了电路板设计人员在使用 AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434、AM2432、AM2431 中的任一处理器时应遵循的电路设计指南和建议。该指南包含可能的处理器配置，并介绍如何将不同的处理器外设连接到附加的（外部）器件。

此外，还提供了处理器产品页面、配套资料、E2E 常见问题解答和其他常见参考文档的链接，可帮助设计人员优化电路板设计工作。

内容

1 引言	3
1.1 AM64x 处理器系列.....	3
1.2 AM243x 处理器系列.....	3
2 相关配套资料	3
2.1 硬件设计指南.....	3
3 处理器选择	3
3.1 数据表.....	3
3.2 外设实例命名约定.....	3
3.3 处理器订购和质量.....	3
4 功率结构	4
4.1 生成电源轨.....	4
4.2 电源.....	4
5 一般建议	5
5.1 处理器性能评估模块 (EVM).....	5
5.2 EVM 与数据表.....	5
5.3 开始设计前.....	6
6 特定于处理器的建议	8
6.1 通用（处理器启动）连接.....	8
6.2 使用 JTAG 和 EMU 进行电路板调试.....	12
7 处理器外设	13
7.1 IO 组的电源连接.....	13
7.2 存储器接口（DDR4、LPDDR4、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC）.....	13
7.3 外部通信接口（以太网（CPSW3G 和 PRU_ICSSG）、USB2.0、USB3.0 (SERDES)、PCIe (SERDES)、UART 和 CAN）.....	18
7.4 板载同步通信接口（MCSPi 和 I2C）.....	27
7.5 模数转换器 (ADC).....	29
7.6 GPIO 和硬件诊断.....	29
7.7 验证电路板级设计问题.....	31
8 布局注释（将添加到原理图中）	32
9 电路板设计仿真	32
10 其他参考内容	32
11 总结	32
12 参考文献	32
12.1 AM64x.....	32
12.2 AM243x.....	33

12.3 需要.....	33
A 术语	33
修订历史记录	35

表格清单

表 7-1. 接口实例的 IO 电源轨映射.....	20
表 7-2. CPSW3G MDIO.....	23
表 7-3. PRU_ICSSG INSTANCE MDIO.....	23

商标

所有商标均为其各自所有者的财产。

1 引言

本应用手册适用于以下列出的所有处理器。产品相关文档可在 [TI.com](https://www.ti.com) 的产品页面上找到。点击下面的处理器链接可访问产品页面。

1.1 AM64x 处理器系列

- [AM6442](#)
- [AM6441](#)
- [AM6422](#)
- [AM6421](#)
- [AM6412](#)
- [AM6411](#)

1.2 AM243x 处理器系列

- [AM2434](#)
- [AM2432](#)
- [AM2431](#)

2 相关配套资料

[TI.com](https://www.ti.com) 上的产品页面提供了许多与所选处理器相关的文档。在开始设计之前，请通读这些文档。

以下链接中汇总了在开始进行定制电路板设计时可以参考的配套资料。

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 快速入门配套资料。](#)

2.1 硬件设计指南

开始定制电路板设计之前，建议先通读硬件设计指南。

要了解定制电路板设计期间应遵循的步骤，请参阅 [AM6442、AM6422、AM6412 和 AM2434 处理器的硬件设计指南](#)。

3 处理器选择

3.1 数据表

数据表包括引脚说明、引脚到功能映射、建议运行条件和不同处理器外设的时序信息。

有关处理器架构以及选择处理器型号、特性和速度等级的快速概览，请参阅器件特定数据表的 [功能方框图](#) 和 [器件比较](#) 一节。

3.2 外设实例命名约定

对于外设和实例的命名，器件特定 TRM 是通用的，而器件特定数据表通常比较具体。

在数据表中，即使只有一个实例，也会分配后缀编号，因此引用该名称的任何文档都不需要根据处理器的不同而进行更改。

3.3 处理器订购和质量

有关所选处理器的订购和质量的信息，请访问以下链接：

[AM6442 - 订购和质量](#)

[AM6441 - 订购和质量](#)

[AM6422 - 订购和质量](#)

[AM6421 - 订购和质量](#)

[AM6412 - 订购和质量](#)

[AM6411 - 订购和质量](#)

[AM2434 - 订购和质量](#)

[AM2432 - 订购和质量](#)

[AM2431 - 订购和质量](#)

4 功率结构

如需简要了解可用的电源解决方案，请参阅 [TI 电源管理](#) 网页。

此外，[WEBENCH 电路设计器工具](#) 还提供可提供所需电源应用的可视界面。

4.1 生成电源轨

可使用分立式或集成式电源架构生成所选处理器的电源轨。

使用分立式电源架构可让您在设计和元件选型方面具有灵活性。电路板设计人员必须谨慎选择可提供所需负载电流、设置输出电压、电源斜坡、负载瞬态响应和电源时序控制的器件。

使用集成式电源架构 (PMIC) 可简化特定于处理器的电源设计。

PMIC 生成用于为处理器供电的所有通用电源，支持电源上电和断电时序控制、电源斜坡控制并满足所有处理器特定的电源要求。

除了 PMIC，还使用其他直流/直流转换器和 LDO，以根据用例生成额外的板载电源。

为使用不同电源架构生成板载电源而推荐的器件及相关配套资料汇总如下：

4.1.1 PMIC (电源管理 IC)

对于集成电源架构，推荐的 PMIC 包括 [TPS65219](#)、[TPS65220](#) 或 [LP8733xx](#)。这种经过空间、性能和 BOM 优化的电源架构旨在为处理器和附加器件供电。

如需更多信息，请参阅以下应用手册：

[使用 LP8733xx PMIC 为 AM64xx 供电](#)

[使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#)

[使用 TPS65219 PMIC 为 AM243x 供电](#)

[使用 LP8733xx 和 TPS65218xx PMIC 为 AM64x 和 AM243x Sitara 处理器供电。](#)

4.1.1.1 其他参考

如需更多信息，请参阅器件特定数据表的 [器件连接和布局基本准则](#)、[电源和电源设计](#) 一节和 [SK-AM64B \(适用于 AM64x Sitara 处理器的 AM64B 入门套件 \)](#) 原理图。

4.1.2 分立式电源

或者，可以使用分立式电源架构来生成处理器电源轨。分立式电源架构基于直流/直流转换器和 LDO。必须使用电源正常输出和离散逻辑来实现电源序列。

更多有关器件选择和电源架构实现的信息，请参阅 [TMDS64EVM \(AM64x Sitara 处理器评估模块 \)](#) 原理图和以下几节。

4.1.2.1 直流/直流转换器

可以考虑使用直流/直流转换器，例如 [LM5140-Q1](#)、[TPS62823](#)、[TPS62097](#) 或类似器件。

4.1.2.2 LDO

可以考虑使用 [TPS735](#)、[TLV70728](#)、[TLV75518](#) 或类似器件。

4.2 电源

4.2.1 负载开关

可以使用负载开关打开和关闭由同一电源电平轨供电的特定外设或子系统的电源，而不是使用多个直流/直流转换器或 LDO 生成电源。在某些应用中，必须遵循严格的上电/下电序列。负载开关简化了实施电源时序控制，以满足上电/下电要求。

负载开关可通过 PMIC 或直流/直流转换器启用，以满足处理器电源时序要求。

可以考虑使用 [TPS22919](#)、[TPS22918](#)、[TPS22945](#) 或类似器件。

4.2.2 电子保险丝

电子保险丝是集成的电源路径保护器件，用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为系统提供了许多优势，并且包含通常难以使用分立式元件实现的保护功能。要了解可用的电子保险丝，请参阅 [TI 电子保险丝和热插拔控制器](#) 网页。

5 一般建议

以下是电路板设计人员在设计定制电路板时应熟悉的建议和指南。

5.1 处理器性能评估模块 (EVM)

处理器 (硬件) 性能评估模块/平台 (EVM) 不被视为参考设计。它们是评估平台，可能并不代表正确或完整的系统实施。在许多情况下，EVM 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。这样做是为了在首批器件到手后便可使用硬件平台。可能会在处理器启动和基准测试期间获悉新的处理器要求。在这种情况下，硬件评估平台可能并未考虑到这些新要求。因此，TI 希望客户在设计系统时仔细检查并遵循器件特定数据表、器件勘误表和 TRM 中定义的所有要求。

硬件开发平台的设计并未涵盖辐射发射、噪声敏感性、热管理等任何系统特定要求。

5.2 EVM 与数据表

在评估或电路板设计期间，如果发现器件特定 EVM 和数据表之间存在任何差异，建议始终遵循数据表。尽管设计人员尽了最大努力，但 EVM 可能还是包含仍然起作用但不完全符合数据表规范的错误。

5.2.1 元件选型注意事项

EVM 元件选型可能并非优化的选择。查看 BOM，并根据数据表建议、应用要求和电路板电路设计来优化元件选型。

建议在最终确定元件参数值和额定值之前，根据需要进行设计计算、设计审查并执行测试。

5.2.1.1 串联电阻

设计人员可从串联电阻的建议值开始入手，应在电路板上验证并相应调整该值 (该引脚上出现的阶跃函数不接近 $1/2 V_s$)。

5.2.1.2 并联端接

并联拉电阻、极性和拉电阻值的配置基于特定的外设连接建议、处理器性能提升建议以及相关接口或标准要求。当接口的标准或要求不可用时，可以遵循 EVM 或 SK 实现。

设计人员可先使用 EVM 或 SK 中的拉电阻值，然后根据处理器和附加器件的建议或特定的电路板设计实现选择适当的拉电阻值。

5.2.1.3 外部 ESD 保护

如果任何处理器 IO 直接连接到外部连接器，则建议提供外部 ESD 保护配置，因为内部 ESD 保护不能满足系统级 ESD 要求。要了解可用的 ESD 保护 IC，请参阅 [TI ESD 和浪涌保护 IC](#) 网页。

5.2.2 其他信息

根据项目进度和遵循的设计流程，可以重复使用 EVM 设计文件。

以下链接中汇总了设计人员在重复使用 TI EVM 设计文件时必须熟悉的注意事项。

[常见问题解答] [AM6442](#)、[AM6441](#)、[AM6422](#)、[AM6421](#)、[AM6412](#)、[AM6411](#) 定制电路板硬件设计 - 重复使用 TI EVM 设计文件。

5.3 开始设计前

5.3.1 文档

在电路板设计周期中，始终使用最新版文档，例如器件特定数据表、器件勘误表、TRM 和其他设计配套资料。

文档搜索提示：请尝试在文档中搜索以下词语：“建议”、“需要”、“不要”、“注意”、“引脚连接”等。处理器的重要条件通常包含一个或多个这些词语。通过这种简单方法可以确保不会错过任何重要信息。

获取更新信息的技巧：在 TI.com 的处理器产品文件夹页面上，有一个“通知”按钮。在此处注册便可启用关于处理器文档更改的自动通知。

5.3.2 处理器引脚排列验证

- 验证处理器引脚标签是否对应于器件特定数据表的 *引脚属性* 部分中列出的正确引脚编号。
- 验证连接到处理器电源引脚的电源电压是否处于建议的运行条件内。
- 原理图中显示了处理器的所有引脚（按功能分组并具有单独的符号块），以更大程度地减少工具相关错误和功能错误。
- 默认情况下，大多数处理器 IO 都处于关闭状态。建议使用外部拉电阻将任何附加器件的输入保持在有效逻辑状态，直到软件初始化 IO 为止。是否使用拉电阻取决于附加器件。
- 建议将处理器的所有保留引脚命名为 RSVD 并保持未连接状态（不要将信号布线/测试点连接到这些处理器焊盘）。
- 对于任何连接了布线但未使用或未主动驱动的处理器的焊盘（引脚），建议使用外部拉电阻。
- 为了提高电路板性能，请考虑实施外部电压、电流或温度监控。

5.3.3 IOSET

IOSET 是特定于某个接口的一系列信号，这些信号作为一个集合进行计时。该处理器使用 IOSET 进行时序闭合。任何具有 IOSET 的接口都必须从同一 IOSET 中选择所有接口信号。某些接口信号可以通过多个 IOSET 共享。

5.3.4 PADCONFIG 寄存器注意事项

许多处理器焊盘都支持功能的多路复用。这意味着可以从多个选项中单独选择它们的功能。器件特定数据表的 *引脚属性表* 的 *信号名称* 列中枚举了每个焊盘上可用的功能选择。

通过相关焊盘配置寄存器的 MUXMODE 字段选择所需的功能。PADCFG_CTRL0_CFG0_PADCONFIG0 至 PADCFG_CTRL0_CFG0_PADCONFIG171 寄存器控制处理器主域中 IO 模块的信号多路复用，而 MCU_PADCFG_CTRL0_CFG0_PADCONFIG0 至 MCU_PADCFG_CTRL0_CFG0_PADCONFIG32 寄存器控制处理器 MCU 域中 IO 模块的信号多路复用。

器件特定 TRM 的焊盘配置寄存器一节中的焊盘配置焊球名称表汇总了所有 PADCONFIG 寄存器的位字段复位值。配置 PADCONFIG 寄存器时，请遵循表末尾添加的注释。如果与相应 PADCONFIG 寄存器关联的引脚没有有效的逻辑状态，则决不能设置 RXACTIVE 位。这一点很重要，因为悬空输入可能会损坏处理器。

5.3.5 针对失效防护运行的信号隔离

当处理器和附加器件或额外主机由不同的电源供电时，建议进行信号隔离，因为大多数处理器 IO 都不具有失效防护功能。建议通过总线 FET 开关电路来路由信号，该电路设计用于在 IO 电源对两个器件均无效时自动隔离这两个器件。建议总线 FET 开关和控制逻辑由常开电源供电，并且仅由不同电源的电源正常信号的“与”函数启用。

5.3.6 以 EVM 或 SK 为基准

有关实现（当处理器特定数据表中没有提供特定建议时）示例和值，请参阅器件特定 EVM 或 SK（如果适用）

5.3.7 电路板设计 - 层优化

确定层数的主要约束条件是实现高速 DDR4/LPDDR4 接口所需的层数。与 EVM 或 SK 相比，可以减少层数。有关在定制设计上实现 DDR4/LPDDR4 接口的进一步指导和优秀实践，请参阅 TI.com 上提供的 [AM64x/AM243x DDR 电路板设计和布局指南](#) 应用手册。

5.3.8 端接未使用的处理器引脚

有关某些未使用的处理器引脚或接口的具体连接要求，请参阅器件特定数据表中的 [引脚连接要求](#) 一节。

应该可以将 [引脚连接要求](#) 部分中未提到有特殊要求的任何未使用引脚保持未连接状态。

5.3.9 外设实例的命名

即使只有一个可重复使用的实例，也会将后缀编号分配给外设，这样引用该名称的所有文档都不需要根据处理器的不同而进行更改。

后缀以“0”开头。对于 CPSW3G 端口名称，端口“0”是交换机的内部（CPPI 主机）端口。

5.3.10 高速接口设计指南

有关 USB2.0、USB3.0 和 PCIe 信号连接和布线的详细建议，请参阅 [高速接口布局布线指南](#)。包括要在设计中遵循的适当约束或布线要求。

对于 USB 接口，在恶劣的工业环境中运行时，可能需要使用共模扼流圈来提高电路板的性能。此外，应考虑根据应用要求添加外部 ESD 保护。

5.3.11 电压和热管理器 (VTM) 模块

温度监测器（传感器）放置在处理器的预期热点附近。您可以在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

5.3.12 允许的 GPIO 拉电流或灌电流

输出缓冲器驱动的直流电流应保持小于定义的最小 IOH 和 IOL 值，以实现相应 *电气特性* 表中定义的 VOL 最大值和 VOH 最小值。我们不建议超出器件特定数据表中定义的限值，并且希望直流电流明显小于这些限值，否则会导致其他问题。

例如，这些高电平电流的开关可能会产生大量电气噪声，这些噪声可能会耦合到其他电路，从而需要在相应的 IO 电源轨上使用额外的去耦电容器。

5.3.13 电容器到 LVCMOS 类型 IO (输入或输出) 的连接

当配置为输入时，LVCMOS 类型 IO 对压摆率有要求。因为慢速斜坡会将输入驱动至 $1/2 V_s$ ，从而引起功能或可靠性问题，所以不建议将电容器直接连接到输入端。

在配置为输出的 LVCMOS IO 的输出端连接电容器时，请遵循数据表中的建议或进行仿真。

5.3.14 与处理器相关的疑问和说明

如需查看关于处理器选择和特性的疑问和说明，请访问 TI [E2E](#) 论坛。在 E2E 论坛中可以提出新问题或参考之前已回答的相关问题。

6 特定于处理器的建议

6.1 通用 (处理器启动) 连接

6.1.1 电源

请遵循下列建议：

- 每个电源轨的电源要求因使用的接口和工作环境而异。
- 处理器电源轨的电流消耗可以通过 *PET (功耗估算工具)* 进行估算。如果所选电源架构的输出为其他板载附加 (外设) 器件供电，则需要考虑这些器件的最大电流消耗。
- 验证所选电源架构 (包括 PMIC、直流/直流转换器和 LDO) 的输出电流等级是否满足处理器和所有附加器件的最大需求。建议针对设计差异考虑一定程度的额外裕量。
- 验证是否遵循了建议的电源序列 (上电/断电)。建议使用与复位和时钟相关的正确电源时序。有关建议的电源时序要求，请参阅器件特定数据表的 *电源时序* 部分。

6.1.1.1 内核和外设的电源

为确保正常运行，必须为所有电源引脚 (焊球) 提供器件特定数据表的 *建议运行条件* 一节中指定的电源电压。器件特定数据表的 *引脚连接要求* 一节指定了具有特定连接要求的电源引脚。

在 AM64x 系列处理器中，内核电源 VDD_CORE 可在 0.75V 或 0.85V 下运行。当 VDD_CORE 在 0.75V 下运行时，VDD_CORE 应在所有 0.85V 电源之前斜升。当 VDD_CORE 的工作电压为 0.85V 时，建议使用同一电源为 VDD_CORE 和 VDDR_CORE 供电以同时斜升。

在 AM243x 系列处理器中，VDD_CORE 只能在 0.85V 下运行。建议使用同一电源为 VDD_CORE 和 VDDR_CORE 供电以同时斜升。

建议始终连接 VDDS_OSC 和 VDDA_MCU 电源。

外设内核电源 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_0P85_USB0 和 VDDR_CORE 只能在 0.85V 电压下运行。

使用 MMC0 时，外设内核电源 VDD_MMC0 和 VDD_DLL_MMC0 只能在 0.85V 下运行。不使用 MMC0 时，建议将 VDD_MMC0 和 VDD_DLL_MMC0 连接到与 VDD_CORE 相同的电源。

更多信息，请参阅器件特定数据表的 *建议运行条件* 部分和 *电源时序* 部分。

该处理器包含多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x=0-2]、VDDA_1P8_SERDES0、VDDA_1P8_USB0 和 VDDA_ADC0 等敏感模拟电路供电。建议使用滤波 (铁氧体) 电源。有关更多信息，请参

阅 [\[常见问题解答\] AM625/AM623 定制板硬件设计 - 针对 SoC 电源轨的铁氧体 \(电源滤波器\) 建议](#)。这是通用常见问题解答，可用于 AM64x/AM243x 处理器。

6.1.1.1.1 电源斜升 (压摆率) 要求和动态电压调节

与处理器相关的所有电源都应允许受控的电源斜升 (电源压摆率)。有关更多信息，请参阅器件特定数据表的 *电源压摆率要求* 部分。

不支持任何电源轨的动态电压调节。

6.1.1.2 IO 组的电源

该处理器包含七个双电压 IO 域 (VDDSHVx [x = 0..5] 和 VDDSHV_MCU)，其中每个域为一组固定的 IO 供电。每个 IO 域可配置为 3.3V 或 1.8V，这决定了由相应 IO 域供电的整组 IO 的通用工作电压。连接到这些 IO 域的所有信号 (附加器件) 与相应处理器双电压 IO 域 (VDDSHVx 电源轨) 必须使用相同的电源。大多数 IO 缓冲器都没有失效防护功能。有关失效防护 IO 的信息，请参阅器件特定数据表。

名称为 CAP_VDDSh [x=0-5]、CAP_VDDSh_MCU 和 CAP_VDDSHV_MMC1 的引脚用于将外部电容器连接到内部稳压器。

建议在 CAP_VDDSh [x=0-5] 和 CAP_VDDSh_MCU 的引脚和 VSS 之间连接一个 1 μ F (建议容差为 $\pm 20\%$) 的电容器。这些引脚的预期输出电压电平为 1.8V + 10% (最大值为 1.98V)。相应地选择电容器电压等级并使用理想电容器封装。

建议在 CAP_VDDSHV_MMC1 的引脚和 VSS 之间连接一个 3.3 μ F (建议容差为 $\pm 20\%$) 的电容器。

验证所选电容器的 ESR 是否小于 0.8 Ω 。确保电路板布线连接环路电感小于 1.5nH。

备注

在将任何输入施加到相关外设或 IO 之前，VDDSHVx 电源必须存在有效的电源电压。

无论外设或 IO 如何使用，都必须连接 VDDSHVx 电源和相关的 CAP_VDDSh 电容器。

6.1.1.3 VPP 电源 (电子保险丝 ROM 编程)

在电子保险丝编程期间，处理器 VPP (电子保险丝 ROM 编程电源) 必须保持在 *建议运行条件 (ROC)* 范围内，这一点非常重要。建议使用由更高电压的电源 (2.5V 或 3.3V) 供电的 LDO，因为该 LDO 将能够通过其串联导通晶体管来补偿压降，并在大电流瞬态期间保持正确的工作电压。可能需要在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

使用 FET 作为开关或负载开关从固定的 1.8V 电源为 VPP 引脚供电可能会因大电流瞬态而出现问题。为确保处理器 VPP 引脚电源不会降至最小 ROC 值以下，建议对 VPP 实施进行表征。

更多信息，请参阅 [\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应用的](#)问题。这是通用常见问题解答，可用于 AM64x/AM243x 处理器。

6.1.1.4 其他信息

对于初始 PCB 原型构建，建议放置与内核及其他电源轨一致的 0 Ω 电阻 (分流器) 或跳线。这有助于在电路板启动和调试期间隔离电源或测量电流。这些电阻在 EVM 中的用途是测量电流。

验证添加此规定对电路板性能的影响。

6.1.2 电源轨的电容器

确保已执行 PDN 分析，并且已为包括双电压 IO 电源轨在内的所有电源轨提供了所需数量的去耦电容器和大容量电容器。

将去耦电容器放置在尽可能靠近电源引脚的位置。较大的大容量电容器可以放置在更远的位置。

使用低 ESL 电容器，并在安装它们时尽可能缩短布线以降低安装电感。更多信息，请参阅 [Sitara 处理器配电网络：实施与分析](#)。

当 PDN 分析不可用时，EVM 中的大容量电容器和去耦电容器的容值可用作参考。要实现滤波（铁氧体）电源，请遵循器件特定 EVM。

可以考虑使用馈通（3 端）电容器（用于 SK-AM64B 板）来优化所用电容器的数量，更大幅度地降低环路电感并提高处理器性能（主要是 DDR 性能）。

6.1.2.1 其他信息

当不使用包括模数转换器 (ADC0)、DDR 子系统 (DDRSS0)、MMC0、SERDES0 和 USB0 在内的处理器外设时，外设电源有特定的连接要求。有关更多信息，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

6.1.3 处理器时钟

6.1.3.1 时钟输入

6.1.3.1.1 高频振荡器 (MCU_OSC0_XI/MCU_OSC0_XO)

为了使处理器正常运行，需要将一个 25MHz 时钟源连接到高频振荡器 (MCU_OSC0)。

选择晶体或 1.8V LVCMOS 方波数字时钟源。建议将用于实现振荡器电路的分立式元件尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。对于晶体，在选择负载电容器时，请遵循器件特定数据表的 [MCU_OSC0 晶体电路要求表](#)。

使用 1.8V LVCMOS 方波数字时钟源时，应根据器件特定数据表的建议端接处理器 XO 引脚。

有关时钟选择的信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 晶体选型相关问题](#)。

6.1.3.1.2 主域的外部时钟输入 (EXT_REFCLK1)

EXT_REFCLK1 时钟引脚通过布线连接至时钟多路复用器，作为计时器模块 (DMTIMER/WDT)、安全子系统 (SMS)、MCAN 和 CPTS (时间戳模块) 的可选输入时钟源之一。如果一个应用需要向这些模块馈送特定的时钟频率，则可以选择使用 EXT_REFCLK1 (例如：时间同步或由于时钟质量原因)。

6.1.3.1.3 其他信息

请参阅 [AM62Ax Sitara™ 处理器数据表](#) 的 [9.3 时钟布线指南](#) 一节。将在器件特定数据表的下一修订版中更新布线指南。

6.1.3.2 时钟输出

名为 CLKOUT0 的 IO 引脚可配置为时钟输出。时钟输出可用作附加器件（例如：以太网 PHY）的时钟源。

可以同时为 PADCONFIG53 和 PADCONFIG157 配置为 MUX MODE 5，这将同时为引脚 U13 和 A19 提供 CLKOUT0。每个 AM64x 引脚都有自己的 IO 缓冲器，信号多路复用在 IO 缓冲器的处理器侧完成。因此，同时为两个引脚提供 CLKOUT0 不会出现任何信号完整性问题。

6.1.4 处理器复位

6.1.4.1 复位输入

MCU_PORz 是处理器的 MCU 域冷复位外部输入。建议在电源斜坡和振荡器启动期间将 MCU_PORz 拉至低电平。请遵循器件特定数据表的 [上电时序](#) 图中建议的 MCU_PORz 复位时序要求。

对于 MCU_PORz (失效防护)，可以施加 3.3V 输入，但输入阈值仍是 1.8V IO 电源电压 (VDD5_OSC) 的函数。

根据器件特定数据表的 [引脚连接要求](#) 一节的说明，端接外部暖复位输入 MCU_RESETz 和 RESET_REQz。热复位输入 (LVCMOS 类型 IO) 有输入压摆率要求。由于输入斜坡较慢，因此不建议直接在输入端连接电容器。建议使用基于施密特触发的去抖逻辑。有关实施去抖逻辑的信息，请参阅器件特定 EVM 原理图。

6.1.4.2 复位状态输出

PORz_OUT 是主域 POR 状态输出，RESETSTATz 是主域热复位状态输出，MCU_RESETSTATz 是 MCU 域热复位状态输出。

RESETSTATz 可用于通过复位功能 (eMMC、OSPI、引导模式缓冲器、EPHY) 或 SD 卡电源开关来复位板载存储器或外设。PORz_OUT 还可用于在上电期间锁存硬件配置 (strap)，包括以太网 PHY 引脚配置 (strap)。

在上电期间，建议对 PORz_OUT 和 RESETSTATz 输出使用下拉电阻，从而使附加器件的复位生效。

不使用时的复位状态输出可保持未连接状态。建议连接一个测试点用于测试或未来增强。

6.1.4.3 其他信息

用于配置处理器引导的输入 (BOOTMODExx 输入) 必须保持在已知状态，以便选择器件特定 TRM 中定义的合适引导模式配置，直至 PORz_OUT 的上升沿期间锁存引导模式配置。

6.1.5 引导模式的配置 (针对处理器)

引导模式输入不具有在处理器上电或复位期间激活的内部上拉或下拉电阻。建议连接外部上拉或下拉电阻以设置所需的引导模式。

如果使用 DIP 开关，建议使用 470 Ω (上拉电阻) 和 47 Ω (下拉电阻) 的电阻分压比来提高噪声性能。

如果不使用 DIP 开关，建议使用标准电阻 (上拉和下拉电阻的阻值相同)，例如：10k Ω 或类似电阻，因为使用了上拉或下拉电阻。

建议端接 (上拉或下拉电阻) 标记为“保留”或未使用的引导模式引脚。

为实现调试、设计灵活性和未来增强功能，建议为所有具有配置功能的引导模式引脚添加上拉和下拉电阻配置。为每个引导模式引脚安装上拉或下拉电阻。不建议也不允许将引导模式引脚直接接地或连接到电源，因为这些 IO 具有备用配置，可能会有意或无意地配置为输出。

根据应用要求，可以使用仅在复位处于有效状态 (低电平) 时驱动的缓冲器向处理器提供引导配置。

如果在正常运行期间将处理器 IO 配置为输出，建议在缓冲器的输出端使用限流串联电阻 (约 1k Ω)。有关实现的信息，请参阅器件特定 EVM。

6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 EVM 中，引导模式引脚 Bootmode [15:00] 通过两个缓冲器 (隔离缓冲器) 置为有效。当处理器锁存引导模式信号 (在 PORz_OUT 上升沿附近) 时，缓冲器可确保 SYSBOOT 拉电阻 (使用电阻配置的引导模式) 控制信号电平。由于引导模式信号通常用于处理器上电之后的其他功能并连接到其他器件，因此需要将引导模式配置电阻与所连接的其他外设隔离，以便这些外设不会与预期的引导模式配置 (信号电平) 相冲突。

仅当 PORz_OUT 由处理器驱动为低电平时，才会启用缓冲器。PORz_OUT 变为高电平后，缓冲器输出为高阻态，因此信号不会被引导模式电阻器上拉或下拉。

为了优化设计和 BOM，可以根据用例优化或删除这些缓冲器。可选择引导模式拉电阻值，使其不会影响附加器件的运行。

6.1.5.2 引导模式选择

如需配置引导模式，请参阅器件特定 TRM 的初始化一章中的 ROM 代码引导模式表。

6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持引导。当 USB0 配置为 DFU 引导模式时，建议不要将 3.3V 电源 (永久或开关式) 连接到 USB0_VBUS 引脚。不允许将永久电源 (相当于分压器值) 连接到 USB0_VBUS。

根据器件特定数据表中的建议，建议通过 USB 连接器连接的主机的 5V 电源 (开关式) 通过电阻分压器连接到处理器。如果电路板始终不会施加大于 5.5V 的 VBUS 电势且电源为板载电源，则可以移除齐纳二极管，并使用 20k Ω 电阻代替 16.5k Ω 和 3.5k Ω 电阻。

备注

USB0_VBUS 是失效防护输入。失效防护输入仅在 VBUS 电源通过建议的 VBUS 电源分压器电路连接时才有效。

6.1.5.3 其他信息

从外部输入驱动对缓冲器的引导模式配置时，建议在处理器冷复位期间使引导模式配置输入保持稳定。

使用以太网引导 (CPSW3G，请注意 i2331 CPSW：读取 CPSW 寄存器建议时器件锁定) 和 RGMII 时，请选择一个 EPHY，该 EPHY 能够默认情况下在 EPHY RX 数据路径上启用 RGMII_ID 模式并在 TX 数据路径上禁用 RGMII_ID 模式 (处理器在 TX 通道上实现 RGMII_ID)。处理器 ROM 与 EPHY 无关，不会以编程方式在附加的 EPHY 上启用/禁用 RGMII_ID 模式。这是通过 EPHY 上的引脚配置 (strap) 实现的。

6.2 使用 JTAG 和 EMU 进行电路板调试

JTAG 未使用

如需端接 JTAG 和 EMU 信号，请参阅器件特定数据表的 *引脚连接要求* 一节。

在电路板设计期间，为支持早期原型调试，TI 建议至少配置一个连接到测试点的最小 JTAG 端口或配置一个接头封装。如果需要，JTAG 元件在电路板的量产版本中可以是 DNI 状态。还提供了根据 *引脚连接要求* 一节添加建议端接以及添加外部 ESD 保护的配置。

使用 JTAG 和 EMU

根据器件特定数据表的 *引脚连接要求* 一节的说明，端接 TDI、TCK、TMS、TRSTn、EMU0 和 EMU1 信号。

建议在 TDO (靠近处理器引脚) 信号上连接一个串联电阻 (22 Ω)。建议针对所有连接到外部连接器的 JTAG 和 EMU 信号提供外部 ESD 保护。

6.2.1 其他信息

每当 JTAG 接口连接到多个器件时，建议使用时钟和信号缓冲。即使是实施单个器件，也强烈建议使用时钟缓冲。有关实现的信息，请参阅器件特定 EVM。

如果需要跟踪操作，请将 TRC_x 信号直接连接到仿真连接器。所有 TRC_x 信号都与其他信号进行引脚多路复用。可以使用跟踪功能或 GPMC 接口。用于跟踪功能的 TRC_x 信号连接 (电路板布线) 必须很短并进行偏差匹配。跟踪信号位于 VDDSHV3 域上，并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 *仿真和跟踪接头技术参考手册*。[XDS 目标连接指南](#) 中提供了有关此信息的摘要。

如果需要边界扫描，请将 EMU0 和 EMU1 引脚直接连接到 JTAG 连接器。

要确保 JTAG 接口的正确实施，请参阅 *仿真和跟踪接头技术参考手册* 和 [XDS 目标连接指南](#)。

7 处理器外设

7.1 IO 组的电源连接

每个双电压 IO 域 (VDDSHVx [x=0-5] 和 VDDSHV_MCU) 为一组固定的 IO (外设) 供电。3.3V 或 1.8V 电源电压可连接到每个双电压 IO 域。对于除 VDDSHV5 之外的所有双电压 IO 域，建议在上电期间连接所需的电源电压。

VDDSHV5 旨在支持上电、下电或不依赖于其他电源的动态电源电压变化。这是支持 UHS-I SD 卡所必需的功能。

7.2 存储器接口 (DDR4、LPDDR4、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC)

7.2.1 DDR 子系统 (DDRSS)

该处理器支持 DDR4 或 LPDDR4 接口。

7.2.1.1 双倍数据速率 4 (DDR4)

有关实施指南和布线拓扑，请参阅 [AM64x/AM243x DDR 电路板设计和布局布线指南](#)。

7.2.1.1.1 接口配置

允许的器件配置为 1 X 16 位或 2 X 8 位。

1 X 8 位器件配置不是有效配置。

7.2.1.1.2 布线拓扑和端接

如果使用单个器件 (1 X 16 位)，请考虑遵循点对点布线拓扑。

点对点拓扑实现总结：

- 对于差分时钟 (DDR0_CK0、DDR0_CK0_n) 信号，建议使用差分端接：2 个 R 串联 (值 = Zo) 和一个滤波电容器，其中，滤波电容器连接到两个电阻和 VDDS_DDR (DDR PHY IO 电源) 的中心。

- VREFCA (VDDS_DDR/2、基准电压) 用于附加器件的命令和地址输入。

可以使用电阻分压器 (2 个建议值为 $1k\Omega$ 、1% 的电阻串联到 VDDS_DDR 和 VSS) 生成 VREFCA，使滤波电容器 (建议值为 $0.1\mu F$) 连接在两个电阻之间，其他去耦电容器连接到靠近器件的 VREFCA 引脚。

或者，针对地址和控制信号，为单个器件添加 VTT 端接，并使用 LDO 生成 VTT 电源，也是可以接受的。确保使用的 LDO 支持 VTT 端接应用。

使用了两个器件 (2×8 位) 时，建议遵循飞越式布线拓扑。

飞越式布线拓扑实现总结：

- 建议为地址、控制和时钟信号使用外部端接 (VTT)。
- 建议使用能灌入/拉出电流的 LDO 来生成 VTT 电源。
- LDO 会生成基准电压 (VDDS_DDR/2)。为基准电压添加去耦电容器。

7.2.1.1.3 用于控制和校准的电阻

靠近器件引脚为 DDR0_RESET0_n (DDR_RESET#)、DDR0_CKE0 (DDR_CKE (可选)) 提供下拉电阻，为 DDR0_ALERT_n (DDR_ALERTn) 提供上拉电阻。

为靠近器件引脚的 DDR4 器件 TEN (测试使能) 提供下拉电阻。

为 DDR0_CAL0 (靠近处理器引脚) 和 ZQn ($n=0..1$ ，靠近器件引脚) 提供电阻。有关建议的电阻值和容差，请参阅器件特定数据表和 DDR 设计指南。

7.2.1.1.4 电源轨的电容器

在处理器侧和 DDR4 器件侧的 DDR 电源轨上提供足够的大容量电容器和去耦电容器。有关更多信息，请参阅器件特定 EVM。

7.2.1.1.5 数据位或字节交换

在设计过程中，如果需要进行位交换，则可以使用支持的数据字节内位交换以及字节 0/1 交换。不支持地址位交换。不得交换 DM 和 DQS 位。

如需更多信息，请参阅 [AM64x/AM243x DDR 电路板设计和布局布线指南](#) 的位交换一节。

建议更新原理图，以包括布局期间进行的位交换。

7.2.1.2 低功耗双倍数据速率 4 (LPDDR4)

有关实施指南和布线拓扑，请参阅 [AM64x/AM243x DDR 电路板设计和布局布线指南](#)。

7.2.1.2.1 接口配置

允许的器件配置为 1×16 位。如需更多信息，请参阅 [AM64x/AM243x DDR 电路板设计和布局布线指南](#) 中的支持的 LPDDR4 器件实现方案一节。

请参阅 [AM62A3/AM62A7 DDR 电路板设计和布局布线指南](#) 和 [AM625/AM623 DDR 电路板设计和布局布线指南](#) 应用手册的电路板设计仿真一章。

7.2.1.2.2 布线拓扑和端接

时钟 (CK)、地址、控制 (ADDR_CTRL) 和数据信号遵循点对点布线拓扑。

无需在 LPDDR4 的地址/控制信号电路板上提供端接。所有端接都在内部 (片上) 处理。因此，VTT 不适用于 LPDDR4。

7.2.1.2.3 用于控制和校准的电阻

靠近器件引脚为 DDR0_RESET0_n (LPDDR4_RESET_N) 提供下拉电阻。

为 DDR0_CAL0 (靠近处理器引脚)、ODT_CA_A..B (靠近器件引脚) 和 ZQn (n=0..1, 靠近器件引脚) 提供电阻。有关建议的电阻值和容差, 请参阅器件特定数据表和 DDR 设计指南。

7.2.1.2.4 电源轨的电容器

在处理器侧和 LPDDR4 器件侧的 DDR 电源轨上提供足够的大容量电容器和去耦电容器。如需更多信息, 请参阅器件特定 SK。

7.2.1.2.5 数据位或字节交换

在设计过程中, 如果需要进行位交换, 则可以使用支持的数据字节内位交换以及字节 0/1 交换。不支持地址位交换。

建议更新原理图, 以包括布局期间进行的位交换。

7.2.2 多媒体卡/安全数字 (MMCSD)

该处理器支持两个 MMCSD 实例。MMCSD 主机控制器提供了一个连接 1 个 eMMC (8 位) 实例和 1 个 SD/SDIO (4 位) 实例的接口。

7.2.2.1 MMC0 - eMMC (嵌入式多媒体卡) 接口

如需更多信息, 请参阅器件特定数据表的 MMC0 - eMMC 接口一节。

7.2.2.1.1 使用 MMC0

7.2.2.1.1.1 IO 电源

处理器的 MMC0 接口由 VDD_MMC0 (0.85V)、VDD_DLL_MMC0 (0.85V) 和 VDDS_MMC0 (1.8V) 电源供电。

建议使用同一电源轨连接附加器件 (eMMC) 的 VDDS_MMC0 和 IO 电源轨。

eMMC 器件的 VDD (内核电压) 可由独立电源轨供电。

7.2.2.1.1.2 eMMC 复位

建议使用双输入与门逻辑来实现 eMMC 器件复位。其中一个与门输入是处理器通用输入/输出 (GPIO) 引脚, 并具有上拉电阻配置。与门的另一个输入可以是处理器主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且处理器主域热复位状态输出 (RESETSTATz) 用于复位附加器件, 请确保附加器件的 IO 电平与处理器 IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.2.1.1.3 信号端接

提供以下端接:

- 为 MMC1_CLK (靠近处理器引脚) 提供串联电阻 (0 Ω)。
- 为 MMC0_CALPAD (靠近处理器引脚) 提供电阻 (下拉)。有关电阻值和容差, 请参阅器件特定数据表。

备注

外部拉电阻是可选的 (对于 DAT0:7 和 CMD, 由 eMMC 器件在内部启用上拉电阻; 对于 CLK 和 DS, 在内部启用下拉电阻)。

7.2.2.1.1.4 电源轨的电容器

验证是否为处理器电源轨和附加器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。

如果没有可用的建议, 请参考器件特定 EVM 实施。

7.2.2.1.2 不使用 MMC0

MMC0 接口信号不具有备选功能。不使用时, MMC0 对接口和电源有特定的端接要求。

有关端接接口信号、内核、模拟和 IO 电源的信息，请参阅器件特定数据表的 *引脚连接要求* 一节。

7.2.2.1.3 其他信息

备注

不同处理器系列上使用的 eMMC 控制器和 PHY IP 的实现方式可能有所不同。请注意接口，包括迁移到其他处理器系列时建议的端接。

建议查看器件特定数据表、TRM，并遵循针对器件特定处理器系列和附加器件的端接建议。

可以根据需要参考 EVM 实施。

7.2.2.2 MMC1 - 安全数字 (SD) 卡接口

如需更多信息，请参阅器件特定数据表的 *MMC1 - SD/SDIO 接口* 一节。

7.2.2.2.1 IO 电源

处理器的 MMC1 IO 接口 (CMD、CLK 和数据) 由 VDDSHV5 (双电压 IO) 电源轨 (IO 组 5 的 IO 电源) 供电。

VDDSHV5 支持上电、下电或不依赖于其他电源的动态电源电压变化。

该处理器包括一个集成的 SDIO_LDO，在配置为用于 SD 卡接口时为 VDDSHV5 电源供电。下文复位部分所述电源开关的输出作为输入连接到 SDIO_LDO (VDDA_3P3_SDIO)。SDIO_LDO 的输出在上电期间为 3.3V，当软件准备好更改电源电压时，允许将该输出更改为 1.8V。SDIO_LDO 的输出由 V1P8_SIGNAL_ENA 位控制，默认为 3.3V 输出。

确保在 SDIO_LDO 引脚 (CAP_VDDSHV_MMC1) 的输出端提供建议的电容器。

SD 卡检测 (CD) 和写保护 (WP) 引脚连接到 VDDSHV0 (双电压 IO) 电源轨 (IO 组 0 的 IO 电源)。

建议将同一电源轨连接到 VDDSHV0 以及 SD 卡的输入端 MMC1_SDCD 和 MMC1_SDWP。

备注

如果未使用 SDIO_LDO 为 VDDSHV5 供电，请参阅器件特定数据表的 *引脚连接要求* 一节，以端接 VDDA_3P3_SDIO 和 CAP_VDDSHV_MMC1 引脚。

7.2.2.2.2 SD 卡复位和启动

建议配置由软件启用 (控制) 的电源开关为 SD 卡电源 (VDD) 供电。一个固定的 3.3V IO 电源 (连接到处理器的 IO 电源) 连接作为电源开关的输入。

该电源开关允许对 SD 卡进行下电上电 (因为这是复位 SD 卡的唯一方法)，并将 SD 卡恢复到默认状态。

建议使用三输入与门逻辑来实现 SD 卡电源开关使能逻辑。与门的输入包括 PORz_OUT (主域 POR 状态输出)、RESETSTATz (主域热复位状态输出) 和处理器 GPIO。建议使用连接到特定 GPIO IO 域电源电压的上拉电阻来端接连接到处理器 GPIO 的与门输入。可选择提供相关配置来隔离与门的 GPIO 输入，以进行测试或调试。

有关实现详细信息，请参阅器件特定 EVM 和 SK。

如果 MMC1 (SD 卡) 配置为引导器件，请确保为 SD 卡电源供电的外部电源开关默认为 ON (供电状态)，从而确保 SD 卡在引导期间通电。

7.2.2.2.3 信号端接

提供以下端接：

- 为 MMC1_CLK (靠近处理器引脚) 提供串联电阻 (0 Ω)，为 MMC1_CLK 信号 (靠近器件或 SD 卡) 提供外部下拉电阻。
- 为连接到靠近 SD 卡插槽的 VDDSHV5 (双电压 IO) 电源轨的数据线 (DAT0:3) 和 CMD 信号提供外部上拉电阻。

- 为连接到靠近 SD 卡插槽的 VDDSHV0 (双电压 IO) 电源轨的 CD 和 WP 信号提供外部上拉电阻。

7.2.2.2.4 ESD 保护

建议对数据、时钟和控制信号提供外部 ESD 保护 (内部 ESD 保护不能满足系统级 ESD 要求)。

7.2.2.2.5 电源轨的电容器

验证是否为 VDDSHV5 (双电压 IO) 电源轨和附加器件提供了大容量电容器和去耦电容器。

如果没有可用的建议，请参考器件特定 EVM 和 SK 实施。

备注

请遵循对于数据和控制接口端接的器件特定建议。建议将时钟输出的串联电阻放置在靠近处理器引脚的位置。

7.2.2.3 其他信息

有关 MMC1_CLK PADCONFIG 实现的详细信息，请参阅器件特定数据表的 *信号说明*、*MMC*、*MAIN 域* 一节中的注释。

7.2.3 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

有关详细信息，请参阅器件特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 一节。

7.2.3.1 IO 电源

处理器的 OSPI/QSPI IO 接口由 VDDSHV4 (双电压 IO) 电源轨 (IO 组 4 的 IO 电源) 供电。

建议使用同一电源轨连接附加器件的 VDDSHV4 和 IO 电源轨。

附加器件的 VDD (内核电压) 可由独立电源轨供电。

7.2.3.2 OSPI/QSPI 复位

建议使用双输入与门逻辑实现 OSPI/QSPI 器件复位。其中一个与门输入是处理器通用输入/输出 (GPIO) 引脚，并具有上拉电阻配置。与门的另一个输入可以是处理器主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且处理器主域热复位状态输出 (RESETSTATz) 用于复位附加器件，请确保附加器件的 IO 电平与处理器 IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.3.3 信号端接

提供以下端接：

- 为靠近处理器引脚的 OSPI0_CLK 提供串联电阻 (22Ω)，为靠近器件的 OSPI0_CLK (下拉电阻)、CS 引脚 (上拉电阻) 和 INT# 引脚 (上拉电阻) 提供外部并联电阻。
- 为连接到靠近处理器的外设特定双电压 IO 电源轨的数据线 (DAT0:7) 提供外部上拉电阻配置。根据附加器件内部可用的端接，组装端接。

7.2.3.4 环回时钟

验证所需的环回时钟配置。可以使用 OSPI0_LBCLKO (OSPI 环回时钟输出) 和 OSPI0_DQS (OSPI 数据选通或环回时钟输入) 进行不同的时钟环回配置。有关以下环回配置，请参阅器件特定数据表：

- 无环回、内部 PHY 环回和内部焊盘环回

外部电路板级环回

处理器 DQS 或环回时钟与 OSPI 器件的 DS 数据选通搭配使用

如果器件中有 DS (读取数据选通) 引脚，请将器件的 DS 引脚连接到处理器的 OSPI0_DQS 引脚。建议将 OSPI0_LBCLKO 引脚悬空。

如果 DS 可用或未使用，要配置外部环回，请将处理器的 OSPI0_LBCLKO 输出引脚连接到处理器的 OSPI0_DQS 输入引脚。

如果不使用外部环回，建议使 OSPI0_LBCLKO 和 OSPI0_DQS 引脚保持悬空。

备注

为支持传统 x1 命令，处理器 OSPI 接口引脚的 D0 和 D1 必须连接到 QSPI/OSPI 存储器器件引脚的 D0 和 D1。不允许数据位交换。

7.2.3.5 连接多个器件的接口

建议将 OSPI (处理器) 连接到单个存储器器件。如果 OSPI 连接到多个存储器器件，该接口将创建一条拆分的数据总线，这可能会严重降低高速条件下的信号完整性。为了高速访问 OSPI，建议使用一条点对点数据总线。

7.2.3.6 电源轨的电容器

验证是否为 VDDSHV4 (双电压 IO) 电源轨和附加器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。如果没有可用的建议，请参考器件特定 EVM 和 SK 实施。

7.2.4 通用存储器控制器 (GPMC)

7.2.4.1 IO 电源

处理器的 GPMC IO 接口由 VDDSHV3 (双电压 IO) 电源轨 (IO 组 3 的 IO 电源) 供电。

建议使用同一电源轨连接附加器件的 VDDSHV3 和 IO 电源轨。

附加器件的 VDD (内核电压) 可由独立电源轨供电。

7.2.4.2 GPMC 接口

验证连接到 GPMC 接口的器件数量。

建议在同步模式下将处理器 GPMC 接口连接到单个器件。使用多个器件 (即使用多个 CSn) 时需要拆分板载 GPMC 时钟 (和其他接口信号)，这会导致信号完整性问题。

在异步模式下连接多个器件 (不推荐) 时，建议进行详细的时序分析。在异步模式下连接多个器件时，必须将控制信号路由到多个器件。拆分路由和负载问题将对性能产生影响。

7.2.4.3 存储器复位

如果在使用 GPMC 时使用 NAND/NOR 闪存，许多通过 GPMC 连接的存储器可能没有复位信号。

可以选择使用复位信号。如果复位引脚可用，请查看复位要求并将复位引脚连接到相关的复位源。

7.2.4.4 信号端接

NAND 闪存的高电平有效就绪/低电平有效繁忙 (R/B#) 输出为漏极开路，并连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号 (取决于配置)。建议提供连接到外设特定双电压 IO 电源轨的上拉电阻 (建议值为 4.7k Ω)。将上拉电阻靠近器件引脚放置。

建议在 GPMC0_CSn0..3 (取决于配置) 上使用一个外部上拉电阻，以便在处理器保持复位时或复位后且在软件配置 PADCONFIG 寄存器来启用 Tx 缓冲器之前将信号保持在高电平。

为 GPMC0_CLK 提供串联电阻 (22 Ω) (靠近处理器引脚)。

7.2.4.5 电源轨的电容器

验证是否为 VDDSHV3 (双电压 IO) 电源轨和附加器件 (内核和 IO 电压) 提供了大容量电容器和去耦电容器。

如果没有可用的建议，请参考器件特定 EVM 和 SK 实施。

7.3 外部通信接口 (以太网 (CPSW3G 和 PRU_ICSSG)、USB2.0、USB3.0 (SERDES)、PCIe (SERDES)、UART 和 CAN)

7.3.1 以太网接口 (CPSW3G 和 PRU_ICSSG)

该处理器总共支持六个以太网接口。

该处理器支持最多五个并行的外部以太网接口 (EPHY 端口)。引脚复用覆盖 CPSW3G 或 PRU_ICSSG1 (PRG1_PRU1)。

CPSW3G 可以使用 RGMII 或 RMII 连接到外部 EPHY。可以使用一个或两个 RGMII 接口。当两个外部 CPSW3G 接口中的一个使用 RMII 接口连接到 EPHY 时，EPHY 可配置为控制器 (主器件) 或器件 (从器件)。当两个 CPSW3G 外部接口都使用 RMII 接口连接到 EPHY 时，建议将 EPHY 配置为器件。

如需更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 以太网](#)。

7.3.1.1 IO 电源

表 7-1 显示支持媒体独立接口的处理器的 IO 由双电压 IO 电源轨供电。

表 7-1. 接口实例的 IO 电源轨映射

外设实例	媒体独立接口类型	接口实例	双电压 IO 电源
CPSW3G	RGMI1	RGMI11	VDDSHV1 和 VDDSHV2
		RGMI12	VDDSHV2
	RMII	具有 IOSET1 的 RMII1	VDDSHV2
		具有 IOSET2 的 RMII1	VDDSHV1
PRU_ICSSG0	RGMI1	RGMI11	VDDSHV1
		RGMI12	VDDSHV1
	MII	MII1	VDDSHV1
		MII2	VDDSHV1
PRU_ICSSG1	RGMI1	RGMI11	VDDSHV2
		RGMI12	VDDSHV2
	MII	MII1	VDDSHV2
		MII2	VDDSHV2

建议使用同一电源轨连接附加器件的 VDDSHV1 和 VDDSHV2 (双电压 IO) 电源和 IO 电源轨。

附加器件的 VDD (内核电压) 可由独立电源轨供电。

7.3.1.2 媒体独立接口 (MAC 侧)

7.3.1.2.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G)

有关与 RGMI1 接口相关的引脚映射信息，请参阅器件特定数据表的 *信号说明*、*CPSW3G*、*MAIN 域*、*RGMI1 信号说明* 和 *RGMI2 信号说明* 一节。

有关与 RMII 接口相关的引脚映射信息，请参阅器件特定数据表的 *信号说明*、*CPSW3G*、*MAIN 域*、*RMII1* 和 *RMII2 信号说明* 一节。

备注

CPSW3G MDIO0、CPSW3G RMII1、CPSW3G RMII2 和 CPSW3G RGMI1 具有一个或多个信号，这些信号可以多路复用到多个引脚。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。可在器件特定数据表 *CPSW3G IOSET* 一节的表中找到这些接口的有效引脚组合或 IOSET。

根据所需的接口，有关有效 IOSET、每个 CPSW3G MDIO0 IOSET、CPSW3G RMII1 和 RMII2 IOSET 以及 CPSW3G RGMI1 IOSET 的有效引脚组合的信息，请参阅器件特定数据表的 *时序和开关特性*、*外设*、*CPSW3G IOSET* 一节。

RMII_REF_CLK 由 RMII1 和 RMII2 共用。为确保正常运行，所有引脚多路复用信号分配都必须使用相同的 IOSET。两个 RMII 端口共用一个 RMII_REF_CLK。该时钟可以是 IOSET1 的 PRG1_PRU0_GPO10 引脚的输入，也可以是 IOSET2 的 PRG1_PRU0_GPO10 引脚的输入。所有 RMII 信号都必须配置为与 IOSET1 或 IOSET2 关联的引脚。不允许在 IOSET 之间拆分时钟分配 (将时钟连接到其中一个 IOSET，将接口信号连接到另一个 IOSET)。每个 IOSET 的时钟路径相对于与其相应 IOSET 关联的信号而言是时序闭合的。两个时钟路径之间的延迟差不是相对的。

7.3.1.2.2 可编程实时单元和工业通信子系统 - 千兆位 (PRU_ICSSG)

有关与 RGMI1 接口相关的引脚映射信息，请参阅器件特定数据表的 *信号说明*、*PRU_ICSSG*、*MAIN 域* 部分。

有关与 MII 接口 (备选功能) 相关的引脚映射信息，请使用 SysConfig-PinMux 工具或器件特定 TRM。

器件特定数据表中提供了处理器引脚的引脚映射信息，以实现可用的主要功能。如果这些引脚中的任何一个都可以使用可配置的备选功能，则可以使用 SysConfig-PinMux 工具或通过参考器件特定 TRM 来获取相关信息。

7.3.1.2.3 其他信息

可以使用 PADCONFIGx 寄存器在处理器级别对 PRU_ICSSG 引脚进行多路复用，也可以在 PRU_ICSSG IP 级别对 PRU_ICSSG 引脚进行多路复用。注意所需接口的原理关系，特别是检查 RGMII 连接与 MII 连接在发送引脚（包括时钟）上的不同之处。

一些工业协议要求使用具有 MII 接口的 10/100Mbit EPHY。请根据需要进行 EPHY 制造商核实，以确定是否支持工业协议所需的 MII 接口。

备注

PRU_ICSSG 包含第二层多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。器件特定 TRM 的 PRU_ICSSG 一章中对该内部包装器多路复用进行了说明。

7.3.1.3 SysConfig-PinMux 工具的使用

要配置所需的以太网接口，建议使用 SysConfig-PinMux 工具。SysConfig-PinMux 工具将提供可能的 IO 配置和 IO 冲突的详细信息。

7.3.1.4 EPHY 复位

建议使用三输入与门逻辑来实现 EPHY 复位。与门的一个输入由处理器通用输入/输出 (GPIO) 引脚进行控制。建议将上拉电阻连接到与特定 GPIO IO 域电源电压相连的与门输入端（连接到处理器 GPIO）。与门的另一个输入可以是主域 POR 状态输出 (PORz_OUT) 和主域热复位状态输出 (RESETSTATz) 信号。建议在连接处理器 GPIO 输入进行测试之前使用隔离电阻。

如果使用双输入与门，则可根据用例将 PORz_OUT 或 RESETSTATz 作为其中一个输入进行连接，将处理器 GPIO 输入作为第二个输入进行连接。当使用多个 EPHY 时，建议提供单独复位 EPHY 的配置。

建议根据 EPHY 复位引脚配置，在“与运算”逻辑的输出端使用上拉或下拉电阻。电路板设计人员需要确保 EPHY 在相应时钟有效后保持在复位状态，持续指定的最短复位保持时间。

7.3.1.5 以太网 PHY 引脚配置 (strap)

许多 TI EPHY 在复位期间将它们输出配置为输入，并在处理器从复位状态释放时在这些输入上捕获配置（通过电阻进行引脚配置 (strap)）信息。可能需要在这些也连接到处理器 IO 的输入 (IO) 上应用适当的上拉或下拉电阻。EVM 或 SK 上使用的 TI EPHY 结合使用了上拉和下拉电阻，从而可以使用每个引脚来配置多种配置模式。默认情况下，处理器输入缓冲器和内部上拉或下拉电阻处于禁用状态，这样就尽可能减少了 EPHY 向处理器输入缓冲器施加 1/2 Vs 电势的问题。启用任何相关的处理器输入缓冲器之前，需要将 EPHY 从复位状态配置为正常状态，以确保 EPHY 驱动有效的逻辑状态。

7.3.1.6 以太网 PHY (和 MAC) 运行和媒体独立接口 (MII) 时钟

验证根据接口用于以太网 PHY 和 MAC 的时钟输入选项。

7.3.1.6.1 晶体

如果使用晶体作为以太网 PHY 的时钟源，建议将晶体（时钟）规格与处理器晶体（时钟）规格相匹配，以确保实现优化的性能。

7.3.1.6.2 振荡器

使用外部时钟 (LVCMOS) 振荡器作为 EPHY 的时钟源时，建议为处理器和 EPHY 使用单个振荡器。建议为处理器和 EPHY 使用双输出相位对齐缓冲器。请务必按照器件特定数据表中的建议端接处理器的 XO。请参阅 EVM 和 SK。

此外，验证 EPHY 的晶体 XO 是否具有端接建议。

7.3.1.6.3 处理器时钟输出 (CLKOUT0)

为以太网 PHY 提供时钟的另一种方法是使用处理器时钟输出 (CLKOUT0)。时钟输出在内部进行缓冲，适用于点对点时钟拓扑。建议为时钟源串联一个电阻。

RGMII EPHY 需要一个与任何其他信号不同步的 25MHz 时钟输入。因此，该信号不会有任何时序要求，但需要确保 EPHY 不在其时钟输入端接收任何非单调转换。

RMII EPHY 时钟选项随控制器 (主器件) 和器件 (从器件) 配置的不同而变化。

配置为控制器时，大多数 RMII EPHY 需要一个与任何其他信号不同步的 25MHz 输入时钟，25MHz 时钟信号不会有任何时序要求，但务必要确保 EPHY 在其时钟输入端不接收任何非单调转换。

RMII EPHY 为 MAC 提供 50MHz 时钟。在此用例中，相对于 EPHY，50MHz 数据传输时钟会延迟传递至 MAC。这将转换时钟数据时序关系，从而可能减小时序裕量。如果此延迟过大，这对某些设计来说可能会有问题。

配置为器件时，MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号，这种情况下，转换预计会同时到达 MAC 和 EPHY 器件引脚。这样可以为发送和接收数据传输提供更好的时序裕量。同样，需要确保 MAC 和 EPHY 不会在其时钟输入端接收任何非单调转换。为了确保不会发生这种情况，强烈建议通过双输出相位对齐缓冲器来路由该时钟信号。建议使用与 1/2 数据信号长度等长的信号布线来连接时钟缓冲器输出，其中一个时钟输出连接到 MAC，另一个连接到 EPHY。

对于 RMII 接口，建议的配置是器件特定 TRM 中所述的 *RMII 接口典型应用 (外部时钟源)*。如果使用器件特定 TRM 中所述的 *RMII 接口典型应用 (内部时钟源)* 配置，则必须在系统级别验证性能。建议提供用于初始性能测试和比较的外部时钟。已在处理器和 EPHY 上使用 25MHz 时钟验证了以太网性能 (RGMII)。

可以使用 CLKOUT0 信号功能为 EPHY 提供 25MHz 或 50MHz 时钟。然而，这需要软件配置时钟输出。如果电路板设计需要支持以太网引导，则无法使用此配置。只要更改配置，该时钟就可能出现故障。

电路板设计人员需要确保 EPHY 在相应时钟有效后保持在复位状态，持续指定的最短复位保持时间。

TI 不定义处理器时钟输出的性能，因为时钟性能受每种系统实施方案所特有的许多变量的影响。电路板设计人员必须使用实际 PCB 延迟、最小/最大输出延迟特性和每个器件的最小设置/保持要求来验证所有外设的时序，以确认是否有足够的时序裕量。

7.3.1.7 MAC (数据、控制和时钟) 接口信号端接

建议对以太网 MAC 接口信号使用串联电阻 (22 Ω)。使用尽可能小的封装 (0402 或更小) 并尽可能靠近源极放置。首先, 将用于 TX 信号的串联电阻 (22 Ω) 放置在处理器引脚附近。对于 RX 信号, 可以使用 EPHY 内部串联电阻。建议在 RX 信号上提供外部串联电阻 (0 Ω) 配置。

以太网 PHY 的中断输出可以连接到处理器 EXTINTn (中断) 引脚。对于靠近处理器的 EXTINTn 输入, 建议使用上拉电阻。当 PCB 布线已连接且未由外部输入主动驱动时, 建议连接外部上拉电阻。这是具有失效防护的输入。

7.3.1.8 MAC (介质访问控制器) 到 MAC 接口

对于需要进行无 EPHY (MAC 到 MAC) 连接的应用, 建议使用 RGMII 接口 (请与 TI 联系以了解官方是否支持), 因为时钟可进行源同步。

7.3.1.9 管理数据输入/输出 (MDIO) 接口

如果设计中使用了 CPSW3G、PRU_ICSSG0 和 PRU_ICSSG1, 请参阅 MDIO 接口配置。

表 7-2. CPSW3G MDIO

IOSET	信号名称	焊球名称	双电压 IO 电源
IOSET1	MDIO0_MDIO	PRG0_PRU1_GPO18	VDDSHV1
	MDIO0_MDC	PRG0_PRU1_GPO19	VDDSHV1
IOSET2	MDIO0_MDIO	PRG1_MDIO0_MDIO	VDDSHV2
	MDIO0_MDC	PRG1_MDIO0_MDC	VDDSHV2

表 7-3. PRU_ICSSG INSTANCE MDIO

外设实例	焊球名称/信号名称	双电压 IO 电源
PRU_ICSSG0	PRG0_MDIO0_MDIO	VDDSHV1
	PRG0_MDIO0_MDC	VDDSHV1
PRU_ICSSG1	PRG1_MDIO0_MDIO	VDDSHV2
	PRG1_MDIO0_MDC	VDDSHV2

不建议使用同一 MDIO 来控制 CPSW3G 和 PRU_ICSSG 以太网, 硬件目前也不支持这样做。

建议为 MDIO 信号 (MDIO0_MDIO、PRG0_MDIO0_MDIO、PRG1_MDIO0_MDIO) 提供外部上拉电阻。将上拉电阻靠近器件引脚放置。

配置 MDIO 接口之前, 请参阅器件特定勘误表的公告文章 [i2329 MDIO : MDIO 接口损坏 \(CPSW 和 PRU-ICSS\)](#)。

7.3.1.9.1 MDIO 接口模式

使用 MDIO 接口之前, 请参阅器件特定勘误表的公告文章“[i2329 MDIO : MDIO 接口损坏 \(CPSW 和 PRU_ICSS\)](#)”。

如果所选的处理器和正在使用的器件修订版本受到器件勘误表的影响, 则该驱动器可以解决这个问题。该驱动器读取器件 JTAG ID 并将 MDIO 配置为使用手动 (位拆裂) 模式。

有关 MDIO 模式的信息, 请参阅 [外设、高速串行接口、千兆位以太网交换机 \(CPSW3G\)、CPSW0 功能说明、MDIO 中断](#) 一节, 有关器件特定 TRM 的 JTAG ID, 请参阅 [简介、器件标识](#) 一节

7.3.1.10 以太网介质相关接口 (MDI), 包括磁性元件

如果在处理器板上实现了包括磁性元件和 RJ45 连接器在内的 EPHY 和 MDI 接口, 请参考 EVM 和 SK 的 MDI 接口、磁性元件建议、外部 ESD 保护和 RJ45 连接器屏蔽连接。

7.3.1.11 电源轨的电容器

验证是否为 VDDSHV1 和 VDDSHV2 (双电压 IO) 电源轨和附加器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。

如果没有可用的建议，请参考器件特定 EVM 和 SK 实施。

7.3.2 通用串行总线 (USB2.0)

处理器提供 1 个可配置为主机、器件或 DRD (双角色器件) 的 USB2.0 接口。

建议按照器件特定数据表的 *USB 设计指南* 一节连接 USB0_VBUS。器件特定数据表的 *建议运行条件* 表中定义了 USB0_VBUS 引脚的电源电压范围。

7.3.2.1 使用 USB

建议将 USB 模拟电源 VDDA_0P85_USB0、VDDA_1P8_USB0 和 VDDA_3P3_USB0 连接到器件特定数据表中的建议电源轨。

直接连接 USB0_DM 和 USB0_DP 信号 (不使用任何串联电阻或电容器)。使用不包含任何残桩或测试点的布线对这些信号进行布线。

为 USB0_RCALIB (靠近处理器引脚) 提供电阻 (下拉)。有关电阻值和容差，请参阅器件特定数据表。

7.3.2.1.1 USB 主机接口

建议提供一个电源开关来控制外部连接器件的 VBUS 电源，并防止电源开关输入电源过载。

电源开关输出连接到 USB Type-A 连接器。建议将一个电容器 ($>120\ \mu\text{F}$) 连接到靠近连接器的 VBUS 电源。

带内部下拉电阻的 USB0_DRVVBUS 信号用于启用 VBUS 电源开关。建议在电源开关使能 (EN) 引脚附近使用外部下拉电阻。USB0_VBUS 的连接 (VBUS 电源输入，包括分压器/钳位) 是可选的。

如果使用的电源开关具有 OC (过流) 指示输出，则上拉 OC 指示输出并连接到处理器 IO (输入)。

建议通过一个 $0\ \Omega$ 电阻将 USB0_ID 引脚连接到 VSS。

7.3.2.1.2 USB 器件接口

VBUS 电源由外部主机供电。器件运行的 USB 标准建议将 $< 10\ \mu\text{F}$ 的电容器连接到靠近 USB B 型连接器的 VBUS。

在连接到 USB0_VBUS 引脚之前，请按照器件特定数据表的 *USB VBUS 设计指南* 部分调节 USB VBUS 电压 (USB 接口连接器附近的电源)。

根据用例，如果完全确定电路板不会遇到高于 5.5V (板载供电) 的 VBUS 信号电势，则可以移除齐纳二极管。

建议将 USB0_ID 引脚悬空。

7.3.2.1.3 USB 双角色器件接口

将 USB0_ID 引脚直接连接到 USB Micro-AB 连接器上的相应 ID 引脚。根据附加电缆，USB0_ID 引脚将端接，处理器将配置为主机或器件。

备注

不支持完全兼容的 USB On-The-Go (OTG) 特性。

7.3.2.1.4 USB Type-C

如果电路板设计使用 USB Type-C 连接器，则不需要连接 USB0_ID 信号。DRD 模式开关由 USB Type-C 配套器件控制。

DRP (双角色端口) 需要一个控制器，主要用于根据协商的角色切换电源。在器件不是由 Type-C 连接器供电的 Type-C 实现方案 (仅限器件模式、USB2.0) 中，无需 Type-C 控制器。

- 连接器上的 CC 引脚应该通过 5.1K (建议容差为 $\pm 20\%$) 电阻独立接地。
- USB DP 和 USB DM 连接器引脚应在 PCB 上短接 (DM=B7:A7, DP=B6:A6)。无论电缆方向如何，这都能实现 USB2.0 连接。尽量缩短产生的残桩。

此外，请务必遵循 USB0_VBUS 输入缩放建议。有关详细信息，请参阅器件特定数据表的 *USB VBUS 设计指南* 部分。

AM62 SK USB0 接口设计可用作实现 USB Type-C 接口的参考。

7.3.2.2 不使用 USB

不使用时，USB0 对接口和电源有特定的端接要求。

有关端接接口信号、模拟电源引脚的信息，请参阅器件特定数据表的 *引脚连接要求* 一节。

建议通过单独的 0 Ω 电阻将处理器 USB 模拟电源连接到 VSS。

如果需要使用 USB0 进行未来扩展，请使用尽可能短的布线来连接信号 (USB0_DM、USB0_DP、USB0_RCALIB 和 USB0_VBUS)，并端接至测试点或连接器。此外，还必须提供连接 USB 电源的配置。

7.3.2.3 其他信息

将 USB0_DM 和 USB0_DP 信号直接从处理器连接到 USB 集线器上游端口。然后，集线器根据需要将这些信号分配到下行端口。将连接器 ID 接地以启用主机模式。由于每个集线器的实施要求不同，最好遵循集线器制造商的建议。

有关 USB2.0 接口的更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - USB2.0 接口](#)。

7.3.3 串行器/解串器 (SERDES)

USB3.0 或 PCIe 接口 (数据传输) 是通过 SERDES 引脚实现的。USB3.0 子系统或 PCIe 子系统没有任何直接的外部接口引脚。

备注

USB3.0 和 PCIe 接口是互斥的 (USB3.0 或 PCIe)。USB3.0 和 PCIe 不能同时使用。

有关更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - SERDES - SERDES0 接口](#)。

7.3.3.1 使用 SERDES0

建议将模拟和 IO 电源 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C 和 VDDA_1P8_SERDES0 连接到器件特定数据表中建议的电源轨。

为 SERDES0_REXT (靠近处理器引脚) 提供电阻 (下拉)。有关电阻值和容差，请参阅器件特定数据表。

7.3.3.1.1 USB3SS0 - USB3.0 超高速接口配置

USB3.0 接口包括具有片上 SS (USB3.0) PHY 和 HS/FS/LS (USB2.0) PHY 的 SuperSpeed (SS) USB 3.0 双角色器件 (DRD) 子系统。

针对 USB3.0 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。SERDES0_TX0_P 和 SERDES0_TX0_N 配置为 USB0_SSTXP 和 USB0_SSTXN。SERDES0_RX0_P 和 SERDES0_RX0_N 配置为 USB0_SSRXP 和 USB0_SSRXN。

7.3.3.1.1.1 信号接口

7.3.3.1.1.1.1 USB3.0 超高速接口

建议为 USB3.0 发送和接收信号使用交流耦合电容器。将电容器放置在靠近发送器的位置。

如果使用板载 USB3.0 连接器，则将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 USB3.0 连接器的器件上可用。

7.3.3.1.1.1.1 USB3.0 超高速接口工作模式配置

处理器 USB0_ID 引脚并非特定于 USB2.0。同一引脚用于确定 USB3.0 的工作模式。如果作为主机运行（使用 Type-A 连接器），USB0_ID 引脚通过 0Ω 电阻直接连接到 VSS；而在作为器件运行（使用 Type-B 连接器）时，该引脚会开路。建议将 USB0_ID 信号从处理器路由到 Micro USB Type-AB 连接器，以进行双角色配置。

7.3.3.1.1.2 未使用的 SERDES 时钟端接

有关端接未使用的 SERDES0_REFCLK0P 和 SERDES0_REFCLK0N 引脚的信息，请参阅器件特定数据表的 *引脚连接要求* 表建议。或者，在时钟输出端子（P 和 N）上靠近处理器的接地端放置 50Ω 电阻，并为内部板级测试提供一个测试点。

7.3.3.1.1.3 其他信息

USB3.0 接口包含与 USB3.0 和 USB2.0 信号相关的信号，以实现向后兼容。有关 USB2.0 信号及连接的信息，请参阅上文的 [通用串行总线 \(USB2.0\)](#) 一节。

将 USB3.0 信号（差分发送和接收）和 USB2.0 信号（USB0_DP 和 USB0_DM）连接到 USB3.0（同一）连接器。在 USB3.0 规范中，不允许将 USB3.0 和 USB2.0 信号拆分到不同的连接器。

7.3.3.1.2 外设组件互连 Express (PCIe) 接口配置

针对 PCIe 功能配置了 SERDES0 PHY 差分发送数据 (TX0) 信号和差分接收数据 (RX0) 信号。SERDES0_TX0_P 和 SERDES0_TX0_N 信号配置为 PCIE0_TX0_P 和 PCIE0_TX0_N。SERDES0_RX0_P 和 SERDES0_RX0_N 信号配置为 PCIE0_RX0_P 和 PCIE0_RX0_N。

7.3.3.1.2.1 PCIe 工作模式的时钟配置

PCIe 接口实现了通用时钟架构。时钟可由处理器或附加卡提供，具体取决于配置的功能。可将一个通用外部时钟用作替代时钟选项。

7.3.3.1.2.2 信号接口端接

建议为 PCIe 发送和接收信号使用交流耦合电容器。将电容器放置在靠近发送器的位置。

如果使用板载 PCIe 连接器，则将来自处理器的接收信号直接连接到连接器。用于接收信号的交流耦合电容器应在连接到 PCIe 连接器的器件上可用。

7.3.3.1.2.3 PCIe 时钟 (REFCLK) 源

可以考虑使用以下时钟选项作为 PCIe 接口（通用时钟架构）时钟的来源

- **时钟发生器**

时钟发生器输出可作为通用时钟连接到处理器和附加卡（板载 PCIe 连接器）。遵循时钟发生器的建议来端接时钟输出。

- **处理器的时钟输出**

处理器时钟输出可作为时钟输入连接到附加卡。在时钟输出端子（P 和 N）上靠近处理器的接地端放置 50Ω 电阻。

备注

有关允许的配置，请参阅器件特定勘误表中的公告文章 i2236。

- **处理器的外部时钟输入（来自附加卡的时钟输出）**

来自附加卡的外部时钟作为时钟输入连接到处理器。如果来自附加卡的时钟处于不重新偏置模式，则放置一个 0Ω 串联电阻；如果来自附加卡的时钟处于重新偏置模式，则放置一个 0.1μF 电容器（交流耦合）0402 封装。将电容器放置在靠近接收器的位置。

7.3.3.1.2.4 硬件复位（基础复位）

以下选项可用于复位 PCIe 卡。

- **复位附加卡**

建议使用与门逻辑实现附加 PCIe 器件 (附加卡) 的复位。其中一个与门输入是处理器通用输入/输出 (GPIO) 引脚, 并具有下拉电阻配置。与门的另一个输入是处理器主域热复位状态输出 (RESETSTATz) 信号。

• 处理器复位

建议将附加卡 (PCIe 连接器) 的复位输出作为输入之一连接到用于生成处理器 MCU 域冷复位 (MCU_PORz) 的“与运算”逻辑。

有关实现的信息, 请参阅器件特定 EVM。

7.3.3.1.2.5 PCIe 时钟请求 (PCIE0_CLKREQn) 信号

处理器和 PCIe (附加卡) 连接器之间的 PCIE0_CLKREQn (时钟断电信号) 引脚连接是可选的, 并且取决于应用。需要此连接才能启用低功耗模式。

目前尚未在器件特定 EVM 上实现 PCIE0_CLKREQn 功能。添加 PCIE0_CLKREQn 支持需要进一步分析并添加胶合逻辑。

7.3.3.1.2.6 连接 PCIe 接口信号

有关连接和配置其他适用 PCIe 信号以实现 PCIe 接口的不同工作模式的信息, 请参阅器件特定 EVM。

7.3.3.2 不使用 SERDES0

不使用时, SERDES0 对接口信号和电源有特定的端接要求。

有关端接接口信号、模拟和 IO 电源的信息, 请参阅器件特定数据表的 *引脚连接要求* 一节。

当处理器模拟引脚和 IO 电源引脚需要连接到 VSS 时。建议通过单独的 0Ω 电阻连接到 VSS。

当需要边界扫描功能时, 建议在电源引脚上使用去耦电容器。不需要大容量电容器和铁氧体。

当不需要边界扫描功能时, 不需要去耦电容器、大容量电容器和铁氧体。

7.3.4 通用异步收发器 (UART)

验证 UART 接口应用要求 (外部接口或调试) 和配置 (2 线或 4 线带流量控制)。有关支持的实例数, 请参阅器件特定数据表。

使用外部收发器时, 请确保外部接口信号电平与双电压 IO 电源电压电平匹配。

考虑在接口信号 (靠近源极) 上配置串联电阻以进行调试或隔离。建议在 UART 接收引脚 (UART0..6_RXD、MCU_UART0..1_RXD) 上添加上拉电阻。

如果处理器的接口信号直接连接到外部连接器, 建议使用外部 ESD 保护。

UART 接口经常连接错误。确保按如下方式连接信号:

- TX ---> RX
- RX ---> TX

如果使用了其他接口信号, 请验证连接。

7.3.5 控制器局域网 (CAN)

有关支持的实例数, 请参阅器件特定数据表。处理器的 CAN 接口包括外部 CAN 收发器。

使用外部收发器时, 请确保外部接口信号电平与双电压 IO 电源电压电平匹配。

确保在 CAN 收发器处提供所需的端接, 并按预期连接信号。

考虑在接口信号 (靠近源极) 上配置串联电阻以进行调试或隔离。

7.4 板载同步通信接口 (MCSPI 和 I2C)

7.4.1 多通道串行外设接口 (MCSPi)

验证是否为靠近处理器引脚的时钟输出 SPI0..4_CLK (MCSPi 0..4) 和 MCU_SPI0..1_CLK (MCU_MCSPi 0..1) 提供了串联电阻 (22 Ω)。

验证是否为靠近器件引脚的芯片选择信号 SPI0..4_CS0..3 (MCSPi 0..4) 和 MCU_SPI0..1_CS0..3 (MCSPi 0..1) 提供了外部并联拉电阻。用于数据输出的拉电阻取决于用例，需要在选择附加器件时进行验证。

7.4.2 内部集成电路 (I2C)

验证应用是否需要一个完全符合 I2C 规范的接口。I2C0 和 MCU_I2C0 是真正的开漏输出型缓冲器，完全符合 I2C 规范。这些器件可以支持 3.4Mbps I2C 运行 (当 IO 缓冲器 (接口) 在 1.8V 下运行时)。

采用开漏输出型缓冲器的 I2C 接口具有端接要求。无论 IO 配置如何，建议端接开漏输出型缓冲器 I2C 接口，请参阅器件特定数据表的 [引脚连接要求](#) 一节。建议使用 4.7k Ω 或更小的上拉电阻。

当这些开漏输出型缓冲器 I2C 接口被拉至 3.3V 电源时，这些 IO 具有压摆率限制。建议使用 RC 来限制 I2C 信号的压摆率。

如需更多信息，请参阅本检查清单文档的[端接 \(上拉电阻\)](#) 一节。

验证应用是否需要其他 I2C 接口。

I2C1..3 和 MCU_I2C1 使用 LVCMOS 来模拟开漏缓冲器，并且不完全符合 I2C 规范，尤其是下降沿的速度很快 (< 2ns)。连接到这些端口的任何器件都必须能够在下降时间更短的情况下正常运行。这些接口支持 100kHz 和 400kHz 工作频率。建议针对这些 I2C 信号使用上拉电阻。上拉电阻的位置并不重要，但连接很重要。建议使用尽可能短的残桩连接上拉电阻。

有关更多信息，请参阅 [常见问题解答] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - I2C 接口。

如果计划使用 TI 提供的软件，请务必将 I2C0 连接到 PMIC，因为这是用于 PMIC 控制的 I2C 接口。

备注

I2C0 和 MCU_I2C0 开漏输出型缓冲器 I2C 接口信号是失效防护 IO。

7.5 模数转换器 (ADC)

7.5.1 使用 ADC0

建议将 ADC0 模拟电源 VDDA_ADC0 连接到器件特定数据表中建议的电源轨。

使用 ADC0 之前，请遵循器件特定数据表的 *信号说明*、*ADC*、*MAIN* 域表末尾添加的注释。

请参阅 [AM6442](#)、[AM6422](#)、[AM6412](#) 和 [AM2434](#) *处理器的硬件设计指南* 应用手册的外设、模数转换器 (ADC)、AM64x/AM243x SR2.0 ADC 勘误表的变更摘要一节。

备注

ADC IO 不具有失效防护功能。不建议也不允许在不给处理器供电的情况下向任何 ADC 输入施加电压。施加的 ADC 输入 (基于输入电平) 可能会导致电源轨上出现残余电压，从而导致电路板启动问题。请参阅器件特定数据表的 *绝对最大额定值* 表。如果需要监控处理器电源斜升之前可用的电源，建议通过一个开关将这些输入连接到 ADC。该开关既可由处理器 GPIO 控制，也可由来自任何电源 (包括 PMIC) 的电源正常信号控制。

7.5.2 不使用 ADC0

当不使用整个 ADC0 时，对输入和电源轨有特定的端接要求。当不使用任何 ADC 输入时，对未使用的输入有特定的端接要求。

如需端接 ADC 输入、模拟电源引脚，请参阅器件特定数据表的 *引脚连接要求* 一节。

建议通过单独的 0Ω 电阻将 ADC 输入和处理器模拟电源引脚连接到 VSS。这是为了将来的扩展或增强而准备，是可选操作。

7.6 GPIO 和硬件诊断

7.6.1 通用输入/输出 (GPIO)

7.6.1.1 端接和外部缓冲

考虑添加串联电阻 (22Ω) 来限制电流。当需要更高 (高于数据表规定值) 的电流源时，从外部缓冲 GPIO 输出。

7.6.1.2 GPIO 与 MMC 接口进行多路复用

如果需要将具有 MMC 功能的 IO 用于 GPIO 功能，可以删除器件树中的 MMC 条目，使 IO 能够充当 GPIO。或者，可以将 iomux_enable 位设置为 1。

7.6.1.3 其他信息

除非另有说明，否则未使用的接口上的信号通常可以保留为无连接状态。许多 IO 都有一个 *焊盘配置寄存器* 可用于控制 IO 的输入功能 (每个 conf_<module>_<pin> 寄存器中的 RXENABLE 字段)。更多详细信息，请参阅器

件特定 TRM 的 *控制模块* 一章。在初始化期间，软件可尽快禁用设计中未连接的 IO 接收缓冲器（即 RXENABLE=0）。当相关引脚悬空时，需要确保软件不会意外启用 IO 接收器（通过设置 RXENABLE 位）。

备注

如需了解配置某些未使用的引脚的具体指导信息，请参阅器件特定数据表的 *引脚连接要求* 一节。

备注

如需了解有关配置 IO 的具体指导信息，请参阅器件特定 TRM 的 *焊盘配置寄存器* 一章。

7.6.2 内部硬件诊断

7.6.2.1 使用处理器监测板载电源电压

7.6.2.1.1 电压监测引脚（使用时）

建议通过一个外部电阻分压器 ($0.45V \pm 3\%$) 将为电路板供电的主电压 (3.3V 或 5V 或更高) 连接到 VMON_VSYS 引脚，以提供早期电源故障指示。如器件特定数据表的 *系统电源监测设计指南* 部分所述，考虑在连接到处理器输入的分压器输出端实施噪声滤波器（电容器）。

将 VMON_1P8_SOC、VMON_1P8_MCU、VMON_3P3_SOC 和 VMON_3P3_MCU 引脚直接连接到各自的电源。有关允许的电源电压范围，请参阅器件特定数据表的 *建议运行条件* 部分。

备注

VMON_VSYS、VMON_1P8_MCU、VMON_1P8_SOC、VMON_3P3_MCU 和 VMON_3P3_SOC 是失效防护输入。

对于 VMON_VSYS，当遵循器件特定数据表的 *系统电源监测设计指南* 一节中的建议时，失效防护条件有效。

对于其他 VMON 引脚，当连接的电源电压在器件特定数据表的 *建议运行条件* 或 *绝对最大额定值* 范围内时，失效防护条件有效。

7.6.2.1.2 不使用电压监测引脚

TI 建议使用 VMON_VSYS 提供早期电源故障指示。不使用时，请通过单独的 0Ω 电阻将 VMON_VSYS、VMON_3P3_SOC 和 VMON_3P3_MCU 引脚连接到 VSS，并添加用于未来扩展的测试点。

建议将 VMON_1P8_SOC 和 VMON_1P8_MCU 引脚连接到相应的电源。这些信号接地将使内部 1.8V 电源短路，因此不允许接地。

7.6.2.2 内部温度监测

处理器上的电压和热管理器 (VTM) 模块通过提供对片上温度传感器的控制来支持处理器的电压和热管理。

该处理器支持主域中的单个 VTM 模块，即 VTM0。VTM0 有两个关联的温度监测器：ITemp_Sensor_Main_0 和 ITemp_Sensor_Main_1，每个监测器都位于处理器裸片中的热点附近。

对于 VTM 模块的温度测量精度，TI 不提供任何规格或保证。为了便于指示，我们提供了 $\pm 7^\circ\text{C}$ 的精度，并且我们已执行内部表征以确认测量值处于指定范围内。

7.6.2.3 错误信号输出 (MCU_SAFETY_ERRORn) 的端接

建议始终根据器件特定数据表的 *引脚连接要求* 部分端接 MCU_SAFETY_ERRORn 信号以进行测试，或将该信号用于其他板级应用。

7.6.2.4 高频振荡器 (MCU_OSC0) 时钟丢失检测

该处理器支持通过 HFOSC0 时钟丢失检测电路来检测 HFOSC0_CLK 故障（停止）情况。专用硬件逻辑使用 CLK_12M_RC 时钟来监测 HFOSC0 时钟。当 HFOSC0_CLK 停止切换的时长达到 9 个 CLK_12M_RC 时钟周期

时，会检测到 HFOSC0 时钟停止丢失情况。如果设置了 CTRLMMR_MCU_PLL_CLKSEL [8] CLKLOSS_SWTCH_EN，则参考时钟将从 HFOSC0_CLKOUT 切换到 CLK_12M_RC，允许该处理器以较慢的时钟运行。

在时钟丢失情况下，该处理器通过 MCU_SAFETY_ERRORn 引脚（将该引脚驱动为低电平）向外部器件报告错误。恢复机制的实现取决于外部系统（例如由 PMIC 执行操作）。

例如，执行完整的系统下电上电循环以查看系统是否恢复。如果电路板未恢复，则该处理器必须指示用户采取替代措施，例如检查系统时钟、外部晶体或电源轨。

7.7 验证电路板级设计问题

7.7.1 使用 Pinmux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证所有外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅 SysConfig-PinMux 工具提供的 PinmuxConfigSummary.csv 文件。

7.7.2 原理图配置

验证为替代功能或测试提供的所有电路选项（这些选项不是电路板正常运行所必需的或可能导致电路故障）是否标记为 DNI。

7.7.3 端接

将信号端接至错误的 IO 电源轨可能会导致处理器的 IO 电源轨之间产生漏电流。每个信号都有一个相关的 IO 电源轨（例如：VDDSHVx [x=0-5]）。有关更多信息，请参阅器件特定数据表的 [引脚属性表](#)。

例如，如果需要在任何多路复用模式（UART6_RXD、I2C2_SCL、GPIO1_43 等）下上拉 SPI0_CS1 信号，请将所连接的信号电源轨上拉至 VDDSHV0。

7.7.4 外设（子系统）时钟输出

对于任何具有时钟输出的处理器外设，请配置相应 CTRLMMR_MCU_PADCONFIGx/CTRLMMR_PADCONFIGy 寄存器的 RXACTIVE 位。该位配置是时钟输出正常工作的必需条件。

7.7.5 一般调试

7.7.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试。

- OBSCLK0、MCU_OBSCLK0（推荐）：观察时钟输出

OBSCLK0、MCU_OBSCLK0 是观察时钟输出，仅用于测试和调试目的。OBSCLK 引脚可用于选择多个不同时钟之一作为输出。我们不希望将该信号用作任何外部器件的时钟源。如数据表中所述，该信号仅用于测试和调试目的。

- SYSCLKOUT0（可选）：SYSCLK0 进行 4 分频，然后作为 LVCMOS 时钟信号 (SYSCLKOUT0) 从处理器发出
- MCU_SYSCLKOUT0（可选）：MCU_SYSCLK0 进行 4 分频，然后作为 LVCMOS 时钟信号 (MCU_SYSCLKOUT0) 从处理器发出

如果未使用名称为 OBSCLK0、MCU_OBSCLK0、SYSCLKOUT0、MCU_SYSCLKOUT0 的处理器引脚，则提供一个测试点用于测试/调试。考虑添加一个并联拉电阻。

如果使用了这些引脚，可在布线上插入一个测试点，并可提供用于将这些信号与附加器件进行隔离的配置，从而进行测试/调试。

系统时钟引脚（MCU_SYSCLKOUT0 和 SYSCLKOUT0）通过硬接线连接到专用时钟资源。

7.7.5.2 其他信息

建议为 MCU_RESETSTATz、RESETSTATz 和 PORz_OUT 提供测试点，以便在不使用时进行测试或调试。

对于具有警报输出、未使用过流指示或 PG (电源正常) 输出的附加器件 (直流/直流转换器、LDO 或传感器) , 提供上拉和测试点用于测试或后续增强。

8 布局注释 (将添加到原理图中)

建议根据需要为处理器外设 (例如 : USB、以太网、PCIe、eMMC、SD 卡和其他外设) 和附加器件添加设计说明, 包括电路板引导模式配置、端接放置、去耦和大容量电容器放置。

标记所有差分信号和关键信号, 并根据需要指定目标阻抗。请参阅以下示例 :

- DDR 信号的 DDR 目标阻抗为 40 Ω (单端) 和 80 Ω (差分) 。
- USB 数据线的差分阻抗必须在 90 Ω 标称值的额定容差范围内。
- SuperSpeed、PCI-Express (PCIe) 信号线 (TX 和 RX) 的差分阻抗必须在 95 Ω 标称值的额定容差范围内。
- 以太网 MDI 信号的差分阻抗必须在 100 Ω 标称值的额定容差范围内。

9 电路板设计仿真

基线驱动阻抗和 ODT 设置源自对 EVM 和 SK 执行的信号完整性 SI 仿真。

由于根据电路板设计不同, 值可能会有所不同, 因此建议对设计进行仿真。

如需了解高速 LPDDR4 接口的基本系统级电路板提取、仿真和分析方法, 请参阅 [AM62Ax DDR 电路板设计和布局布线指南](#) 应用手册的 [LPDDR4 电路板设计仿真](#) 一章。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 可调节驱动强度。

有关更多信息, 请参阅 [\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)。这是通用常见问题解答, 可用于 AM64x/AM243x 处理器。

10 其他参考内容

其他参考内容包含一些处理器附加器件的常见问题解答和原理图检查清单, 可在设计和审查期间使用。

有关 PMIC 设计审查, 请参阅 [TPS65219 原理图、布局检查清单](#)。

根据客户询问和学习, 创建了常见问题解答, 以便在电路板设计期间为客户提供支持。请参阅下面已创建的常见问题列表, 在电路板设计期间可参考该列表以及其他配套资料, 包括硬件设计指南和原理图检查清单。

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 与支持电路板设计的处理器外设相关的常见问题解答](#)

请参阅以下常见问题列表, 设计期间可参考该列表, 其中包括与软件相关的常见问题解答。

[\[常见问题解答\] PROCESSOR-SDK-AM64X : AM64x 常见问题列表](#)

11 总结

此原理图检查清单可用作原理图设计过程中参考的指南。本文档中提供的建议有助于简化设计、减少调试时间, 并可能更大程度地减少日后重新设计电路板的工作。

12 参考文献

12.1 AM64x

- 德州仪器 (TI) : [AM64x Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [SK-AM64B \(适用于 AM64x Sitara 处理器的 AM64B 入门套件 \)](#)
- 德州仪器 (TI) : [TMDS64EVM \(AM64x Sitara 处理器评估模块 \)](#)
- 德州仪器 (TI) : [TMDS64GPEVM \(适用于 Sitara 处理器的通用评估模块 \)](#)
- 德州仪器 (TI) : [TMDS64DC01EVM \(AM64x IO-link 和高速分接卡 \)](#)
- 德州仪器 (TI) : [使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#)
- 德州仪器 (TI) : [使用 LP8733xx PMIC 为 AM64xx 供电](#)

12.2 AM243x

- 德州仪器 (TI) : [AM243x Sitara™ 微控制器数据表](#)
- 德州仪器 (TI) : [TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块 \)](#)
- 德州仪器 (TI) : [LP-AM243 \(AM243x Arm® MCU 通用 LaunchPad™ 开发套件 \)](#)
- 德州仪器 (TI) : [TMDS243DC01EVM \(用于高速扩展的 AM243x 和 AM64x 评估模块分线板 \)](#)
- 德州仪器 (TI) : [使用 TPS65219 PMIC 为 AM243x 供电](#)

12.3 需要

- 德州仪器 (TI) : [AM64x/AM243x Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM64x/AM243x 处理器器件勘误表](#)
- 德州仪器 (TI) : [AM64x/AM243x 功耗估算工具](#)
- 德州仪器 (TI) : [AM6442、AM6422、AM6412 和 AM2434 处理器的硬件设计指南](#)
- 德州仪器 (TI) : [AM64x 和 AM243x BGA 迂回布线](#)
- 德州仪器 (TI) : [AM64x/AM243x DDR 电路板设计及布局布线指南](#)
- 德州仪器 (TI) : [AM62A3/AM62A7 DDR 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南应用报告](#)
- 德州仪器 (TI) : [PRU-ICSS 特性比较](#)
- 德州仪器 (TI) : [Sitara™ 处理器和 MCU 支持的工业通信协议](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [Jacinto 7 高速接口布局指南](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)

A 术语

ADC - 模数转换器

BOM - 物料清单

CAN - 控制器局域网

CKE - 时钟使能

CPPI - 通信端口编程接口

CPSW3G - 通用平台 3 端口千兆位以太网交换机

DFU - 器件固件升级

DNI - 不要安装

DRD - 双角色器件

DRP - 双角色端口

E2E - 工程师对工程师

EMC - 电磁兼容性

EMI - 电磁干扰

eMMC - 嵌入式多媒体卡

EMU - 仿真控制

ESD - 静电放电

ESL - 有效串联电感

ESR - 有效串联电阻

FET - 场效应晶体管
GPIO - 通用输入/输出
GPMC - 通用存储器控制器
I2C - 内部集成电路
JTAG - 联合测试行动组
LDO - 低压降
LVCMOS - 低压互补金属氧化物半导体
MAC - 介质访问控制器
MCSPI - 多通道串行外设接口
MDI - 介质相关接口
MDIO - 管理数据输入/输出
MII - 媒体独立接口
MMC - 多媒体卡
MMCSDB - 多媒体卡/安全数字
ODT - 片上端接
OSPI - 八进制串行外设接口
OTP - 一次性可编程
PCB - 印刷电路板
PCIe - 外围组件快速互连
PDN - 配电网络
PET - 功耗估算工具
PMIC - 电源管理集成电路
POR - 上电复位
PRU_ICSSG - 可编程实时单元和工业通信子系统 - 千兆位
QSPI - 四线串行外设接口
RGMII - 简化千兆位媒体独立接口
RMII - 简化媒体独立接口
ROC - 建议运行条件
SD - 安全数字
SDIO - 安全数字输入输出
SPI - 串行外设接口
TCK - JTAG 测试时钟输入
TDI - JTAG 测试数据输入
TDO - JTAG 测试数据输出
TEN - 测试使能

TMS - JTAG 测试模式选择输入
TRM - 技术参考手册
TRSTn - JTAG 复位
UART - 通用异步接收器/发送器
USB - 通用串行总线
XDS - 扩展开发系统

修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2021) to Revision C (September 2023)	Page
• 添加了节 1.1	3
• 添加了节 1.2	3
• 添加了节 2	3
• 添加了节 2.1	3
• 添加了节 3	3
• 添加了节 3.1	3
• 添加了节 3.2	3
• 添加了节 3.3	3
• 添加了节 4	4
• 添加了节 4.1	4
• 添加了节 4.2	4
• 添加了节 5	5
• 添加了节 5.1	5
• 添加了节 5.2	5
• 添加了节 5.3	6
• 更新了节 6	8
• 更新了节 6.1	8
• 更新了节 6.2	12
• 更新了节 7	13
• 更新了节 7.1	13
• 更新了节 7.2	13
• 更新了节 7.3	18
• 更新了节 7.4	27
• 添加了节 7.5	29
• 更新了节 7.6	29
• 更新了节 7.7	31
• 添加了节 8	32
• 添加了节 9	32
• 添加了节 10	32
• 添加了节 11	32
• 更新了节 12	32
• 添加了节 12.1	32
• 添加了节 12.2	33
• 添加了节 12.3	33
• 添加了附录 A	33

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司