

Application Note  
适用于单线对以太网、符合 EMC/EMI 标准的设计



Steffen Graf, Kristen Mogensen

摘要

本应用手册为通过 EMI 和 EMC 测试提供了有关良好原理图和布局实践的指导。该出版物重点介绍了电源和时钟方案中经常被忽略的方面。另外，我们还特别关注单线对以太网 (SPE) 在顶部增加数据线供电 (PoDL) 的要求，因为这对数据线上电源引起的纹波电压有额外的要求。

内容

1 引言.....2

2 电源.....2

    2.1 内部电源轨.....3

    2.2 外部电源线.....4

    2.3 PoDL 的要求.....7

    2.4 计时.....8

3 总结.....11

4 参考资料.....11

商标

所有商标均为其各自所有者的财产。

## 1 引言

每当设计系统时，可以运用某些规则来创建一个不发射电磁干扰、但也能够抵御外部发射的系统。本文档总结了在原理图和布局设计期间应注意的良好实践。这里重点介绍了单线对以太网，但一些规则也适用于标准以太网。

## 2 电源

在考虑 EMI 时，一个非常重要的方面是电源。目标是尽可能降低每个电源轨上的噪声，原因有两个：噪声可能会干扰您的电路并导致 IC 无法正常工作，甚至可能会出现断电，而且电源线路还可能通过辐射（辐射发射）或导线（传导发射）给环境带来噪声。

在查看系统电源树的典型方框图时，我们可以将进入处理器、以太网 PHY 的以及从外部电源输入为系统供电的所有电压分为内部电源轨。图 2-1 中展示了 24V PoDL 和 24V Aux。

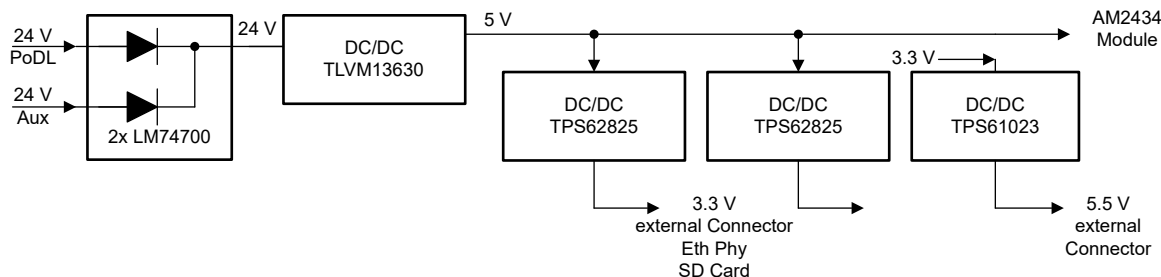


图 2-1. 电源方框图

## 2.1 内部电源轨

内部电源轨由连接更高电压的本地开关或线性稳压器生成。此处所示的示例从外部 24V 电压开始，使用开关稳压器生成一个中间 5V 电压轨，并最终为不同子系统生成了 3.3V 和 1.8V 电压轨。

本文档并未重点介绍如何设计开关稳压器，请记住有关电流环路的一般规则并查看数据表。另外，本文档未涵盖线性稳压器的基础知识。

为以太网 PHY 实施电源时，请遵守数据表中提供的电容器和电源轨滤波方面的指南。通常，您需要两到三个电容器，每个电源引脚具有不同的电容以及一些大容量电容。除此之外，建议使用低通滤波选项。图 2-2 显示了每个引脚的一组电容器，对于 R77 和 R78，给出了滤波选项。使用多个具有不同电容和尺寸的电容器在较宽频率范围内获得低阻抗。从 0402 (对于非常高的频率，也可用 0201 或更小) 到 0805 的不同物理尺寸也可使用。

在 (预) 合规性测试期间，您可以了解是否需要添加额外的滤波功能，例如使用铁氧体磁珠。如果出现与器件内部使用频率相关的噪声，或者测量流经该电阻器的大量 HF 电流 (可使用近场探头)，则可以添加铁氧体磁珠，使电源平面避免产生噪声。

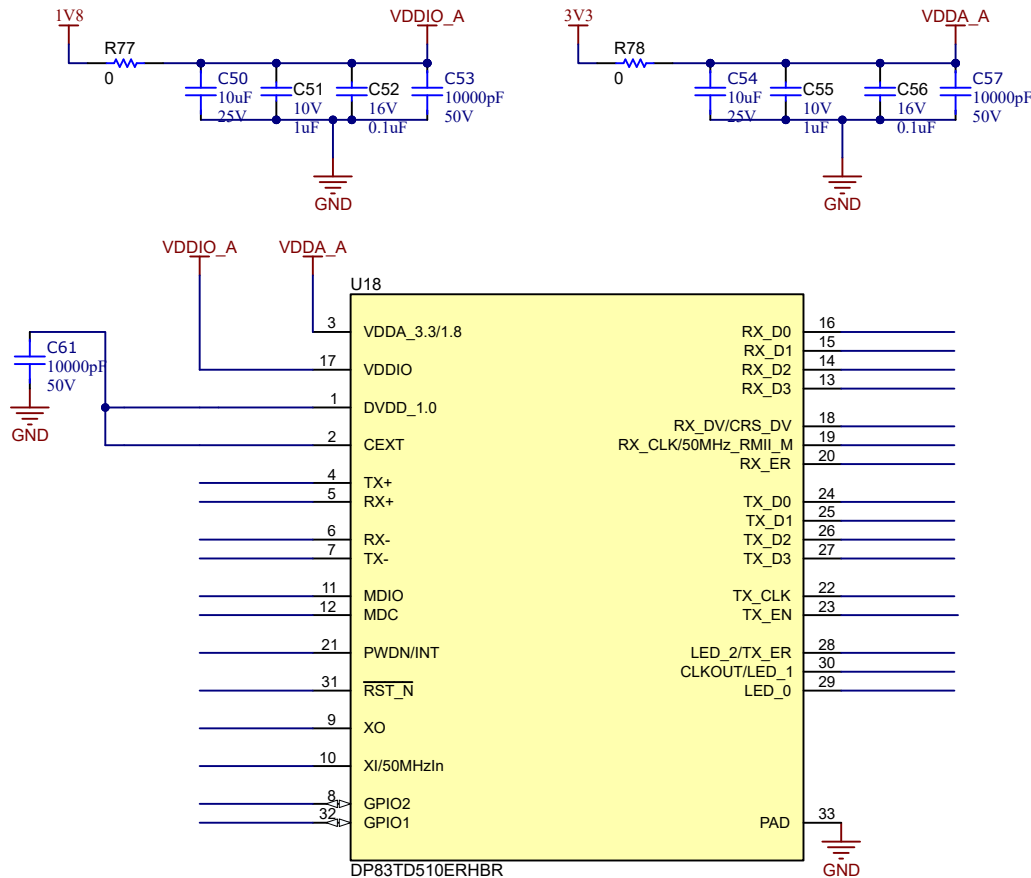


图 2-2. 电源电路原理图

在布局方面，确保元件的顺序正确并使用宽而短的布线连接非常重要。每个布线都有寄生元件，尤其是电阻，在这种情况下电感可能会很高。根据经验，1cm 的布线具有 10nH 的电感。这听起来好像没什么大不了的，但在 100MHz 下的阻抗约为 6Ω，这已经很大了。因此，通过长而细的布线连接电容器对于更高的频率是无用的。

此外，电容器的阻抗随频率而变化，因为实际电容器具有寄生效应，性能与理想电容器不同。通常，与高电容相比，小电容更适合用于滤除高频。此外，物理尺寸也很重要，由于串联电感较低，因此高频模式下尺寸越小越好。另外，在这种情况下，不要使用穿孔器件或电解电容器进行滤波。

图 2-3 显示了此实现方案的布局，来自引脚的布线尽可能短，然后经过一组容值逐渐增加的电容器。这组电容在一端通过一个铁氧体磁珠连接到电源平面。还要考虑返回路径，每个流入电源引脚的电流都需要以某种方式返回。该返回路径还需要具有低阻抗。具有实心 GND 平面的典型方法是一种很好的设计，同时还以实心方式连接

IC 和电容器的返回路径。这意味着需要尽可能靠近放置一组过孔。在这里，您会受限与能购买的制造能力。远离焊盘，将过孔和焊盘用阻焊层隔开，否则在制造电路板时可能会出现問題。如果您确实希望在焊盘上有过孔，可以预先与制造商讨论这一点。

在某些情况下，可能需要将电容器安装在 PCB 的另一侧，位于 IC 的正下方。这也是一种不错的方法，但同样，过孔会增加一些电感，1.6mm PCB 中的一个 0.2mm 过孔具有大约 1nH 的电感，与 1mm PCB 布线类似。

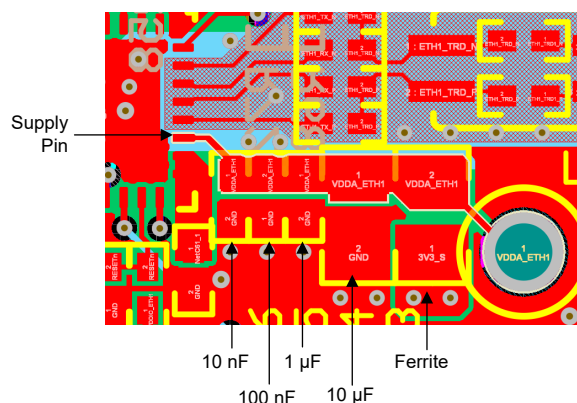


图 2-3. 电源布局

## 2.2 外部电源线

不知何故，您总是需要向系统馈电，这意味着您需要有一条连接到系统的电缆。如果您的系统在该电缆上产生噪声，它将开始辐射。因此，应使该线路尽可能干净。通常，您会在这条线上看到第一个直流/直流转换器产生的所有噪声，在上面的示例中是 24V 至 5V 降压稳压器，外加一些用于寻找输入路径的噪声（通常是更高的频率）。

通常情况下，您在这里看到的噪声具有一些来自直流/直流的较低频分量（例如开关频率加谐波）以及高频分量。通常，使用 Pi 滤波器 L3、C42 和 C44 可以有效消除低频器件，如图 2-4 中所示。在这里，您必须小心一点，以避免构建会使情况变得更糟的谐振回路，因此有损耗的铝电容器（具有显著的 ESR）是一个不错的选择。Power Stage Designer 提供了滤波器设计器，可以在这方面提供帮助。(POWERSTAGE-DESIGNER)

高频元件可以忽略该滤波器，并使用该电感器的寄生电容通过滤波器。因此，添加铁氧体磁珠也很有用，这可以降低两三位数 MHz 范围内的噪声。

最后，还可能有一些共模噪声，您无法通过这种方式消除，但直接在输入连接器上添加额外的共模扼流圈可以减少这种噪声。

如果确实需要这些措施来通过 EMI 一致性测试，但很难提前进行判断，最好将其用在第一个 PCB 上，如果不需要，您可以在最终产品中将其移除。使用电流钳位，您可以测量在线路上看到的噪声是共模噪声还是差模噪声。

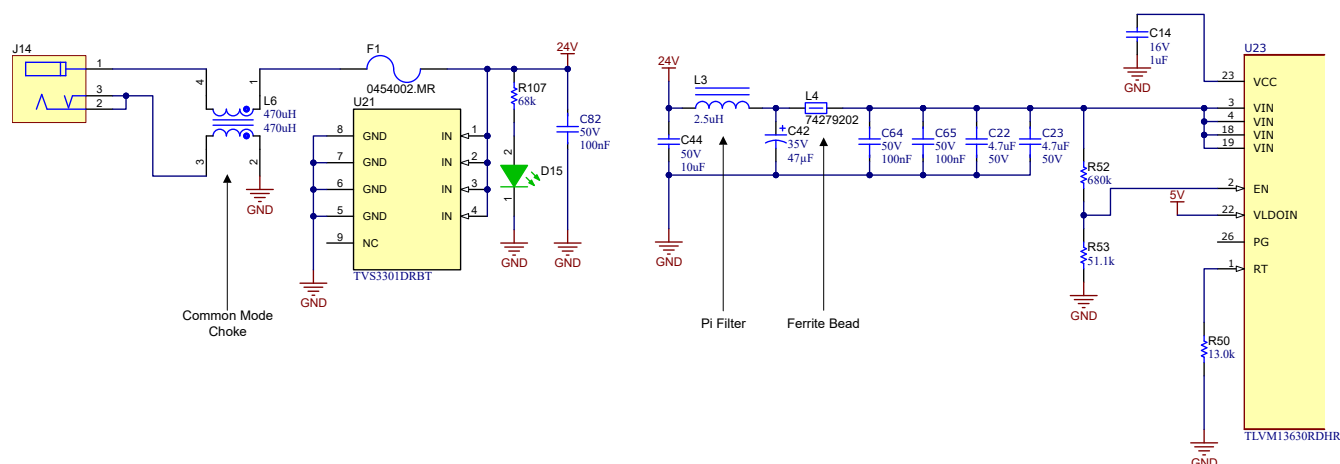


图 2-4. 外部电源

对于此类滤波器的布局，布局可被简化为三个级：高频滤波器、低频滤波器和共模噪声滤波器。

对于高频滤波器（铁氧体磁珠），类似的规则适用于内部电源轨。您希望将噪音保持在产生之处，而不是让它传播到各处。这和以前一样，通过将铁氧体磁珠放置在靠近噪声源的位置来实现。图 2-5 展示了在布局中的实现方式。

降压转换器在输入侧产生的噪声总是比输出侧更多，而对于升压转换器，由于拓扑 LC 组合的原因，情况恰恰相反。所以降压转换器需要有一个滤波器，从其输入电容器中汲取快速上升电流，该电流已进行了大量滤波，尤其是在较低频率下，但在较高频率下无法实现太多滤波。从频域来看，噪声包含开关频率、所有谐波以及由寄生电容和电感引起的噪声。由于上升时间设计得尽可能快（以减少开关损耗），谐波最高可达三位数的 MHz。例如，具有 1MHz 开关频率的降压转换器的上升时间为几纳秒级，从而产生几个 100MHz 的噪声频谱。由于寄生串联电感开始生效，4.7μF 的输入电容器在该频率下的阻抗已大于 100mΩ 阻抗。铁氧体磁珠可以很好地确保其远离电力线。

此外，您需要继续使用直流/直流转换器的一般设计规则，否则铁氧体磁珠也救不了您。

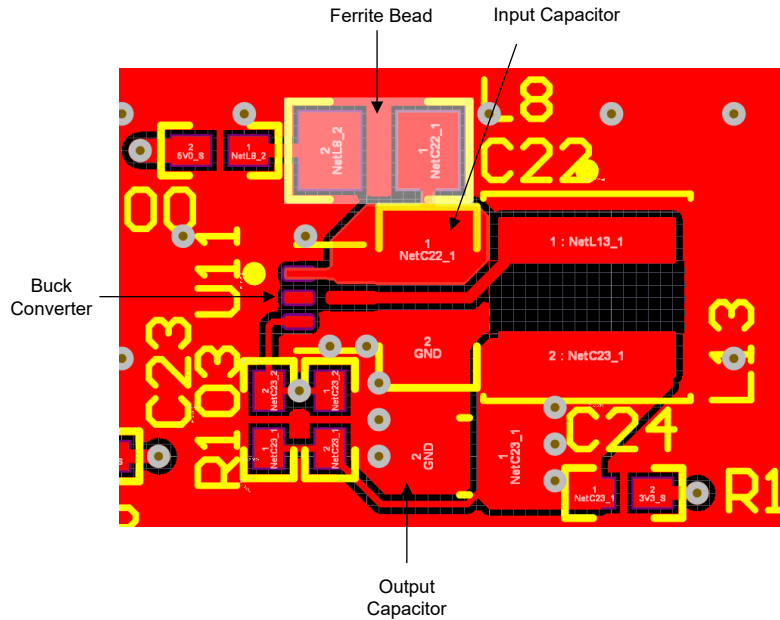


图 2-5. 直流/直流滤波器布局

第二步，前面提到的滤波器消除了很多高频噪声，但基本开关频率和一些谐波仍然留在线路上。原理图中所示的  $\pi$  型滤波器可以提供帮助。放置位置不再那么重要，因为我们要考虑较低的频率。图 2-6 中显示了滤波器，尝试尽量减少从输入到输出的电容耦合，并以电流通过电容器的方式连接电容器。

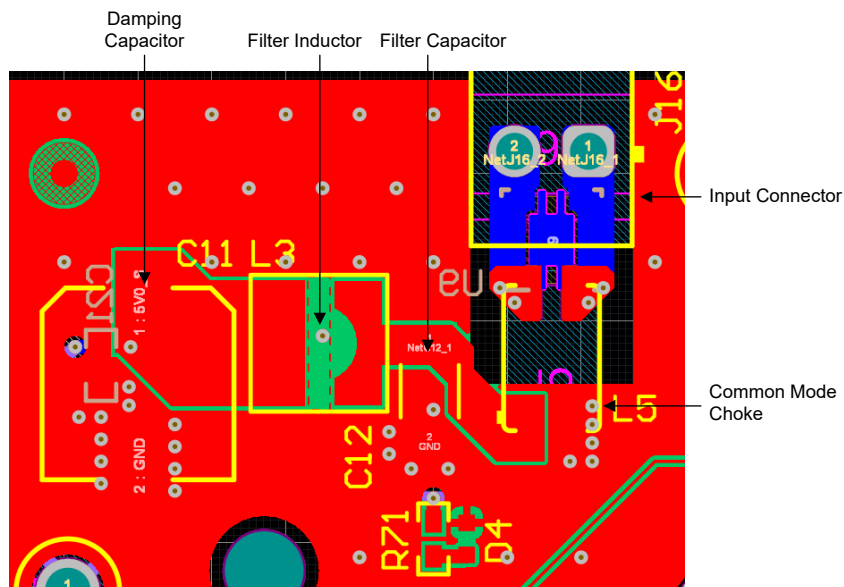
图 2-6.  $\pi$  型滤波器布局

图 2-6 中还显示了共模扼流圈。共模扼流圈应降低所有共模噪声，这意味着两条电力线上的所有噪声都是相同的。这通常是更高频率的噪声，会以容性方式耦合到电源平面中，并从该平面耦合到电源布线。由于它源自接地平面，因此有必要切断共模扼流圈所在的这个平面以及连接器的布线。否则，共模扼流圈的影响是可以降低的。

表 2-1 是一个用于验证原理图和布局的快速检查清单。

表 2-1. 原理图和布局检查清单

|                                     | 原理图 | 布局 |
|-------------------------------------|-----|----|
| IC 上的每个电源引脚至少有一个电容器 (例如, 以太网 PHY) ? |     |    |
| 靠近 IC 的铁氧体磁珠选项 (例如, 以太网 PHY) ?      |     |    |
| 从 IC 到电容器的布线应尽可能短 ?                 | 不适用 |    |
| IC 上的电容器的顺序是否正确 ?                   | 不适用 |    |
| 铁氧体磁珠放置在正确的位置 ?                     | 不适用 |    |
| 在降压稳压器输入端使用铁氧体磁珠的电源 ?               |     |    |
| 铁氧体磁珠是否靠近降压稳压器的输入电容器 ?              | 不适用 |    |
| 电源输入端的 $\pi$ 型滤波器 ?                 |     |    |
| 输入连接器处的共模扼流圈 ?                      |     |    |
| 下方没有 GND 平面的共模扼流圈 ?                 | 不适用 |    |

## 2.3 PoDL 的要求

一些系统不仅有一个电源，而且可以由本地电源或数据和电力线的组合供电（例如数据线供电）。以下是一些附加规则，可用于防止电源对数据信号产生干扰。

IEEE 标准 802.3bu 和 802.3cg 针对不同类型的 PD 和 PSE 规定了在特定频率下纹波电压的要求。以 E 型供电设备为例，IEEE 802.3bu 表 104-7 项 3a 中规定，允许的纹波电压为 0.1Vpp，范围为 1kHz 至 10MHz。项 3b 规定了相同的范围 0.01Vpp。

项 3a 和 3b 规定了不同的 PD 电压测量方法。二者共同通过直流偏置网络为器件供电，并通过差分探头测量纹波电压。该差分探头具有特定的阻抗和传递函数。两个图  $H_1(f)$  和  $Z(f)$  图 2-7 和图 2-8 显示了该差分探头在频率范围内的阻抗，以及 803.3cg E 型给定频率范围内的传递函数。

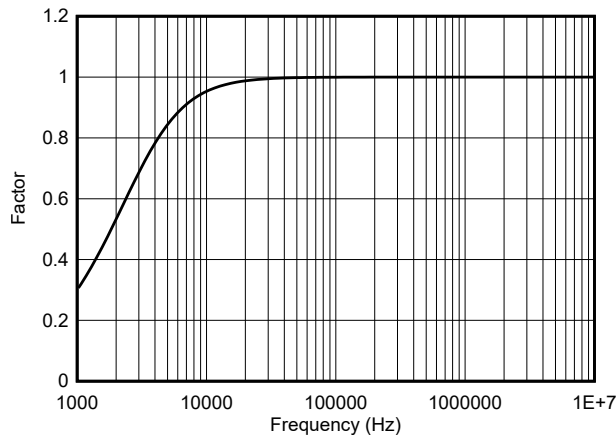


图 2-7. IEEE802.3cg 给出的  $H_1(f)$

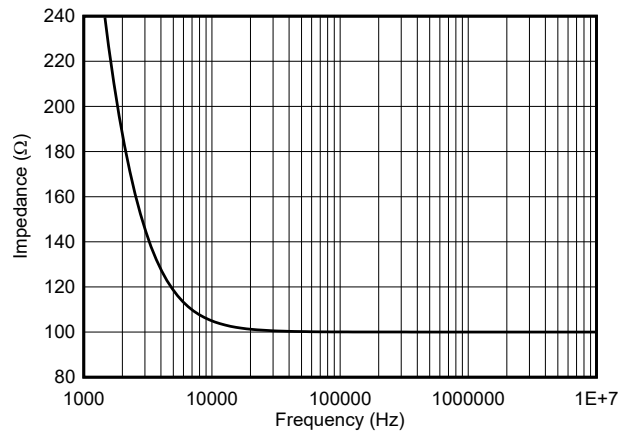


图 2-8. IEEE802.3cg 给出的  $Z(f)$

在 1kHz 至 10MHz 范围内，使用此探针测得的电压不得超过 0.1Vpp，否则电压可能会影响数据传输。

此外，还给出了后处理传递函数  $H_2(f)$ 。测量值必须按此进行缩放，并且在给定频率范围内不得超过 0.01Vpp。

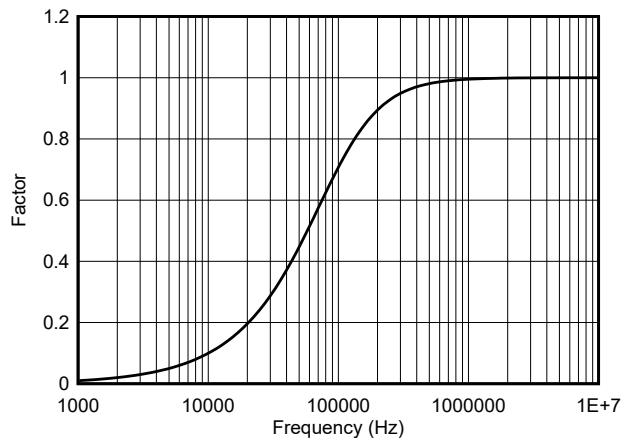


图 2-9.  $H_2(f)$

这将产生最大纹波电压，如图 2-10 所示。

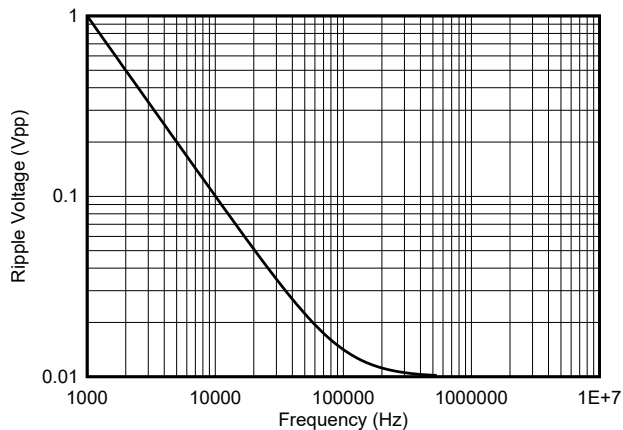


图 2-10. 最大纹波电压

系统不得超过这些电压限值，并且必须正确进行滤波。

## 2.4 计时

需要考虑为接口系统的不同元件提供时钟，调查通信系统是基于带有 MAC 层和 PHY 层的处理器构建而成，每个部分都是独立的硬件，需要配备外部晶体或振荡器。因此，通常使用以下两个选项之一。

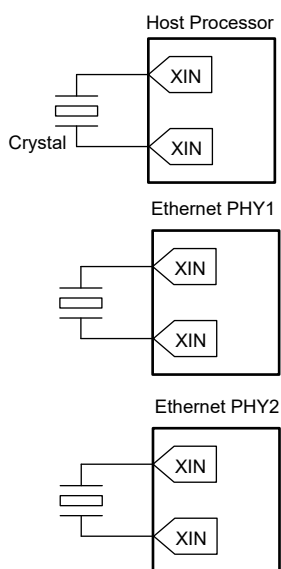


图 2-11. 拓扑 1

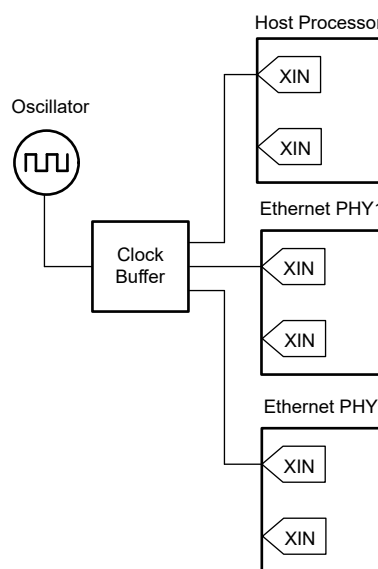


图 2-12. 拓扑 2

在选择所选拓扑之前，必须考虑如何实现这些拓扑，以确保 EMC 稳健性并减少 EMI 辐射。



### 2.4.1 拓扑 1

使用晶体为 IC 计时时，务必阅读晶体数据表和 IC 数据表，以确认这两个器件能够协同工作。完成该连接后，典型的晶体连接如下所示。

R2 和 R3 是晶体的串联端接，R1 是晶体的并联端接，这些电阻器可以添加到电路中，但也可以移除，以实现更小的布线。但是，可以强制使用 IC 数据表中规定的这些电阻器。

C1 和 C2 电容器对于使用 C0G/NP0 电容器很重要，因为这样可以在系统级别获得适当的性能。

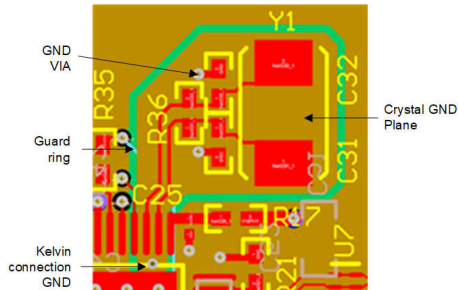


图 2-13. 时钟布局 - 选项 1

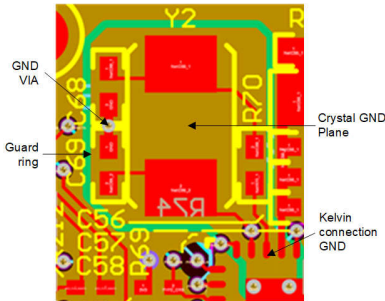


图 2-14. 时钟布局 - 选项 2

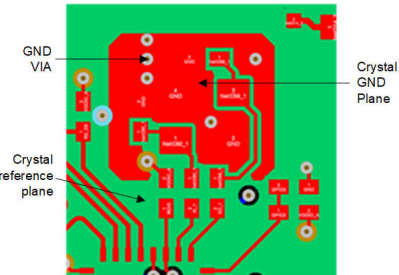


图 2-15. 时钟布局 - 选项 3

如布局示例中所示，建议在一个岛上连接晶体接地，使噪声远离系统接地。但是，必须将该晶体接地通过开尔文连接到系统接地，以确保该岛接地不易受高频振铃的影响。

### 2.4.2 拓扑 2

使用振荡器或时钟缓冲器作为时钟源通常意味着使用的连接是单端信号。这意味着时钟信号 IC 的驱动器和接收器需要在所用端口上具有定义的阻抗。对于振荡器和时钟缓冲器，CMOS 输出的驱动器阻抗通常为  $50\ \Omega$ 。考虑到这一点，现在还必须考虑时钟缓冲器或 IC 时钟的接收器电路的阻抗。该输入电路通常是高阻抗电路，这意味着在时钟输入电路处的时钟布线上进行串联端接是确保布线正确端接的好做法。

对于潜在的较长布线时，应为 PCB 定义该布线以确保 PCB 布线的  $50\ \Omega$  阻抗匹配，这将减少振铃效应。

如果添加额外的端接是合理的，那么实现电路所需的布线长度也会对其产生影响。单端信号的这种端接有一些典型方法，如图 2-16 和图 2-17 所示。

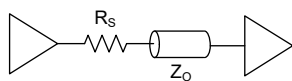


图 2-16. 串联端接

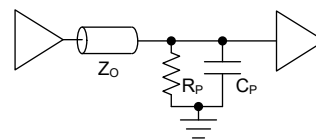


图 2-17. 并联端接

图 2-18 是一个说明如何使用串联和并联端接将 50  $\Omega$  布线端接至高阻抗输入的示例。

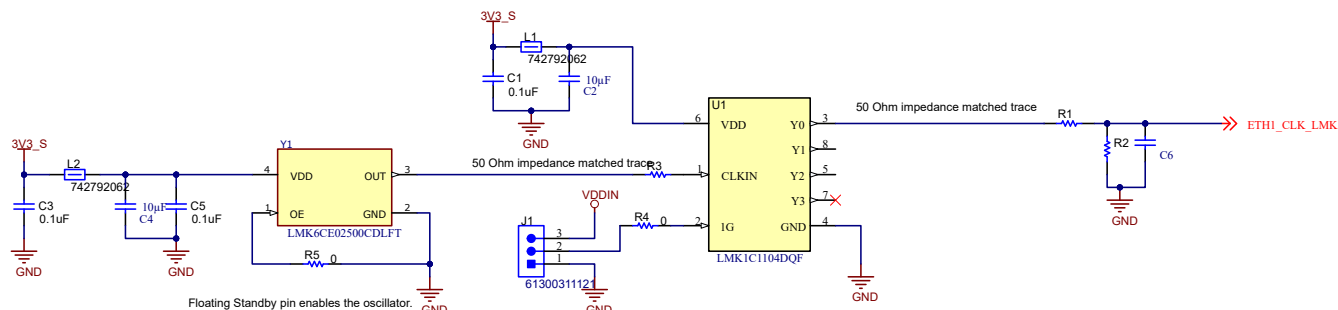


图 2-18. 具有与 IC 的时钟分配连接的振荡器

这里要记住的另一点是，确保时钟缓冲器的电压电平适合所用 PHY 和 MAC 器件的输入电压电平，还可能需要对缓冲器的电压电平进行分压。这可以通过电容或电阻分压器来实现。在图 2-18 中，将电阻器和电容器放置在 PCB 中，因为它们应该放置在 PCB 中。

此处需要记住的一个主题是，此电路使用的典型值包括以下值：

- R1 和 R3 约为 22  $\Omega$  到 47  $\Omega$ ，具体取决于 PCB 设计。
- R2 可约为 22  $\Omega$  到 47  $\Omega$ ，具体取决于 PCB 设计。
- 根据 PCB 设计和使用频率，C6 大约为 1pF 至 10pF，由于需要滤波器效应，因此使用 C0G/NP0 类型的电容器非常重要。

然后可以使用 EMI 实验中的测量来细化这些值，以定义理想选择。

### 3 总结

设计系统时，请牢记 EMI 和 EMC 的良好规则。本文档中提到的方面并不涵盖所有内容，而是提供了一个很好的起点，其中包含通常被忽略的方面，例如电源和时钟。此外，还着重介绍了对单线对以太网 (SPE) 的要求以及由于在顶部增加数据线供电 (PoDL) 而导致的允许纹波。

### 4 参考资料

- [IEEE802.3cg](#)。
- [IEEE802.3bu](#)。
- 德州仪器 (TI)，[Power Stage Designer](#)。

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司