

Application Note

器件的时钟配置和 TAx5x1x 系列的灵活时钟



Sanjay Dixit, Saikiran Kurba

摘要

本文档适用于以下器件型号：

TAC5212、TAC5112、TAC5211、TAC5111、TAA5212、TAD5212、TAD5112、TAC5412-Q1、TAC5411-Q1、TAC5312-Q1、TAC5311-Q1、TAC5212-Q1、TAC5211-Q1、TAC5112-Q1、TAC5111-Q1、TAA5412-Q1、TAD5212-Q1、TAD5112-Q1

这些器件具有智能自动配置模块，可生成 ADC 和 DAC 电路以及用于信号处理的数字滤波器引擎所需的所有必要内部时钟。该配置通过监测音频总线上 FSYNC 和 BCLK 信号的频率来实现。该器件支持 (FSYNC 信号频率的) 各种数据采样率和 BCLK 与 FSYNC 的比率，以便在内部配置所有时钟分频器 (包括 PLL 配置)，而无需主机编程。

内容

1 引言.....	2
2 时钟的运行模式.....	3
2.1 自动运行模式.....	3
3 时钟模式.....	5
3.1 自动主要 BCLK 比率.....	5
3.2 自动辅助 BCLK 比率.....	6
3.3 自动 MCLK 比率.....	7
3.4 自动 MCLK 固定.....	8
3.5 自定义模式和半自动运行模式.....	9
3.6 附加时钟.....	11
4 总结.....	12

商标

所有商标均为其各自所有者的财产。

1 引言

该器件支持主要 ASI 和辅助 ASI。有几种自动运行模式可供选择，其中主要 BCLK/FYSNC 或辅助 BCLK/FSYNC 可用于确定传入时序模式。

此外，MCLK/FSYNC 还可用于进行时序确定。

该器件具有以下用于设置时钟的接口。

接口	设置
MCLK	主时钟
FSYNC	主要 FSYNC/辅助 SYNC
PASI BCLK	主要 BCLK
PASI FSYNC	主要 FSYNC
SASI BCLK	辅助 BCLK
SASI FSYNC	辅助 SYNC

可以配置 BCLK 和 FSYNC 引脚以及 GPIO/GPI/GPO 引脚来设置主要 ASI 和辅助 ASI。

时序必须在下表所述的限制范围内。

表 1-1. 48kHz 的倍数

引脚	时序
Fs	3KHz 至 768KHz
BCLK	256 KHz 至 24.576 MHz
MCLK	256 KHz 至 49.152 MHz

表 1-2. 44.1KHz 的倍数

引脚	时序
Fs	2.75KHz 至 705.6KHz
BCLK	235.2 KHz - 22.57 MHz
MCLK	235.1 KHz 至 45.15 MHz

备注

目标的命名规则用于表示从运行模式。控制器的命名规则用于表示主运行模式。

2 时钟的运行模式

在内部，运行模式分为以下几类：

自动运行模式：根据 CLK_SRC_SEL 配置 B0_P0_R52[3:1]，模式可以进一步划分如下：

1. 自动主要 BCLK 比率模式 (3' d0) - 用户选择主要 ASI BCLK 作为音频源时钟。
2. 自动辅助 BCLK 比率模式 (3' d2) - 用户选择辅助 ASI BCLK 作为音频源时钟。
3. 自动 MCLK 比率模式 (3' d1 或 3' d3) - 输入焊盘上提供的 MCLK 可供用户作为音频源，MCLK 的频率是 Fsync 频率的整数倍。
4. 自动 MCLK 固定模式 (3' d4) - 输入焊盘上提供的 MCLK 可供用户作为音频源，MCLK 频率与 Fsync 频率无积分关系 (必须使用 PLL)。
5. 自定义运行模式 - 将 CUSTOM_CLK_CFG 寄存器设置为 1' b1 (B0_P0_R50[0])。用户在该模式下手动配置所有分频器。
6. 半自动模式 - 这用于自动检测非音频时序。

2.1 自动运行模式

主要 ASI 接口的 Fsync 和 BCLK 与 Fsync 的比率由器件自动检测。根据器件配置 (通道数、信号处理配置等)，自动推断所有时钟分频器/多路复用器选择。

根据 MIPS 所需的时钟频率和系统中可用的最高时钟频率自动推断 PLL 使能。

表 2-1 显示了自动配置模块识别的不同采样率。传入时序分为几个频率水平。请注意，对于自动模式，传入 FSYNC 必须处于其中一个频率水平

表 2-1. 自动模式下接受的采样率

Fs 最小值 (KHz)	Fs 典型值 (KHz)	Fs 最大值 (KHz)
698.54	768	775.68
349.27	384	387.84
174.64	192	193.92
87.32	96	96.96
43.66	48	48.48
29.11	32	32.32
21.83	24	24.24
14.55	16	16.16
10.91	12	12.12
7.28	8	8.08
4.37	4.8	4.85
2.73	3	3.03

表 2-2 显示了自动时钟机制识别的 BCLK 与 FSYNC 的比率。

表 2-2. BCLK 与 FSYNC 的比率

支持的 BCLK 与 Fs 的比率的扩展列表										
16	20	24	32	40	48	60	64	72	80	96
100	112	120	128	140	144	160	168	176	180	192
200	208	216	220	224	240	256	260	264	272	280
288	300	304	312	320	336	340	352	360	368	380
384	400	408	416	420	432	440	448	456	460	464
480	496	500	504	512	520	528	540	544	552	560
576	580	592	600	608	620	624	640	648	656	660
672	680	688	696	700	704	720	736	740	744	752
760	768	780	784	792	800	816	820	832	840	848
860	864	880	888	896	900	912	920	928	936	940
944	960	976	980	984	992	1000	1008	1020	1024	1032
1040	1056	1060	1080	1088	1100	1104	1120	1128	1140	1152
1160	1176	1180	1184	1200	1216	1220	1224	1240	1248	1260
1272	1280	1296	1312	1320	1344	1368	1376	1392	1408	1416
1440	1464	1472	1488	1504	1512	1536	1568	1600	1632	1664
1696	1728	1760	1792	1824	1856	1888	1920	1952 年	1984	2016
2048										

备注

在自动时钟配置中，器件会识别 BCLK/FSYNC 的整数比率。然而，图 2 显示了可获得最优 SNR 和最低功耗的一些 BCLK/FSYNC 比率。因此，优先选择这些时序。

请参阅上面的表 2-1 和表 2-2。如果传入频率为 43.66MHz 且传入 BCLK 为 873.2kHz，则自动配置应将 BCLK/Fs 比率识别为 20，并相应地设置内部时钟。

3 时钟模式

3.1 自动主要 BCLK 比率

主要 ASI 应为目标，辅助 ASI 可以是控制器、目标，也可以是用户提供的用作 PLL 的参考时钟或音频根源时钟的已禁用主要 ASI BCLK。

表 3-1. 设置模式的寄存器设置

I2C 位	
CLK_SRC_SEL	(B0_P0_R52[3:1]) - 必须为 3' d0
CUSTOM_CLK_CFG 寄存器	(B0_P0_R50[0]) - 必须为 1' b0
PASI_SAMP_RATE	(B0_P0_R50[7:2])
PASI_FS_BCLK_RATIO	B0_P0_R56[5:0]、B0_P0_R57
	必须配置为 0 才能使器件自动检测
PASI_MST_CFG	B0_P0_R55[4]
	0 表示将主要 ASI 用作目标 (默认)

要在控制器模式下运行辅助 ASI，我们需要指定 Fs 速率以及 BCLK 与 Fs 的比率

表 3-2. 设置为控制器的寄存器设置

模式	控制器
SASI_MST_CFG	B0_P0_R55[3]
	1 表示将辅助 ASI 用作控制器，0 表示将辅助 ASI 用作目标 (默认)
SASI_FS_BCLK_RATIO	B0_P0_R58[5:0]、B0_P0_R59
SASI_SAMP_RATE	B0_P0_R51[7:2]
FS_MODE	B0_P0_R55[0]
	1 表示以 44.1KHz 的倍数生成 Fsync 频率，0 表示以 48KHz 的倍数生成 Fsync 频率 (默认)

3.2 自动辅助 BCLK 比率

辅助 ASI 应为目标，主要 ASI 可以是控制器、目标，也可以是用户提供的用作 *PLL* 的参考时钟或音频根源时钟的已禁用辅助 ASI BCLK。

进入该模式的配置包括

表 3-3. 设置模式的寄存器设置

模式	配置
CLK_SRC_SEL	(B0_P0_R52[3:1]) - 必须为 3' d0
CUSTOM_CLK_CFG 寄存器	(B0_P0_R50[0]) - 必须为 1' b0
SASI_SAMP_RATE	(B0_P0_R51[7:2])
SASI_FS_BCLK_RATIO	B0_P0_R58[5:0]、B0_P0_R59
必须配置为 0 才能使器件自动检测	

控制器模式：要在控制器模式下运行主要 ASI，请指定 Fs 速率以及 BCLK 与 FS 的比率。

表 3-4. 设置为控制器的寄存器设置

模式	配置
PASI_MST_CFG	B0_P0_R55[4]
1 表示将主要 ASI 用作控制器，0 表示将主要 ASI 用作目标（默认）	
PASI_FS_BCLK_RATIO	B0_P0_R56[5:0]、B0_P0_R57
PASI_SAMP_RATE	B0_P0_R50[7:2]
FS_MODE	B0_P0_R55[0]
必须配置为 0 才能使器件自动检测	

3.3 自动 MCLK 比率

输入焊盘上提供的 MCLK 可供用户作为音频源，MCLK 的频率是 Fsync 频率的整数倍。两个主要 FSYNC 均可用作时序基准。在该模式下启用自动检测。

主要 ASI 和辅助 ASI 均可配置为控制器或目标。至少可以启用一个。用户提供的 MCLK 用作 PLL 的参考时钟或音频根源时钟

表 3-5. 设置模式的寄存器设置

模式	配置
CLK_SRC_SEL	(B0_P0_R52[3:1]) - 必须为 3' d1 或 3d3
当 CLK_SRC_SEL 配置为 3' d1 时，频率为 PASI Fsync 的整数倍。 当 CLK_SRC_SEL 配置为 3' d3 时，频率为 SASI Fsync 的整数倍。	
CUSTOM_CLK_CFG 寄存器	(B0_P0_R50[0]) - 必须为 1' b0
PASI/SASI_SAMP_RATE	(B0_P0_R50[7:2] B0_P0_R51[7:2])
FS_MCLK_RATIO	{B0_P0_R53[5:0]、B0_P0_R54}
必须配置为 0 才能使器件自动检测	

控制器模式：要在控制器模式下运行主要 ASI，我们需要指定 Fs 速率以及 BCLK 与 Fs 的比率

表 3-6. 设置为控制器的寄存器设置

模式	配置
PASI_MST_CFG	B0_P0_R55[4]
1 表示将主要 ASI 用作控制器，0 表示将主要 ASI 用作目标（默认）	
SASI_MST_CFG	B0_P0_R55[3]
1 表示将辅助 ASI 用作控制器，0 表示将辅助 ASI 用作目标（默认）	
FS_MCLK_RATIO	B0_P0_R53[5:0]、B0_P0_R54
PASI_SAMP_RATE	B0_P0_R50[7:2]
SASI_SAMP_RATE	B0_P0_R51[7:2]
FS_MODE	B0_P0_R55[0]
1 表示以 44.1KHz 的倍数生成 Fsync 频率，0 表示以 48KHz 的倍数生成 Fsync 频率（默认）	

3.4 自动 MCLK 固定

输入焊盘上提供的 MCLK 可供用户作为音频源，MCLK 频率与 Fsync 频率无积分关系（必须使用 PLL）。主要 ASI 和辅助 ASI 都只能配置为控制器。

仅允许 MCLK_FREQ_SEL 寄存器中给出的特定 MCLK 频率组合。允许使用以下 MCLK 频率。

表 3-7. 允许的 MCLK 频率

MCLK_FREQ_SEL	要提供的频率 (MHz)
3' d0	12
3' d1	12.288
3' d2	13
3' d3	16
3' d4	19.2
3' d5	19.68
3' d6	24
3' d7	24.576

表 3-8. 设置模式的寄存器设置

模式	配置
CLK_SRC_SEL	(B0_P0_R52[3:1]) - 必须为 3' d4
CUSTOM_CLK_CFG 寄存器	(B0_P0_R50[0]) - 必须为 1' b0
MCLK_FREQ_SEL 寄存器	(B0_P0_R55[7:5])
FS_MODE 寄存器	(B0_P0_R55[0])

表 3-9. 主要 ASI 为控制器

模式	配置
PASI_MST_CFG	B0_P0_R50[7:2]
PASI_FS_BCLK_RATIO	B0_P0_R56[5:0]、B0_P0_R57

表 3-10. 辅助 ASI 为控制器

模式	配置
SASI_SAMP_RATE	B0_P0_R51[7:2]
PASI_FS_BCLK_RATIO	{B0_P0_R58[5:0]、B0_P0_R59}

Pure Path Console 3 中的以下菜单显示该模式。

MCLK 输入在 GPIO1 引脚上设置为 13MHz 的输入频率。

主要 ASI 为控制器。这会产生 48kHz 的 FSYNC 和 6.144MHz 的 BCLK。

3.5 自定义模式和半自动运行模式

将 CUSTOM_CLK_CFG 寄存器设置为 1' b1 (B0_P0_R50[0])。用户在该模式下手动配置所有分频器

(未给出 PLL 说明)

半自动模式

有时需要使用非标准时钟速率。请参阅表 3-11 和表 3-12。为了能够检测非标准时钟速率，必须指定频率范围。可通过设置以下寄存器来实现该规格。

- 寄存器 0x32 中的 PASI_SAMP_RATE(5..0)
- 寄存器 0x33 中的 SASI_SAMP_RATE(5..0)

定义这些设置后，如果传入 FSYNC 频率与 0x32 和 0x33 中的采样率设置匹配，则自动配置功能生效。

表 3-11. 频率范围

序号	Fs 频段 (Hz)			振荡器计数范围	
	最小值	典型	最大值	最小值	最大值
1	670320	768000	806400	12	21
2	536256	614400	645120	15	26
3	446880	512000	537600	18	30
4	383040	438857.14	460800	22	35
5	335160	384000	403200	25	40
6	297920	341333.33	358400	28	45
7	268128	307200	322560	32	50
8	223440	256000	268800	38	59
9	191520	219428.57	230400	45	69
10	167580	192000	201600	52	78
11	148960	170666.67	179200	58	88
12	134064	153600	161280	65	98
13	111720	128000	134400	78	117
14	95760	109714.29	115200	92	136
15	83790	96000	100800	105	155
16	74480	85333.33	89600	118	175
17	67032	76800	80640	132	194
18	55860	64000	67200	158	232
19	47880	54857.14	57600	185	271
20	41895	48000	50400	211	309

表 3-12. 频率范围

序号	Fs 频段 (Hz)			振荡器计数范围	
	最小值	典型	最大值	最小值	最大值
21	37240	42666.67	44800	238	348
22	33516	38400	40320	265	386
23	27930	32000	33600	318	463
24	23940	27428.57	28800	371	540
25	20947.50	24000	25200	424	617
26	18620	21333.33	22400	478	694
27	16758	19200	20160	531	771
28	13965	16000	16800	637	925
29	11970	13714.29	14400	744	1079
30	10473.75	12000	12600	850	1233
31	9310	10666.67	11200	957	1387
32	8379	9600	10080	1063	1541
33	6982.50	8000	8400	1276	1849
34	5985	6857.14	7200	1489	2157
35	5236.88	6000	6300	1702	2465
36	4655	5333.33	5600	1915	2773
37	4189.50	4800	5040	2127	3081
38	3491.25	4000	4200	2553	3696
39	2992.50	3428.57	3600	2979	4312
40	2618.44	3000	3150	3405	4928

3.6 附加时钟

3.6.1 PDM 时钟

数字麦克风的 PDM 时钟频率可编程。可使用 PDM_CLK_CFG 寄存器 (B0_P0_R53[7:6]) 选择频率
可编程频率为 768KHz、1.536MHz、3.072MHz、6.144MHz。

3.6.2 超频时钟频率

默认情况下，生成的超频时钟频率为 6.144MHz。

BST_CLK_FREQ_SEL(B0_P3_R72[6]) - 6MHz 或 3MHz (进一步 2 分频) 。

3.6.3 SAR 时钟

默认情况下，生成的 SAR 时钟为 6.144MHz

SAR_CLK_FREQ_SEL(B0_P3_R73[7:6])

可编程频率：6MHz、3MHz (进一步 2 分频) 、1.5MHz (进一步 4 分频)

3.6.4 CLKOUT

内部时钟可从外部路由到 GPIO/GPO。以下寄存器用于选择时钟源以及分频器比。

可路由至 CLKOUT 的可能输入源包括：

- DSP_CLK、SASI_BCLK、PASI_BCLK、OSC_CLK、MCLK、CLK_SYS。

请注意，OSC_CLK 为 12.288MHz。

表 3-13. CLKOUT 的寄存器设置

模式	配置
CLKOUT_CLK_SEL	(B0_P3_R70[2:0])
CLKOUT_DIV_EN	(B0_P3_R71[7])
CLKOUT_DIV	(B0_P3_R71[6:0])

4 总结

这些器件具有智能自动配置模块，可生成 ADC 和 DAC 电路以及用于信号处理的数字滤波器引擎所需的所有必要内部时钟。该配置通过监测音频总线上 FSYNC 和 BCLK 信号的频率来实现。该器件支持 (FSYNC 信号频率的) 各种数据采样率和 BCLK 与 FSYNC 的比率，以便在内部配置所有时钟分频器 (包括 PLL 配置)，而无需主机编程。

时钟特性支持多种时序。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司