LMC555 CMOS 计时器

1 特性

- 业界超快的非稳态频率 (3MHz)
- 采用业界超小型 8 凸点 DSBGA 封装 (1.43mm × 1.41mm)
- 采用 5V 电源时的典型功耗小于 1mW
- 1.5V 电源工作电压保证
- 采用 5V 电源的情况下输出与 TTL 和 CMOS 逻辑完全兼容
- 针对 10mA 和 50mA 输出电流电平进行了测试
- 降低了输出转换期间的电源电流尖峰
- 极低的复位、触发和阈值电流
- 出色的温度稳定性
- 与 555 系列计时器之间实现了引脚对引脚兼容

2 应用

- 精准计时
- 脉冲发生
- 顺序计时
- 时延生成
- 脉宽调制
- 脉冲位置调制
- 线性斜坡发生器

3 说明

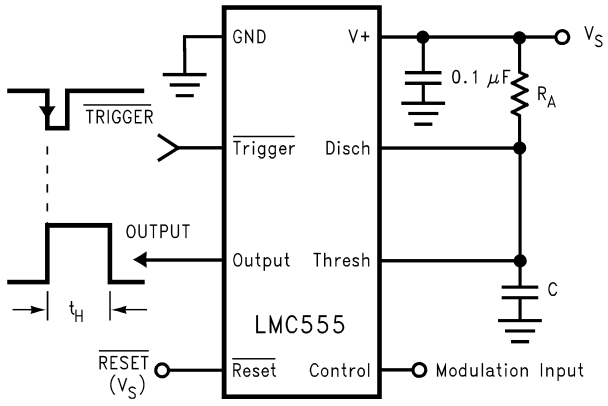
LMC555 器件是业界标准 555 系列通用计时器的 CMOS 版本。除了标准封装（SOIC、VSSSOP 和 PDIP）外，LMC555 还有采用 TI DSBGA 封装技术的芯片尺寸封装（8 凸点 DSBGA 封装）。LMC555 具有与 LM555 相同的产生精确时延和频率的能力，但功耗和电源电流尖峰要低得多。在一次性模式下，时延由单个外部电阻器和电容器精确控制。在非稳态模式下，振荡频率和占空比由两个外部电阻器和一个电容器精确设置。TI LMCMOS 工艺的运用扩展了频率范围和低电源能力。

器件信息(1)

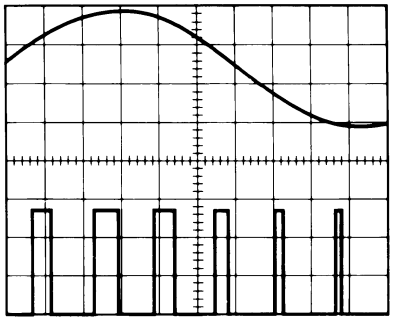
器件型号	封装	封装尺寸（标称值）
LMC555	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
	PDIP (8)	9.81mm × 6.35mm
	DSBGA (8)	1.43mm × 1.41mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

脉宽调制器



脉宽调制器波形：
上面的波形 - 调制
下面的波形 - 输出电压



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 4
6.1 绝对最大额定值 ... 4
6.2 ESD 额定值 ... 4
6.3 建议运行条件 ... 4
6.4 热性能信息 ... 4
6.5 电气特性 ... 5
7 参数测量信息 ... 6
8 详细 说明 ... 7
8.1 概述 ... 7
8.2 功能框图 ... 7
8.3 特性 说明 ... 7
8.4 器件功能模式 ... 8
9 以下一些应用中 ... 11
9.1 应用信息 ... 11
9.2 典型应用 ... 11
9.3 分频器 ... 13
9.4 脉宽调制器 ... 13
9.5 脉冲位置调制器 ... 14
9.6 50% 占空比振荡器 ... 15
10 电源建议 ... 16
11 布局 ... 16
11.1 布局指南 ... 16
11.2 布局示例 ... 16
12 器件和文档支持 ... 17
12.1 接收文档更新通知 ... 17
12.2 社区资源 ... 17
12.3 商标 ... 17
12.4 静电放电警告 ... 17
12.5 术语表 ... 17
13 机械、封装和可订购信息 ... 17

4 修订历史记录

Changes from Revision L (February 2016) to Revision M — **Page**

- 已更改 特性 列表的顺序。 ... 1
- 已更改 将“稳态”更改为“非稳态”（拼写错误）。 ... 1
- 已更改 将“稳态”更改为“非稳态”（拼写错误）。 ... 7
- 已更改 关于“开始”的拼写错误。 ... 8
- 已更改 将 LM555 拼写错误更改为 LMC555。 ... 11
- 已更改 将 LM555 拼写错误更改为 LMC555。 ... 11
- 已添加 其他 应用。 ... 13

Changes from Revision K (January 2015) to Revision L — **Page**

- 已更改 拼写错误：将温度范围中的 185 更改为 85 ... 4

Changes from Revision J (March 2013) to Revision K — **Page**

- 已添加 *引脚配置和功能* 部分、*ESD 额定值* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 ... 1

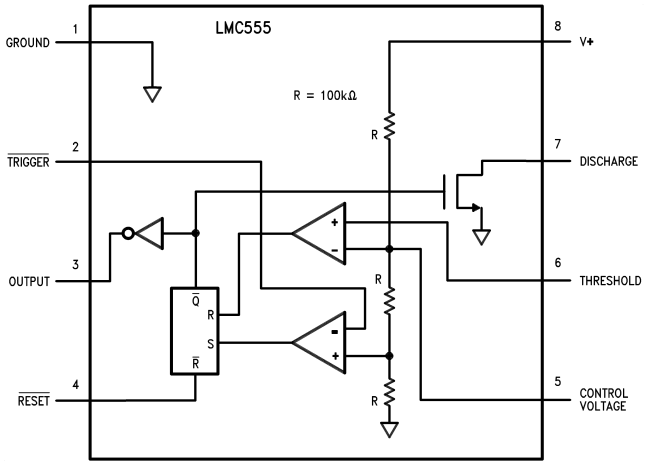
Changes from Revision I (March 2013) to Revision J — **Page**

- 将美国国家半导体数据表的布局更改成了 TI 格式 ... 16

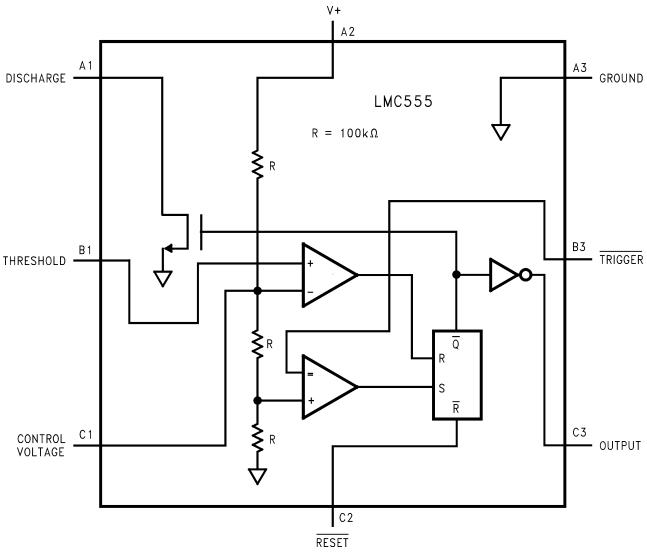
版权 © 2000–2016, Texas Instruments Incorporated

5 引脚配置和功能

D、DGK 和 P 封装
8 引脚 SOIC、VSSOP 和 PDIP
（俯视图）



YPB 封装
8 引脚 DSBGA
（俯视图）



引脚功能

引脚			I/O	说明
SOIC、VSSOP 和 PDIP 编号	DSBGA 编号	名称		
1	A3	GND	O	接地参考电压
2	B3	$\overline{\text{触发}}$	I	负责将触发器从置位转换为复位。计时器的输出取决于施加到该引脚的外部触发脉冲的幅度
3	C3	输出	O	输出驱动的波形
4	C2	$\overline{\text{复位}}$	I	负脉冲施加到该引脚以禁用或复位计时器。当不用于复位时，应将其连接到 VCC 以免误触发
5	C1	控制电压	I	控制电压用于控制阈值和触发电平。它将确定输出波形的脉冲宽度。施加于此引脚的外部电压也可用于调制输出波形
6	B1	阈值	I	将施加到端子的电压与 2/3 Vcc 的参考电压进行比较。施加到该端子的电压幅度负责触发器的置位状态。
7	A1	放电	I	断开集电极输出端，从而在间隔期间放电（与输出同相）。当电压达到电源电压的 2/3 时，它将把输出从高电平切换到低电平
8	A2	V^+	I	相对于 GND 的电源电压

版权 © 2000–2016, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得，除非另有说明。(1)(2)(3)

		最小值	最大值	单位
电压	电源		15	V
	输入	–0.3	(V+) + 0.3	V
	输出		15	V
电流	输出		100	mA
贮存温度，T_{stg}		–65	150	°C

(1) 应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下器件的功能性操作以及在超出*建议运行条件*下的任何其它操作，在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。
(2) 请参阅 AN-1112 (SNVA009) 中的 DSBGA 注意事项。
(3) 如果需要军用/航天专用器件，请与 TI 销售办事处/经销商联系以了解供货情况和技术规格。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±1500	V

(1) JEDEC 文档 JEP155 规定：500V HBM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
温度范围	LMC555IM	−40		125	°C
	LMC555CM/MM/N/TP	−40		85	°C
25°C 下允许的最大功耗	PDIP-8			1126	mW
	SOIC-8			740	mW
	VSSOP-8			555	mW
	8 凸点 DSBGA			568	mW

6.4 热性能信息

热指标(1)	LMC555				单位
	SOIC	VSSOP	PDIP	8 凸点 DSBGA	
	8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	169	225	111	220	°C/W

(1) 有关传统和全新热度量的更多信息，请参阅 *IC 封装热度量* 应用报告 （文献号：SPRA953）。

版权 © 2000–2016, Texas Instruments Incorporated

6.5 电气特性

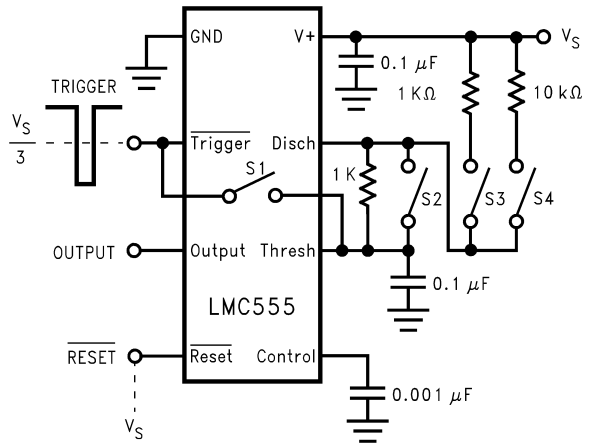
测试电路，T = 25°C，所有开关均断开，$\overline{\text{RESET}}$ 为 V_S（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
I_S	电源电流	V_S = 1.5V V_S = 5V V_S = 12V		50 100 150	150 250 400	μA
V_{CTRL}	控制电压	V_S = 1.5V V_S = 5V V_S = 12V	0.8 2.9 7.4	1.0 3.3 8.0	1.2 3.8 8.6	V
V_{DIS}	放电饱和电压	V_S = 1.5V，I_{DIS} = 1mA V_S = 5V，I_{DIS} = 10mA		75 150	150 300	mV
V_{OL}	输出电压（低电平）	V_S = 1.5V，I_O = 1mA V_S = 5V，I_O = 8mA V_S = 12V，I_O = 50mA		0.2 0.3 1.0	0.4 0.6 2.0	V
V_{OH}	输出电压 （高电平）	V_S = 1.5V，I_O = −0.25mA V_S = 5V，I_O = −2mA V_S = 12V，I_O = −10mA	1.0 4.4 10.5	1.25 4.7 11.3		V
V_{TRIG}	触发电压	V_S = 1.5V V_S = 12V	0.4 3.7	0.5 4.0	0.6 4.3	V
I_{TRIG}	触发电流	V_S = 5V		10		pA
V_{RES}	复位电压	V_S = 1.5V (2) V_S = 12V	0.4 0.4	0.7 0.75	1.0 1.1	V
I_{RES}	复位电流	V_S = 5V		10		pA
I_{THRESH}	阈值电流	V_S = 5V		10		pA
I_{DIS}	放电漏电流	V_S = 12V		1.0	100	nA
t	计时精度	开关 2、4 闭合 V_S = 1.5V V_S = 5V V_S = 12V	 0.9 1.0 1.0	 1.1 1.1 1.1	 1.25 1.20 1.25	ms
$\Delta t/\Delta V_S$	随电源变化的计时偏移	V_S = 5V ± 1V		0.3%		V
$\Delta t/\Delta T$	随温度变化的计时偏移	V_S = 5V		75		ppm/°C
f_A	非稳态频率	开关 1、3 闭合，V_S = 12V	4.0	4.8	5.6	kHz
f_{MAX}	最大频率	最大频率测试电路，V_S = 5V		3.0		MHz
t_R，t_F	输出上升和 下降时间	最大频率测试电路 V_S = 5V，C_L = 10pF		15		ns
t_{PD}	触发传播延迟	V_S = 5V，测量从触发 到输出的延迟		100		ns

(1) 除非另有说明，否则所有电压都是相对于接地引脚的测量值。
(2) 如果要在 −20°C 和更低温度下使用 $\overline{\text{RESET}}$ 引脚，V_S 必须为 2.0V 或更大。

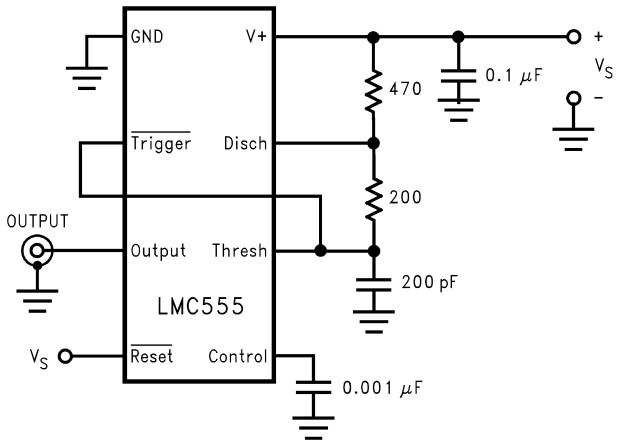
版权 © 2000–2016, Texas Instruments Incorporated

7 参数测量信息



有关器件引脚排列，请参阅*引脚配置和功能*。

图 1. 测试电路



有关器件引脚排列，请参阅*引脚配置和功能*。

图 2. 最大频率测试电路

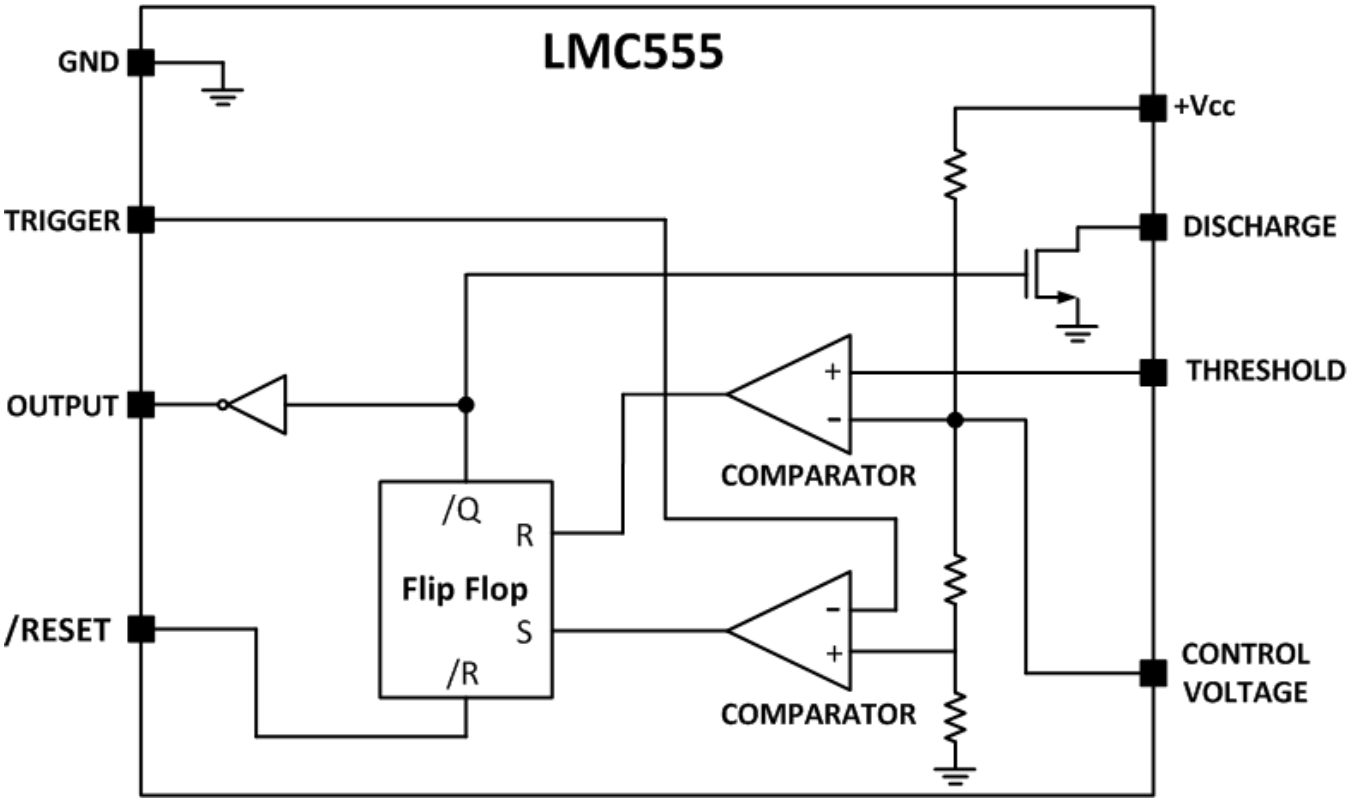
版权 © 2000–2016, Texas Instruments Incorporated

8 详细 说明

8.1 概述

LMC555 是业界标准 555 系列通用计时器的 CMOS 版本。除了标准封装（SOIC、VSSSOP 和 PDIP）外，LMC555 还有采用 TI DSBGA 封装技术的芯片尺寸封装（8 凸点 DSBGA 封装）。LMC555 具有与 LM555 相同的产生精确时延和频率的能力，但功耗和电源电流尖峰要低得多。在一次性模式下，时延由单个外部电阻器和电容器精确控制。在非稳态模式下，振荡频率和占空比由两个外部电阻器和一个电容器精确设置。TI LMCMOS 工艺的运用扩展了频率范围和低电源能力。LMC555 采用 8 引脚 PDIP、SOIC、VSSOP 和 8 凸点 DSBGA 封装。

8.2 功能框图



8.3 特性 说明

8.3.1 低功耗

LMC555 具有与 LM555 相同的产生精确时延和频率的能力，但功耗要低得多。采用 1.5V 工作电源电压可实现小于 0.2mW 的功耗，而采用 5V 工作电源电压时功耗小于 1mW。这种低电源电流和电压能力得益于 TI LMCMOS 工艺的运用。输出转换期间降低的电源电流尖峰以及极低的复位、触发和阈值电流也为 LMC555 提供了低功耗优势。

8.3.2 多种封装和兼容性

LMC555 采用多种不同的封装方式。除了标准封装（8 引脚 SOIC、VSSOP 和 PDIP）外，LMC555 还采用一种芯片尺寸封装（8 凸点 DSBGA 封装）。LMC555 的 PDIP、SOIC 和 VSSOP 封装与 555 系列计时器 (NE555/SE555/LM555) 之间实现了引脚对引脚兼容，因此可确保设计灵活性并且无需修改 PCB 原理图和布局。

8.3.3 支持非稳态和单稳两种工作模式

LMC555 可根据应用要求以非稳态和单稳模式运行。

版权 © 2000–2016, Texas Instruments Incorporated

特性 说明 (接下页)

- 单稳模式：LMC555 计时器充当“一次性”脉冲发生器。当 LMC555 计时器在触发输入端收到低于电源电压 1/3 的信号时，脉冲便开始。输出脉冲的宽度由 RC 网络的时间常数决定。当电容器上的电压等于电源电压的 2/3 时，输出脉冲结束。根据具体应用需求，可通过调整 R 和 C 值来扩大或缩小输出脉冲宽度。
- 非稳态（自由运行）模式：LMC555 计时器可用作振荡器，并输出具有指定频率的连续矩形脉冲流。脉冲流的频率取决于 RA、RB 和 C 的值。

8.4 器件功能模式

8.4.1 单稳工作模式

在此工作模式下，计时器一次性运行（图 3）。外部电容器最初由内部电路保持放电。将一个小于 1/3 V_S 的负触发脉冲施加到 $\overline{\text{Trigger}}$ 端子时，触发器被置位，因此将断开电容器上的短路，并使输出驱动至高电平。

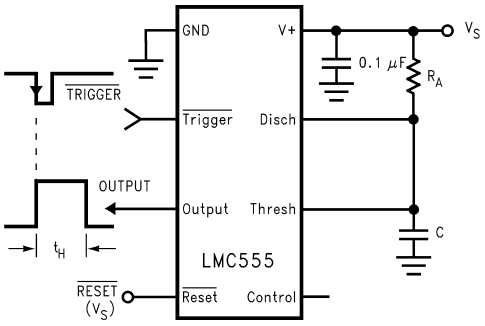
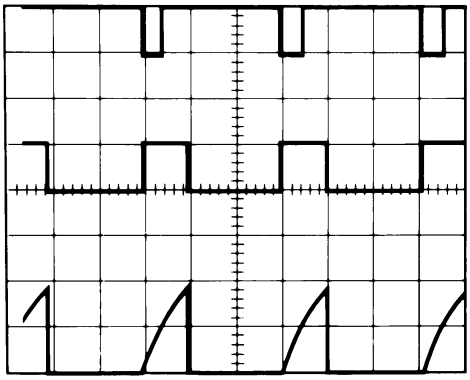


图 3. 单稳（一次性）

电容器两端的电压随后在 $t_H = 1.1\ R_AC$ 的周期内呈指数增长，此周期也是输出保持高电平的时间，在此时间周期结束时电压等于 2/3 V_S。然后，比较器复位触发器，而触发器再让电容器放电并将输出驱动至其低电平状态。图 4 显示了在这种工作模式下产生的波形。由于比较器的电荷和阈值大小均与电源电压成正比，因此计时间隔与电源无关。



V_{CC} = 5V 上面的迹线：输入 5V/格
时间 = 0.1 ms/格中间的迹线：输出 5V/格
R_A = 9.1kΩ 下面的迹线：电容器电压 2V/格
C = 0.01μF

图 4. 单稳波形

复位会覆盖触发，而触发可覆盖阈值。因此，触发脉冲必须短于期望的 t_H。触发的最小脉冲宽度为 20ns，而复位为 400ns。在输出为高电平的计时周期内，只要触发输入在计时间隔结束前至少 10μs 内恢复高电平，进一步施加触发脉冲就不会影响电路。但是，在此期间，可通过向复位端子施加负脉冲来复位电路。输出随后将保持在低电平状态，直到再次施加触发脉冲。

版权 © 2000–2016, Texas Instruments Incorporated

器件功能模式 (接下页)

不使用复位功能时，建议将其连接到 V_+ 以杜绝任何发生误触发的可能性。图 5 是一个方便确定各种时延情况的 RC 值的列线图。

注

在单稳模式下，应在计时周期结束前将触发引脚驱动至高电平。

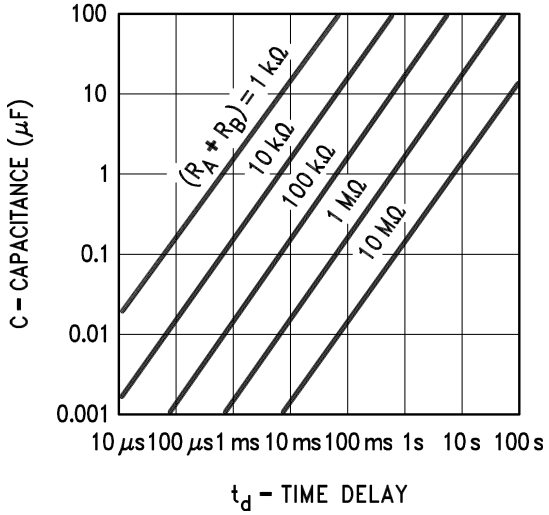


图 5. 时延

8.4.2 非稳态工作模式

如果按照图 6 所示连接电路（$\overline{\text{Trigger}}$ 和 Threshold 端子连接在一起），该电路将触发自身并作为多谐振荡器自由运行。外部电容器通过 $R_A + R_B$ 充电，通过 R_B 放电。因此可以通过这两个电阻器的比率精确设定占空比。

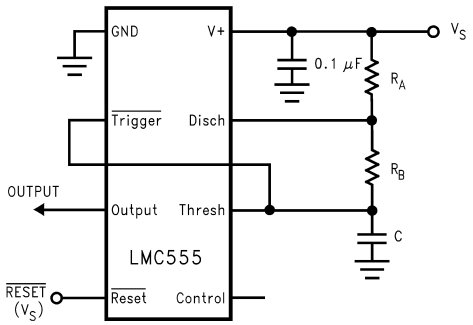


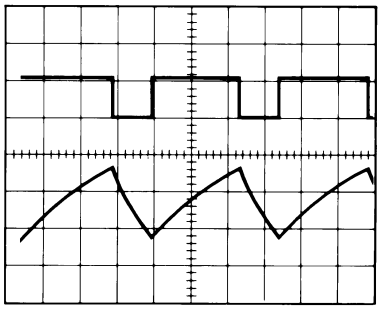
图 6. 非稳态（可变占空比振荡器）

在此工作模式下，电容器在 1/3 V_S 和 2/3 V_S 之间充电和放电。与在触发模式下一样，充电和放电时间以及因此也包括频率，均与电源电压无关。

图 7 显示了在这种工作模式下产生的波形。

版权 © 2000–2016, Texas Instruments Incorporated

器件功能模式 (接下页)



V_{CC} = 5V 上面的迹线：输出 5V/格
时间 = 20µs/格下面的迹线：电容器电压 1V/格
R_A = 3.9kΩ
R_B = 9kΩ
C = 0.01µF

图 **7.** 非稳态波形

充电时间（输出高电平）由以下公式算出：

$$t_1 = 0.693\ (R_A + R_B)C \quad (1)$$

而放电时间（输出低电平）由以下公式算出：

$$t_2 = 0.693\ (R_B)C \quad (2)$$

因此，总周期为：

$$T = t_1 + t_2 = 0.693\ (R_A + 2R_B)C \quad (3)$$

振荡频率为：

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C} \quad (4)$$

可使用图 8 快速确定这些 RC 值。占空比（作为输出处于低电平的总周期的一部分）为：

$$D = \frac{R_B}{R_A + 2R_B} \quad (5)$$

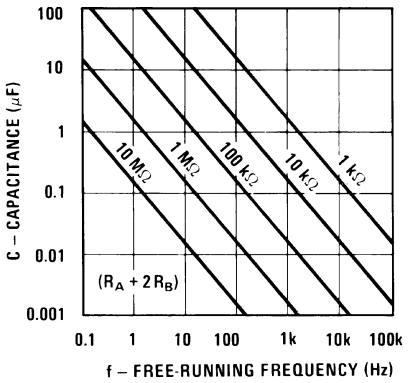


图 **8.** 自由运行频率

版权 © 2000–2016, Texas Instruments Incorporated

9 以下一些应用中

注

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

LMC555 计时器可采用多种配置，但最常用的配置是单稳模式。LMC555 计时器单稳模式的典型应用是让 LED 亮起特定的持续时间。触发引脚为低电平脉冲时，使用按钮作为触发器来输出高电平脉冲。这个简单的应用可以经过修改后适应任何应用要求。

9.2 典型应用

图 9 显示了 LM555 在单稳模式下闪烁 LED 的原理图。

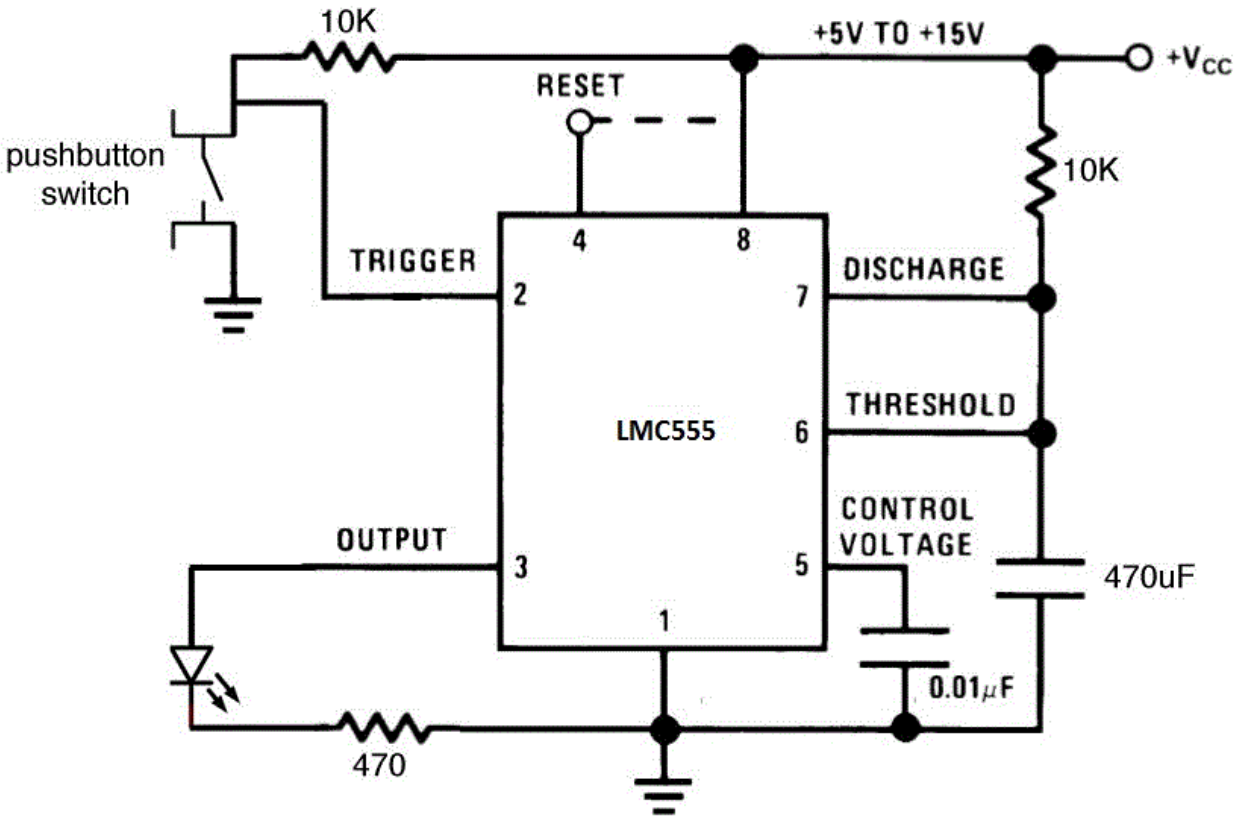


图 9. 在单稳模式下闪烁 LED 的原理图

9.2.1 设计要求

此应用的主要设计要求是需要计算输出保持高电平的持续时间。该持续时间取决于 R 和 C 值（如单稳图所示），可通过以下公式算出：t= 1.1*R*C 秒。

$$t = 1.1 \times R \times C \quad (6)$$

典型应用 (接下页)

9.2.2 详细设计流程

为了使 LED 闪烁一段较长的时间，我们为该应用选择了 5 秒的延时。使用以下公式：

$$t = 1.1 \times R \times C \text{ 秒} \quad (7)$$

其中

- RC 等于 4.545

如果选择 R 为 100kΩ，则 C = 45.4μF。我们根据电阻器和电容器的标准值选择了 R = 100kΩ 和 C = 47μF 的值。

一个接地的瞬时按钮开关连接到触发器输入端，同时一个 10kΩ 的限流电阻器上拉到电源电压。按下按钮时，触发引脚进入 GND。一个 LED 连接到输出引脚，并且从 LMC555 输出端到 GND 之间串联了一个限流电阻器。复位引脚处于未使用状态并连接到电源电压。

9.2.3 应用曲线

图 10 中显示的数据是通过典型 应用 部分中使用的电路收集的。LM555 配置为单稳模式，且时延为 5.17s。波形对应于：

- 上面的波形（蓝色）– 电容器电压
- 中间的波形（紫色）– 触发
- 下面的波形（绿色）– 输出

当触发引脚为低电平脉冲时，电容器电压开始充电，输出变高。一旦电容器电压达到电源电压的 2/3（由 R 和 C 值决定时延），输出就会变低。在本示例中，时延为 5.17 秒。

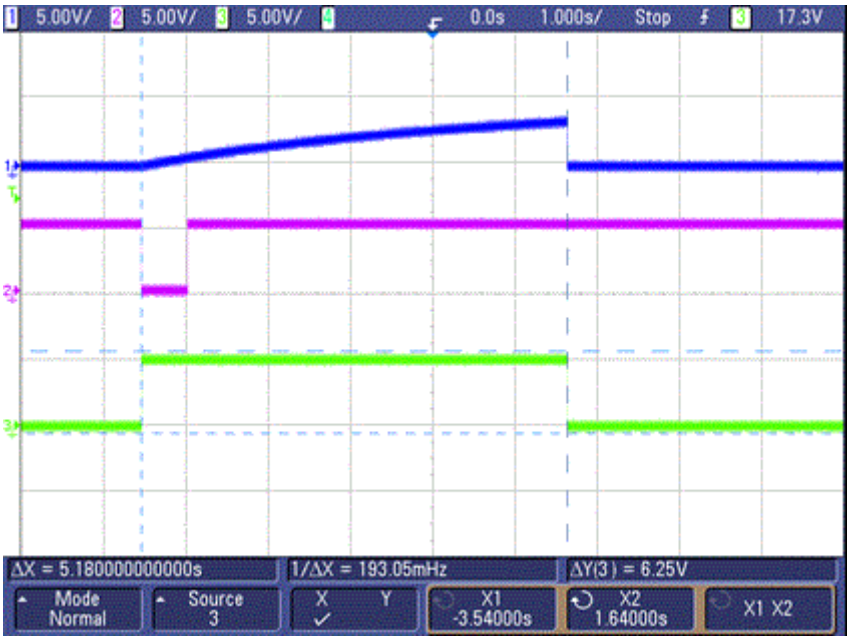


图 **10.** 单稳模式下的触发、电容器电压和输出波形

版权 © 2000–2016, Texas Instruments Incorporated

9.3 分频器

通过调整计时周期的长度，可以将图 11 的单稳电路用作分频器。图 12 显示了三分频电路产生的波形。

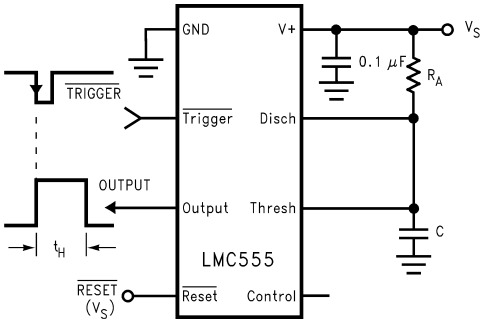


图 11. 单稳（一次性）

9.3.1 设计要求

通过调整计时周期的长度来设计分频器。

9.3.2 应用曲线

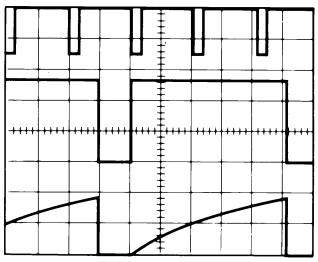


图 12. 分频器波形

9.4 脉宽调制器

在单稳模式下连接计时器并以连续脉冲序列对其进行触发时，可以通过施加于控制电压端子的信号对输出脉冲宽度进行调制。图 13 显示了该电路，而图 14 是一些波形示例。

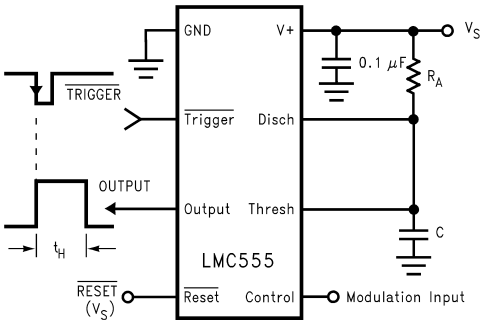


图 13. 脉宽调制器

9.4.1 设计要求

通过施加到控制电压端子的信号来调制输出脉冲宽度。

脉宽调制器 (接下页)

9.4.2 应用曲线

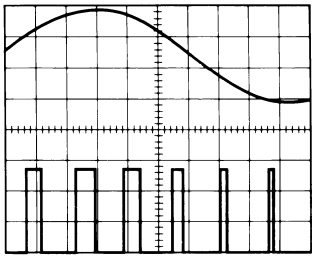


图 14. 脉宽调制器波形

9.5 脉冲位置调制器

此应用中使用以非稳态模式连接的计时器（如图 15 所示），并再次将调制信号施加到控制电压端子。由于阈值电压以及时延是变化的，因此脉冲位置随调制信号而变化。图 16 显示了三角波调制信号对应产生的波形。

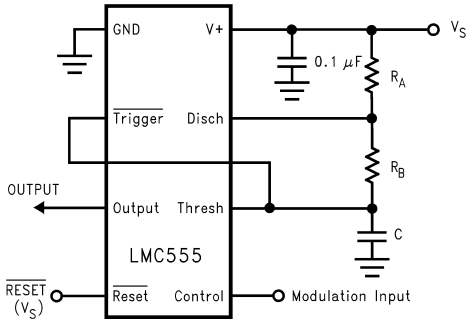


图 15. 脉冲位置调制器

9.5.1 设计要求

在非稳态模式下，通过施加到控制电压端子的调制信号改变脉冲位置。

9.5.2 应用曲线

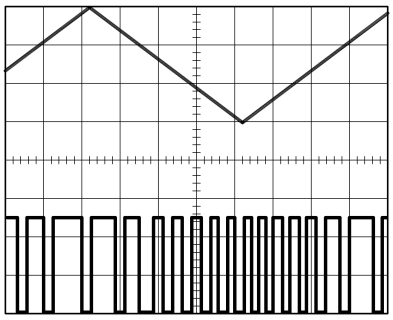


图 16. 脉冲位置调制器波形

版权 © 2000–2016, Texas Instruments Incorporated

9.6 50% 占空比振荡器

振荡频率为：

$f = 1/(1.4\ R_C C)$ (8)

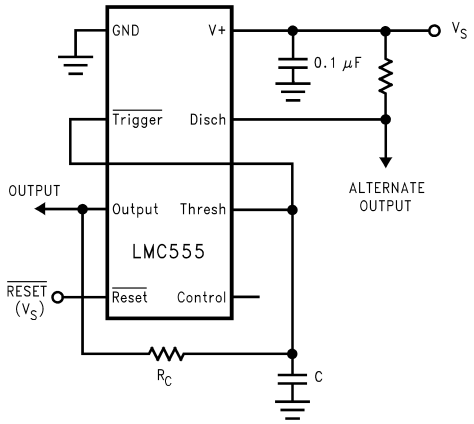


图 17. 50% 占空比振荡器

9.6.1 设计要求

一个具有 50% 占空比输出的振荡器。

10 电源建议

LM555 需要电压为 1.5V 至 15V 的电源。必须提供充分的电源旁路电容以保护相关电路。建议最小电容值为 0.1µF（与 1µF 电解电容器并联）。将旁路电容器尽可能靠近 LM555 放置，并尽量缩短走线长度。

11 布局

11.1 布局指南

LMC555 的布局适用标准的 PCB 规则。与 1µF 电解电容器并联的 0.1µF 电容器应尽可能靠近 LMC555。用于时延的电容器也应放置在靠近放电引脚的位置。可使用底层上的接地平面提供更好的抗噪性和信号完整性。

11.2 布局示例

下图是各种 应用的基本布局。

- C1 – 基于时延计算结果
- C2 – 控制电压引脚的 0.01µF 旁路电容器
- C3 – 0.1µF 旁路陶瓷电容器
- C4 – 1µF 电解旁路电容器
- R1 – 基于时延计算结果
- U1 – LMC555

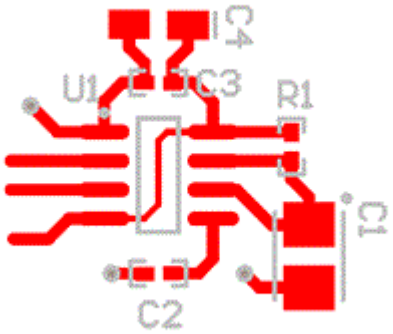


图 **18. PCB** 布局

版权 © 2000–2016, Texas Instruments Incorporated

12 器件和文档支持

12.1 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.2 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.3 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.4 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.5 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

版权 © 2000–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMC555CM	LIFEBUY	SOIC	D	8	95	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 85	LMC 555CM	
LMC555CM/NOPB	LIFEBUY	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMC 555CM	
LMC555CMM	LIFEBUY	VSSOP	DGK	8	1000	Non-RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 85	ZC5	
LMC555CMM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	ZC5	Samples
LMC555CMMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	ZC5	Samples
LMC555CMX	LIFEBUY	SOIC	D	8	2500	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 85	LMC 555CM	
LMC555CMX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMC 555CM	Samples
LMC555CN/NOPB	ACTIVE	PDIP	P	8	40	RoHS & Green	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC 555CN	Samples
LMC555CTP/NOPB	ACTIVE	DSBGA	YPB	8	250	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02	Samples
LMC555CTPX/NOPB	ACTIVE	DSBGA	YPB	8	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02	Samples
LMC555IM/NOPB	LIFEBUY	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMC 555IM	
LMC555IMX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMC 555IM	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

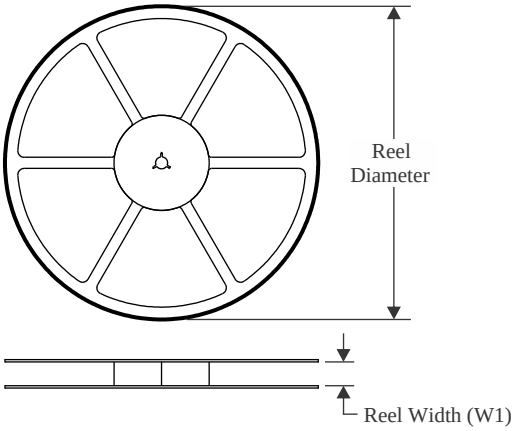
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

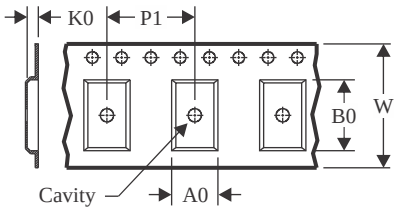
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

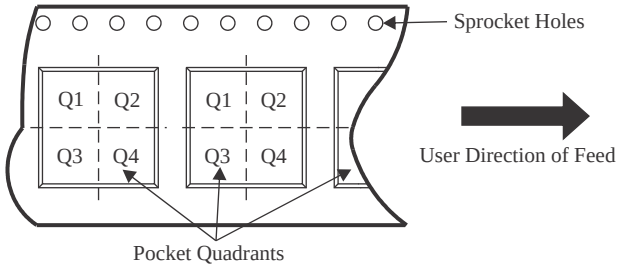


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

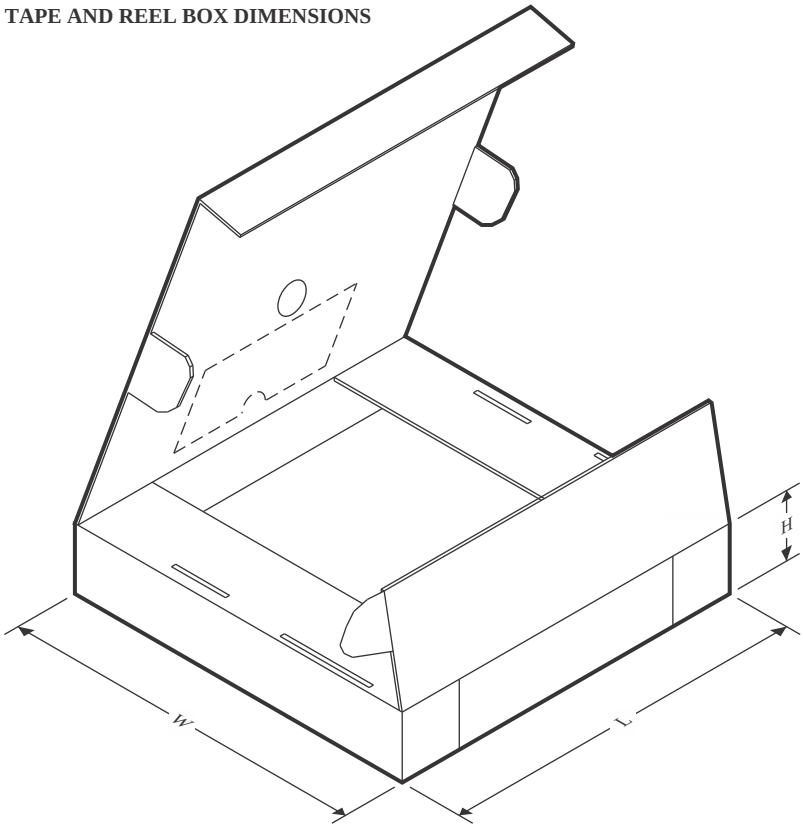
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC555CMM	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC555CMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC555CTP/NOPB	DSBGA	YPB	8	250	178.0	8.4	1.5	1.5	0.66	4.0	8.0	Q1
LMC555CTPX/NOPB	DSBGA	YPB	8	3000	178.0	8.4	1.5	1.5	0.66	4.0	8.0	Q1
LMC555IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

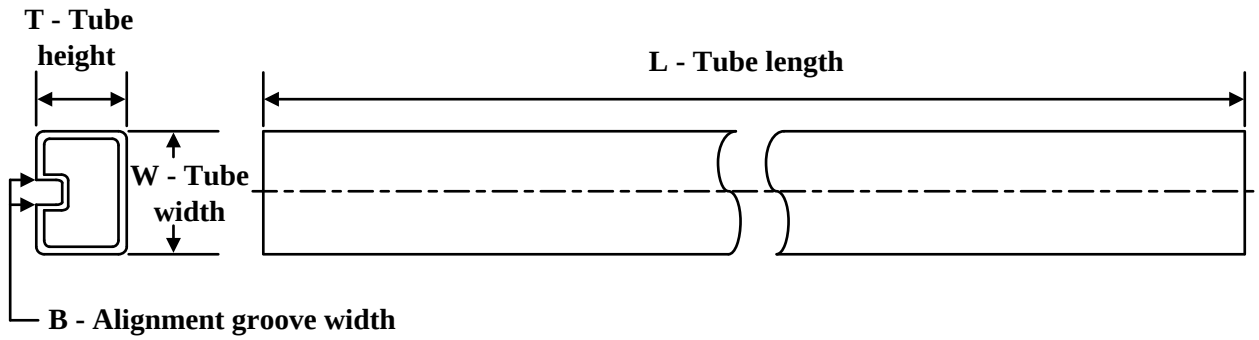
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

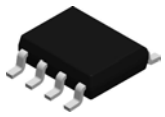
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC555CMM	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMC555CMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC555CMX	SOIC	D	8	2500	367.0	367.0	35.0
LMC555CMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC555CTP/NOPB	DSBGA	YPB	8	250	208.0	191.0	35.0
LMC555CTPX/NOPB	DSBGA	YPB	8	3000	208.0	191.0	35.0
LMC555IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMC555CM	D	SOIC	8	95	495	8	4064	3.05
LMC555CM	D	SOIC	8	95	495	8	4064	3.05
LMC555CM/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMC555CN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LMC555IM/NOPB	D	SOIC	8	95	495	8	4064	3.05

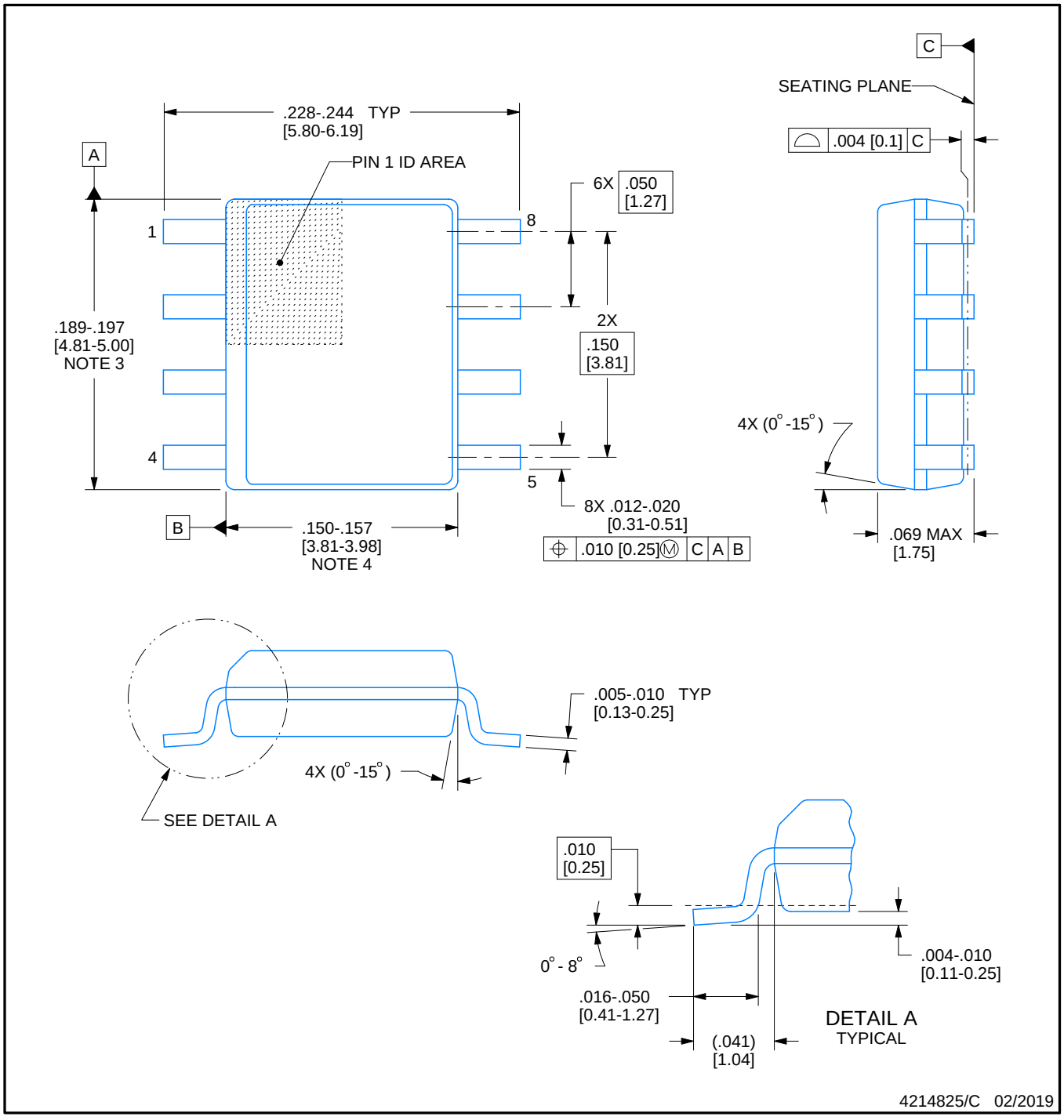


PACKAGE OUTLINE

D0008A

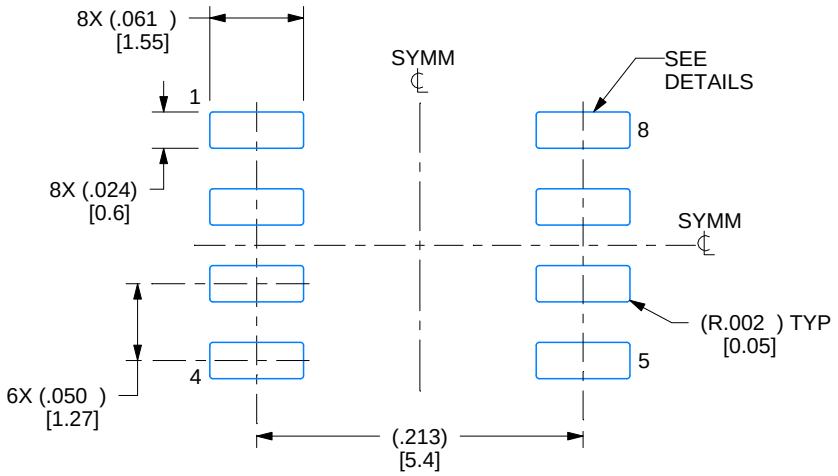
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

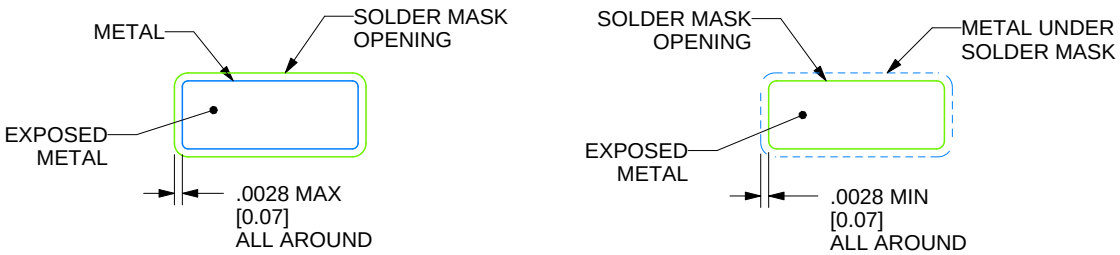


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

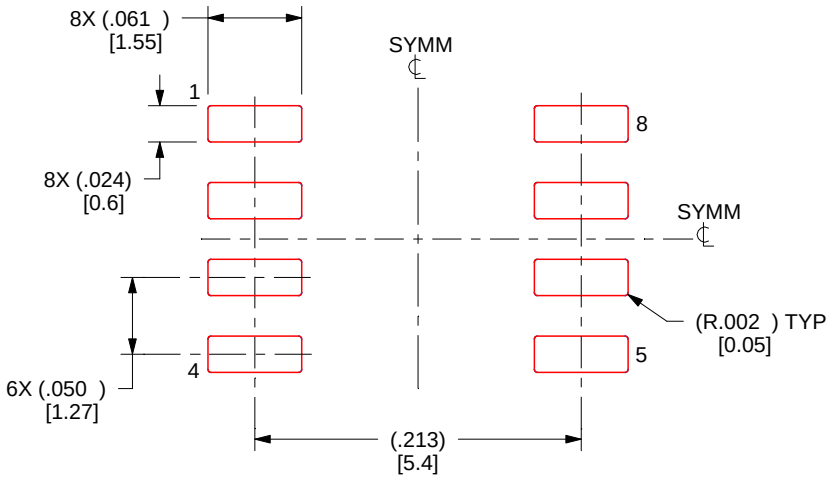
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



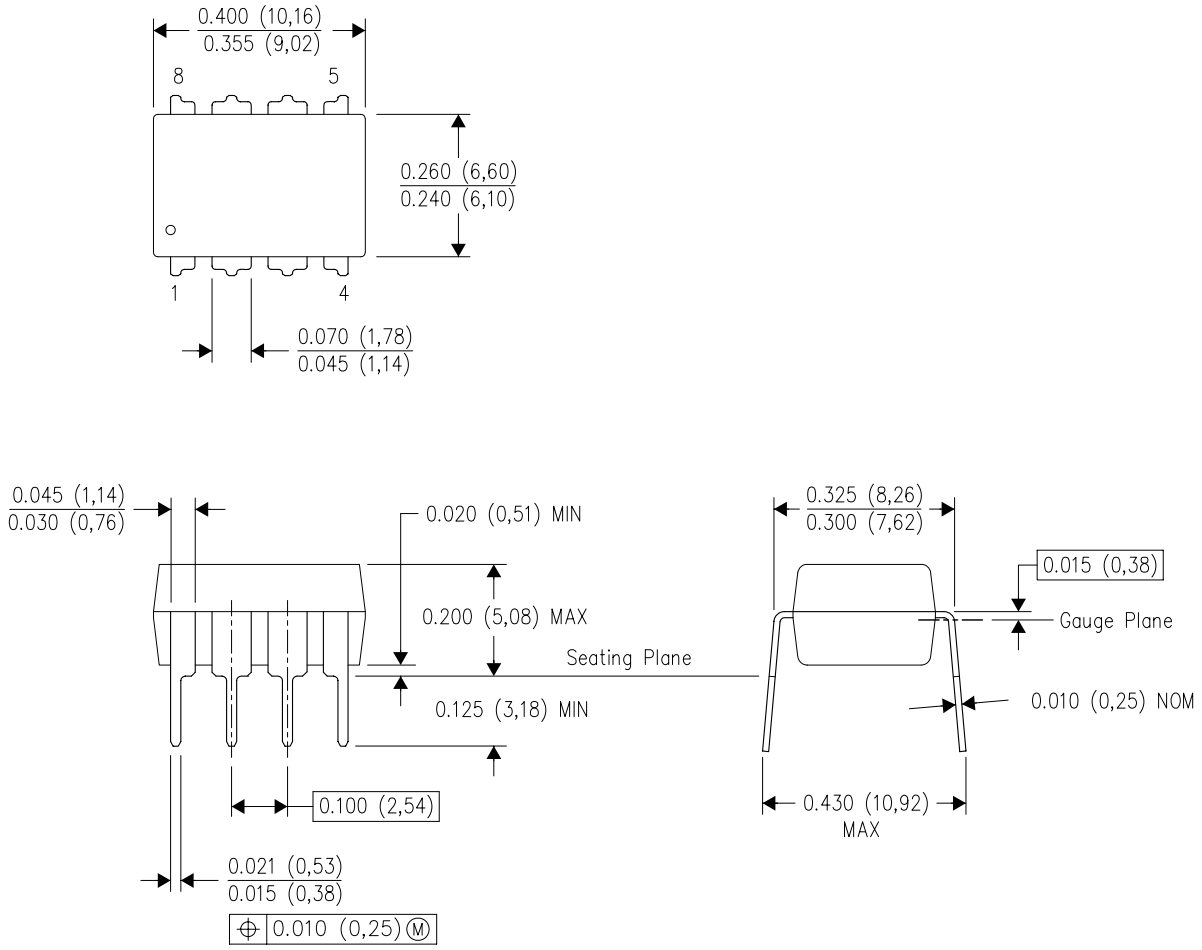
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

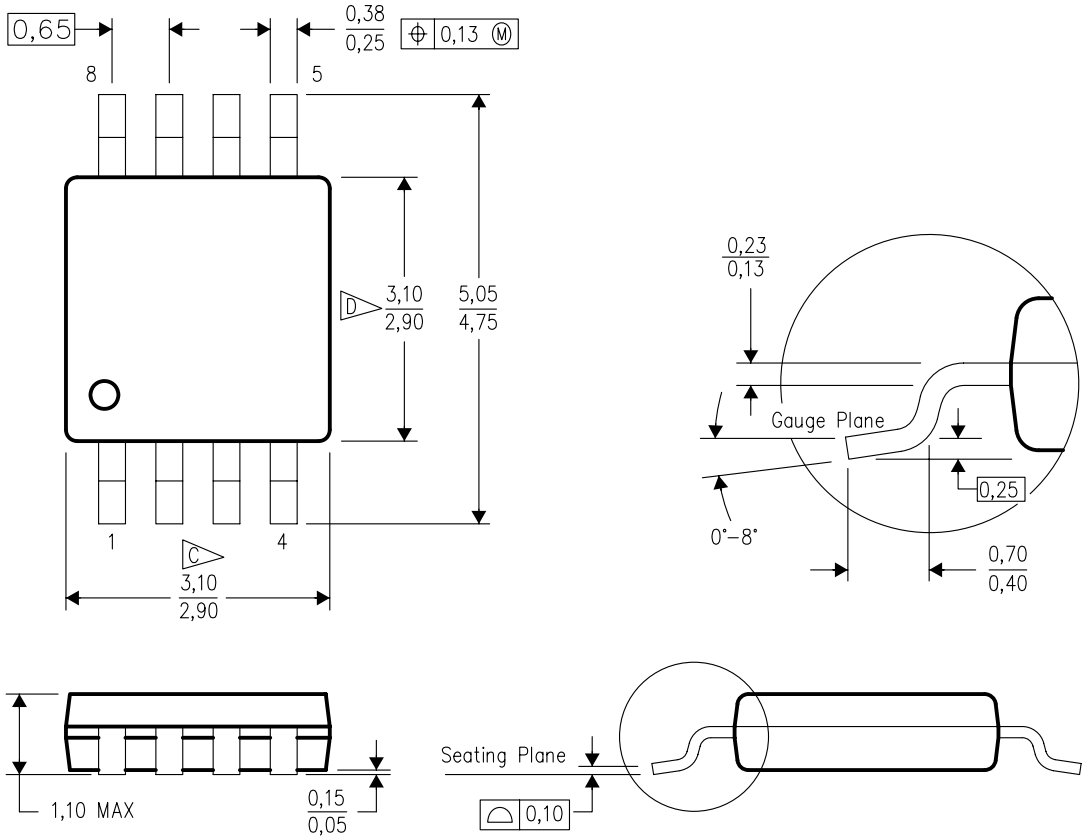
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

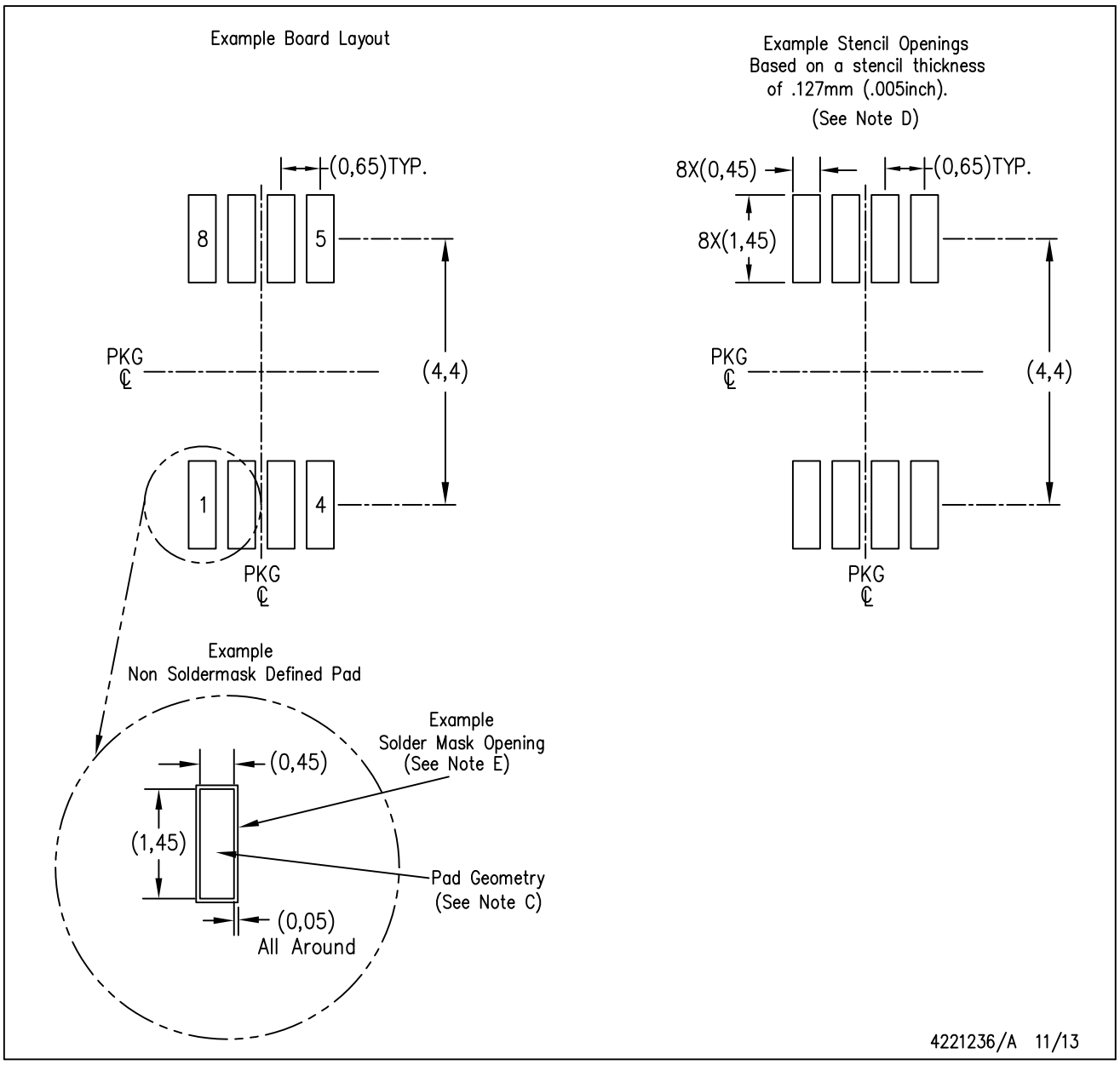
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



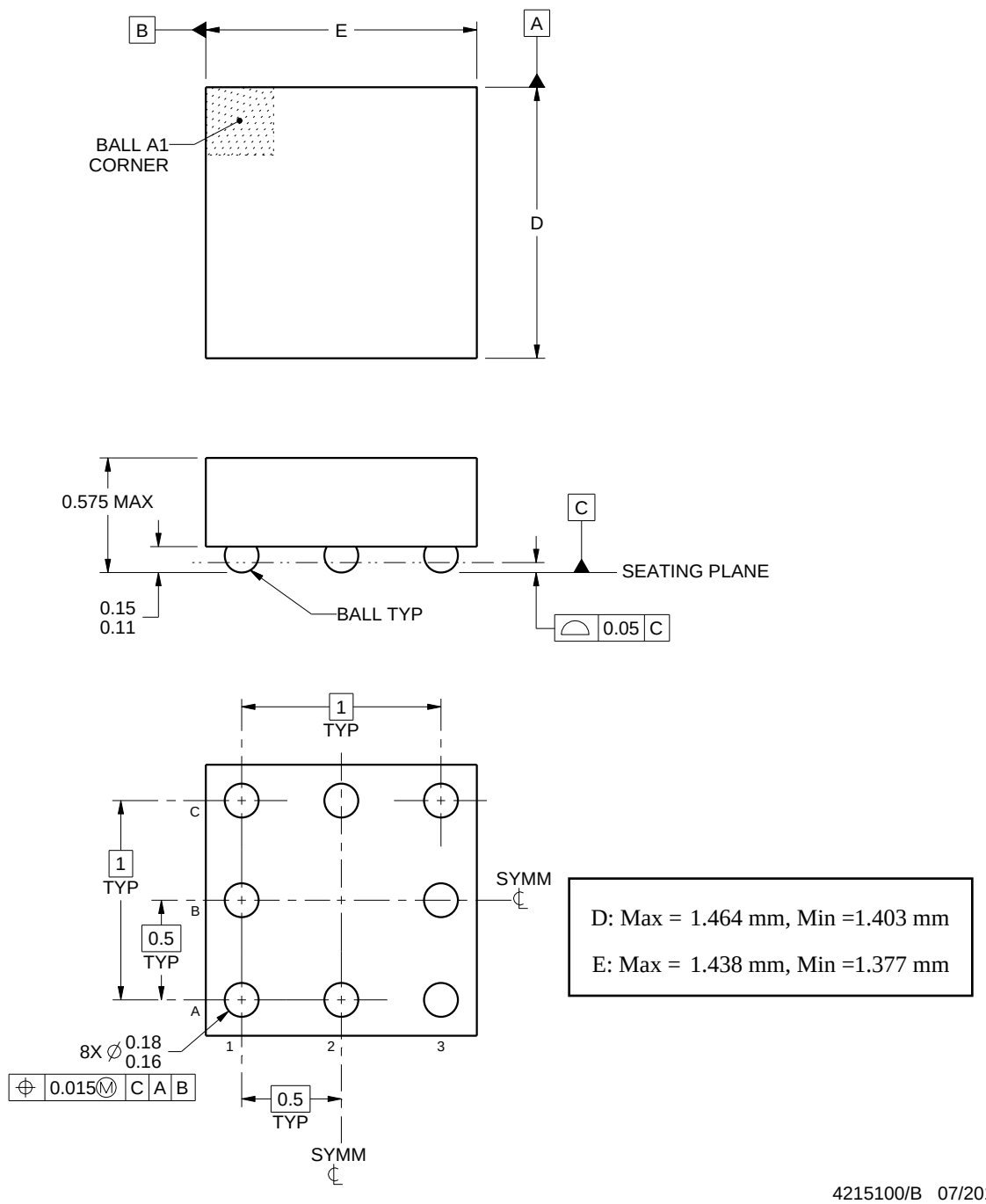
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGE OUTLINE

YPB0008

DSBGA - 0.575 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

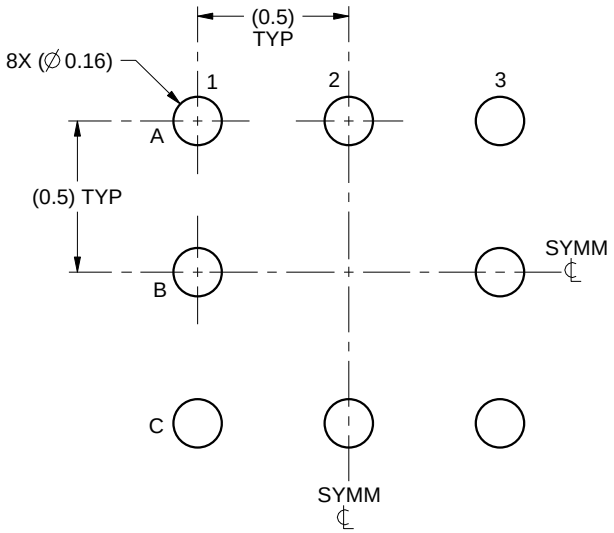
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

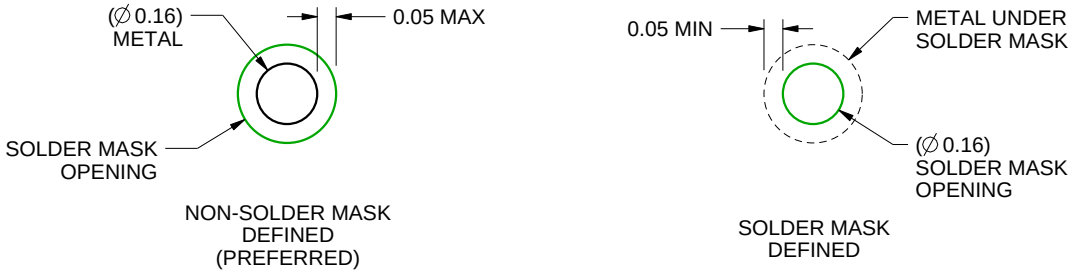
YPB0008

DSBGA - 0.575 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X

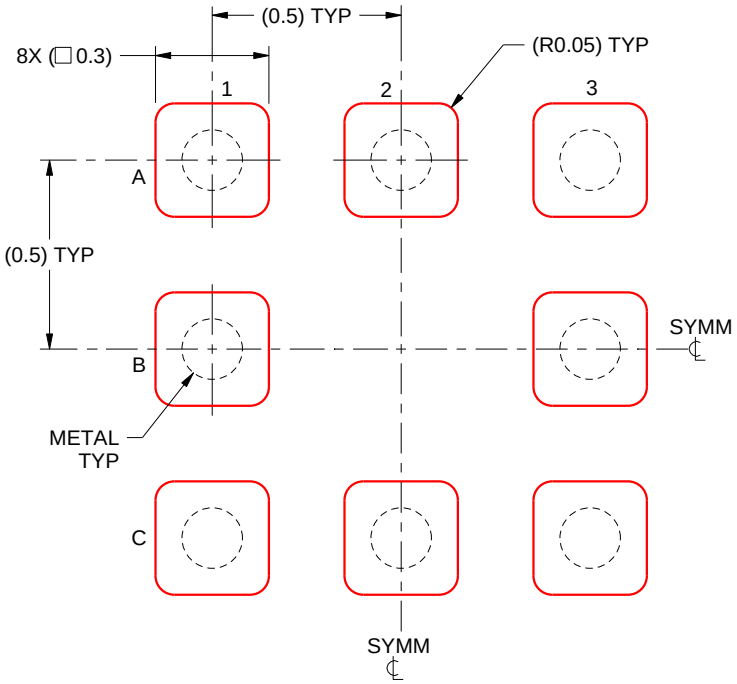


SOLDER MASK DETAILS
NOT TO SCALE

4215100/B 07/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE:50X

4215100/B 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023，德州仪器 (TI) 公司