



16ビット 250kSPS シリアル CMOS サンプリング ADコンバータ

特長

- 250kHzのサンプリング・レート
- 入力範囲：
4V、5V、10V、 $\pm 3.33V$ 、 $\pm 5V$ 、および $\pm 10V$
- INL： ± 2.0 LSB (Max)
- DNL： ± 1 LSB、16ビット ノー・ミッシング・コード
- SPI互換のシリアル出力、デジチェーン (TAG) 機能付
- 5V単電源
- ADS7809 (低速) およびADS8508/7808とのピン互換
- 内部リファレンスまたは外部リファレンスの使用
- 消費電力：70mW (250kSPS (Typ))
- 20ピンSOおよび28ピンSSOPパッケージ
- シンプルDSPインターフェイス

アプリケーション

- 産業用プロセス制御
- データ・アキュイジション・システム
- デジタル信号処理

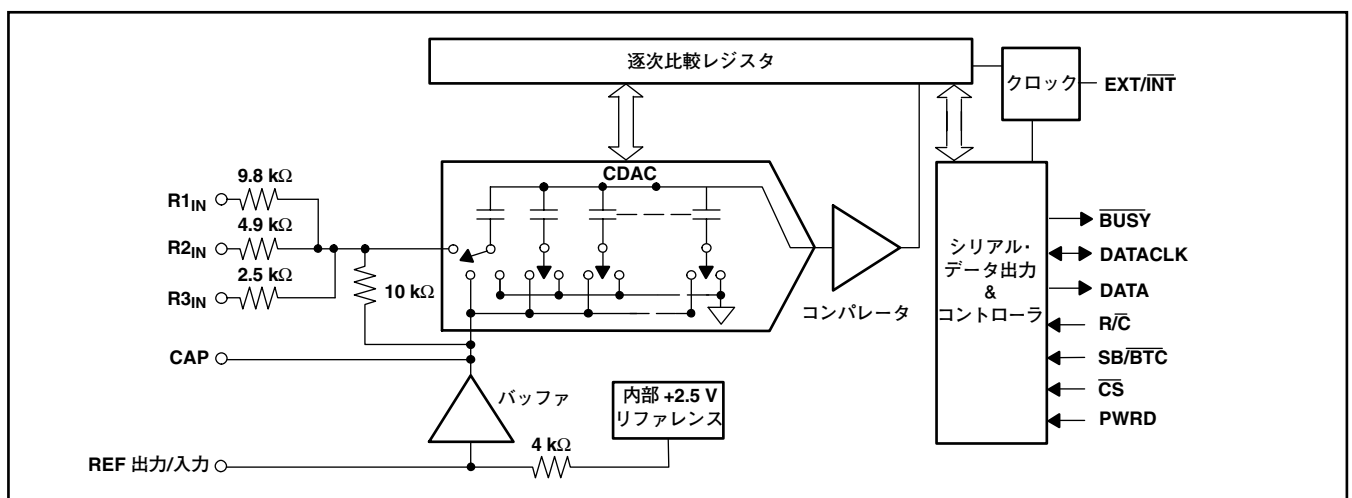
- 医療用機器
- 計装機器

概要

ADS8509は、最先端のCMOS構造を採用した16ビット・サンプリングADコンバータです。この製品は分解能16ビット、電荷再分配方式のサンプル・アンド・ホールド付逐次比較型 (SAR) ADコンバータ、リファレンス、クロック回路および、シリアル・データ・インターフェイスを内蔵しています。データは内部クロックを使用した出力、または外部データ・クロックと同期した出力も可能です。ADS8509はまた、一般のDSPプロセッサと容易に接続可能な様に同期パルスも出力します。

ADS8509は、 -40°C ~ 85°C の温度範囲で、250kHzのサンプリング・レートが規定されています。斬新な設計により、+5Vの単電源で動作し、100mW以下の消費電力で高精度の抵抗により、 $\pm 10V$ および $0V$ ~ $5V$ の多様な入力範囲を実現します。

ADS8509には、20ピンSOおよび28ピンSSOPの2種類のパッケージがあり、産業用の -40°C ~ 85°C の温度範囲で動作が規定されています。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報 (1)

製品名	最小相対精度 (LSB)	ノー・ミッシング・コード	最小 SINAD (dB)	仕様温度範囲	パッケージ	パッケージ・コード	製品型番	出荷形態、数量
ADS8509IB	±2	16	85	-40°C~85°C	SO-20	DW	ADS8509IBDW	チューブ、25
							ADS8509IBDWR	テープ・リール、2000
					SSOP-28	DB	ADS8509IBDB	チューブ、50
							ADS8509IBDBR	テープ・リール、2000
ADS8509I	±3	15	83	-40°C~85°C	SO-20	DW	ADS8509IDW	チューブ、25
							ADS8509IDWR	テープ・リール、2000
					SSOP-28	DB	ADS8509IDB	チューブ、50
							ADS8509IDBR	テープ・リール、2000

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録：パッケージ・オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

絶対最大定格 (1)

		単位
アナログ入力	R1 _{IN}	±25V
	R2 _{IN}	±25V
	R3 _{IN}	±25V
	REF	+V _{ANA} + 0.3V ~ AGND2 - 0.3V
	CAP	GND2 への無制限短絡、V _{ANA} への瞬時短絡
グランド間の電位差	DGND、AGND2	±0.3V
	V _{ANA}	6V
	V _{DIG} ~ V _{ANA}	0.3V
	V _{DIG}	6V
デジタル入力		-0.3V ~ +V _{DIG} + 0.3V
最大接合部温度		165°C
保存温度範囲		-65°C~150°C
内部消費電力		700mW
リード温度 (半田付け、ケースから1.6mmの位置、10秒間)		260°C

(1) すべての電圧値は、ネットワーク・グランド端子を基準としたものです。

電気的特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ 、内部リファレンスを使用し、0.1%精度の0.25W固定抵抗器使用 (図29と図30を参照) (特に記述のない限り)

パラメータ	測定条件	ADS8509I			ADS8509IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
分解能				16			16	ビット
アナログ入力								
電圧レンジ ⁽¹⁾								
インピーダンス ⁽¹⁾								
容量			50			50		pF
スループット速度								
変換サイクル	アキュジション/変換			4			4	μs
スループット・レート		250			250			kHz
DC精度								
INL 積分直線性誤差		-3		3	-2		2	LSB ⁽²⁾
DNL 微分直線性誤差		-2		2	-1		1	LSB
ノー・ミッシング・コード		15			16			Bits
トランジション・ノイズ ⁽³⁾			1			1		LSB
フルスケール誤差 ⁽⁴⁾⁽⁵⁾	±10Vレンジ	内部リファレンス	0.1%外部	-0.5	0.5	-0.5	0.5	%FSR
	その他のレンジ	固定抵抗器		-0.5	0.5	-0.5	0.5	
フルスケール誤差ドリフト	内部リファレンス		±7			±7		ppm/°C
フルスケール誤差 ⁽⁴⁾⁽⁵⁾	±10V範囲	外部リファレンス	0.1%外部	-0.5	0.5	-0.5	0.5	%FSR
	その他のレンジ	固定抵抗器		-0.5	0.5	-0.5	0.5	
フルスケール誤差ドリフト	外部リファレンス		±2			±2		ppm/°C
バイポーラ・ゼロ誤差 ⁽⁴⁾		-10		10	-5		5	mV
バイポーラ・ゼロ誤差ドリフト			±0.4			±0.4		ppm/°C
ユニポーラ・ゼロ誤差 ⁽⁴⁾	10Vレンジ		-5		5		5	mV
	4V/5Vレンジ		-3		3		3	
ユニポーラ・ゼロ誤差ドリフト			±2			±2		ppm/°C
パワーダウンからの仕様精度への復帰時間	CAP端子に1μFコンデンサ接続		1			1		ms
電源電圧感度 ($V_{\text{DIG}} = V_{\text{ANA}} = V_{\text{D}}$)	+4.75V < V_{D} < +5.25V	-8		8	-8		8	LSB
AC精度								
SFDR スプリアスフリー・ダイナミック・レンジ	$f_1 = 20\text{kHz}$	90	99		95	99		dB ⁽⁶⁾
THD 全高調波歪	$f_1 = 20\text{kHz}$		-98	-90		-98	-93	dB
SINAD 信号対(雑音+歪)	$f_1 = 20\text{kHz}$	83	88		85	88		dB
	-60dB入力		30			32		dB
SNR 信号対雑音比	$f_1 = 20\text{kHz}$	83	88		86	88		dB
フルパワー帯域幅 ⁽⁷⁾			500			500		kHz
サンプリング・ダイナミック特性								
アパーチャ・ディレイ			5			5		ns
過渡応答	FSステップ			2			2	μs
過電圧より復帰 ⁽⁸⁾			150			150		ns

(1) ±10V、0V~5V等(表3を参照)。通常の動作では、アナログ入力は、設定範囲の±20%を超えてはなりません。

(2) (1) LSBは「least significant bit」の略で、最下位ビットに相当します。±10Vの入力範囲では、1つのLSBが305μVです。

(3) トランジションと温度の最悪状態での実効値雑音(typ)。

(4) 固定抵抗器を使用して測定。図29および図30参照。外部可変抵抗によりゼロに調整可能。0.1%、0.25Wの抵抗を使用して出荷時キャリブレーション済みです。

(5) バイポーラ入力レンジでは、フルスケール誤差は-フルスケールまたは+フルスケールの理想的なそれぞれのコードからの未キャリブレーション偏差を、変化電圧(フルスケール・レンジでは無い)で割った値で、オフセット誤差が含まれます。ユニポーラ入力レンジでは、フルスケール誤差は最後のコード変化量での偏差を変化電圧で割った値です。これにもオフセット誤差が含まれます。

(6) dBで示される全ての規定値は、±10V入力フルスケールを基準とします。

(7) フルパワー帯域幅は、フルスケール信号入力時、信号対(雑音+歪)が60dBに低下した時点での入力周波数と定義されます。

(8) 2×FS電圧入力後、仕様性能への復帰。

電気的特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ 、内部リファレンスを使用し、0.1%精度の0.25W固定抵抗器使用 (図29と図30を参照) (特に記述のない限り)

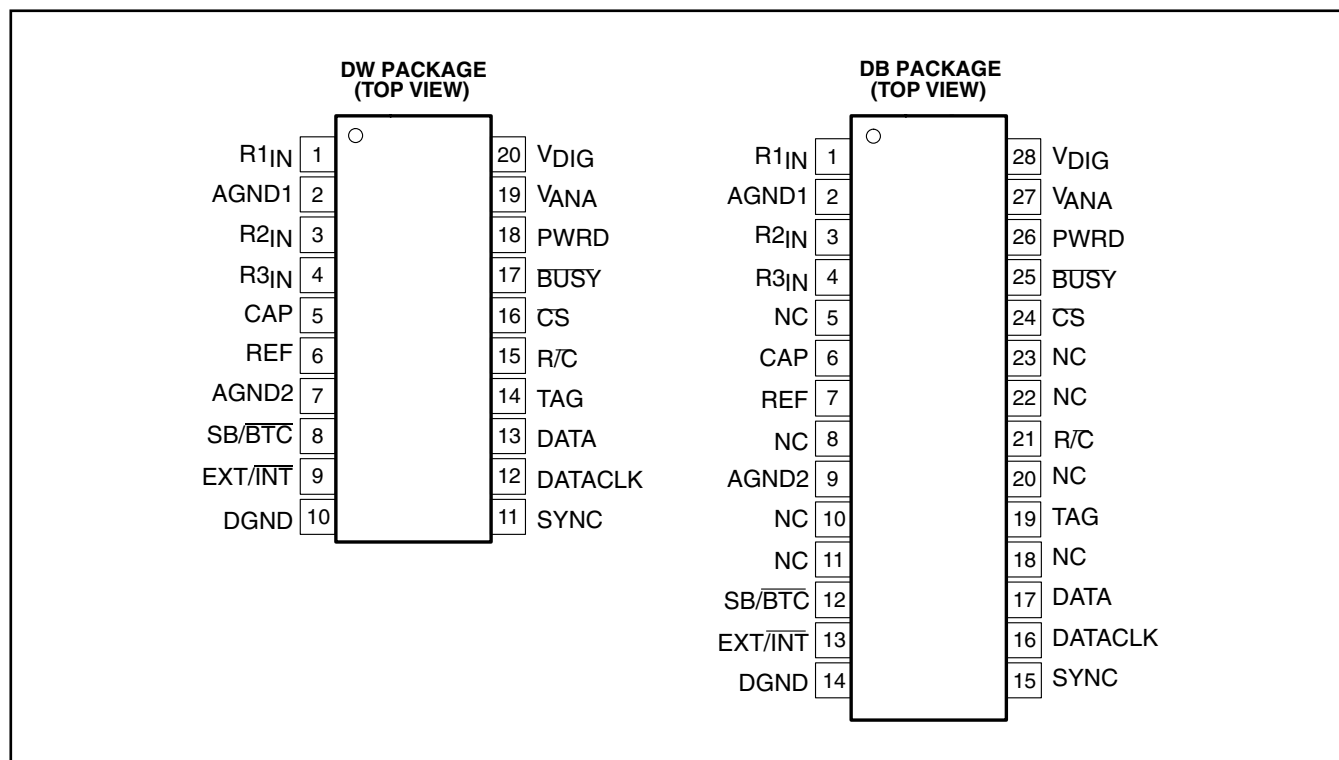
パラメータ	測定条件	ADS8509I			ADS8509IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
リファレンス電圧								
内部リファレンス電圧	無負荷	2.48	2.5	2.52	2.48	2.5	2.52	V
内部リファレンス・ソース電流 (要外部バッファ)			1			1		μA
内部リファレンス・ドリフト			8			8		ppm/ $^{\circ}\text{C}$
直線形仕様を保つ外部リファ レンス電圧範囲		2.3	2.5	2.7	2.3	2.5	2.7	V
外部リファレンス・ドレイン 電流	外部2.5Vリファレンス			100			100	μA
デジタル入力								
ロジック・レベル								
V_{IL}	“L” レベル入力電圧	-0.3		0.8	-0.3		0.8	V
V_{IH}	“H” レベル入力電圧	2.0		$V_{\text{DIG}} + 0.3\text{V}$	2.0		$V_{\text{DIG}} + 0.3\text{V}$	V
$ I_{\text{IL}} $	“L” レベル入力電流 $V_{\text{IL}} = 0\text{V}$			± 10			± 10	μA
$ I_{\text{IH}} $	“H” レベル入力電流 $V_{\text{IH}} = 5\text{V}$			± 10			± 10	μA
デジタル出力								
データ形式 (シリアル16ビット)								
データ・コーディング (2の補数バイナリ、または ストレート・バイナリ)								
パイプライン遅延(変換結果 取得は、変換完了後)								
データ・クロック(内部または 外部データ・クロックの選択 可能)								
内部クロック (データ伝送時のみ出力)	$\text{EXT}/\overline{\text{INT}} = \text{Low}$		9			9		MHz
外部クロック (連続入力可能、但し最高性能 の為には勧めない)	$\text{EXT}/\overline{\text{INT}} = \text{High}$	0.1		26	0.1		26	MHz
V_{OL}	“L” レベル出力電圧 $I_{\text{SINK}} = 1.6\text{mA}$			0.4			0.4	V
V_{OH}	“H” レベル出力電圧 $I_{\text{SOURCE}} = 500\mu\text{A}$	4			4			V
リーク電流	Hi-Z状態、 $V_{\text{OUT}} = 0\text{V} \sim V_{\text{DIG}}$			± 5			± 5	μA
出力容量	Hi-Z状態			15			15	pF
電源								
V_{DIG}	デジタル入力電圧	4.75	5	5.25	4.75	5	5.25	V
V_{ANA}	アナログ入力電圧	4.75	5	5.25	4.75	5	5.25	V
I_{DIG}	デジタル入力電流		4			4		mA
I_{ANA}	アナログ入力電流		10			10		mA
消費電力								
PWRD Low	$f_s = 250\text{kHz}$		70	100		70	100	mW
PWRD High			50			50		μW
温度範囲								
仕様		-40		85	-40		85	$^{\circ}\text{C}$
ディレーティングした性能 ⁽⁹⁾		-55		125	-55		125	$^{\circ}\text{C}$
保存		-65		150	-65		150	$^{\circ}\text{C}$
熱抵抗 (θ_{JA})								
SSOP			62			62		$^{\circ}\text{C}/\text{W}$
SO			46			46		$^{\circ}\text{C}/\text{W}$

(9) 産業用温度範囲(-40 $^{\circ}\text{C}$ ~ 85 $^{\circ}\text{C}$)外では、内部リファレンスは正しく開始できない事があるので、外部リファレンスの使用をお勧めします。

タイミング要件、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメータ		MIN	TYP	MAX	単位
t_{w1}	パルス幅、Convert	40			ns
t_{d1}	遅延時間、 R/\overline{C} “Low” から $\overline{\text{BUSY}}$		6	20	ns
t_{w2}	パルス幅、 $\overline{\text{BUSY}}$ “Low”			2.2	μs
t_{d2}	遅延時間、変換終了から $\overline{\text{BUSY}}$		5		ns
t_{d3}	遅延時間、アパーチャ		5		ns
t_{conv}	変換時間			2.2	μs
t_{acq}	アキュジション時間	1.8			μs
$t_{\text{conv}} + t_{\text{acq}}$	サイクル時間			4	μs
t_{d4}	遅延時間、 R/\overline{C} “Low” から内部DATACLK出力		270		ns
t_{c1}	サイクル時間、内部DATACLK		110		ns
t_{d5}	遅延時間、データ確定から内部DATACLK “High”	15	35		ns
t_{d6}	遅延時間、内部DATACLK “Low” からデータ確定	20	35		ns
t_{c2}	サイクル時間、外部DATACLK	35			ns
t_{w3}	パルス幅、外部DATACLK “High”	15			ns
t_{w4}	パルス幅、外部DATACLK “Low”	15			ns
t_{su1}	セットアップ時間、 R/\overline{C} の立上り/立下りから外部DATACLK “High”	15			ns
t_{su2}	セットアップ時間、 R/\overline{C} 遷移から $\overline{\text{CS}}$ 遷移まで	10			ns
t_{d7}	遅延時間、外部DATACLK “High” からSYNC	3		35	ns
t_{d8}	遅延時間、データ確定	2		20	ns
t_{d9}	遅延時間、 $\overline{\text{CS}}$ 立上りから外部DATACLK立上りエッジ	10			ns
t_{d10}	遅延時間、 $\overline{\text{CS}}$ 、 R/\overline{C} “Low” から前回データ保持	2			μs
t_{su3}	セットアップ時間、 $\overline{\text{BUSY}}$ 遷移から最初の外部DATACLK	5			ns
t_{d11}	遅延時間、最終外部DATACLKから $\overline{\text{BUSY}}$ 立下りエッジ			1	μs
t_{su3}	セットアップ時間、TAG有効	0			ns
t_{h1}	ホールド時間、TAG有効	2			ns

ピン配置



ピン構成

端子				説明
名称	DB NO.	DW NO.	I/O	
AGND1	2	2	–	アナログGND。グラウンド基準ポイントとして内部使用。流出電流は最小
AGND2	9	7	–	アナログGND
BUSY	25	17	O	ビジー出力。変換が開始時に“Low”となり、変換が完了するまで“Low”のまま維持され、データは出力シフトレジスタにラッチされます。
CAP	6	5	–	リファレンス・バッファ・コンデンサ、2.2μFタンタルをグラウンド間に接続
CS	24	16	–	チップ・セレクト。内部でR/CとOR接続。
DATA	17	13	O	シリアル・データ出力データは、SB/BTCのレベルにより指定された形式で、DATACLKに同期して出力されます。外部クロック・モードでは、ADS8509は16ビットのデータ出力後、CSが“Low”でR/Cが“High”である限り、TAG入力を出力します(図8と図9を参照)。EXT/INTが“Low”の場合、データはDATACLKの立上り/立下りの両エッジ・タイミングで確定しており、変換毎の間では、変換開始後TAG入力レベルを出力します。
DATACLK	16	12	I/O	EXT/INTレベルに対応して、入力または出力に切り替わります。出力データは、このクロックに同期されます。EXT/INTが“Low”の場合、各変換の後にDATACLKが16のパルスを送信し、変換と変換の間は“Low”のままになります。
DGND	14	10	–	デジタル・グラウンド
EXT/INT	13	9	–	データ伝送で外部クロックと内部クロックのどちらを使用するかを選択します。“High”の場合、データ出力はDATACLKのクロック入力に同期して出力されます。“Low”の場合、Convert信号により前回の変換で得たデータを、DATACLK上の16クロック・パルス出力と共に出力を開始します。
NC	5, 8, 10, 11, 18, 20, 22, 23	–	–	内部接続なし
PWRD	26	18	I	パワーダウン入力“High”の場合変換は停止され、電力消費が大幅に削減されます。前回の変換の結果は、出力シフトレジスタに保持されます。
R/C	21	15	I	Read(読取り)/Convert(変換)入力。CSが“Low”の場合、R/Cの立下りエッジによって、内部サンプル・アンド・ホールドがホールド状態になり、変換が開始します。EXT/INTが“Low”の場合、この信号も前回の変換から得られたデータの出力を開始します。EXT/INTが“High”の場合、R/Cの立上りエッジ(CS“Low”)、又はR/C“High”時にCSの立下りエッジによって、SYNC端子にパルスが出力され、前回の変換から得られたデータの出力を開始します。
REF	7	6	I/O	リファレンス入力/出力内部2.5Vリファレンスを出力します。外部リファレンスより駆動することも可能です。どちらの場合も、2.2μFタンタル・コンデンサをグラウンド間にバイパス用として接続します。
R1IN	1	1	I	アナログ入力。入力レンジ設定は、表3を参照してください。
R2IN	3	3	I	アナログ入力。入力レンジ設定は、表3を参照してください。
R3IN	4	4	I	アナログ入力。入力レンジ設定は、表3を参照してください。
SB/BTC	12	8	O	ストレート・バイナリまたは2の補数バイナリ・データ出力形式のどちらかを選択します。“High”の場合、データはストレート・バイナリ形式で出力されます。“Low”の場合、データはバイナリ2の補数形式で出力されます。
SYNC	15	11	O	Sync出力このピンはデータ同期パルスを出力します。EXTが“High”で読み取りモードでなく、少なくとも1つの外部クロック・パルスが供給された場合に出力されます。外部クロック・モードの説明を参照してください。
TAG	19	14	I	外部クロック・モードで使用する時のTag入力です。EXTが“High”の場合、TAGのデジタル・データ入力が、外部クロック・モードに応じた遅延とともに、DATAに出力されます。図8および図9参照。
VANA	27	19	I	アナログ電源入力、+5V。ピン20に直接接続し、0.1μFセラミックと10μFタンタル・コンデンサをグラウンドに接続します。
VDIG	28	20	I	デジタル電源入力、+5V。ピン19に直接接続します。≤VANAである事。

パラメータ測定情報

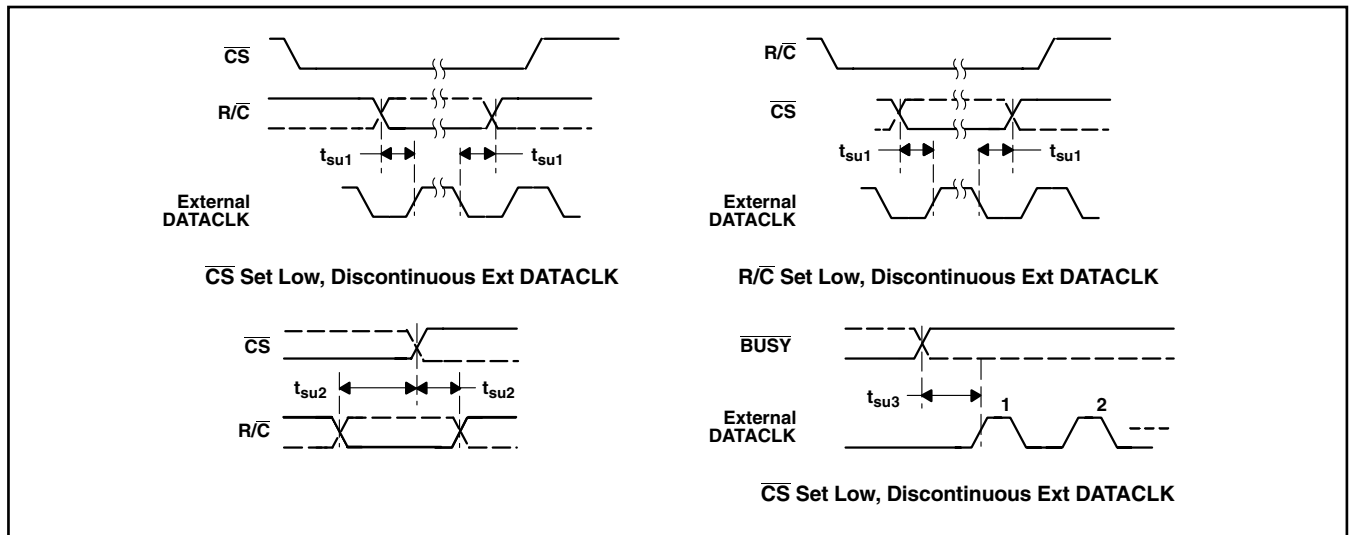


図 1. クリティカル・タイミング

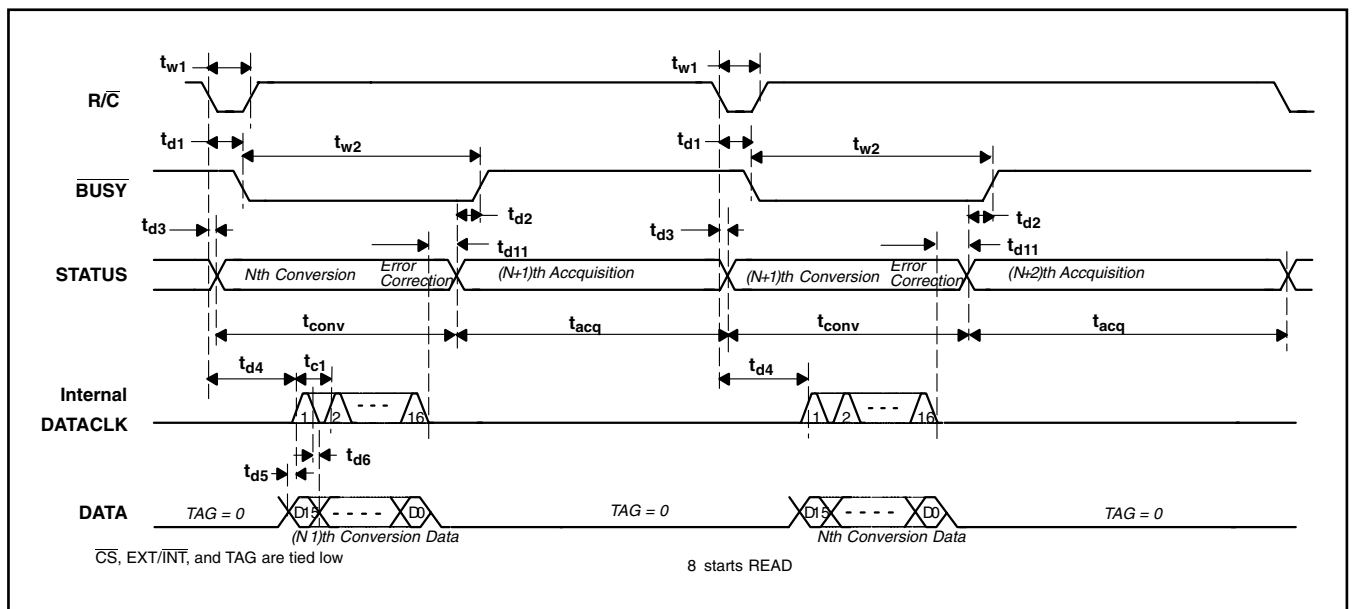


図 2. 基本の変換タイミング (内部DATACLK - 変換中に前回のデータを読み取り)

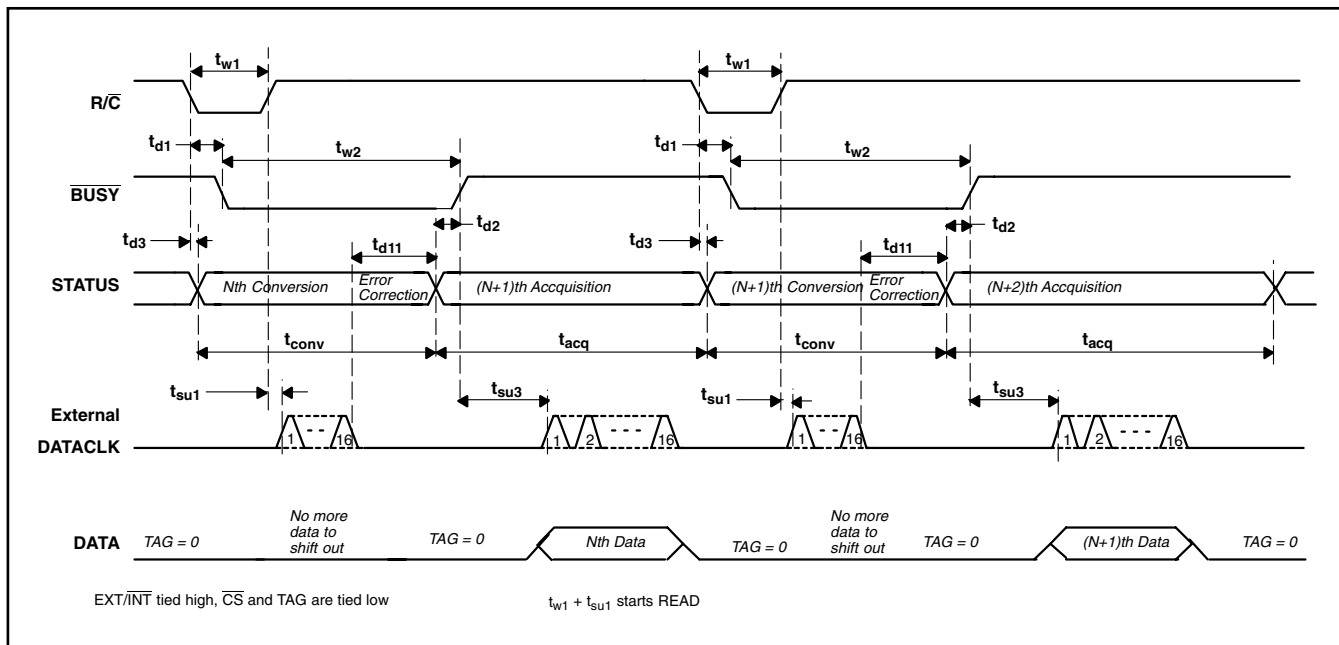


図 3. 基本の変換タイミング (外部DATACLK)

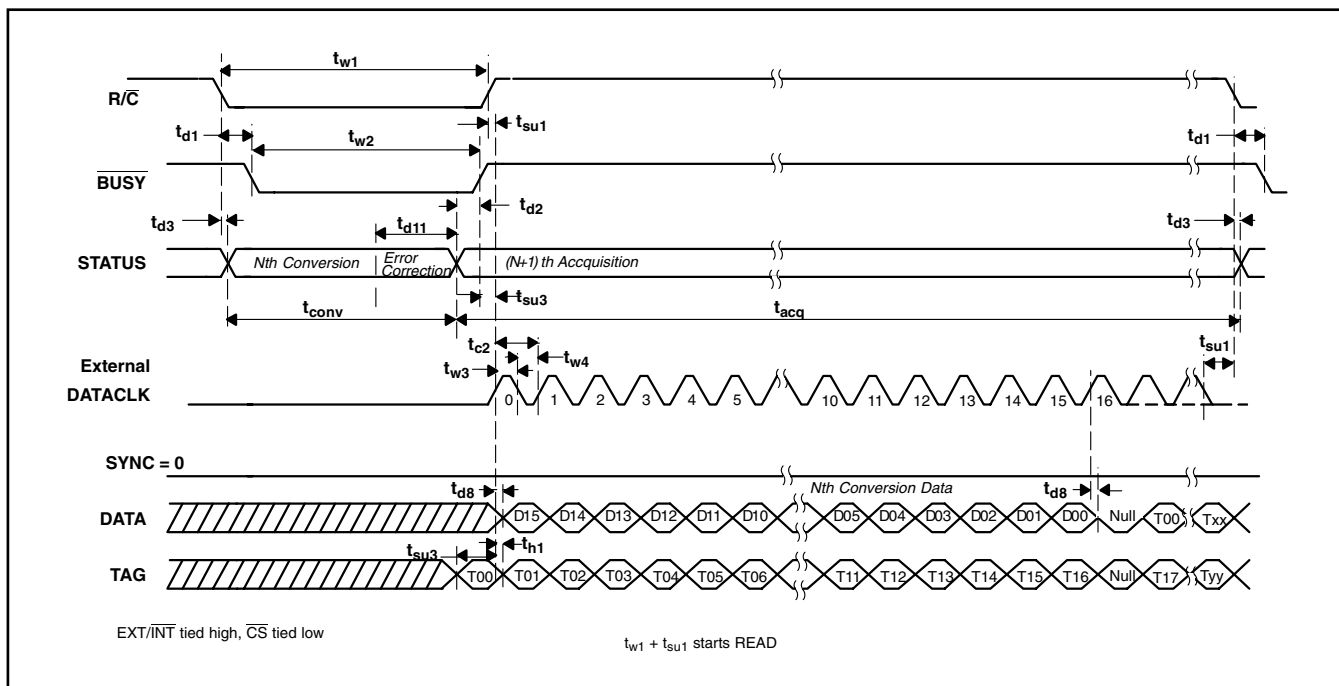


図 4. 変換後に読み取り (非連続外部DATACLK)

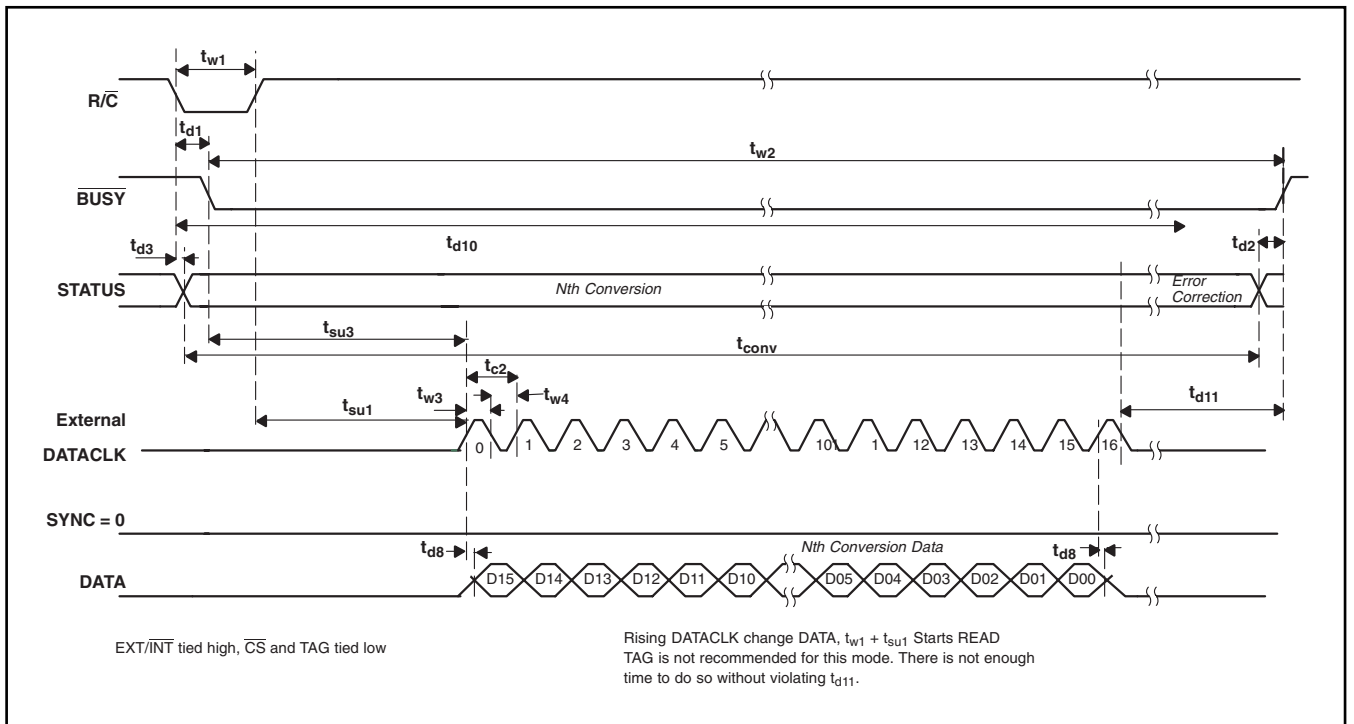


図 5. 変換時に読み取り (非連続外部DATACLK)

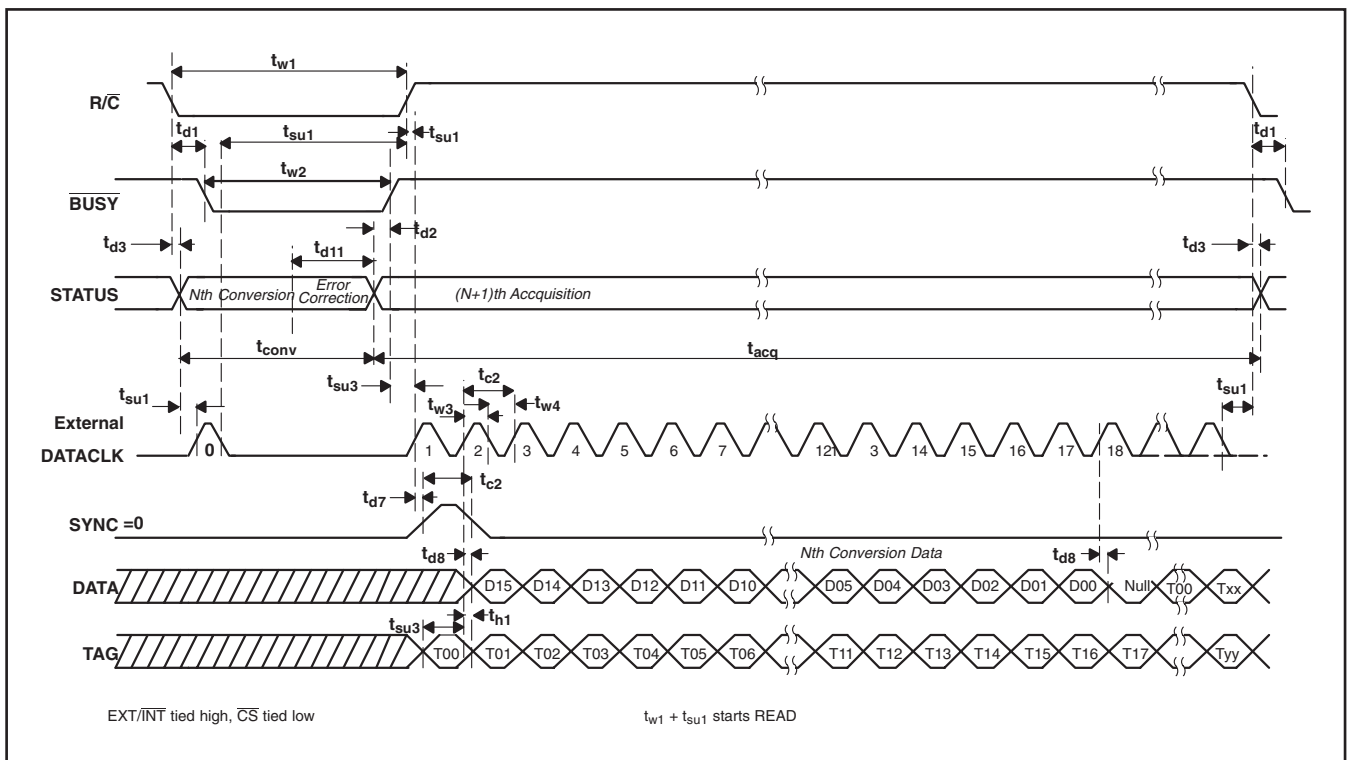


図 6. SYNCを使用した、変換後の読み取り (非連続外部DATACLK)

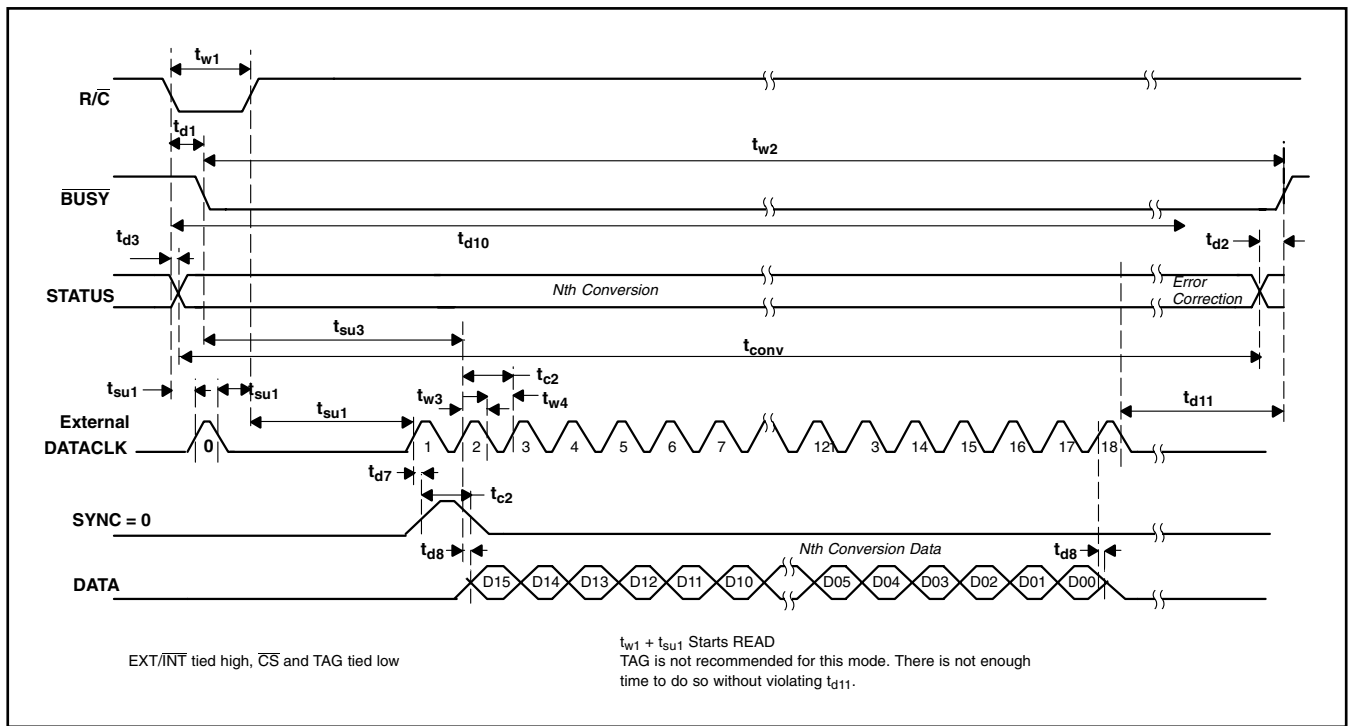


図 7. SYNCを使用した、変換中の読み取り (非連続外部DATACLK)

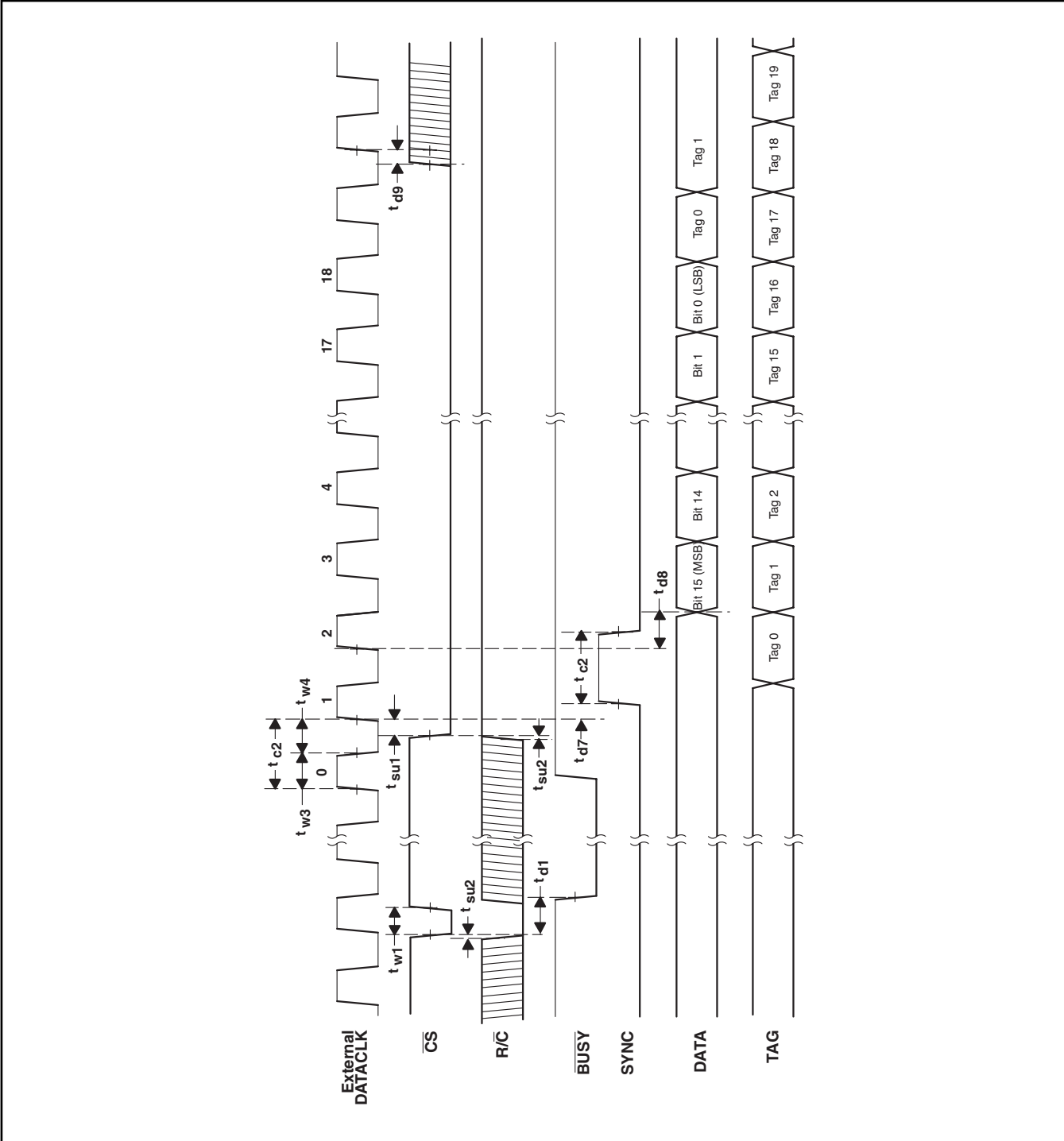


図 8. 連続外部DATACLKを使用した変換と読み取りタイミング (EXT/INTを “High” に固定) 変換後に読み取り (お勧めしません)

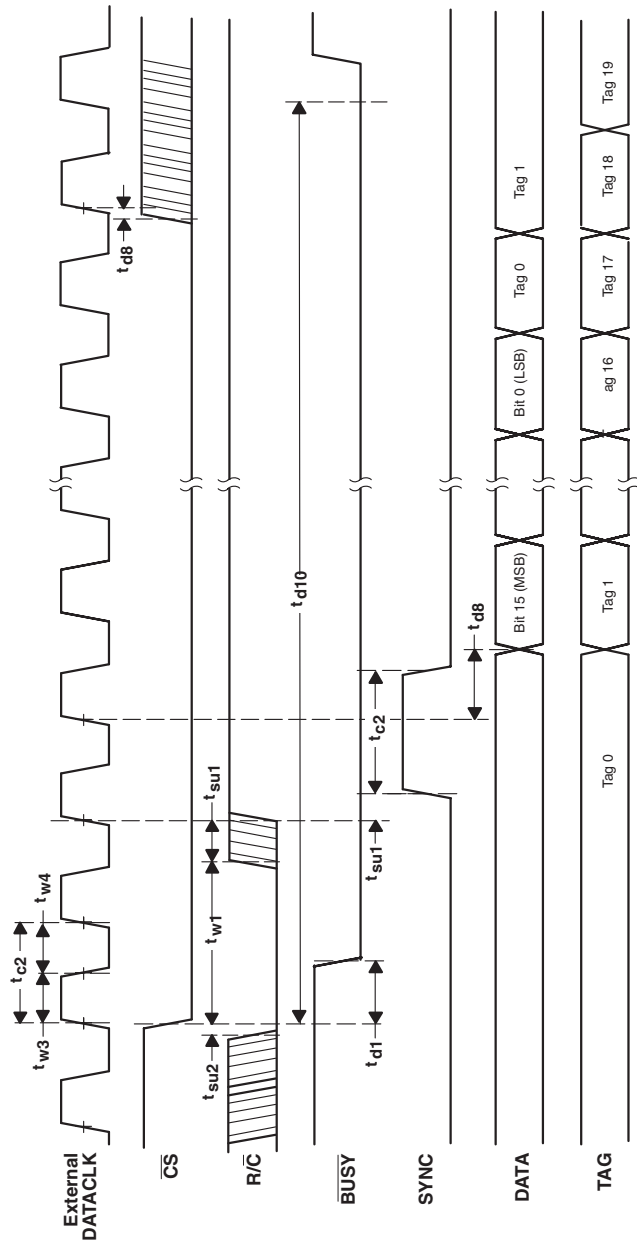


図 9. 連続外部DATACLKを使用した変換と読み取りタイミング (EXT/INTを“High”に固定) 変換中に前回の変換結果を読み取り (お勧めしません)

代表的特性

スプリアスフリー・ダイナミック・レンジ
対
温度

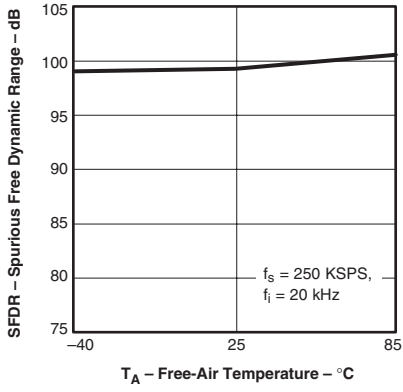


図 10

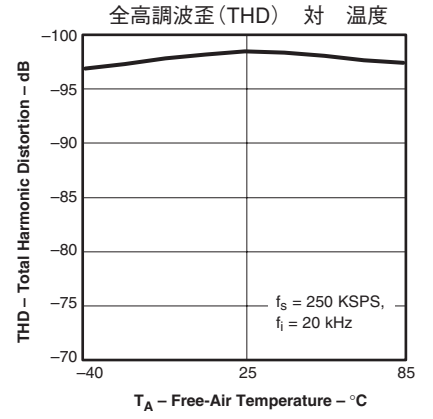


図 11

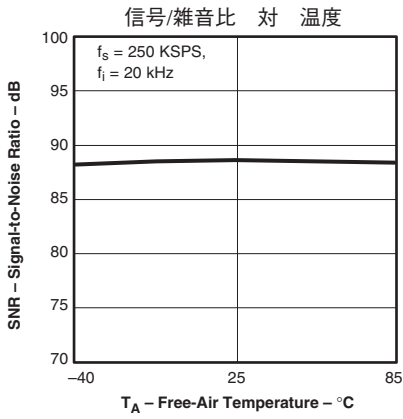


図 12

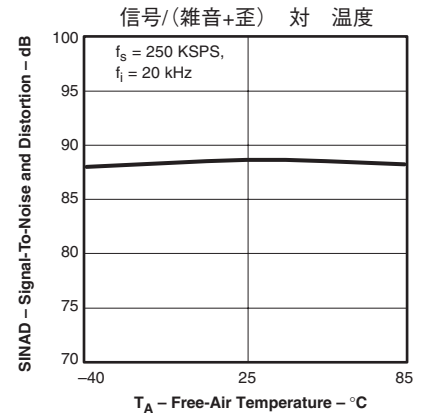


図 13

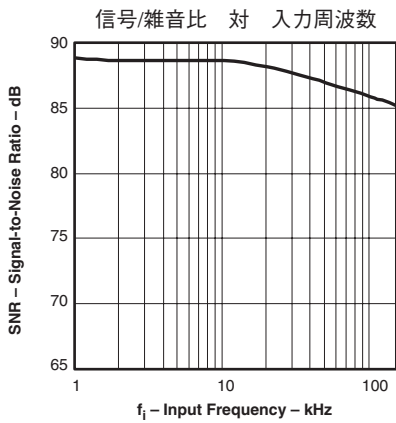


図 14

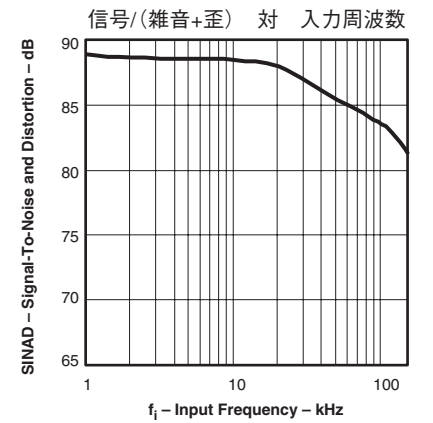


図 15

代表的特性

スプリアスフリー・ダイナミック・レンジ
対
入力周波数

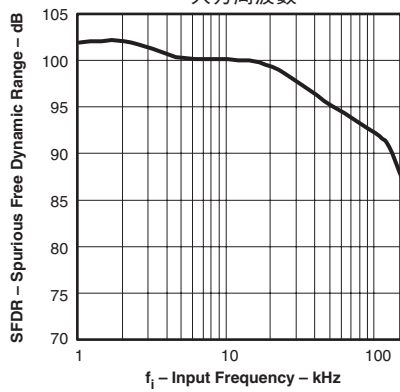


図 16

全高調波歪 (THD) 対 入力周波数

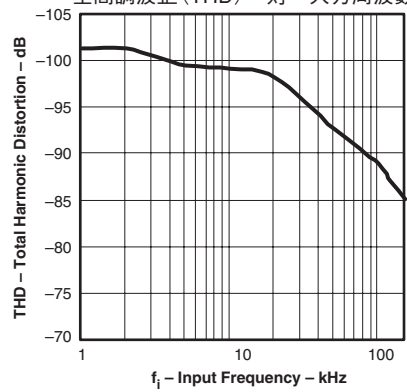


図 17

内部基準電圧 対 温度

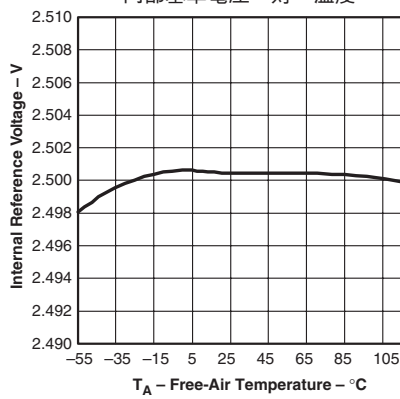


図 18

バイポーラ・ゼロ・スケール誤差
対
温度

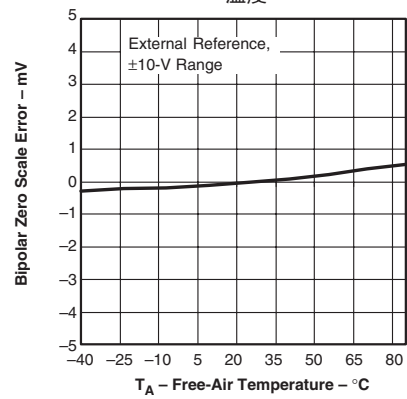


図 19

フルスケール誤差 対 温度

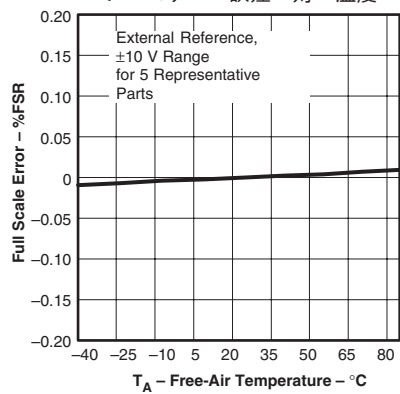


図 20

消費電流 対 温度

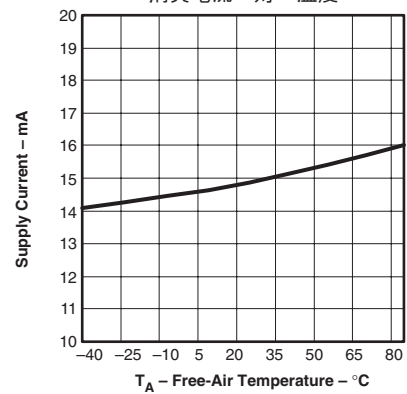


図 21

代表的特性

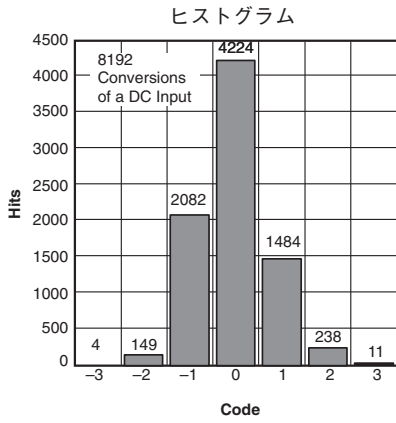


図 22

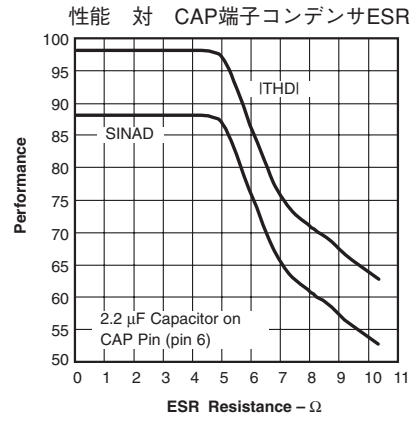


図 23

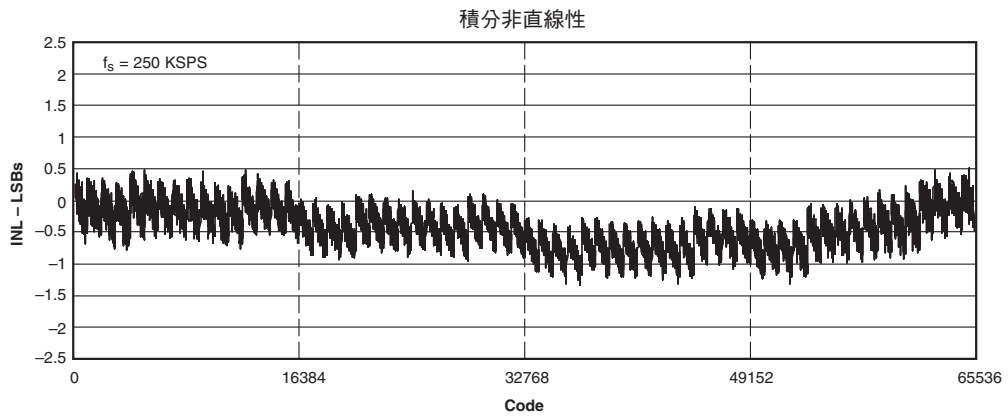


図 24

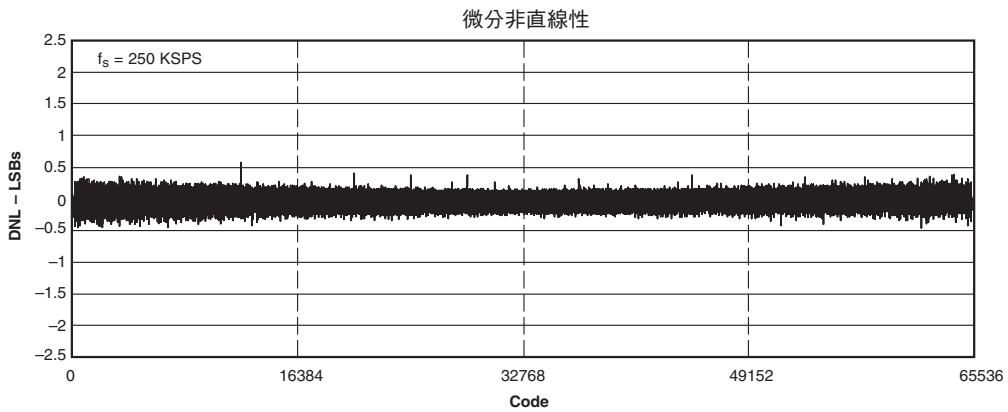


図 25

代表的特性

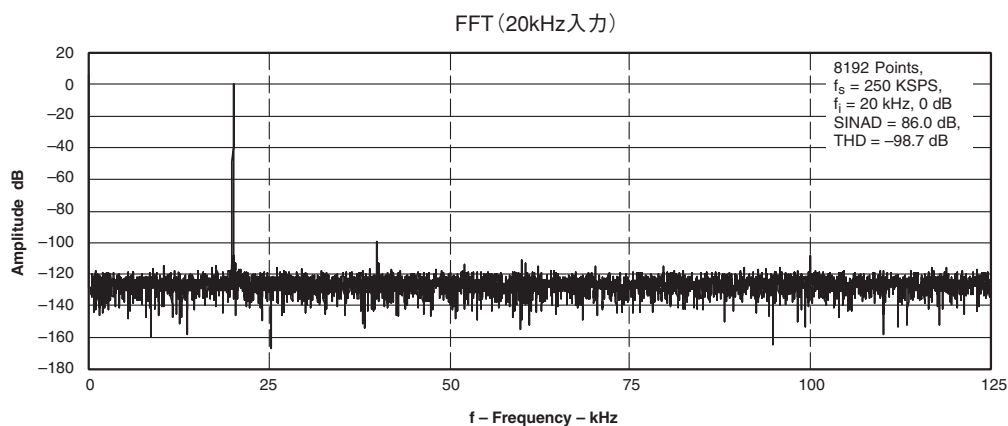


図 26

基本動作

ADS8509における2つの変換制御信号： \overline{CS} と R/\overline{C} 。これら2つの信号は、内部でOR結合されています。変換を開始するには、 \overline{CS} を“Low”にし、変換信号 R/\overline{C} をアクティブ“Low”にします。どちらの信号を先に“Low”にする事も可能です。変換は、遅い信号の立ち下りエッジで開始します。変換が開始されると \overline{BUSY} が“Low”になり、変換が終了して変換結果のデータが内部レジスタに転送されると“High”に戻ります。 \overline{BUSY} が“High”になると、サンプリングが開始されます。

制御ピンの数を減らすために、 \overline{CS} を“Low”に固定する事も可能です。この時は、 R/\overline{C} ピンのみが、変換とデータの読み取りを制御するようになります。外部クロック・モードでは、 R/\overline{C} が“High”になり、外部クロックがアクティブであれば、ADS8509はデータを出力する事を意味します。内部クロック・モードでは、 \overline{CS} と R/\overline{C} の状態に関係なく、すべての変換サイクルでデータを出力します。ADS8509には、複数コンバータのカスケード接続の為にTAG入力が用意されています。

データの読み取り

変換結果は、 \overline{BUSY} が“High”に戻るとすぐに取得可能です。したがってもし変換中にデータ取得を行っても、前回変換したデータが取得できます。ADS8509は、ストレート・バイナリか、2の補数バイナリで出力されます。形式は、 SB/\overline{BTC} ピンにより切り替えられます。データは、MSBが先頭でシリアル出力されます。電源投入直後の最初の変換からは、正しい変換結果が得られません。

データは、内部クロックか、外部クロックを使用してシリアル出力されます。 EXT/\overline{INT} ピンにより設定します。外部クロック使用時、TAG入力を複数のADS8509デジチェーン接続に使用できます。

内部DATACLK

内部クロック・モードでは、変換動作中に前回の変換結果データがシリアル出力されます。内部データ・クロックは内部変換クロックに同期しているので、変換プロセスに影響を及ぼしません。

EXT/\overline{INT} が“Low”の場合、DATACLKピンは、出力になります。変換開始より t_g が経過後、16クロック・パルスが出力され、この時出力されるデータは前回の変換結果となります。DATACLKは、非アクティブ時には“Low”に戻ります。16ビットのシリアル・データはこのクロックと同期してDATAピンより出力され、そのデータはクロックの立ち上がり、および立ち上がり時に確定しています。その後DATAピンは、データ転送開始時のTAGピン入力の状態に戻ります。

外部DATACLK

外部クロック・モードには、変換結果を取得する方法が複数あります。しかしながら、外部クロックは内部変換クロックと同期できないので、データを破損しないように注意が必要です。

EXT/\overline{INT} を“High”の時、 R/\overline{C} 信号と \overline{CS} 信号によって読み取り状態を制御します。読み取り状態を開始すると、前回完了した変換結果が、DATACLKピンに接続されている外部クロックに同期してDATAピンにシリアル出力されます。各ビットは、立ち下りエッジ、および次の立ち上りエッジで確定しています。最大28.5MHzの外部クロックは、変換の開始時、またはサンプリングの開始時でもすばやくデータをシリアル出力する事が可能です。

外部クロックを使用する場合、複数の動作モードがあります。外部クロックは、データの読み取り時にのみ使用することをお勧めします。これは、非連続クロック・モードです。外部クロックは、変換を制御する内部クロックと同期していないので、外部クロックのわずかなタイミング変化にて競合が発生し、変換プロセスを損傷する可能性があります。連続的に動作する外部クロックによる仕様は保証されていません。外部クロックが変換サイクルの後半(およそ、 t_{d11} で指定される期間)。「タイミング要件」の表を参照)動作しない事が重要です。

非連続クロック・モードでは、変換中またはサンプリング中にSYNCパルス付、または無しでデータを読み取れます。変換中にデータを読み取るには、 t_{d11} のタイミング仕様を満たさなければなりません。サンプリング中のデータの読み取りは、変換開始までに完了する必要があります。

概要	DATACLKパルス必要数	
	SYNC 付	SYNC 無し
DATACLKの立ち下りエッジで読み取る場合	17	16
DATACLKの立ち上りエッジで読み取る場合	18	17

表 2. DATACLKパルス

サンプリング中または変換中の読み取りで、その箇所を読み取り状態にない間に、外部クロックの少なくとも1つの立ち上りエッジが発生すると、SYNCパルスが生成されます。SYNCモードの非連続外部クロックでは、読み取りコマンドの後、最初の立ち上りエッジに続いてSYNCパルスが発生します。データは、SYNCパルスの後にシリアル出力されます。読み取りコマンドの後の最初の立ち上りエッジによって、SYNCパルスが生成されます。このSYNCパルスは、次の立ち下りエッジと、その次の立ち上りエッジで検出できます。続いて、各ビットがまず立ち下りエッジで、次いで次の立ち上りエッジで読み取りが可能です。したがって、立ち下りエッジで読み取るには、読み取りコマンドの後、17個のクロック・パルスが必要です。立ち上りエッジで読み取るには、18個のクロック・パルスが必要です。

読み取り状態ではなく、かつクロックが非アクティブの場合、SYNCパルスは生成されません。この場合、最初の立ち上りクロック・エッジがMSBをシフト・アウトします。MSBは、最初の立ち下りエッジか、または次の立ち上りエッジで読み取れます。このSYNCを使用しない非連続の外部クロック・モードで、立ち下りエッジでデータを読み取るには16クロックが、立ち上りエッジで読み取るには、17クロックが必要です。データは常に、すでに完了した変換結果です。

TAG機能

TAG機能を使用すると、複数のADS8509コンバータから得たデータを単一のシリアル・ラインで読み取れます。図27に示すように、コンバータはDATAピンを出力として使用し、TAGピンを

入力として使用してカスケード接続が可能です。最後のコンバータのDATAピンより、プロセッサでのシリアル・データ入力に送ります。次に、データは各コンバータを通じ、外部から供給されたデータ・クロックと同期して、シリアル・データ出力されます。この構成では内部クロックは使用できません。

望ましいタイミングでは、サンプリング期間に、非連続の外部データ・クロックが使用されます。変換期間では、 t_{d11} の制約に違反せずに複数のコンバータからデータを読み込むだけの十分な時間がないので、データは、サンプリング期間内に読み取る必要があります。([外部データ・クロック]の項を参照してください)。サンプリング期間は、新しい変換を開始する前に、すべてのデータ・ワードを読み込める十分な時間が必要です。

図27では、NULLビットによって、各コンバータからのデータの区切りを行います。READサイクル最後でのDATAピンの状態は、このサイクル最初のTAGピンの状態を反映します。このことは、内部クロック・モードを含め、すべてのREADモードにあてはまります。たとえば、1つのコンバータが内部クロック・モードで使用されている場合、16ビットがすべてシフト・アウトされた後のDATAピンの状態は、TAGピンの状態によって決まります。複数のコンバータがカスケード連結されている場合、この状態によって、ワードを分離するNULLビットが形成されます。ここで、図27に示すように、最初のコンバータのTAGピンがグランドに接続されているので、NULLビットは、各データ・ワード間でゼロになります。

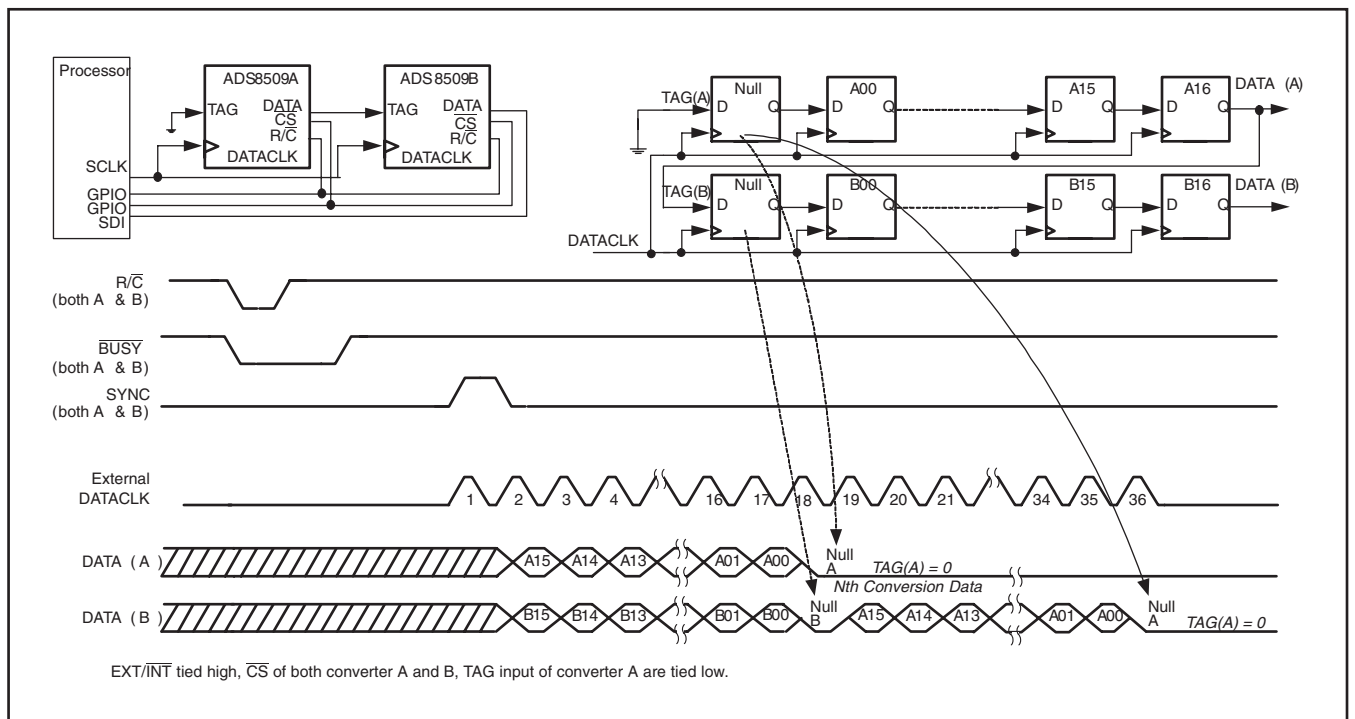


図 27. 単一の変換でのTAG機能のタイミング(外部DATACLKを使用)

アナログ入力

ADS8509には、表3に示すように、6つのアナログ入力レンジがあります。オフセットとゲインの仕様は、図29と図30に示すように、0.1%、0.25Wの外部抵抗を使用し、工場にてキャリブレーションされています。図29、図30より大きなゲイン誤差とオフセット誤差が許容されるか、またはソフトウェア・キャリブレーションが使用されている場合は、外部抵抗を省略できます。微調整を行う回路を図29および図30に示します。この回路の調整で誤差をゼロにする事ができます。

アナログ入力ピン $R1_{IN}$ 、 $R2_{IN}$ 、および $R3_{IN}$ には、 $\pm 25V$ の過電圧保護があります。入力信号は、AGND1を基準とします。これにより、アナログ設計によくあるグラウンド・ループの問題が最小限に抑えられます。アナログ入力は、低インピーダンスにて駆動する必要があります。OPA627またはOPA132を使用した駆動回路を図28に示します。

ADS8509は、内部の2.5Vリファレンス、または外部リファレンスで動作します。ピン6に接続する外部リファレンス (REF) は、内部リファレンスをバイパスします。外部リファレンスは、ピン6を内部リファレンスから分離するために、 $4k\Omega$ の抵抗をドライブしなければなりません (1ページ目の図を参照)。負荷は、内部リファレンスと外部リファレンスの違いによって異なります。外部リファレンスは、2.3V~2.7Vの範囲で使用できます。内部リファレンス電圧は、約2.5Vです。リファレンスは、内部か外部かに関係なく、ピン5 (CAP) 出力のバッファを使用して内部でバッファされます。

ADS8509には、ピン5と6 (CAPとREF) に $2.2\mu F$ のコンデンサを接続してテストが行われています。コンデンサは、ピンにできるだけ近い場所に設置する必要があります。ピン6のコンデン

サは、内部リファレンスの雑音を制限します。これより小さいコンデンサを使用することも可能ですが、SNRとSINADが低下する可能性があります。ピン5のコンデンサは、リファレンス・バッファを安定化し、変換中のCDACに対してスイッチング時にチャージを行ないます。 $1\mu F$ より小さいコンデンサを使用すると、バッファが不安定になり、CDACに必要な電荷が十分にチャージされないことがあります。 $2.2\mu F$ でテストされているので、これ以上のコンデンサは不要です。これらの補正コンデンサの等価直列抵抗 (ESR) も重要です。合計ESRは、 3Ω 未満にする必要があります。ESRが性能に与える影響については、「代表的特性」の項を参照してください。

内部リファレンスおよびバッファは、外部負荷に使用しないでください。使用すると、性能が低下する可能性があります。内部リファレンスに負荷をかけると、 $4k\Omega$ の抵抗で電圧が降下し、ゲインに影響を及ぼします。内部バッファは、 $\pm 2mA$ の負荷を駆動できますが、負荷をかけるとCDACでリファレンスが変動し、性能が低下する事ががあります。ADS8509は、類似の入力構造を持つ競合製品と異なり、 $R3_{IN}$ ピンの信号に依存する電流からCAPピンを分離しているため、別の高速アンプをバッファとして使用する必要はありません。

外部リファレンスは、2.3V~2.7Vの範囲で使用できます。リファレンス電圧によって、最下位ビット (LSB) の重みが決まります。リファレンス電圧が大きいほどLSBが大きくなり、SNRを改善できます。基準電圧が小さいと、SNRが低下することがあります。

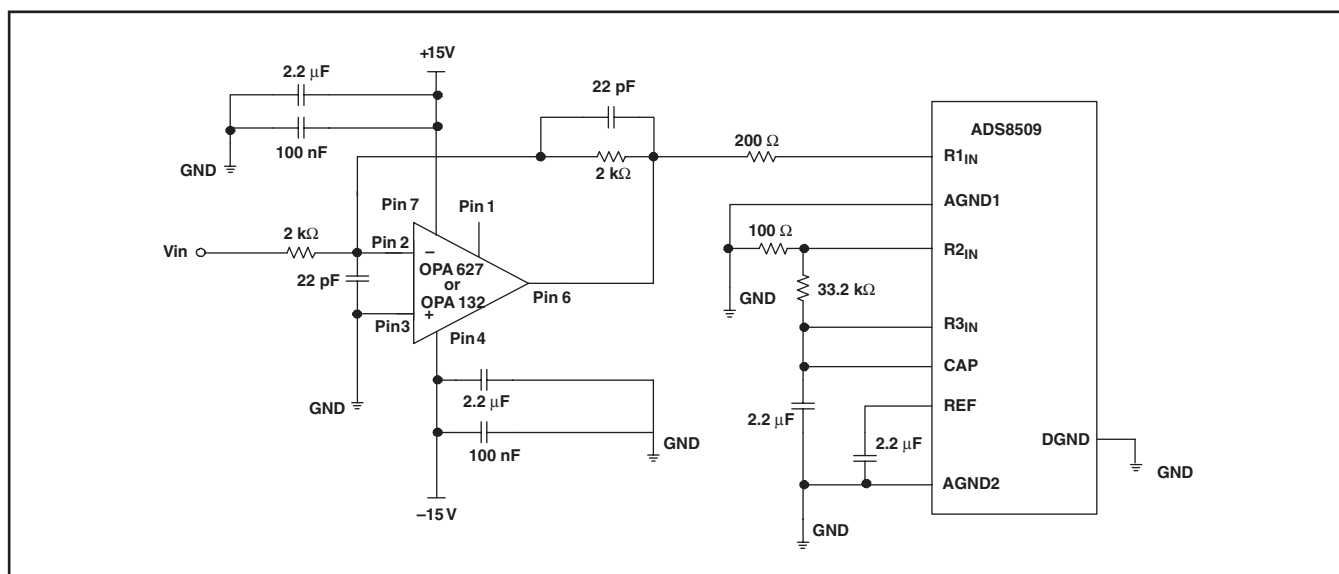


図 28. ドライバー回路例 ($\pm 10V$ 、トリムなし)

アナログ 入力範囲	R1 _{IN} より 200Ωでの接続先	R2 _{IN} より 100Ωでの接続先	R3の接続	抵抗値
±10V	V _{IN}	AGND	CAP	11.5kΩ
±5V	AGND	V _{IN}	CAP	6.7kΩ
±3.33V	V _{IN}	V _{IN}	CAP	5.4kΩ
0V ~ 10V	AGND	V _{IN}	AGND	6.7kΩ
0V ~ 5V	AGND	AGND	V _{IN}	5.0kΩ
0V ~ 4V	V _{IN}	AGND	V _{IN}	5.4kΩ

表 3. 入力レンジに対する接続(詳細については、図29および図30を参照)

機能	CS	R/C	BUSY	EXT/INT	DATACLK	PWRD	SB/BTC	動作
内部クロックを使用した変換、 およびデータ出力。	1 > 0	01	1	0	出力	0	x	変換nを開始します。前回の変換n-1 データは、 DATACLKの16クロック・パルス出力と同期して、 DATAよりシリアル出力されます。
	0	1 > 0	1	0	出力	0	x	
外部クロックを使用した変換、 およびデータ出力。	1 > 0	0	1	1	入力	0	x	変換nを開始します。
	0	1 > 0	1	1	入力	0	x	変換nを開始します。
	1 > 0	1	1	1	入力	x	x	SYNCパルス付、又は無しでのデータ出力。 「データの読み取り」部を参照してください。
	1 > 0	1	0	1	入力	0	x	SYNCパルス付、又は無しでのデータ出力。 「データの読み取り」部を参照してください。
動作なし	0	0	0 > 1	x	x	0	x	これは許容される状態です。
パワー・ダウン	x	x	x	x	x	0	x	アナログ回路は電源供給中。 変換を実行できます。
	x	x	x	x	x	1	x	アナログ回路はディスエーブル。前回の変換デー タは、出力レジスタに保存されています。
出力フォーマットを選択	x	x	x	x	x	x	0	シリアル・データは、バイナリ2の補数形式で出力 されます。
	x	x	x	x	x	x	1	シリアル・データは、ストレート・バイナリ形式で 出力されます。

表 4. 制御の真理値表

概要	アナログ入力						デジタル出力			
							2の補数バイナリ (SB/BTC LOW)		ストレート・バイナリ (SB/BTC HIGH)	
							バイナリ・コード	16進コード	バイナリ・コード	16進コード
フルスケール 範囲	±10	±5	±3.33V	0V ~ 10V	0V ~ 5V	0V ~ 4V				
最下位ビット (LSB)	305μV	153μV	102μV	153μV	76μV	61μV				
フル・スケール (FS-1LSB)	9.999695V	4.999847V	3.333231V	9.999847V	4.999924V	3.999939V	0111 1111 1111 1111	7FFF	1111 1111 1111 1111	FFFF
ミッドスケール	0V	0V	0V	5V	2.5V	2V	0000 0000 0000 0000	0000	1000 0000 0000 0000	8000
ミッドスケール より1LSB下	-305μV	153μV	±102μV	4.999847V	2.499924V	1.999939V	1111 1111 1111 1111	FFFF	0111 1111 1111 1111	7FFF
-フルスケール	-10V	-5V	-3.333333V	0V	0V	0V	1000 0000 0000 0000	8000	0000 0000 0000 0000	0000

表 5. 出力コードと理想入力電圧

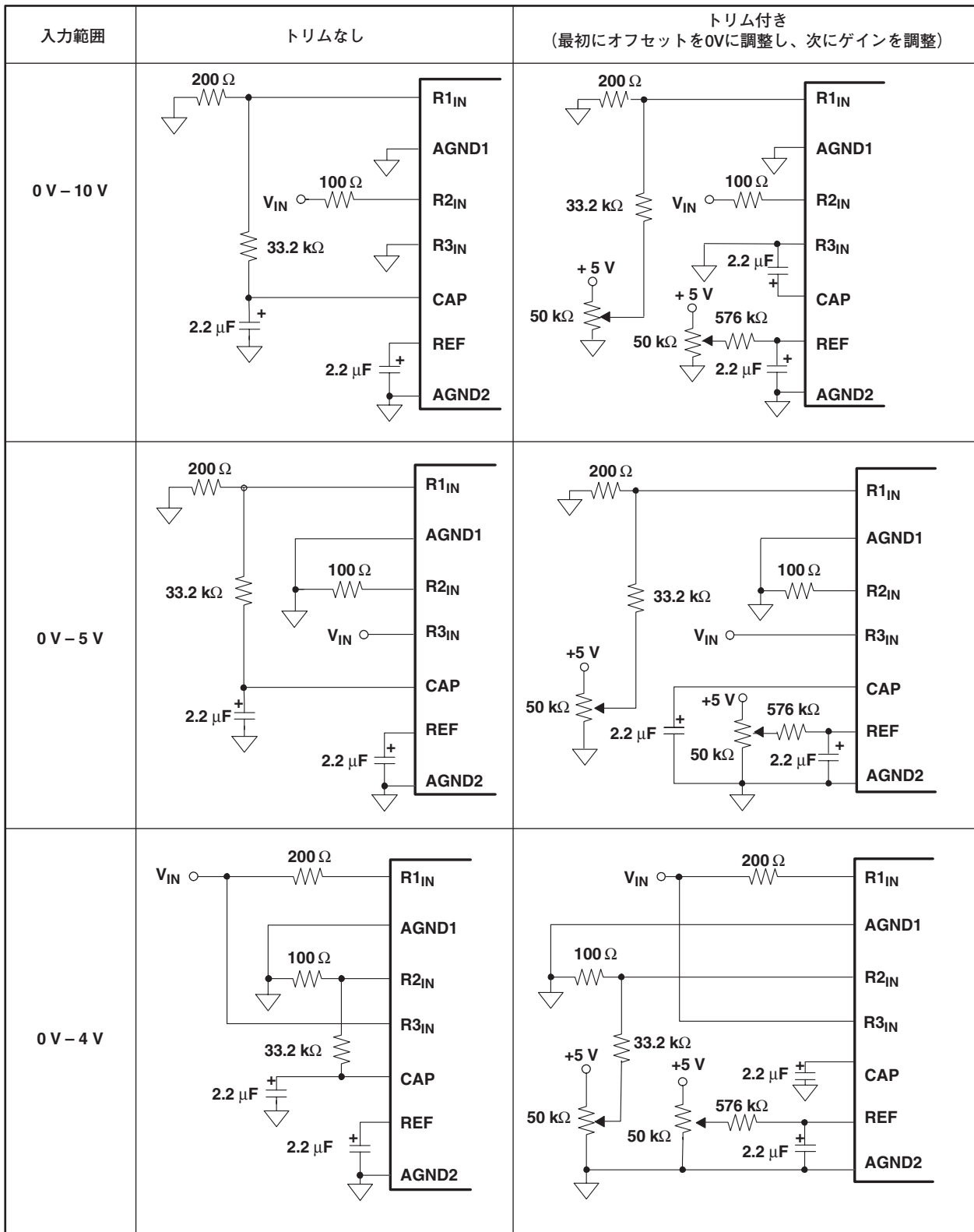


図 29. オフセット/ゲイン回路、ユニポーラ入力

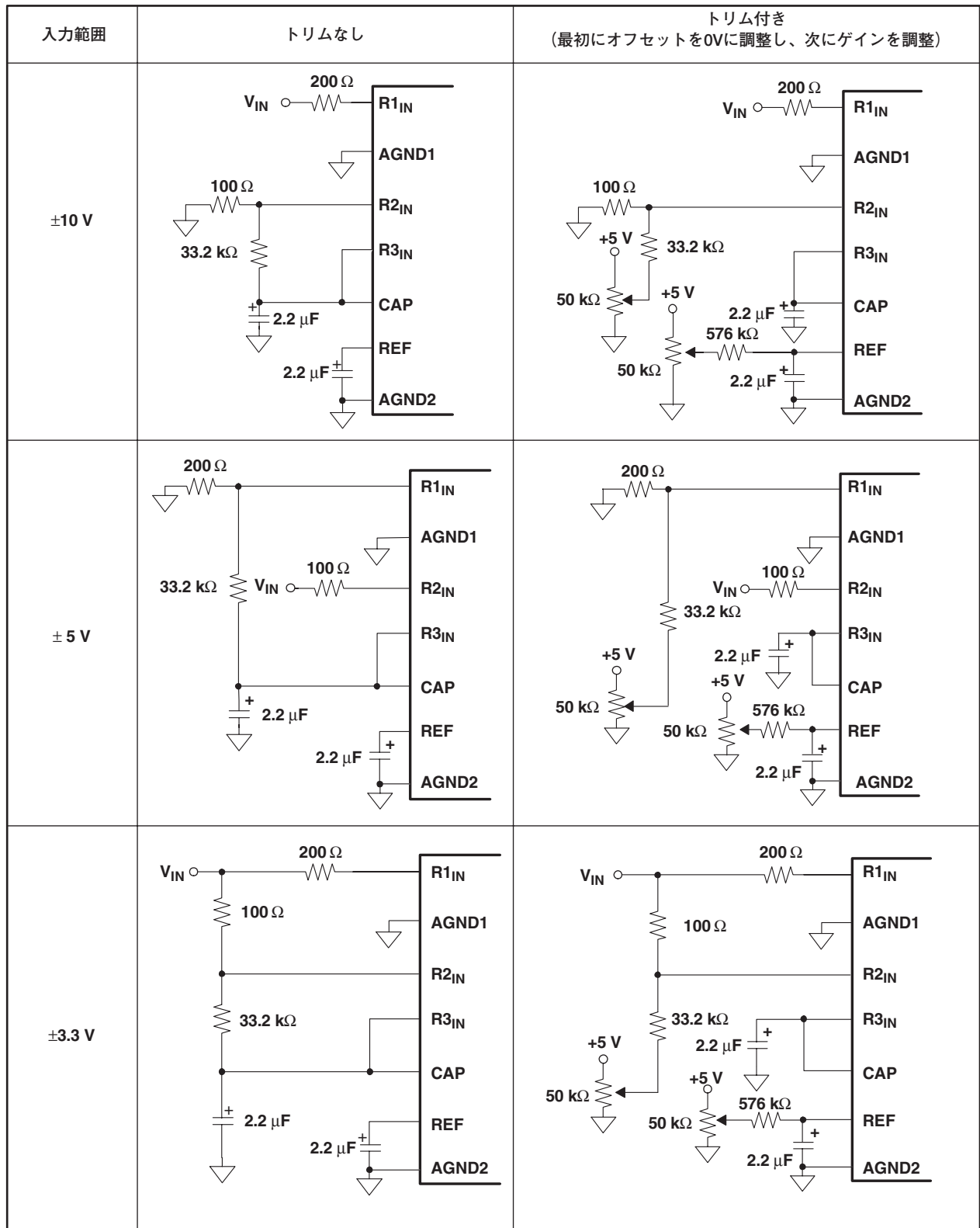


図 30. オフセット/ゲイン回路、バイポーラ入力

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS8509IBDB	ACTIVE	SSOP	DB	28	50	TBD	Call TI	Call TI
ADS8509IBDBG4	ACTIVE	SSOP	DB	28	50	TBD	Call TI	Call TI
ADS8509IBDBR	ACTIVE	SSOP	DB	28	2000	TBD	Call TI	Call TI
ADS8509IBDBRG4	ACTIVE	SSOP	DB	28	2000	TBD	Call TI	Call TI
ADS8509IBDW	ACTIVE	SOIC	DW	20	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IBDWG4	ACTIVE	SOIC	DW	20	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IBDWR	ACTIVE	SOIC	DW	20	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IBDWRG4	ACTIVE	SOIC	DW	20	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IDB	ACTIVE	SSOP	DB	28	50	TBD	Call TI	Call TI
ADS8509IDBG4	ACTIVE	SSOP	DB	28	50	TBD	Call TI	Call TI
ADS8509IDBR	ACTIVE	SSOP	DB	28	2000	TBD	Call TI	Call TI
ADS8509IDBRG4	ACTIVE	SSOP	DB	28	2000	TBD	Call TI	Call TI
ADS8509IDW	ACTIVE	SOIC	DW	20	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IDWG4	ACTIVE	SOIC	DW	20	25	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IDWR	ACTIVE	SOIC	DW	20	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8509IDWRG4	ACTIVE	SOIC	DW	20	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

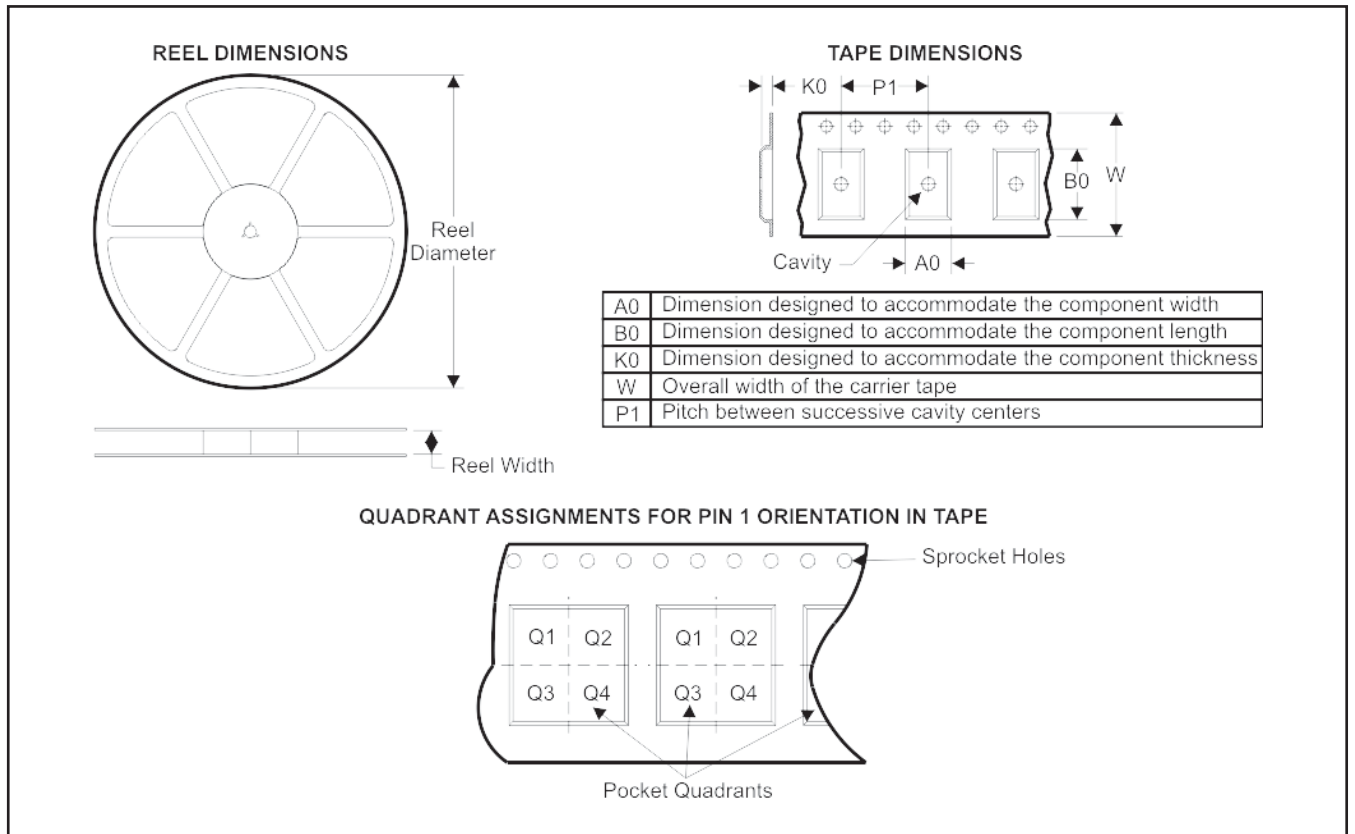
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

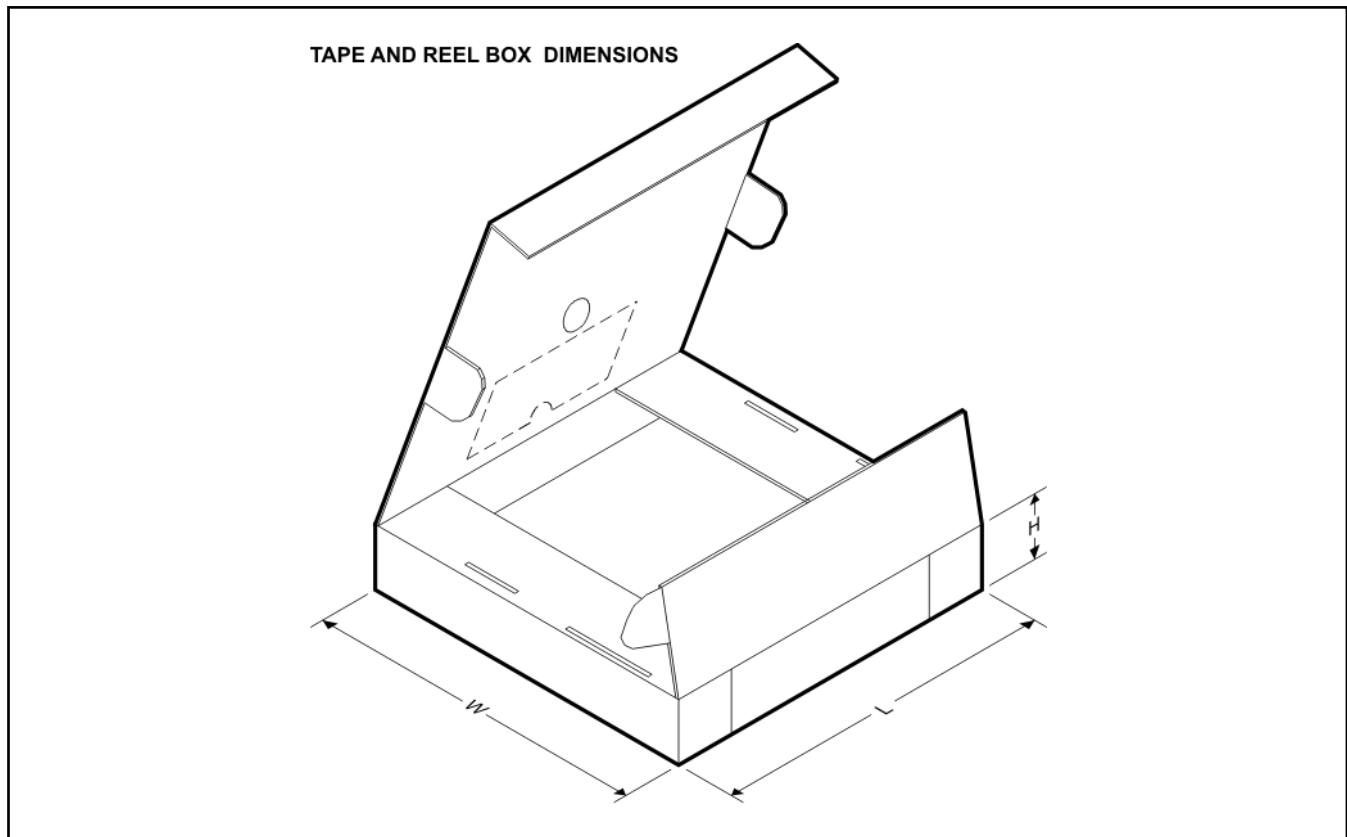
パッケージ・マテリアル情報

テープおよびリール・ボックス情報

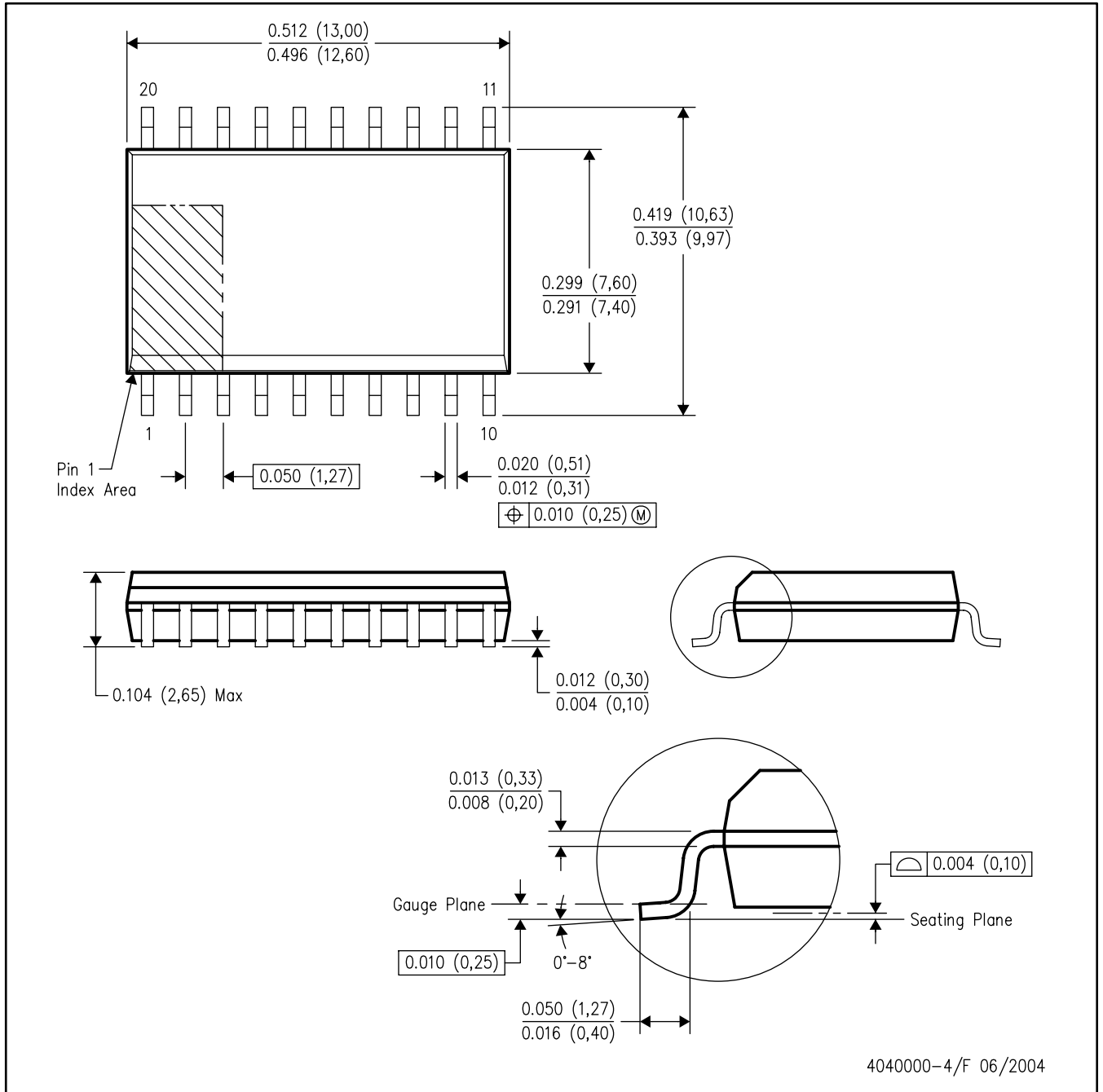


Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8509IBDWR	DW	20	SITE 60	330	24	10.8	13.1	2.65	12	24	Q1
ADS8509IDWR	DW	20	SITE 60	330	24	10.8	13.1	2.65	12	24	Q1

パッケージ・マテリアル情報



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS8509IBDWR	DW	20	SITE 60	367.0	367.0	45.0
ADS8509IDWR	DW	20	SITE 60	367.0	367.0	45.0



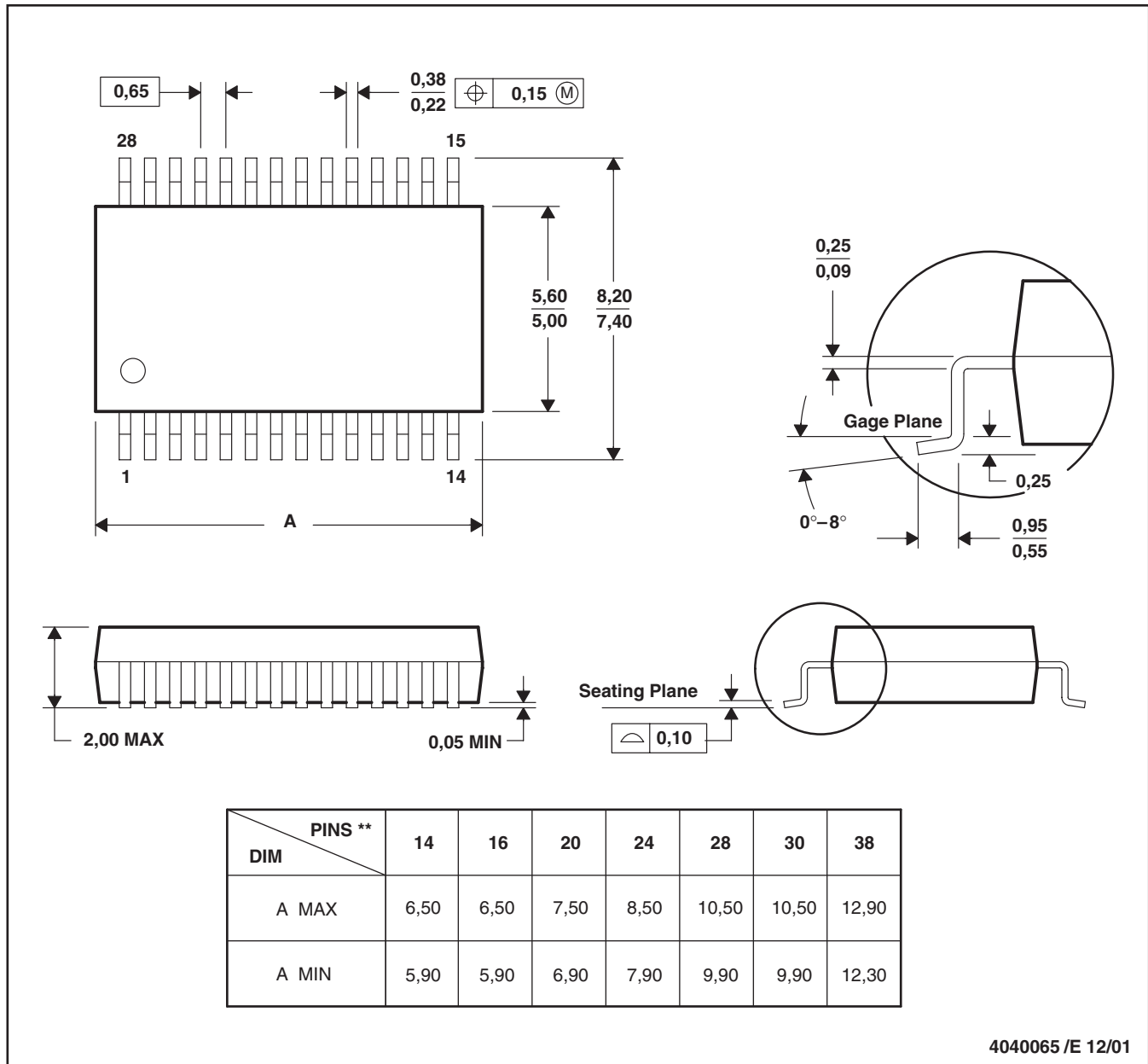
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
 - D. Falls within JEDEC MS-013 variation AC.

メカニカル・データ

DB (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

28 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-150

(SLAS324B)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上