

CDx4AC164、CDx4ACT164 8 ビット、シリアル入力/パラレル出力、シフトレジスタ

1 特長

- バッファ付き入力
- 伝搬遅延時間 (標準値)
 - $V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 50pF$ で 6ns
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST™/AS/S の速度
- 平衡化された伝搬遅延
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現します
- $\pm 24mA$ 出力駆動電流
 - 15 個の FAST™ IC にファンアウト
 - 50Ω 伝送ラインを駆動

2 概要

'AC164 および 'ACT164 は、アドバンスト CMOS ロジック技術を利用した非同期リセット付き 8 ビット シリアル入力 / パラレル出力シフトレジスタです。

製品情報

部品番号	パッケージ (1)	パッケージサイズ (2)	本体サイズ (3)
CDx4AC(T)164	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	N (PDIP, 14)	19.3mm × 9.4mm	19.3mm × 6.35mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージサイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

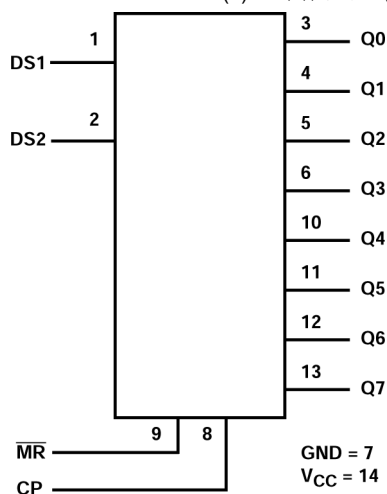


図 2-1. 機能図



Table of Contents

1 特長	1	6.3 Device Functional Modes.....	9
2 概要	1	7 Application and Implementation	10
3 Pin Configuration and Functions	3	7.1 Power Supply Recommendations.....	10
4 Specifications	4	7.2 Layout.....	10
4.1 Absolute Maximum Ratings.....	4	8 Device and Documentation Support	11
4.2 ESD Ratings.....	4	8.1 Documentation Support (Analog).....	11
4.3 Recommended Operating Conditions.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	11
4.4 Thermal Information.....	4	8.3 サポート・リソース.....	11
4.5 DC Electrical Specifications.....	5	8.4 Trademarks.....	11
4.6 Prerequisite for Switching Function.....	6	8.5 静電気放電に関する注意事項.....	11
4.7 Switching Specifications.....	7	8.6 用語集.....	11
5 Parameter Measurement Information	8	9 Revision History	11
6 Detailed Description	9	10 Mechanical, Packaging, and Orderable Information	12
6.1 Overview.....	9		
6.2 Functional Block Diagram.....	9		

3 Pin Configuration and Functions

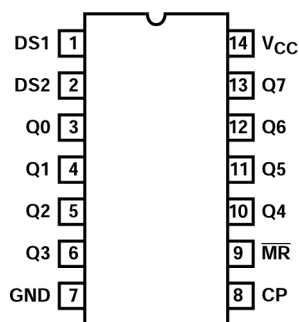


図 3-1. CD54AC164, CD54ACT164 (CERDIP), CD74AC164, CD74ACT164 (PDIP, SOIC), (Top View)

表 3-1. Pin Functions

NAME	PIN	TYPE	DESCRIPTION
DS1	1	I	Serial input 1
DS2	2	I	Serial input 2
Q0	3	O	Output 0
Q1	4	O	Output 1
Q2	5	O	Output 2
Q3	6	O	Output 3
GND	7	G	Ground
CP	8	I	Clock signal
!MR	9	I	Master reset
Q4	10	O	Output 4
Q5	11	O	Output 5
Q6	12	O	Output 6
Q7	13	O	Output 7
V _{CC}	14	P	Power

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	DC Supply Voltage		-0.5	6	V
I _{IK}	DC Input Diode Current	(V _I < -0.5V or V _I > V _{CC} + 0.5V)		± 20	mA
I _{OK}	DC Output Diode Current	(V _O < -0.5V or V _O > V _{CC} + 0.5V)		±50	mA
I _O	DC Output Source or Sink Current per Output Pin	(V _O > -0.5V or V _O < V _{CC} + 0.5V)		±50	mA
I _{CC} or I _{GND} (2)	DC V _{CC} or Ground Current			±100	mA

(1) Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

(2) For up to 4 outputs per device, add ±25mA for each additional output.

4.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

4.3 Recommended Operating Conditions

			MIN	MAX	UNIT
T _A	Temperature Range		-55	125	°C
V _{CC} ⁽¹⁾	Supply Voltage Range				
	AC Types		1.5	5.5	V
	ACT Types		4.5	5.5	V
V _I , V _O	DC Input or Output Voltage		0	V _{CC}	V
dt/dv	Input Rise and Fall Slew Rate				
	AC Types	1.5V to 3V		50	ns
	AC Types	3.6V to 5.5V		20	ns
	ACT Types	4.5V to 5.5V		10	ns

(1) Unless otherwise specified, all voltages are referenced to ground.

4.4 Thermal Information

THERMAL METRIC ⁽¹⁾		CDx4AC(T)164		UNIT
		N (PDIP)	D (SOIC)	
		14 PINS	14 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	90	175	°C/W

(1) θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

4.5 DC Electrical Specifications

PARAMETER		TEST CONDITIONS		V _{CC} (V)	25°C		-40°C TO 85 °C		-55°C TO 125°C		UNITS
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
AC TYPES											
V _{IH}	High Level Input Voltage	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
V _{IL}	Low Level Input Voltage	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V
V _{OH}	High Level Output Voltage	V _{IH} or V _{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 1 2	5.5	-	-	3.85	-	-	-	V
			-50 1 2	5.5	-	-	-	-	3.85	-	V
V _{OL}	Low Level Output Voltage	V _{IH} or V _{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 1 2	5.5	-	-	-	1.65	-	-	V
			501 2	5.5	-	-	-	-	-	1.65	V
I _I	Input Leakage Current	V _{CC} or GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I _{CC}	Quiescent Supply Current MSI	V _{CC} or GND	0	5.5	-	8	-	80	-	160	μA
ACT TYPES											
V _{IH}	High Level Input Voltage	-	-	4.5 to 5.5	2	-	2	-	2	-	V
V _{IL}	Low Level Input Voltage	-	-	4.5 to 5.5	-	0.8	-	0.8	-	0.8	V
V _{OH}	High Level Output Voltage	V _{IH} or V _{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-751 2	5.5	-	-	3.85	-	-	-	V
			-50 1 2	5.5	-	-	-	-	3.85	-	V
V _{OL}	Low Level Output Voltage	V _{IH} or V _{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 1 2	5.5	-	-	-	1.65	-	-	V
			50 1 2	5.5	-	-	-	-	-	1.65	V
I _I	Input Leakage Current	V _{CC} or GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I _{CC}	Quiescent Supply Current MSI	V _{CC} or GND	0	5.5	-	8	-	80	-	160	μA

PARAMETER		TEST CONDITIONS		V _{CC} (V)	25°C		-40°C TO 85 °C		-55°C TO 125°C		UNITS
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
ΔI_{CC}	Additional Supply Current per Input Pin TTL Inputs High 1 Unit Load	V _{CC} -2.1	-	4.5 to 5.5	-	2.4	-	2.8	-	3	mA

1. Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.
2. Test verifies a minimum 50Ω transmission-line-drive capability at 85°C, 75Ω at 125°C.

表 4-1. ACT Input Load Table

INPUT	UNIT LOAD
DS1, DS2	0.5
$\overline{MR}$	0.74
CP	0.71

Unit load is ΔI_{CC} limit specified in DC Electrical Specifications Table, e.g., 2.4mA max at 25°C.

4.6 Prerequisite for Switching Function

PARAMETER		V _{CC} (V)	-40°C TO 85°C		-55°C TO 125°C		UNITS
			MIN	MAX	MIN	MAX	
AC TYPES							
f _{MAX} Max. Clock Frequency		1.5	7	-	6	-	MHz
		3.3 ¹	62	-	54	-	MHz
		5 ²	86	-	75	-	MHz
t _W MR Pulse Width		1.5	49	-	56	-	ns
		3.3	5.5	-	6.3	-	ns
		5	3.9	-	4.5	-	ns
t _W CP Pulse Width		1.5	73	-	84	-	ns
		3.3	8.2	-	9.4	-	ns
		5	5.9	-	6.7	-	ns
t _{SU} Set-up Time		1.5	27	-	31	-	ns
		3.3	3.1	-	3.5	-	ns
		5	2.2	-	2.5	-	ns
t _H Hold Time		1.5	27	-	31	-	ns
		3.3	3.1	-	3.5	-	ns
		5	2.2	-	2.5	-	ns
t _{REM} MR to CP Removal Time		1.5	1	-	1	-	ns
		3.3	1	-	1	-	ns
		5	1	-	1	-	ns
ACT TYPES							
f _{MAX}	Max. Clock Frequency	5 ²	80	-	70	-	MHz
t _W	MR Pulse Width	5	3.9	-	4.5	-	ns
t _W	CP Pulse Width	5	6.2	-	7.1	-	ns
t _{SU}	Set-up Time	5	2.2	-	2.5	-	ns
t _H	Hold Time	5	2.6	-	3	-	ns
t _{REM}	MR to CP Removal Time	5	0	-	0	-	ns

1. 9. 3.3V Min at 3.6V, Max at 3V.
2. 10. 5V Min at 5.5V, Max at 4.5V.

4.7 Switching Specifications

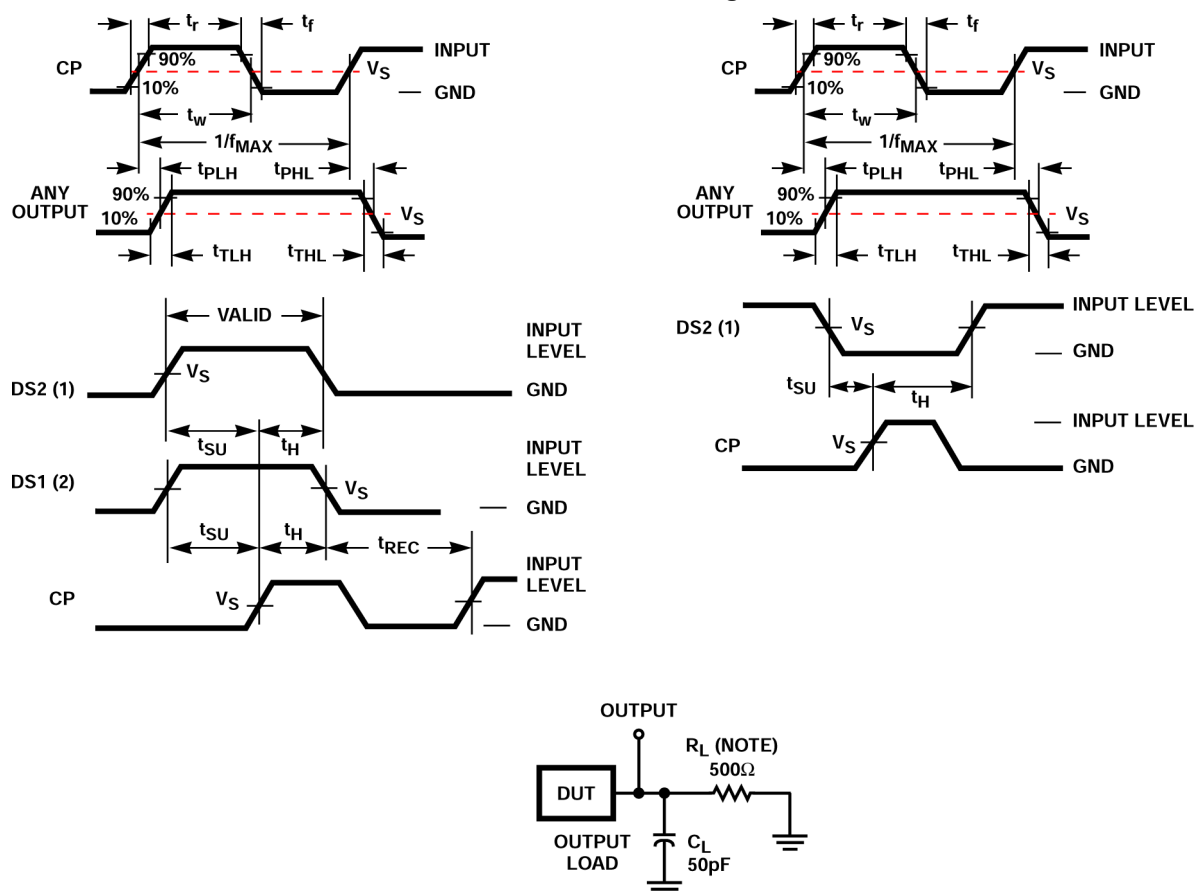
Input t_r , t_f = 3ns, C_L = 50pF (Worst Case)

PARAMETER	V _{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
AC TYPES								
t _{PLH} , t _{PHL} Propagation Delay, CP to Qn	1.5	-	-	143	-	-	157	ns
	3.3 ⁽¹⁾	4.5	-	15.9	4.4	-	17.5	ns
	5 ⁽²⁾	3.2	-	11.4	3.1	-	12.5	ns
t _{PLH} , t _{PHL} Propagation Delay, $\overline{MR}$ to Qn	1.5	-	-	158	-	-	174	ns
	3.3	5	-	17.7	4.9	-	19.5	ns
	5	3.6	-	12.6	3.5	-	13.9	ns
C _I Input Capacitance	-	-	-	10	-	-	10	pF
C _{PD} ⁽³⁾ Power Dissipation Capacitance	-	-	150	-	-	150	-	pF
ACT TYPES								
t _{PLH} , t _{PHL} Propagation Delay, CP to Qn	5 ⁽²⁾	3.8	-	13.5	3.7	-	14.9	ns
t _{PLH} , t _{PHL} Propagation Delay, $\overline{MR}$ to Qn	5	4.1	-	14.4	4	-	15.8	ns
C _I Input Capacitance	-	-	-	10	-	-	10	pF
C _{PD} ⁽³⁾ Power Dissipation Capacitance	-	-	150	-	-	150	-	pF

- (1) 3.3V Min at 3.6V, Max at 3V.
- (2) 5V Min at 5.5V, Max at 4.5V.
- (3) C_{PD} is used to determine the dynamic power consumption per device.

5 Parameter Measurement Information

Load Circuit And Voltage Waveforms



For AC Series Only: When $V_{CC} = 1.5V$, $R_L = 1k\Omega$. For AC Series Only: When $V_{CC} = 1.5V$, $R_L = 1k\Omega$. For AC Series Only: When $V_{CC} = 1.5V$, $R_L = 1k\Omega$.

図 5-1. Propagation Delay Times

表 5-1. Propagation Delay Times

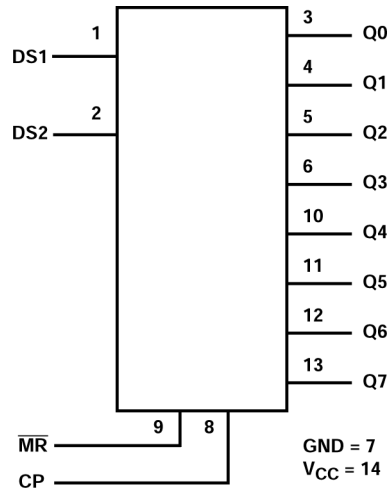
	AC	ACT
Input Level	V_{CC}	3V
Input Switching Voltage, V_S	$0.5 V_{CC}$	1.5V
Output Switching Voltage, V_S	$0.5 V_{CC}$	$0.5 V_{CC}$

6 Detailed Description

6.1 Overview

The 'AC164 and 'ACT164 are 8-bit serial-in/parallel-out shift registers with asynchronous reset that utilize Advanced CMOS Logic technology. Data is shifted on the positive edge of the clock (CP). A LOW on the Master Reset ($\overline{\text{MR}}$) pin resets the shift register and all outputs go to the LOW state regardless of the input conditions. Two Serial Data inputs (DS1 and DS2) are provided; either one can be used as a Data Enable control.

6.2 Functional Block Diagram



6.3 Device Functional Modes

表 6-1. Mode Select - Truth Table

OPERATING MODE	INPUTS				OUTPUTS	
	$\overline{\text{MR}}$	CP	DS1	DS2	Q0	Q1 - Q7
RESET (CLEAR)	L	X	X	X	L	L - L
SHIFT	H	↑	l	l	L	q0 - q6
	H	↑	l	h	L	q0 - q6
	H	↑	h	l	L	q0 - q6
	H	↑	h	h	H	q0 - q6

7 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

7.1 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the *Recommended Operating Conditions*. Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. A 0.1- μ F capacitor is recommended for this device. It is acceptable to parallel multiple bypass capacitors to reject different frequencies of noise. The 0.1- μ F and 1- μ F capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results, as shown in the following layout example.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple-input and multiple-channel logic devices, inputs must never be left floating. In many cases, functions or parts of functions of digital logic devices are unused (for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used). Such unused input pins must not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. All unused inputs of digital logic devices must be connected to a logic high or logic low voltage, as defined by the input voltage specifications, to prevent them from floating. The logic level that must be applied to any particular unused input depends on the function of the device. Generally, the inputs are tied to GND or V_{CC} , whichever makes more sense for the logic function or is more convenient.

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 Documentation Support (Analog)

8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD54AC164	Click here	Click here	Click here	Click here	Click here
CD74AC164	Click here	Click here	Click here	Click here	Click here
CD54ACT164	Click here	Click here	Click here	Click here	Click here
CD74ACT164	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 1998) to Revision B (November 2023)**Page**

- 「機能」セクション、「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 [1](#)

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated