

ADC12D040

*ADC12D040 Dual 12-Bit, 40 MSPS, 600 mW A/D Converter with
Internal/External Reference*



Literature Number: JAJSA17



ADC12D040

内部 / 外部リファレンス機能付き、デュアル、12ビット、40MSPS、600mW A/D コンバータ

概要

ADC12D040 は、アナログ入力信号を12ビットのデジタル・ワードに毎秒 40M サンプル (MSPS) 以上で変換する性能を備えた、デュアル回路、低消費電力、CMOS モノリシックの A/D コンバータです。デジタル・エラー訂正機能とサンプル / ホールド回路を備えた差動式パイプライン型アーキテクチャを採用し、チップ寸法も消費電力も最小限に抑えながらすぐれた性能を發揮します。単一 5V 電源で動作する ADC12D040 は、入力 10MHz にて有効ビット数 10.9 を達成し、また消費電力は 40MSPS 時にリファレンス電流を含めてわずか 600mW です。パワーダウン機能を使うと消費電力は 75mW まで下がります。

差動入力には V_{REF} の2倍の振幅を持った信号をフルスケール差動入力として与えられるほか、シングルエンド入力として使用することも可能です。優れた性能を得るには差動信号の使用を推奨します。A/D コンバータの2系統のデジタル出力は、それぞれ専用の12ビット・バスから出力されます。データ・フォーマットはオフセット・バイナリまたは2の補数のいずれかを選択可能です。

低電圧システムと簡単にインタフェースできるように、ADC12D040 のデジタル出力ドライバの電源ピンには 2.4V からデジタル電源電圧までの範囲の別電源を接続することが可能で、低電圧システムとの出力互換に対応します。

64ピンの TQFP パッケージで供給可能で、動作温度範囲は、工業用機器に適用される - 40 ~ + 85 です。ADC12D040 の評価作業を容易にする評価ボードを提供しています。

特長

- 出力フォーマットはバイナリまたは2の補数
- 単一電源で動作
- サンプル / ホールド回路内蔵
- デジタル I/O 電圧は 2.4V から 5V まで対応
- 入出力の信号レベルは TTL/CMOS 互換
- パワーダウン・モード
- ADC12DL066 とピン互換
- 内部 / 外部リファレンス

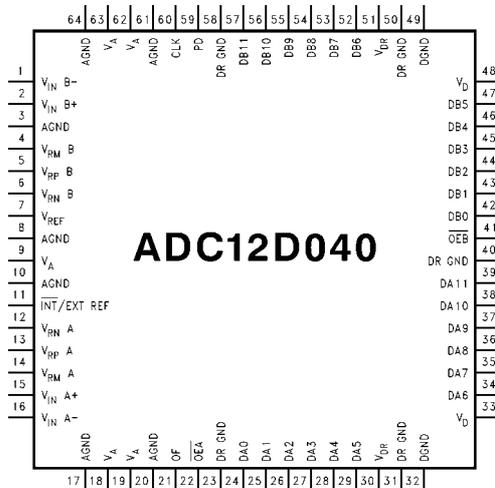
主な仕様

SNR 比 ($f_{IN} = 10\text{MHz}$)	68 dB (代表値)
有効ビット ($f_{IN} = 10\text{MHz}$)	10.9 ビット (代表値)
SFDR ($f_{IN} = 10\text{MHz}$)	80dB (代表値)
データ・レイテンシ	6 クロック・サイクル
電源電圧	+ 5V \pm 5%
消費電力、動作時	
- 動作時	600mW (代表値)
- パワーダウン・モード	75mW (代表値)

アプリケーション

- 超音波映像装置
- 計測機器
- 受信機
- ソナー、レーダ
- xDSL
- ケーブル・モデム

ピン配置図

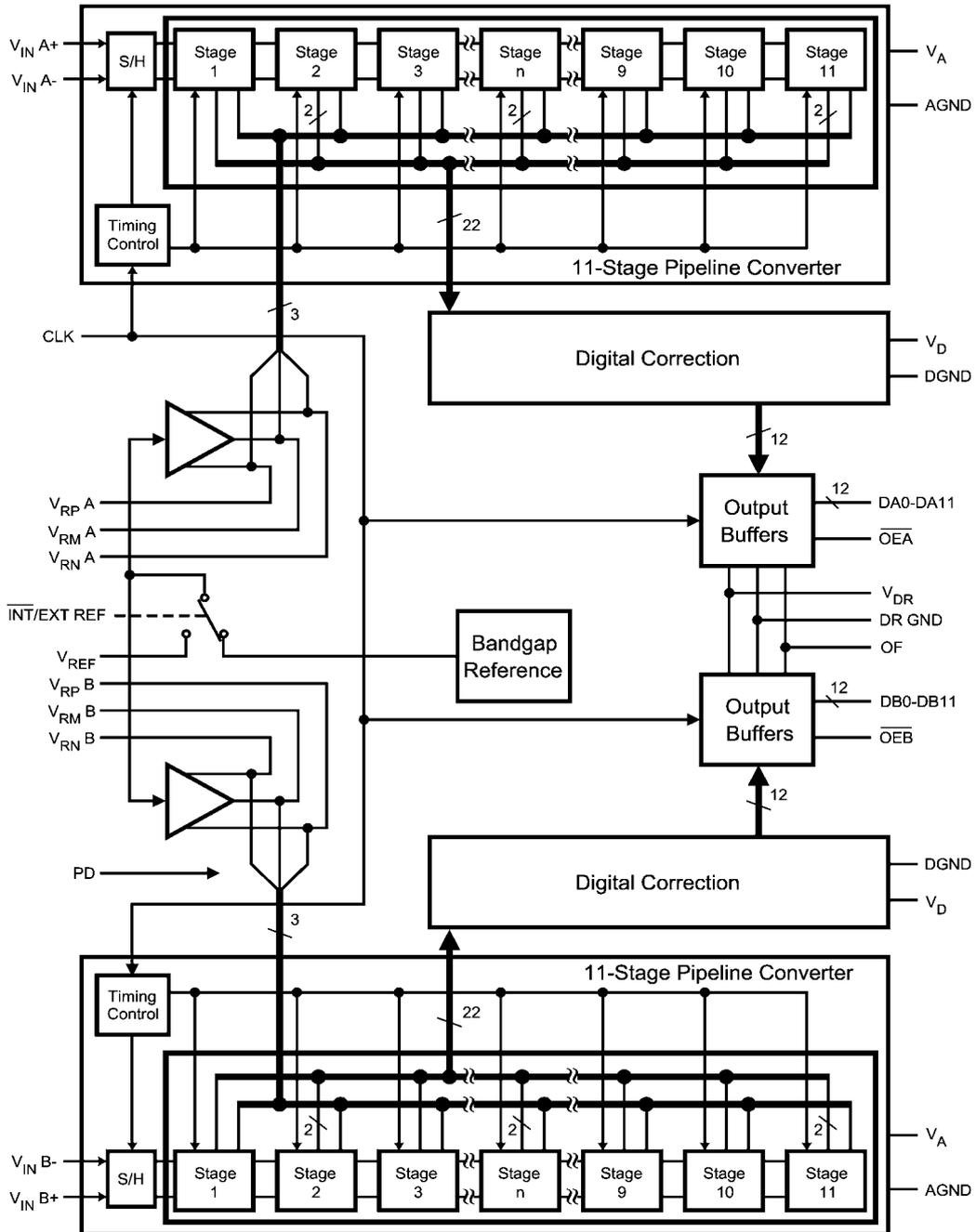


TRI-STATE® はナショナル セミコンダクター社の登録商標です。

製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC12D040CIVS	64 Pin TQFP
ADC12D040CIVSX	64 Pin TQFP Tape and Reel
ADC12D040EVAL	Evaluation Board

ブロック図



端子説明および等価回路

端子番号	記号	等価回路	説明
------	----	------	----

アナログ I/O

15 2	$V_{IN}A+$ $V_{IN}B+$		非反転アナログ信号入力ピン。リファレンスを 2.0V に設定した場合のフルスケール入力信号レベルは、入力ペアそれぞれのピンで V_{CM} を中心電圧として 2.0V _{P-P} です。
16 1	$V_{IN}A-$ $V_{IN}B-$		反転アナログ信号入力ピン。リファレンスを 2.0V に設定した場合のフルスケール入力信号レベルは、入力ペアそれぞれのピンで V_{CM} を中心電圧として 2.0V _{P-P} です。シングルエンド動作の場合、これら負極性 (-) の入力ピンは共通 V_{CM} に接続します。ただし、最適な性能を得るには差動入力信号が望まれます。
7	V_{REF}		リファレンス電圧入力ピン。外部リファレンスを使用する場合は 0.1 μ F のモノリシック・コンデンサを使ってこのピンを AGND にバイパスしてください。 V_{REF} は通常 2.0V ですが、1.0V から 2.4V の範囲で設定できます。
11	$\overline{INT}/EXT REF$		V_{REF} 選択ピンです。内部 2.0V リファレンスを使用する場合はこのピンを Low にします。外部リファレンスを使用する場合はこのピンを High にして、7 品の V_{REF} 入力にリファレンス電圧を接続します。
13 5	$V_{RP}A$ $V_{RP}B$		高インピーダンスの基準電圧用バイパス・ピン。各ピンと AGND の間に 0.1 μ F のコンデンサを 1 つずつ挿入してください。この 3 本のピンには絶対に負荷を接続しないでください。
14 4	$V_{RM}A$ $V_{RM}B$		
12 6	$V_{RN}A$ $V_{RN}B$		

デジタル I/O

60	CLK		デジタル・クロック入力ピン。このピンに入力できる周波数範囲は 100kHz から 55MHz(代表値)までですが、性能の保証されるのは 40MHz です。このクロック・パルスの立ち上がりエッジでアナログ入力信号がサンプリングされます。
22 41	\overline{OEA} \overline{OEB}		\overline{OEA} と \overline{OEB} は出力イネーブルで、Low にすると対応する TRI-STATE [®] データ出力ピンがイネーブルになります。いずれかのピンを High にすると対応する出力はハイ・インピーダンスになります。
59	PD		PD はパワーダウン・モード制御用の入力ピンです。このピンが High レベルの時はパワーダウン・モードになります。Low レベルの時は、通常動作になります。
21	OF		出力フォーマット選択ピンです。オフセット・バイナリ・フォーマットを使用する場合はこのピンを Low にします。2 の補数フォーマットを使用する場合はこのピンを High にします。

端子説明および等価回路 (つぎ)

端子番号	記号	等価回路	説明
24-29 34-39	DA0-DA11		変換後の 12 ビット・デジタル・データ出力ピン。DA0 と DB0 は出力ワードの LSB、DA11 と DB11 は MSB です。出力レベルは TTL/CMOS 互換です。
42-47 52-57	DB0-DB11		

アナログ電源

9, 18, 19, 62, 63	V_A		正のアナログ電源ピン。このピンは 3 本とも共通の安定化低ノイズ + 5V 電源に接続してください。各電源ピンと AGND の間のバイパス・コンデンサとして、各ピンから 1cm 以内の所に 0.1 μ F のモノリシック・コンデンサを 1 つずつ挿入し、3 ピン共通の 10 μ F のコンデンサも 1 つ挿入してください。
3, 8, 10, 17, 20, 61, 64	AGND		アナログ電源のグラウンド・ピン。

デジタル電源

33, 48	V_D		正のデジタル電源ピン。 V_A ピンと共通の低ノイズ安定化 + 5V 電源に接続してください。DGND とのあいだにバイパス・コンデンサとして 0.1 μ F のモノリシック・コンデンサを 1 つずつ並列にして挿入してください。
32, 49	DGND		デジタル電源のグラウンド・ピン。
30, 51	V_{DR}		ADC12D040 の出力ドライバ用の正のデジタル電源ピン。+ 2.4V から + 5V までの電源に接続してください。DR GND とのあいだにバイパス・コンデンサとして 0.1 μ F のモノリシック・コンデンサを 1 つ挿入してください。 V_A ピン、 V_D ピンと異なる電源を使う場合は、この端子のバイパス・コンデンサとしてさらに 10 μ F の tantalum コンデンサを 1 つ挿入してください。 V_{DR} の電圧が、 V_D の電圧を超えないようにしてください。どのバイパス・コンデンサも電源ピンから 1cm 以内に挿入してください。
23, 31, 40, 50, 58	DR GND		ADC12D040 の出力ドライバ用デジタル電源のグラウンド・ピン。システム・デジタル・グラウンドに接続してください。ただし ADC12D040 の DGND ピンの近くにも AGND ピンの近くにも接続しないでください。詳細は 5.0 章「レイアウトとグラウンド構成」を参照ください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

V_A, V_D, V_{DR}	6.5V
V_{DR}	$V_D + 0.3V$
$ V_A - V_D $	100mV
各入出力ピンの電圧	- 0.3V ~ V_A 、 または $V_D + 0.3V$
各ピンの入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
パッケージ消費電力 ($T_A = 25$)	Note 4 参照
ESD 耐性	
人体モデル (Note 5)	2500V
マシン・モデル (Note 5)	250V
ハンダ付け温度、赤外線 (10 秒) (Note 6)	235
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40 T_A + 85
電源電圧 (V_A, V_D)	+ 4.75V ~ + 5.25V
出力ドライバ用の電源 (V_{DR})	+ 2.35V ~ V_D
V_{REF} 入力	1.0V ~ 2.4V
CLK、PD、 \overline{OE}	- 0.5V ~ ($V_D + 0.5V$)
アナログ入力ピン	- 0V ~ ($V_A - 0.5V$)
入力コモンモード電圧 (V_{CM})	$V_{REF}/2$ ~ $V_A - V_{REF}$
AGND-DGND	100mV

パッケージ熱抵抗

Package	θ_{JA}
64-Lead TQFP	50°C / W

コンバータの電気的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = + 5V$ 、 $V_{DR} = + 3.0V$ 、 $PD = 0V$ 、 $\overline{INT}/EXT = V_D$ 、 $V_{REF} = + 2.0V$ 、 \overline{OEA} 、 $\overline{OEB} = 0V$ 、 $f_{CLK} = 40MHz$ 、 $t_r = t_f = 3ns$ 、 $C_L = 20pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			12	Bits (min)
INL	Integral Non Linearity (Note 11)		±0.7	±2.0	LSB (max)
DNL	Differential Non Linearity		±0.4	±1.0	LSB (max)
GE	Gain Error	Positive Error	0.51	+2.8/-1.9	%FS
		Negative Error	0.68	+4/-2.7	%FS
TC GE	Gain Error Tempco	External Reference	15		ppm/°C
		Internal Reference	100		ppm/°C
V_{OFF}	Offset Error ($V_{IN+} = V_{IN-}$)		-0.1	±1.2	%FS (max)
TC V_{OFF}	Offset Error Tempco	External Reference	3		ppm/°C
		Internal Reference	3		ppm/°C
	Under Range Output Code		0	0	
	Over Range Output Code		4095	4095	
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth	0 dBFS Input, Output at -3 dB	100		MHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	69		dB
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	68	66.5	dB (min)
SINAD	Signal-to-Noise and Distortion	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	69		dB
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	68	65.6	dB (min)
ENOB	Effective Number of Bits	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	11.1		Bits
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	10.9	10.6	Bits (min)
THD	Total Harmonic Distortion	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	-80		dB
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	-78	-69	dB (max)
H2	Second Harmonic	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	-84		dB
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	-80	-73	dB (max)

コンバータの電気的特性 (つぎ)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、 $PD = 0V$ 、 $\overline{INT}/EXT = V_D$ 、 $V_{REF} = +2.0V$ 、 \overline{OEA} 、 $\overline{OEB} = 0V$ 、 $f_{CLK} = 40MHz$ 、 $t_r = t_f = 3ns$ 、 $C_L = 20pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
H3	Third Harmonic	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	-84		dB
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	-82	-69.5	dB (max)
SFDR	Spurious Free Dynamic Range	$f_{IN} = 1\ MHz, V_{IN} = -0.5\ dBFS$	84		dB
		$f_{IN} = 10\ MHz, V_{IN} = -0.5\ dBFS$	80	69.5	dB (min)
IMD	Intermodulation Distortion	$f_{IN} = 9.6\ MHz$ and $10.2\ MHz$, each = $-6.0\ dBFS$	-80		dBFS

INTER-CHANNEL CHARACTERISTICS

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
	Channel—Channel Offset Match		± 0.02		%FS
	Channel—Channel Gain Error Match		± 0.05		%FS
	Crosstalk	10 MHz Tested Channel. 15 MHz Other Channel	-80		dB

REFERENCE AND ANALOG INPUT CHARACTERISTICS

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
C_{IN}	V_{IN} Input Capacitance (each pin to GND)	$V_{IN} = 2.5\ V_{dc}$ $+ 0.7\ V_{rms}$	(CLK LOW)	8	pF
			(CLK HIGH)	7	pF
V_{REF}	Input Reference Voltage (Note 13)		2.00	1.0 2.4	V (min) V (max)
R_{REF}	Reference Input Resistance		100		M Ω (min)
V_{IN}	Analog Input Voltage Range			0	V (min)
				4	V (max)

DC およびロジック電気的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、 $PD = 0V$ 、 $\overline{INT}/EXT = V_D$ 、 $V_{REF} = +2.0V$ 、 \overline{OEA} 、 $\overline{OEB} = 0V$ 、 $f_{CLK} = 40MHz$ 、 $t_r = t_f = 3ns$ 、 $C_L = 20\ pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
CLK, PD, OE DIGITAL INPUT CHARACTERISTICS					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 5.25V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 4.75V$		1.0	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 5.0V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA
C_{IN}	Digital Input Capacitance		5		pF
D0–D11 DIGITAL OUTPUT CHARACTERISTICS					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5\ mA$	$V_{DR} = 2.5V$	2.3	V (min)
			$V_{DR} = 3V$	2.7	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6\ mA, V_{DR} = 3V$		0.4	V (max)
I_{OZ}	TRI-STATE Output Current	$V_{OUT} = 2.5V$ or $5V$		100	nA
			$V_{OUT} = 0V$	-100	nA
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	-20		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	20		mA
C_{OUT}	Digital Output Capacitance		5		pF

DC およびロジック電気的特性 (つづき)

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、PD = 0V、 $\overline{INT}/EXT = V_D$ 、 $V_{REF} = +2.0V$ 、 \overline{OEA} 、 $\overline{OEB} = 0V$ 、 $f_{CLK} = 40MHz$ 、 $t_r = t_f = 3ns$ 、 $C_L = 20 pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD Pin = DGND, $V_{REF} = 2.0V$	93	110	mA (max)
		PD Pin = V_{DR}	15		
I_D	Digital Supply Current	PD Pin = DGND	16	18	mA (max)
		PD Pin = V_{DR}	0		
I_{DR}	Digital Output Supply Current	PD Pin = DGND, $C_L = 0 pF$ (Note 14)	10.5	12	mA (max)
		PD Pin = V_{DR}	0		
	Total Power Consumption	PD Pin = DGND, $C_L = 0 pF$ (Note 15)	600	700	mW
		PD Pin = V_{DR}	75		
PSRR1	Power Supply Rejection	Rejection of Full-Scale Error with $V_A = 4.75V$ vs. $5.25V$	56		dB

AC 電気的特性

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、PD = 0V、 $\overline{INT}/EXT = V_D$ 、 $V_{REF} = +2.0V$ 、 \overline{OEA} 、 $\overline{OEB} = 0V$ 、 $f_{CLK} = 40MHz$ 、 $t_r = t_f = 3ns$ 、 $C_L = 20pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9、12)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
f_{CLK}^1	Maximum Clock Frequency			40	MHz (min)
f_{CLK}^2	Minimum Clock Frequency		100		kHz
t_{CH}	Clock High Time		9		ns
t_{CL}	Clock Low Time		9		ns
t_{CONV}	Conversion Latency			6	Clock Cycles
t_{OD}	Data Output Delay after Rising CLK Edge	$V_{DR} = 3.0V$	10	17.5	ns (max)
t_{AD}	Aperture Delay		1.2		ns
t_{AJ}	Aperture Jitter		2		ps rms
t_{HOLD}	Clock Edge to Data Transition		8		ns
t_{DIS}	Data outputs into TRI-STATE Mode		4		ns
t_{EN}	Data Outputs Active after TRI-STATE		4		ns
t_{PD}	Power Down Mode Exit Cycle		500		ns

Note 1: 「絶対最大定格」とは、IC に破壊が発生する可能性があるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、試験条件については「電気的特性」を参照ください。保証された仕様は「電気的特性」に記載されている試験条件でのみ適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下することがあります。

Note 2: 特記のない限り、すべての電圧は GND = AGND = DGND DR GND = 0V を基準にして測定されています。

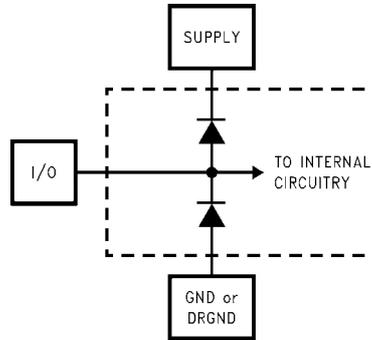
Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができるピン数は 2 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗) および T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{Jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。ボード実装時におけるこのデバイスの代表的な熱抵抗 J_A は 64 $^{\circ}C/W$ または 50 $^{\circ}C/W$ 、24ピン EIAJ-SOIC が 98 $^{\circ}C/W$ ですので、24ピン TSSOP の場合 25 での最大許容消費電力は、 $P_{DMAX} = 1358mW$ 、85 の最大動作周囲温度では、435mW になります。通常動作時のこのデバイスの消費電力は代表値で約 620mW (待機時消費電力の代表値 600mW + TTL 出力負荷時の消費電力は代表値で 20mW として) になることに注意してください。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して、各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。

AC 電気的特性 (つづき)

- Note 6:** 235 のリフロー温度は赤外線リフローを指しています。気相リフロー (VPR: Vapor Phase Reflow) の場合は別の条件が適用されます。気相リフローの場合は最低 60 秒間はパッケージ本体の上面温度を 183 よりも高く維持してください。パッケージ本体の表面温度は 220 を超えてはなりません。183 を超えるのが許されるのはリフロー・サイクル 1 回につき 1 回だけです。
- Note 7:** 下図に示すように、入力ピンはツェナー・ダイオードで保護されています。Note 3 に従って電流制限を行うことで、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、入力電圧が $V_A + 100\text{mV}$ 以上もしくは $\text{GND} - 100\text{mV}$ 以下になる場合は A/D 変化に誤差を生じる可能性があります。例えば、 V_A が 4.75V の場合には、変換精度を確保するためにはアナログ入力フルスケールは 4.85V 以下にしなければなりません。



- Note 8:** 精度を保証するために、各電源電圧差を $|V_A - V_D| = 100\text{mV}$ にし、かつそれぞれの電源ピンに別個のバイパス・コンデンサが必要となります。
- Note 9:** $V_{\text{REF}} = +2.0\text{V}$ (4V_{P-P} 差動入力) のテスト条件で、12 ビットの 1LSB は 977 μV になります。
- Note 10:** 代表値 (Typical) は、 $T_J = T_A = +25$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。
- Note 11:** 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。
- Note 12:** タイミング特性は、TTL ロジックレベル (立ち下がりがエッジが $V_{\text{IL}} = 0.4\text{V}$ 、立ち上がりエッジが $V_{\text{IH}} = 2.4\text{V}$) でテストされます。
- Note 13:** 最適な性能は、リファレンス入力を 1.8V ~ 2.4V に維持することで得られます。このアプリケーションの場合、LM4051CIM3-ADJ (SOT-23 パッケージ) が推奨されます。
- Note 14:** I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主な要素は、出力ピンの負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{\text{DR}} = V_{\text{DR}}(C_0 \times f_0 + C_1 \times f_1 + \dots + C_n \times f_n)$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。
- Note 15:** I_{DR} は含まれていません。Note 14 を参照ください。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち上がってから入力信号が取り込まれるか保持されるまでの時間のことです。

アパーチャ・ジッタ (APERTURE JITTER) は「APERTURE UNCERTAINTY」(アパーチャ・ディレイのばらつき)ともいいます。サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) は、繰り返しデジタル波形の周期に対する High の時間の比です。本データシートに記載されているデューティ・サイクルの仕様は、ADC のクロック入力信号に対して適用されます。

同相電圧 (COMMON MODE VOLTAGE: V_{CM}) とは、ADC の差動入力ピンのいずれにも共通して現れる直流電位のことです。

変換レイテンシ (CONVERSION LATENCY) については「パイプライン・ディレイ」(PIPELINE DELAY)を参照ください。

クロストーク (CROSSTALK) は、一方のチャネルから他方のチャネルに結合するエネルギーです。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

$$\text{ゲイン誤差} = \text{正側フルスケール誤差} - \text{負側フルスケール誤差}$$

ゲイン誤差は正側のゲイン誤差と負側のゲイン誤差に分けることもできます。計算式は次のとおりです。

$$\text{PGE} = \text{正側フルスケール誤差} - \text{オフセット誤差}$$

$$\text{NGE} = \text{オフセット誤差} - \text{負側フルスケール誤差}$$

ゲイン誤差マッチング整合 (GAIN ERROR MATCHING) は、2 系統のコンバータ間のゲイン誤差の差を、コンバータの平均ゲインで除したものです。

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ゼロスケール(最初のコード遷移の 1/2LSB 下)から正のフルスケール(最後のコード遷移の 1/2LSB 上)まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち、もっとも小さな値、またはもっとも小さな重みを持ったビットです。LSB の値は $V_{REF}/2^n$ として表されます。ここで "n" はビット数を単位とする A/D コンバータの分解能で ADC12D040 の場合は 12 です。

ミッシング・コード (MISSING CODES) は、ADC から出力されない出力コードです。ADC12D040 は、ミッシング・コードのなにとが保証されています。

MSB (MOST SIGNIFICANT BIT) は、全ビットのうち、もっとも大きな値、またはもっとも大きな重みを持ったビットです。MSB の値はフルスケールの半分です。

負のフルスケール誤差 (NEGATIVE FULL SCALE ERROR) は、最初のコード遷移点の実測値と(負側フルスケール+ 0.5LSB)の理想値とのずれです。

オフセット誤差 (OFFSET ERROR) は、デジタル出力コード 2047 から 2048 へと遷移させるのに必要な差動電圧 ($V_{IN+} - V_{IN-}$) です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現れるまでの遅延時間です。

オーバーレンジ回復時間 (OVER RANGE RECOVERY TIME) は、 V_{IN} が通常入力範囲外の規定電圧から通常入力範囲内の規定電圧に変化した時点から、コンバータが定格精度で変換を行えるようになるまでの時間です。

パイプライン・ディレイ (PIPELINE DELAY: LATENCY) は、変換開始からその変換結果が出力バスに有効になるまでの期間をクロック・サイクル数で表したものです。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイや出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

正のフルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と(正側フルスケール- 1.5LSB)の理想値とのずれのことです。

電源電圧変動除去比 (PSRR: POWER SUPPLY REJECTION RATIO) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。ADC12D040 では、直流電源電圧の変動によって生じるフルスケール誤差の変動率を PSRR1 で表します。単位は dB です。また、直流電源に乗っている交流成分が出力端でどの程度まで除去されるかについては PSRR2 で表します。

信号/ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号/(ノイズ+歪み)比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N+D) or SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアスフリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、出力に現れる 2 次から 10 次までの高調波レベルの rms 値の総和と出力に現れる入力周波数レベルの比で、dB で表されます。全高調波歪み THD は次式から求めます。

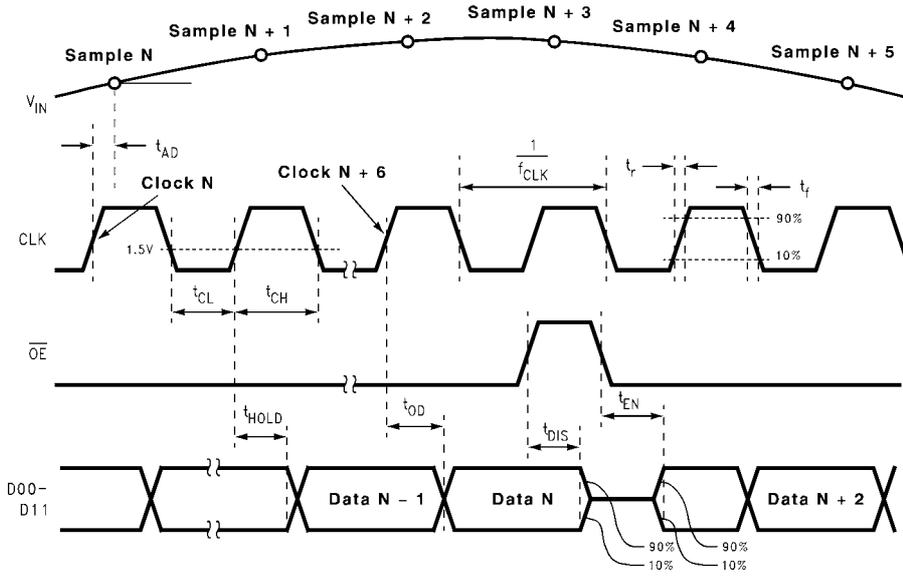
$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_{10}^2}{f_1^2}}$$

f_1 は基本周波数(出力)の rms パワー、 f_2 から f_{10} は出力スペクトラムに現れる 2 次高調波から 10 次高調波の rms パワーです。

- 第 2 次高調波歪み (2nd HARM) は、出力に現れる入力周波数の RMS パワーと 2 次高調波レベルとの差を dB で表した値です。

- 第 3 次高調波歪み (3rd HARM) は、出力に現れる入力周波数の RMS パワーと 3 次高調波レベルとの差を dB で表した値です。

タイミング図



Output Timing

変換特性

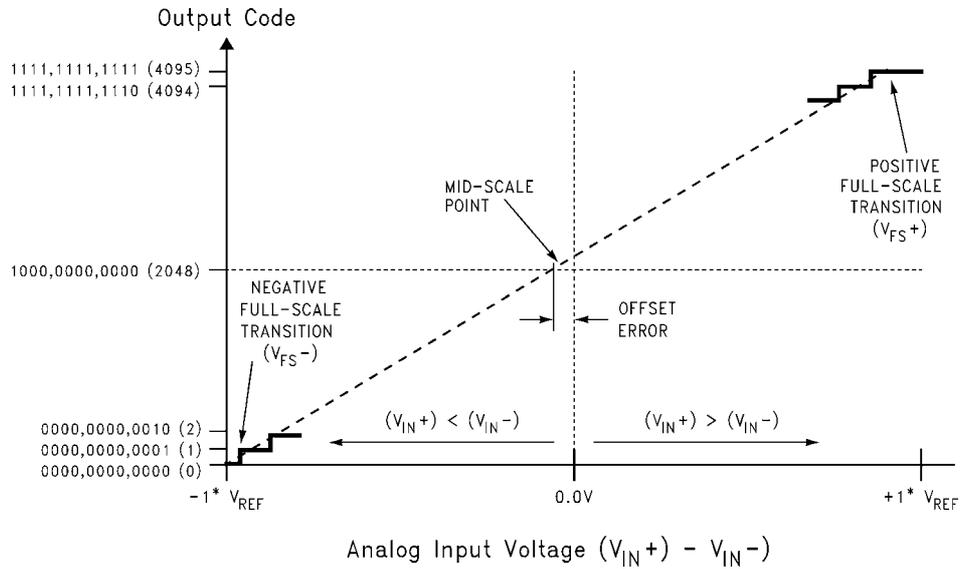
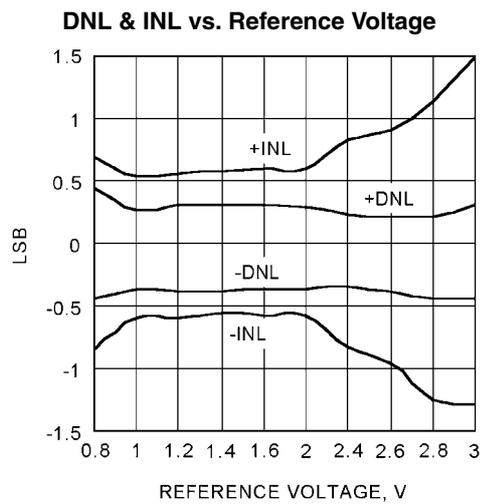
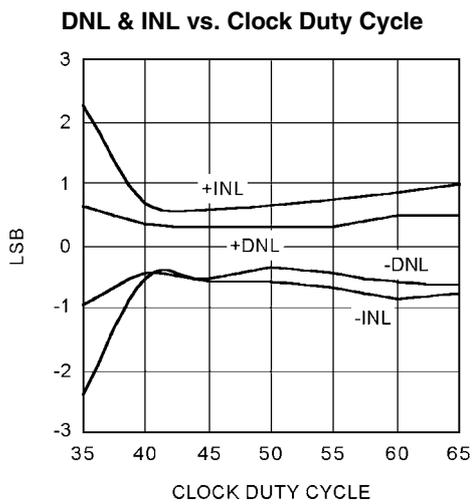
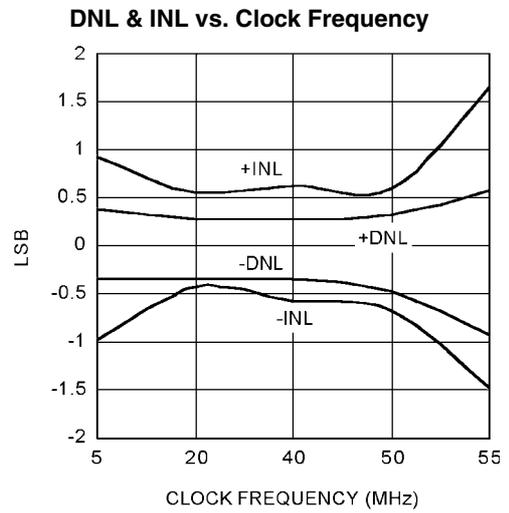
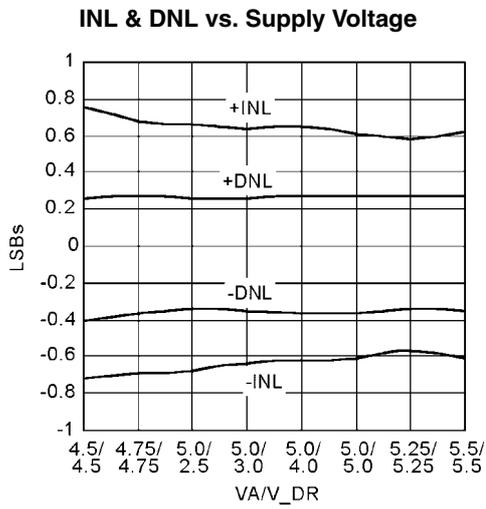
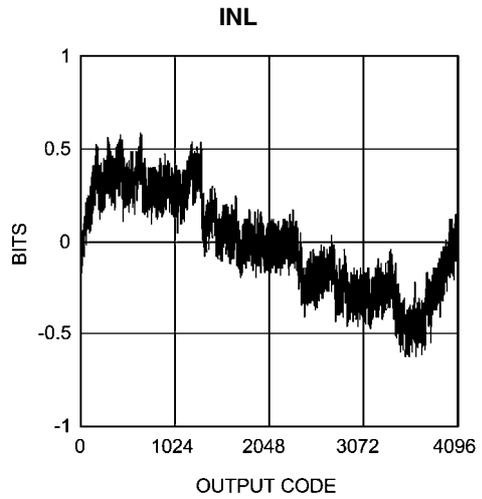
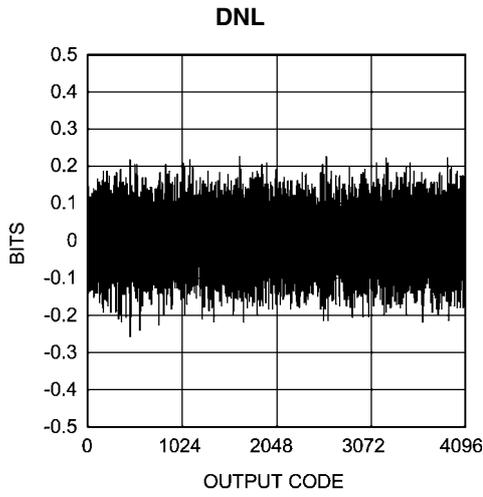


FIGURE 1. Transfer Characteristic

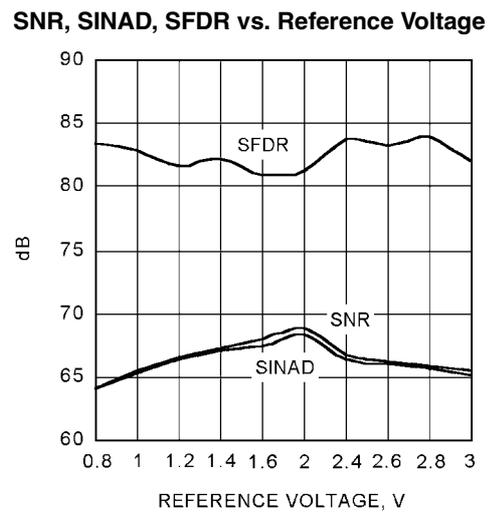
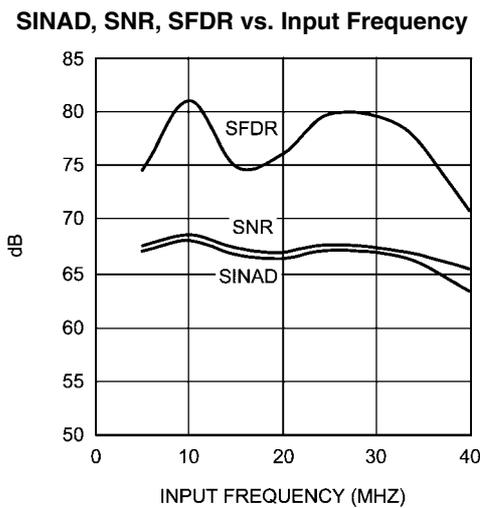
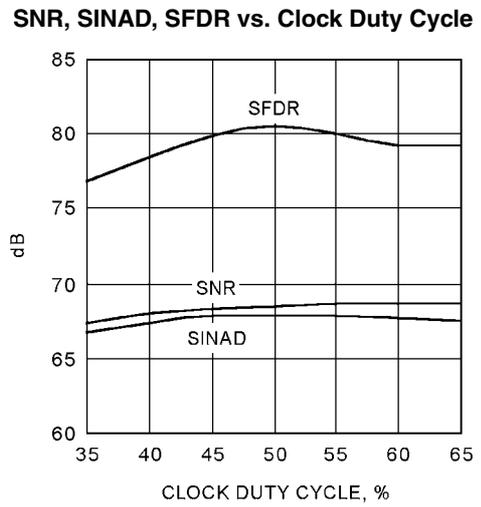
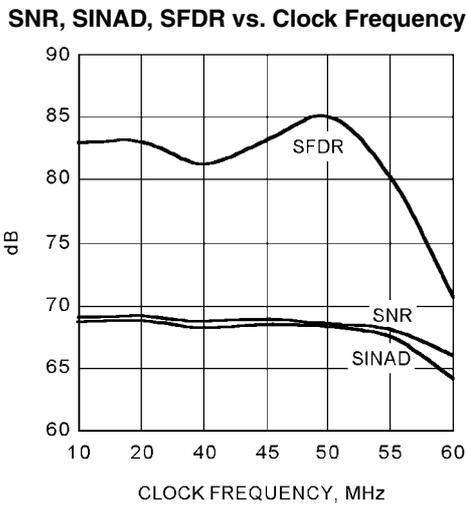
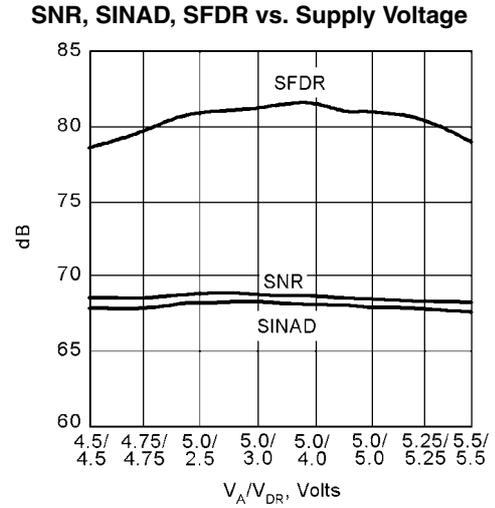
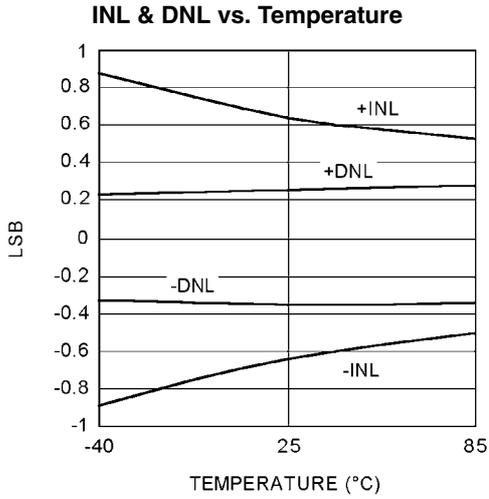
代表的な性能特性

特記のない限り、 $V_A = V_D = 5V$ 、 $V_{DR} = 3V$ 、 $f_{CLK} = 40\text{ MHz}$ 、 $f_{IN} = 10\text{ MHz}$



代表的な性能特性 (つづき)

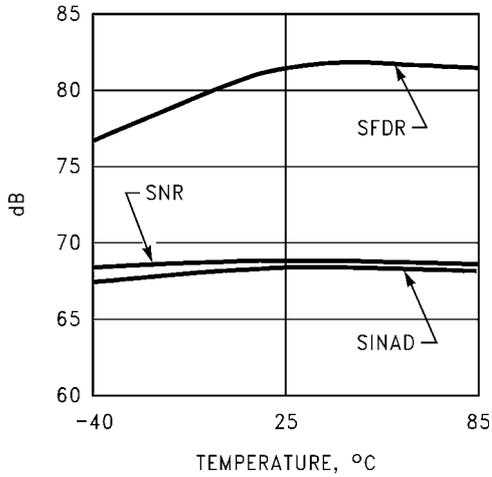
特記のない限り, $V_A = V_D = 5V$, $V_{DR} = 3V$, $f_{CLK} = 40\text{ MHz}$, $f_{IN} = 10\text{ MHz}$



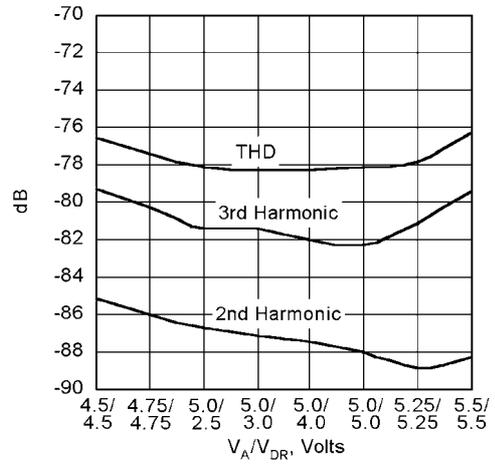
代表的な性能特性 (つぎ)

特記のない限り $V_A = V_D = 5V$ 、 $V_{DR} = 3V$ 、 $f_{CLK} = 40\text{ MHz}$ 、 $f_{IN} = 10\text{ MHz}$

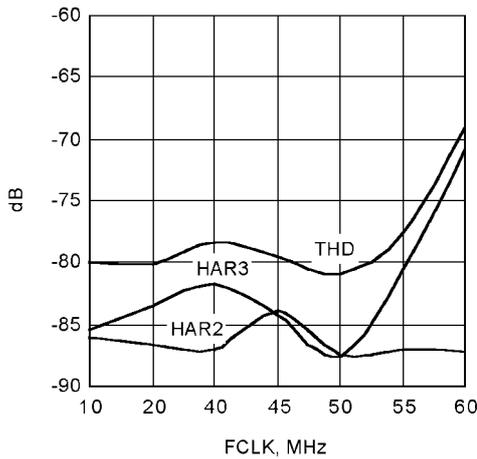
SNR, SINAD, SFDR vs. Temperature



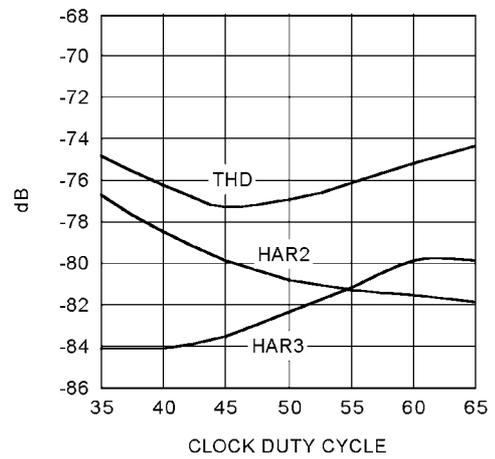
Distortion vs. Supply Voltage



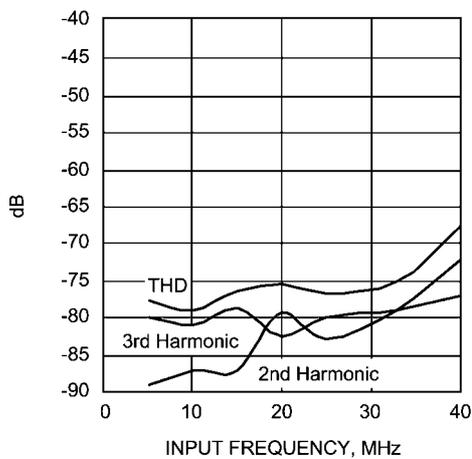
Distortion vs. Clock Frequency



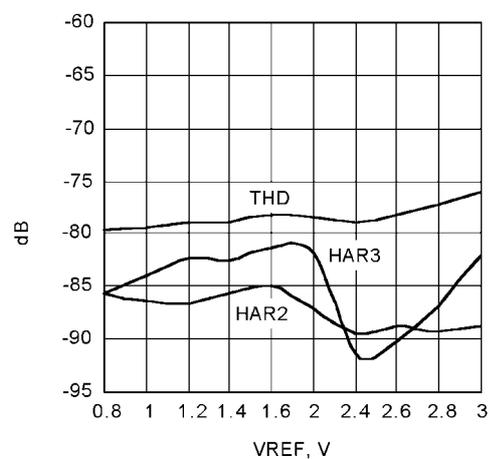
Distortion vs. Clock Duty Cycle



Distortion vs. Input Frequency



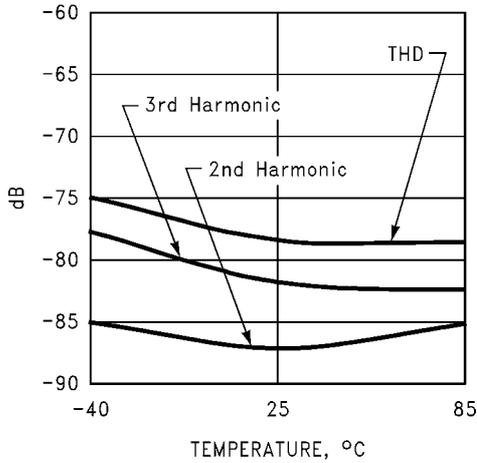
Distortion vs. Reference Voltage



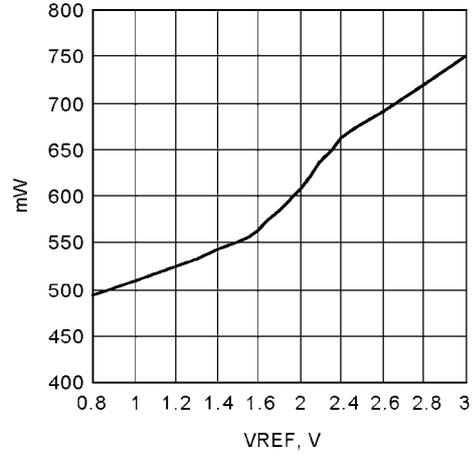
代表的な性能特性 (つぎ)

特記のない限り $V_A = V_D = 5V$, $V_{DR} = 3V$, $f_{CLK} = 40\text{ MHz}$, $f_{IN} = 10\text{ MHz}$

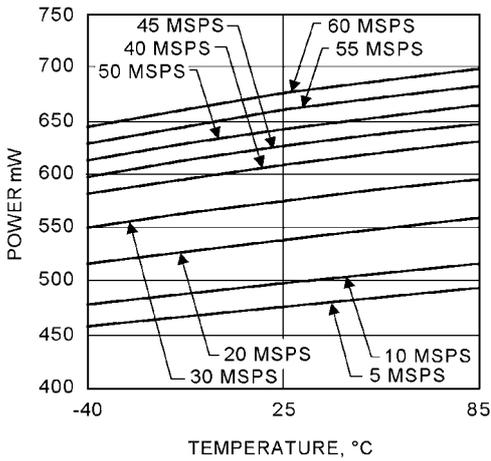
Distortion vs. Temperature



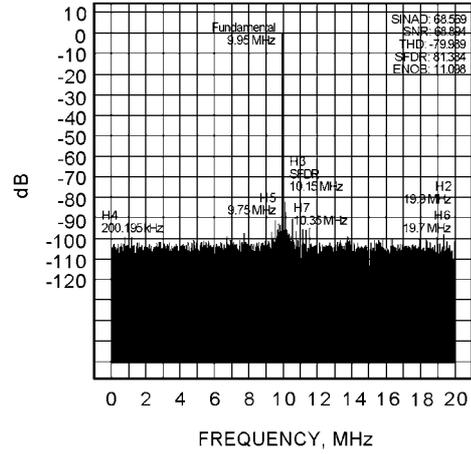
Power Consumption vs. Reference Voltage



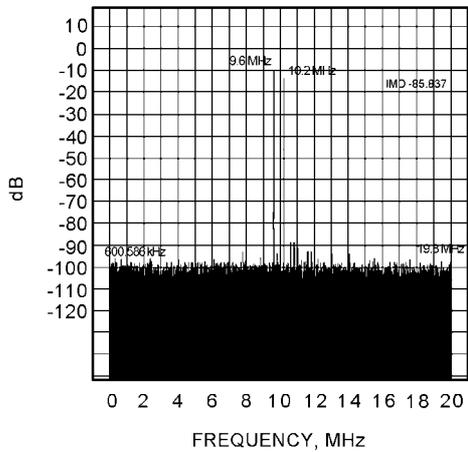
Power Consumption vs. Temperature



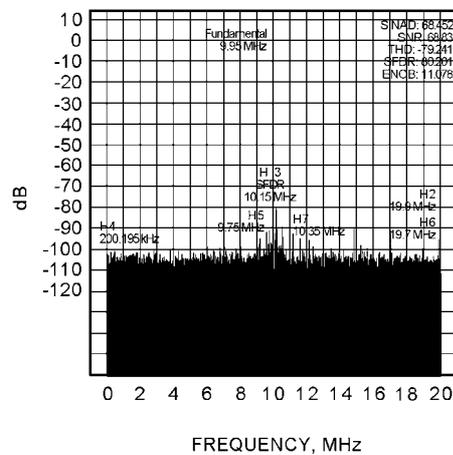
Spectral Response @ $f_{in} = 9.95\text{ MHz}$, $f_{CLK} = 40\text{ MHz}$



IMD Response $f_{in} = 9.6\text{ MHz}$, 10.2 MHz , $f_{CLK} = 40\text{ MHz}$



Crosstalk Response $f_{in} = 9.95\text{ MHz}$, $f_{CROSSTALK} = 15\text{ MHz}$, $f_{CLK} = 40\text{ MHz}$



機能説明

ADC12D040 は +5V 単電源で動作します。パイプライン型アーキテクチャを採用し、かつ誤差補正回路を内蔵しているため、性能が最大限まで発揮されます。差動アナログ入力信号を 12 ビットのデジタル信号に変換する機能を持っています。リファレンス電圧入力ピンは、バッファ回路が内蔵されているため簡単に駆動できます。

出力ワード・レートはクロック周波数に一致します。範囲は 100kSPS (代表値) から 40MSPS までで、40MSPS で全範囲の性能を規定しています。アナログ入力信号は 2 チャンネルともクロックの立ち上がりエッジで取り込まれ、ある特定のサンプル期間のデジタル・データはパイプラインのために 6 クロック・サイクルだけ遅れます。OF 端子では、オフセット・バイナリか 2 の補数のいずれかの出力形式を選択します。

パワーダウン・ピン (PD) が High レベルの間は消費電力が 75mW まで下がります。

アプリケーション情報

1.0 動作条件

ADC12D040 の動作条件としては次の各値を推奨します。

4.75V	V_A	5.25V
$V_D = V_A$		
2.35V	V_{DR}	V_D
$V_{REF}/2$	V_{CM}	$V_A - V_{REF}$
100 kHz	f_{CLK}	40MHz
1.0V	V_{REF}	2.4V

1.1 アナログ入力

ADC12D040 は、 V_{IN+} と V_{IN-} の 2 つのアナログ入力を備えています。この 2 本のピンを組にして差動入力ピンとして使います。またリファレンス電圧入力ピンの V_{REF} があります。

アナログ入力回路には広いアナログ入力電圧にわたってリニアリティを改善する入力ブースト回路が設けられています。デバイスの信頼性を損ねる恐れのあるチップ内での過電圧状態を防止するために、入力信号電圧は、

$$V_A - V_{REF}/2$$

で表される電圧を超えてはなりません。

1.2 リファレンス電圧ピン

ADC12D040 はリファレンス電圧 2.0V で動作するように設計されていますが、1.0V ~ 2.4V の範囲であれば問題なく動作します。リファレンス電圧を下げると ADC12D040 の信号 / ノイズ比 (SNR) が低くなります。リファレンス電圧 (と入力信号振幅) を 2.4V 以上に高めると、特に入力周波数が高い場合に、フルスケール入力の THD 性能を低下させる可能性があります。リファレンス電圧と入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド・プレーンに対して一点アースで接続するのが重要になります。

ADC12D040 は、周波数 10MHz までのフルスケール入力に対して、最高 2.4V のリファレンス電圧で良好な性能を発揮します。ただし、入力周波数が高くなるにつれてより大きなマージンを確保する必要があります。フルスケール入力の周波数が高い場合は最高リファレンス電圧 (と入力振幅) は低くなります。

バイパス用に 6 本のリファレンス電圧バイパス・ピン (V_{RPA} , V_{RMA} , V_{RNA} , V_{RPA} , V_{RMB} , V_{RNB}) が設けられています。各ピンとグラウンドの間に 0.1 μ F のコンデンサを 1 つずつ挿入してください。コンデンサの容量を小さくするとパワーダウン・モードからの復帰が高速になりますが、ノイズ性能が低下する可能性があります。これ

らのピンに負荷を接続すると性能劣化を引き起こすことがあります。

リファレンス・バイパス・ピンの公称電圧は次のとおりです。

$$\begin{aligned} V_{RMA} &= V_{RMB} = V_A / 2 \\ V_{RPA} &= V_{RPB} = V_{RM} + V_{REF} / 2 \\ V_{RNA} &= V_{RNB} = V_{RM} - V_{REF} / 2 \end{aligned}$$

V_{RN} ピンは直流電流を取り出さない限りアナログ入力ピンの共通モード電圧源 (V_{CM}) として使用可能です。ただし、このピンの電圧は V_A 電源ピン電圧の半分となっているため、このピンを共通モード電圧源として使用すると、入力マージン (電源電圧 V_A といずれかのアナログ入力のピーク信号電圧との差) の減少と THD 性能および SFDR 性能の低下を引き起こす可能性があります。以上の理由から、どのような場合でも V_A は V_{REF} よりも 2V 以上高い電圧に設定することを推奨します。入力周波数が高い場合は、THD 性能と SFDR 性能を維持するために前記マージンを増やしたほうがよいと考えられます。

1.3 信号入力

信号入力には V_{IN+} と V_{IN-} があります。入力信号 V_{IN} は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 2 は、入力信号として予想される範囲を示したものです。

同相入力電圧の範囲は 1V ~ 3V ですが、その標準値は $V_A/2$ であることに注意してください。入力信号は、グラウンド電位から 4V までの範囲にしてください。

各入力信号 V_{IN+} 、 V_{IN-} の最大値は、次の式で計算される電圧値を超えないようにしてください。

$$V_{IN+}, V_{IN-} = (V_{REF}/2 + V_{CM}) \leq 4V \text{ (differential)}$$

これを守らないと THD と SINAD が劣化します。

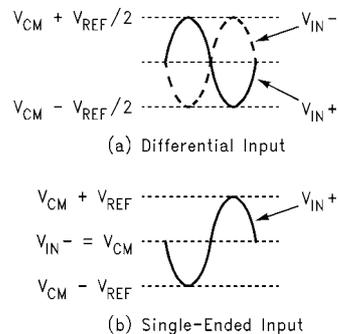


FIGURE 2. Expected Input Signal Range

ADC12D040 は、共通モード電圧 V_{CM} を中心とする差動入力です。それぞれの入力を動作させた場合に最高性能を発揮します。 V_{IN+} 、 V_{IN-} も振幅 (ピーク・ツー・ピーク値) はリファレンス電圧を超えないようにしてください。これを超えた場合出力データが最大値もしくは最小値で飽和します。

差動信号を成す 2 つの入力信号は、位相差はちょうど 180 度とし、振幅は正確に同じにしてください。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180 になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形の場合は位相差があると歪みが生じます。

単一周波数の正弦波で、2 入力間の位相差が 45 度 (1/4) 未満の場合、フルスケール誤差は次式で計算できます (単位: LSB)。

$$E_{FS} = 2^{(n-1)} * (1 - \cos(\text{dev})) = 2048 * (1 - \cos(\text{dev}))$$

アプリケーション情報 (つづき)

「dev」は、互いに 180 の相対位相差を持つ 2 つの信号同士の位相差です (Figure 3 を参照)。アナログ入力ピンを駆動する信号源のソース・インピーダンスでは 100 未満になるようにしてください。

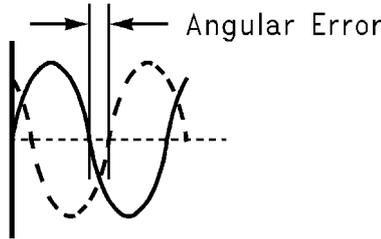


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

TABLE 1. Input to Output Relationship—Differential Input

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	0000 0000 0000	1000 0000 0000
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	0100 0000 0000	1100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000	0000 0000 0000
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	1100 0000 0000	0100 0000 0000
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	1111 1111 1111	0111 1111 1111

TABLE 2. Input to Output Relationship—Single-Ended Input

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}$	V_{CM}	0000 0000 0000	1000 0000 0000
$V_{CM} - V_{REF}/2$	V_{CM}	0100 0000 0000	1100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000	0000 0000 0000
$V_{CM} + V_{REF}/2$	V_{CM}	1100 0000 0000	0100 0000 0000
$V_{CM} + V_{REF}$	V_{CM}	1111 1111 1111	0111 1111 1111

1.3.1 シングルエンド動作

シングルエンド性能は差動入力信号より低い。シングルエンド動作は推奨しません。ただし、シングルエンド動作が回路上必要で、かつ、生じる性能低下が許容できる場合は、アナログ入力の一方向のピンを入力信号電圧の DC 中心電圧に接続します。入力信号の振幅 (ピーク・ツー・ピーク値) をリファレンス電圧の 2 倍にした場合で、SNR、SINAD が最適になります (Figure 2b を参照)。

たとえば、 V_{REF} を 1.0V に設定したら、 V_{IN-} には 2.5V のバイアスをかけ、 V_{IN+} は 1.5V ~ 3.5V の信号で駆動してください。

入力信号の振幅が非常に大きいと歪みのひどくなる恐れがあるため、シングルエンド動作のときに出力信号を最大幅まで振りたいときは、性能を改善するためにリファレンス電圧を下げてください。ADC12D040 の入力と出力の関係を、Table 1 "Input to Output Relationship-Differential Input" と Table 2 "Input to Output Relationship- Single-Ended Input" に示します。

1.3.2 アナログ入力の駆動

ADC12D040 の V_{IN+} 、 V_{IN-} の各ピンの内部回路は、アナログ・スイッチが 1 つに、それに続いてスイッチ・キャパシタ・アンプが 1 つの構成になっています。このアナログ入力ピンの容量はクロック・パルスのレベルに応じて変化します。クロックが Low レベルのときは 8pF であり、High レベルのときは 7pF です。

内蔵の入力サンプリング・スイッチの開閉に伴ってアナログ入力ピンには電流パルスが生まれ、結果として信号入力ピンに電圧スパイクが発生します。アナログ入力を駆動するアンプがこのスパイク電圧を打ち消そうとして、アナログ入力端で減衰振動が起こる場合があります。ADC12D040 の入力ピンを駆動するいかなるアンプもサンプリング・スイッチが次に開くまでにこのようなスパイクを吸収できなければなりません。LMH6702、LMH6628、LMH6622、LMH6655 が ADC12D040 の駆動に適当です。

A/D コンバータ入力に現れる電圧スパイクの影響をアンプ出力に与えないようにするには、Figure 4 と Figure 5 に示すような RC 回路を入力端に設けてください。システム内で A/D コンバータがもっともノイズに敏感であり、その入力端はノイズをフィルタする最後のポイントとなるため、これら部品は A/D コンバータ入力のできるだけ近くに実装してください。

ナイキスト・アプリケーションの場合は A/D コンバータのサンプリング・レートに RC ポールを設定してください。RC ポールを設定する際はサンプリング・モード時の A/D コンバータの入力容量を考慮する必要があります。このような方法でポールを設定すると SNR 性能がもっとも高くなります。

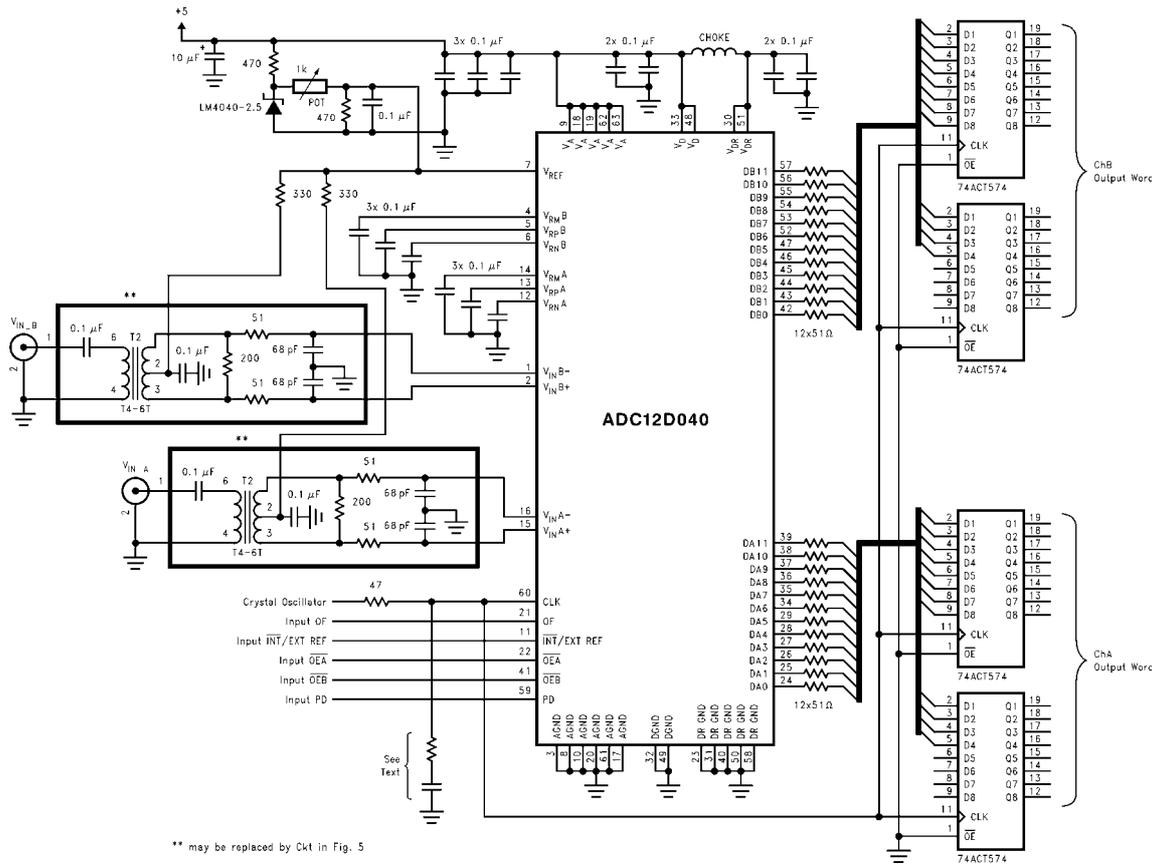
最高の SINAD 性能と ENOB 性能を得るには SNR と THD が数値的に等しくなるまで RC 時定数を小さくします。最高の歪み性能と SFDR 性能を得るには RC をともに省略します。

アンダー・サンプリング・アプリケーションでは、RC の極を最大入力周波数の約 1.5 倍 ~ 2 倍に設定して、応答遅延特性が線形を維持できるようにしてください。

ADC12DL040 はシングルエンド入力でも動作するように設計されていません。ただし、性能が低下しても構わない場合はシングルエンド動作も可能です。1.3.1 項を参照ください。

Figure 4 には、シングルエンド入力を差動入力に変換するためにトランスを使用した狭帯域アプリケーションを示します。Figure 5 には、シングルエンド入力を差動入力に変換するために完全な差動アンプを使用した例を示しています。

アプリケーション情報 (つづき)



** may be replaced by Ckt in Fig. 5

FIGURE 4. Application Circuit using Transformer or Differential Op-Amp Drive Circuit

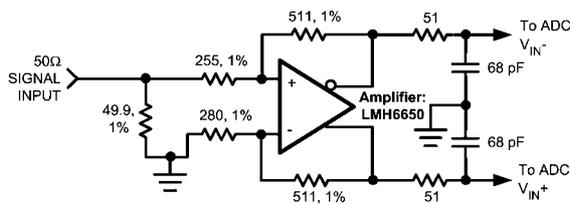


FIGURE 5. Differential Drive Circuit using a fully differential amplifier.

1.3.3 入力共通モード電圧

アナログ信号のピーク電圧がグラウンド電位を下回ったり、あるいは電源電圧 V_A から 1.0V 低い電圧を超えないように、入力共通モード電圧 V_{CM} を設定しなければなりません。公称 V_{CM} は一般におよそ $V_{REF}/2$ に設定します。 V_{RMA} または V_{RMB} から DC 電流を引き込まない限り、両者を V_{CM} として使用することも可能です。

2.0 デジタル入力

CLK、OEA、OEB、OF、INT/EXT、REF、PD は TTL/CMOS 互換のデジタル入力信号です。

2.1 CLK

CLK 信号はサンプリングのタイミングを決めます。このクロック入力ピンは、安定した低ジッタのクロック信号源で駆動してください。クロック周波数の範囲は 100kHz から 55MHz までであり、パルスの立ち上がり時間、立ち下がり時間はいずれも 3ns 未満とします。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず他の一切の信号線と交差しないようにしてください。

CLK が途切れると、内部キャパシタに充電されていた電位が徐々に下がってきます。この電位が一定値以下になると出力データの精度が低下します。サンプリング・レートの最低値が 100kSPS に制限されているのはこの理由によります。

アプリケーション情報 (つづき)

A/D コンバータのクロック線路は伝送線路として取り扱うべきであり、ソース・インピーダンスがクロック線路の特性インピーダンスに整合するようにソース端で直列終端を行ってください。一般に遠端 (A/D コンバータ入力端) での終端は必要ありませんが、単一クロック源が複数のデバイスを駆動する場合 (一般には推奨されない構成)、遠端終端が必要となる場合があります。遠端終端はクロック線路の特性インピーダンスと同じ抵抗を使った直列終端です。コンデンサの最小容量は次のとおりです。

$$C \geq \frac{4 \times t_{PD} \times L}{Z_0}$$

t_{PD} は ns/ 単位長を単位とする伝搬遅延時間、"L" は線路長、 Z_0 は線路の特性インピーダンスです。 t_{PD} と "L" は同じ単位系を使用してください。FR-4 基材を使った代表的なボードの t_{PD} はおよそ 60ps/cm (150ps/ インチ) です。

遠端終端回路はクロック源から見て A/D コンバータのクロック・ピンより先遠い側に配置してください。

クロック信号のデューティ・サイクルは A/D コンバータの種類を問わず性能に影響を与えます。精度の高いデューティ・サイクルを得ることは難しいため、ADC12D040 は広い範囲のデューティ・サイクルに対して性能を維持するように設計されています。仕様規定と性能保証はデューティ・サイクル 50% で行っていますが、一般に 40% から 60% のデューティ・サイクル範囲にわたって性能は維持されます。

クロック線路は、ライン全長にわたってインピーダンスを一定に保つように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 を参照してください。

2.2 OEA、OEB

OEA ピンおよび OEB ピンを High レベルにするとそれぞれ対応の出力ピンはハイ・インピーダンス状態になります。Low レベルの時は対応の出力ピンがアクティブ状態になります。OEA/OEB ピンのレベルによらず ADC12D040 は内部で変換処理を実行しますが、ピンが High のときは出力を読み出すことはできません。

出力ピンの負荷容量が大きくなると A/D コンバータのノイズも増えるため、ADC12D040 の TRI-STATE 出力でバスを駆動しないようにしてください。それより先単一のデジタル入力のみを駆動するようにし、合わせて A/D コンバータのデジタル出力と駆動するデジタル入力を近接させてください。A/D コンバータ・ノイズをさらに低減するには 100 の抵抗を各 A/D コンバータのデジタル出力ピンの近くに直列に挿入してください。

2.3 PD ピン

コンバータが使われない場合には、PD ピンを High レベルにすると ADC12D040 がパワーダウン・モードになります。これによって、未使用時の消費電力が抑えられます。この状態での消費電力は、クロック周波数が 40MHz のときは 75mW、クロックの停止しているときは 40mW です。パワーダウン・モード時の出力データ・ピンの状態がどうなるかは決まっていません。パワーダウン中のパイプライン中のデータは、破壊されます。

「AC 電気的特性」記載の「Power Down Mode Exit Cycle」(パワーダウン・モードからの復帰) 時間は 4 ピン、5 ピン、6 ピン、12 ピン、13 ピン、14 ピンの容量で決まります。これらコンデンサはパワーダウン・モード中に放電されますが、正確な変換を再び行う前にオンチップ回路によって再充電されなければなりません。容量が小さいほどパワーダウン・モードからの復帰は高速になりますが、SNR、SINAD、ENOB 性能は低下します。

2.4 OF ピン

OF ピンを Low にすると出力データ形式はオフセット・バイナリになり、OF ピンを High にすると 2 の補数になります。このピンのロジック・レベルは動作中に変更することも可能ですが、切り換え後数クロック・サイクルにわたって正しくないデータが出力される可能性があるため、そのような使い方は推奨しません。

2.5 INT/EXT REF ピン

INT/EXT REF ピンは、内部基準電圧と外部基準電圧のどちらかを使用するかを指定するピンです。このピンを Low レベルにした場合は、内部基準電圧の 1.0V が使用されます。このピンを High レベルにした場合は、外部基準電圧を V_{REF} ピンに印加し、 V_{REF} ピンを GND にバイパスする必要があります。内部基準電圧を使用する場合は V_{REF} ピンをバイパスする必要はありません。内部基準電圧を測定することはできませんが、この値はおおよそ $V_{RP} - V_{RN}$ の値に等しくなります。1.2 項を参照ください。

3.0 出力ピン

ADC12D040 には、TTL/CMOS 互換のデジタル・データ出力ピンが 24 本付いています。OE ピンおよび PD ピンに Low レベルの電圧を印加しているあいだは、この出力ピンに有効なデータが出力されます。 t_{OD} 時間は出力タイミングに関する情報を示しますが、 t_{OD} はクロック周波数の変更に伴って変化します。定格クロック周波数の 40MHz では、データ変換はクロック立ち上がり約 6 ~ 10ns 後から始まりクロック立ち下がり約 4 ~ 10ns 前 (V_{DR} により変動) に終わるため、データを受け付ける回路のデータ・セットアップ時間に応じていずれかのクロック・エッジを使用してデータを取り込むことができます。また、回路基板レイアウトはクロックやデータの相対的な遅延時間に影響するため、デジタル・インタフェースを設計する場合はこうした相対遅延時間を考慮することが重要です。サンプリング周波数が 40MHz に満たないとデータ変換からクロックの立ち下がりの時間が長くなるため、低いサンプリング・レートで出力データを取り込む場合、通常はクロックの立ち上がりエッジを使用するのが最適です。

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。適切なバイパスの追加、出力容量の軽減、さらにはグラウンド層を注意深く設計すれば、このような問題が回避されます。また、バス・ラインの負荷容量が仕様値 20pF/pin を超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合、動的性能が劣化する恐れがあります。

デジタル出力のスイッチングによるノイズを最小にするには、デジタル出力の負荷電流を最小にします。これを実現するには、ADC の出力ピンとそれ以降の回路の間に、たとえば 74AC541 などのバッファ IC を設けます。ADC の出力ピンとバッファ IC の入力ピンは 1:1 で接続してください。さらに約 100 の抵抗をデジタル出力ピンのすぐ近くに直列に挿入すると配線パターンやその他回路の持つ容量から出力ピンが分離されるため出力電流が抑えられます。この措置を講じないと性能の低下する場合があります。Figure 4 参照。

アプリケーション情報 (つづき)

ADC12D040 は Tri-State 出力を備えていますが、Tri-State 出力はバスのドライブには使用しないでください。また、大容量のコンデンサを充放電すると SNR 特性が悪化することがあるので注意してください。各出力端子がドライブするのは出力信号受け取り側デバイスの 1 つの端子のみになるよう設計し、相互接続配線は実用上可能な限り短くしてください。

4.0 電源構成

どの電源ピンも当該ピンから 1cm 以内の所にバイパス・コンデンサとして 10 μ F コンデンサと 0.1 μ F セラミック・コンデンサを 1 つずつ挿入してください。直列インダクタンスが小さいリードレス・チップコンデンサを推奨します。

あらゆる高速コンバータと同じように、ADC12D040も電源ノイズに敏感です。また、ADC12D040 のアナログ電源ピンに乗るノイズ・レベルは 100mV_{p-p} より低く抑えてください。

どのピンも、電源電圧より高い電圧を加えることは、たとえ瞬時であっても許されません。特に電源の投入時、遮断時には注意してください。

V_{DR} ピンは出力ドライブ用の電源ピンで、2.35V ~ V_D (通常 5V) の範囲で動作します。そのため V_D より低い電圧で動作するデバイスやシステムとのインタフェースが容易です。ただし、V_{DR} を低くすると t_{OD} が長くなる点に注意してください。ただし、V_{DR} ピンには、V_D よりも高い電圧は加えないでください。

5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。ADC12D040 はアナログ領域とデジタル領域との間に挟まれる形になります。仕様どおりの性能を発揮するには、この 2 つの領域を分離しておく必要があります。

データ出力用のグラウンド・ピン (DR GND) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジエントを発生すること

があります。このようなことが起こらないように DR GND ピンは、ADC12D040 のいかなるその他のグラウンド・ピンに近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズに敏感なアナログ回路との間の容量性カップリングにより、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に 100 Ω 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力ピンにできる限り近づけてください。

デジタル・スイッチング・トランジエント (デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの重量より総表面積の方がより重要です。

一般に、アナログとデジタルの配線パターン同士のクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。クロック・ラインが一般的に受け入れられている 90° A/D 信号ラインを互いに交差させる方法は、高周波でのちょっとしたカップリングによる問題が起こる可能性があるため避けるべきです。これは、その他のラインがクロック・ラインにシフトを招き、結果的に SN 比の劣化につながります。また、クロックが高速だとアナログ回路にノイズが生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐな信号経路に配線して実現できます。これは、すべての部品を通る信号経路をできる限りまっすぐな直線に配線することです。

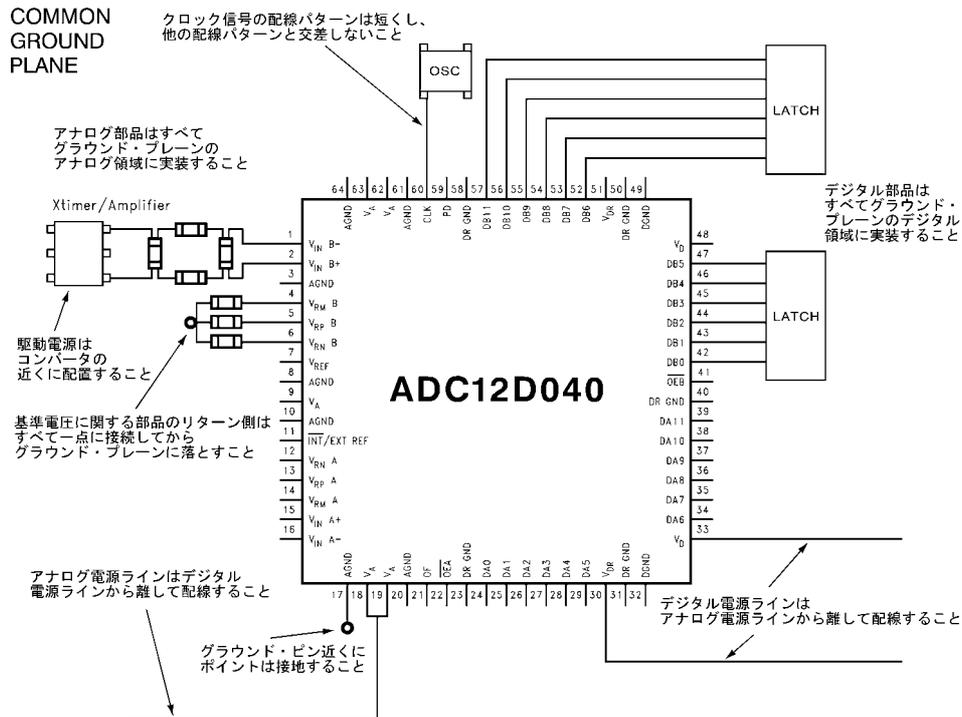


FIGURE 6. Example of a Suitable Layout

アプリケーション情報 (つづき)

インダクタのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、たとえそれぞれの個体の大きさが小さくても並べたり、近い配置にせず、互いを離れた状態で使用してください。

アナログ入力は、スプリアス信号の入力へのカップリングを避けるために、ノイズを生じる信号経路から十分にアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドとの間、または基準入力ピンとグラウンドに接続される任意の外部回路（例えば、フィルタ用のコンデンサ）は、アナログ・グラウンド帰路中の非常にクリーンなノイズの少ない1点で接続してください。

Figure 6 は、適切なレイアウト例です。すべてのアナログ回路（入力アンプ、フィルタ、リファレンス電圧回路など）はボード上のアナログ領域に配置してください。すべてのデジタル回路と I/O トレースはボードのデジタル領域に配置してください。ADC12D040 は両者の中間に配置してください。さらに、リファレンス回路と入力信号チェーンを構成するグラウンドに接続されているすべての部品は、短いトレースを使って接続し、ノイズのない単一点でアナログ・グラウンド層へ落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

6.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。Figure 7 に示すようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。クロック・ツリーに使用するゲートの動作可能周波数は、発生したジッタを阻止する場合に使用するゲートの動作可能周波数より先大幅に高い値にする必要があります。1.3.1 項および 1.3.2 項で説明したように、シングルエンド・ドライブより差動入力ドライブの方が最適な性能が得られます。

5.0 章で述べたように、A/D クロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くのは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。信号ラインが互いに 90° に交わっているときも容量性のカップリングが起こりますので、クロック・ラインは 90° の交差をしないようにしてください。

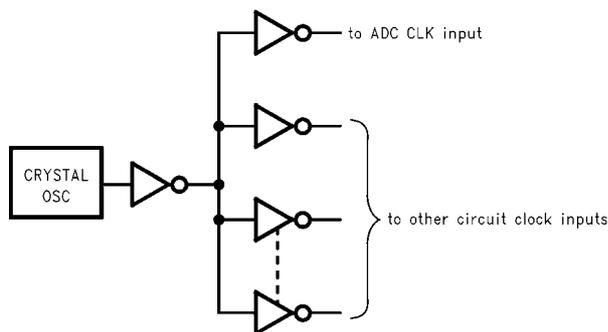


FIGURE 7. Isolating the ADC Clock from other Circuitry with a Clock Tree

7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログまたはデジタル入力をドライブしないこと。適当な動作を行うために、すべての入力は、グラウンド・ピンより 100mV 以下または、電源ピンより 100mV 以上にならないようにしてください。トランジェントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。電源電圧とそのグラウンド電位を超えるオーバーシュートやアンダーシュートを起こす高速デジタル IC（例えば、74F などのファミリ・デバイス）では、よくある現象です。A/D コンバータのデジタル入力は約 47 ~ 100 の直列抵抗を挿入し、また信号源の近くに挿入すると、通常はこの問題を取り除けます。

入力電圧は、たとえ瞬間的であっても電源電圧を超えないようにしてください。電源の投入時も遮断時も同じです。

ADC12D040 の入力を ADC12D040 の電源範囲を超える範囲にまでドライブするようなデバイスで、オーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。適切なバイパスと基板上的アナログ領域とデジタル領域を十分にアイソレートすればこの問題を低減できます。

また、バス・ラインの負荷容量が仕様値 20pF/pin を超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合もやはり動的性能は劣化する恐れがあります。

また、デジタル・データ出力は（例えば、74AC541 で）バッファリングしてください。また、各デジタル出力のできる限り近くに、直列抵抗を加えることで、出力電流を制限し、コンバータの出力に戻ってくるカップリング信号のエネルギが低減されて、ダイナミック特性を改善できます。この時に使用する推奨の抵抗値は 100 Ω です。

不適当なアンプを使ってアナログ入力をドライブしないこと。1.3 章で説明したように、アナログ入力ピンの容量はクロック信号のレベルに応じて 8pF になったり 7pF になったりします。このように容量の変動する負荷を駆動するのは、容量が変わらない場合に比べて難しくなります。

ごく小さい信号レベルのときでもオーバーシュートやリングングといった不安定要素のあらわになるアンプを使ったのでは、性能が落ちてしまいます。Figure 5 に示したように、アンプ出力端のそれぞれに 1 個ずつ直列に小さな値の抵抗を接続し、かつ ADC12D040 のアナログ入力ピン同士を 1 つのコンデンサで接続すると性能が改善されます。LMH6702 と LMH6628 を使えば ADC12D040 のアナログ入力ピンを正常に動作できます。

また、差動入力信号を成す 2 つの信号は、振幅が完全に同じで、位相差がちょうど 180° であることが重要です。この 2 つの信号同士の実際の位相差は部品配置による影響を受けますが、入力ピンまでを結ぶ配線パターン同士の長さの違いが特に大きく影響します。オペアンプは非反転回路のほうが反転回路より遅延時間の長くなるのに注意してください。

アプリケーション情報 (つづき)

リファレンス・ピンを仕様範囲外の入力で動作させないこと

1.2 章で述べたように、 V_{REF} ピンへの入力は、次の範囲内になければなりません。

$$1.0V < V_{REF} < 2.4V$$

これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリミット範囲外での動作は、結果として性能の劣化を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズが発生し、かつ SN 比と SINAD の劣化を招きます。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上