

ADC12V170

*ADC12V170 12-Bit, 170 MSPS, 1.1 GHz Bandwidth A/D Converter with LVDS
Outputs*



Literature Number: JAJSAT1



2008 年 4 月

ADC12V170

12 ビット、170MSPS、1.1GHz 帯域幅 LVDS 出力 A/D コンバータ

概要

ADC12V170 は、LVDS 出力の高性能 CMOS A/D コンバータです。この A/D コンバータは、アナログ入力信号を 12 ビットのデジタル・ワードに最高毎秒 170M サンプル (MSPS) で変換する性能を備えています。データはデュアル・データレート (DDR) フォーマットでチップから出力されます。そのため、出力クロックの両エッジを使用して、パッケージサイズの小型化を実現しています。デジタル・エラー補正機能とサンプル / ホールド回路を備えた差動式パイプライン型アーキテクチャを採用し、消費電力も外部回路数も最小限に抑えながらすぐれた性能を発揮します。独自のサンプル・アンド・ホールド回路段によって 1.1 GHz というフルパワー帯域を実現しています。ADC12V170 はデュアルの + 3.3V と + 1.8V の電源で動作し、170MSPS における消費電力は 781mW です。

デジタル出力インタフェースの電源を独立の + 1.8V 電源にすれば、低ノイズの低電力動作が可能です。パワーダウン機能によって消費電力は 15mW まで抑えられ、わずかなウェイクアップ時間で通常動作に復帰できます。また、消費電力が 50mW でウェイクアップ時間がさらに短いスリープ機能もあります。

差動入力、フルスケール差動入力振幅がリファレンス電圧の 2 倍です。ADC12V170 は、提供される安定した 1.0V 内部リファレンスまたは外部リファレンスで動作できます。

クロックモード (差動かシングルエンド) と出力データ・フォーマット (オフセット・バイナリか 2 の補数) はピン選択で可能です。デューティ・サイクル・スタビライザによって、広範囲な入力クロック・デューティ・サイクルで性能を保持します。

ADC12V170 は ADC14V155 とピン互換です。ADC14V155 は 48 ピンの LLP パッケージで提供され、産業用温度範囲 (- 40 ~ + 85) で動作します。

特長

- 1.1GHz フルパワー帯域幅
- サンプル / ホールド回路内蔵
- 1.0V 高精度リファレンス内蔵
- クロックモード：差動またはシングルエンド
- クロック・デューティ・サイクル安定化回路
- デュアル + 3.3V および + 1.8V 電源で動作
- パワーダウン・モードとスリープ・モード
- 出力データ・フォーマットはオフセット・バイナリまたは 2 の補数
- LVDS 出力
- ピン互換：ADC14V155
- 48 ピン LLP パッケージ (7 × 7 × 0.8mm、0.5mm ピンピッチ)

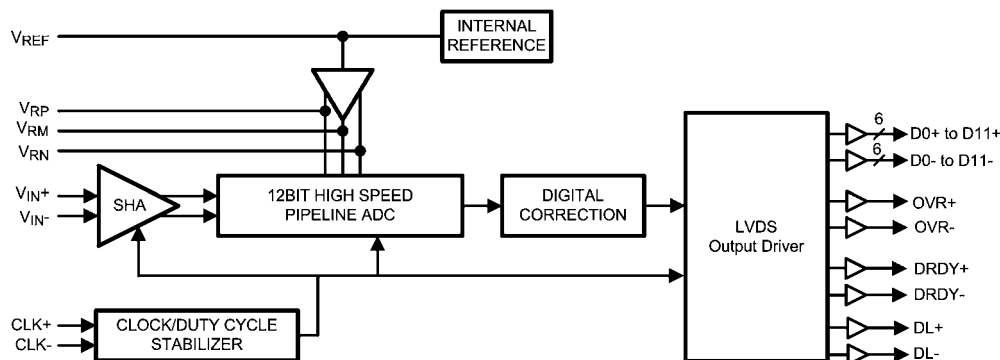
主な仕様

■ 分解能	12 ビット
■ 変換レート	170MSPS
■ S/N 比 ($f_{IN} = 70\text{MHz}$)	67.2dBFS (typ)
■ SFDR ($f_{IN} = 70\text{MHz}$)	85.8dBFS (typ)
■ 有効ビット (ENOB) ($f_{IN} = 70\text{MHz}$)	10.9 ビット (typ)
■ フルパワー帯域幅	1.1GHz (typ)
■ 消費電力	781mW (typ)

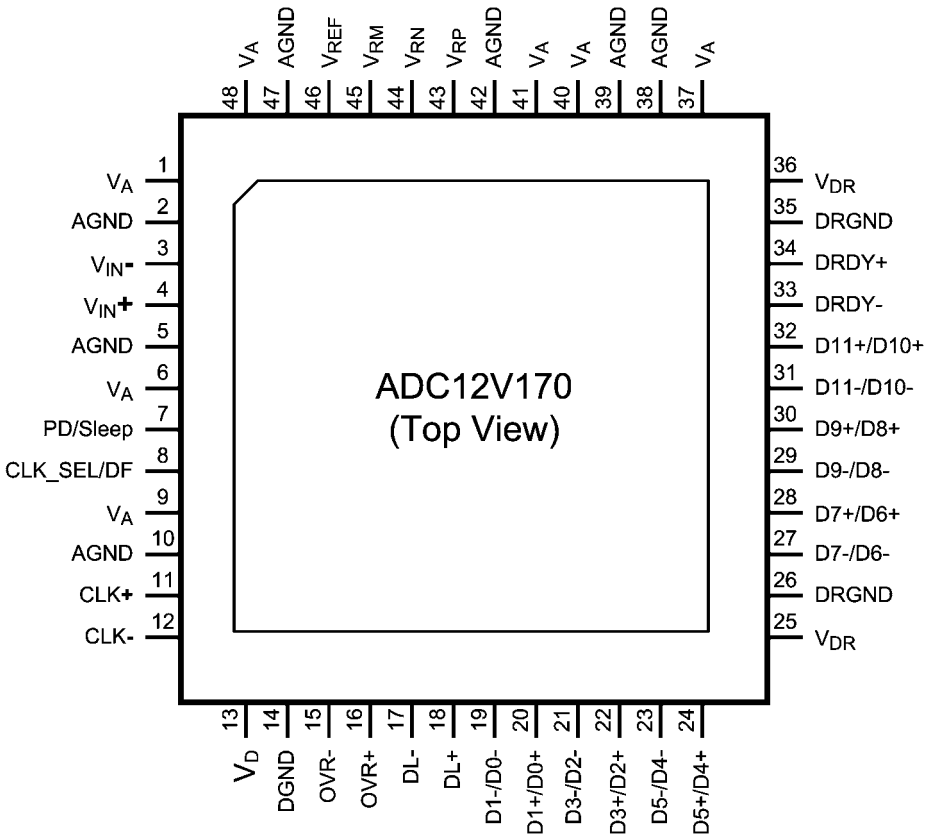
アプリケーション

- 高 IF サンプリング・レシーバ
- 無線基地局レシーバ
- パワーアンプ線形
- マルチ・キャリア、マルチモード・レシーバ
- 試験装置および測定機器
- 通信機器
- レーダ・システム

ブロック図



ピン配置図



製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC12V170CISQ	48 Pin LLP
ADC12V170LFEB	Evaluation Board ($f_{IN} < 150\text{ MHz}$)
ADC12V170HFEB	Evaluation Board ($f_{IN} > 150\text{ MHz}$)

ピン説明および等価回路

ピン番号	記号	等価回路	説明
アナログ I/O			
3	V_{IN-}		差動アナログ入力ピン。差動フルスケール入力信号レベルは、リファレンス電圧の 2 倍です。各入力ピン信号はコモンモード電圧 V_{CM} を中心電圧として入力されます。
4	V_{IN+}		
43	V_{RP}		これらのピンを、低 ESL (等価直列インダクタンス) の $0.1\mu F$ コンデンサで AGND にバイパスし、それは浮遊インダクタンスを最小にするためピンのごく近くに配置する必要があります。 $0.1\mu F$ コンデンサと $10\mu F$ コンデンサを並列にして、 V_{RP} と V_{RN} の間のできるだけピンの近くに配置する必要があります。 $0.1\mu F$ コンデンサはできるだけ短くしてください。(推奨 0201) V_{RP} と V_{RN} には負荷をかけないようにしてください。 V_{RM} は温度的に安定した $1.5V$ リファレンスとして、 $1mA$ までの負荷に対応できます。 V_{RM} は、差動アナログ入力 V_{IN+} および V_{IN-} 用のコモンモード電圧 V_{CM} の供給に使用することを推奨します。
44	V_{RN}		
46	V_{REF}		このピンは、 $+1.0V$ 内部リファレンス電圧出力 (内部リファレンス動作) または外部リファレンス電圧入力 (外部リファレンス動作) として使用されます。内部リファレンスを使用するには、 V_{REF} は、低等価直列インダクタンス (ESL) の $0.1\mu F$ コンデンサで AGND にデカップルする必要があります。このモードでは、 V_{REF} はデフォルトで $1.0V$ 内部リファレンス電圧の出力になります。 外部リファレンス電圧を使用するには、このピンを低ノイズ外部リファレンス電圧でオーバードライブします。このピンへの入力インピーダンスは $9k\Omega$ です。したがって、このピンをオーバードライブするには、外部リファレンス源の出力インピーダンスを $\ll 9k\Omega$ にする必要があります。 このピンは、電流のソースまたはシンクとして使用しないでください。フルスケールの差動入力電圧範囲は $2 * V_{REF}$ です。
8	CLK_SEL/DF		入力クロック・モードと出力データ・フォーマットを制御する 4 値状態のピン。 $CLK_SEL/DF = V_A$ とすると、 $CLK+$ および $CLK-$ は差動クロック入力として構成されます。出力データ・フォーマットは、2 の補数です。 $CLK_SEL/DF = (2/3) * V_A$ で、 $CLK+$ と $CLK-$ は、差動クロック入力として構成されます。出力データ・フォーマットは、オフセット・バイナリです。 $CLK_SEL/DF = (1/3) * V_A$、 $CLK+$ は、シングルエンド・クロック入力として構成され、 $CLK-$ は AGND に接続する必要があります。 $CLK_SEL/DF = AGND$、 $CLK+$ は、シングルエンド・クロック入力として構成され、 $CLK-$ は AGND に接続されなければなりません。出力データの形式はオフセット・バイナリです。
7	$PD/Sleep$		パワーダウン・モードとスリープ・モードを制御する 3 値状態入力。 $PD/Sleep = V_A$ とすると、パワーダウン・モードとなります。パワーダウン・ステートでは、リファレンス電圧回路がアクティブ状態を維持し、消費電力が減少します。 $PD/Sleep = V_A/2$ とするとスリープ・モードとなります。スリープ・モードはパワーダウン・モードと似ていますが、このモードの方が消費電力が多い分、復帰時間が短くなります。 $PD/Sleep = AGND$ とすると、通常動作です。

ピン説明および等価回路 (つぎ)

ピン番号	記号	等価回路	説明
アナログ I/O			
11	CLK +		クロック入力ピンは、シングルエンド・クロック入力信号か差動クロック入力信号のいずれかを受け入れるように構成できます。 CLK_SEL/DF(ピン 8)によってシングルエンド・クロック・モードを選択した場合、クロック入力信号を CLK +ピンに、CLK -ピンを AGND にそれぞれ接続します。 CLK_SEL/DF(ピン 8)によって差動クロック・モードを選択した場合は、“+”クロック入力を CLK +ピンに、“-”クロック入力を CLK -ピンにそれぞれ接続します。 アナログ入力は、クロック入力の立ち下がりエッジでサンプリングされます。
12	CLK -		
デジタル I/O			
19 20 21 22 23 24 27 28 29 30 31 32	D1 - /D0 - D1 + /D0 + D3 - /D2 - D3 + /D2 + D5 - /D4 - D5 + /D4 + D7 - /D6 - D7 + /D6 + D9 - /D8 - D9 + /D8 + D11 - /D10 - D11 + /D10 +		変換後の 12 ビット LVDS デジタル・データ出力ピン。データは、DRDY + / - に同期する 2:1 の多重化によって提供されます。 偶数ビットは、DRDY の立ち上がりエッジで、奇数ビットは DRDY の立ち下がりエッジでキャプチャする必要があります。 D0 は LSB を表します。 D11 は MSB を表します。
15 16	OVR - OVR +		
33 34	DRDY + DRDY -		データ・レディ・ストロブ。この LVDS 出力は、出力データとクロック同期を取るために使用され、サンプリング・クロックと同じ周波数です。データ・ワードの半分は、この信号の各エッジで出力されます。したがって、このクロックの各サイクルで完全な 12 ビット・ワードが転送されます。偶数ビットは、DRDY の立ち上がりエッジで、奇数ビットはDRDY の立ち下がりエッジでキャプチャする必要があります。
17, 18	DL - /DL +		LVDS Low ロジック・レベル
アナログ電源			
1, 6, 9, 37, 40, 41, 48	V _A		正のアナログ電源ピン。これらのピンはノイズのない + 3.3V 電源に接続してください。AGND との間のバイパス・コンデンサとして、各電源ピンの近くに 0.01 μF と 0.1 μF のコンデンサを各 1 個接続してください。
2, 5, 10, 38, 39, 42, 47	AGND		アナログ電源のグラウンド・リターン。
デジタル電源			
13	V _D		正電圧のデジタル電源ピン。このピンはノイズのない + 3.3V 電源に接続してください。DGND との間のバイパス・コンデンサとして、電源ピンの近くに 0.01 μF と 0.1 μF のコンデンサを各 1 個接続してください。
14	DGND		デジタル電源のグラウンド・リターン。
25, 36	V _{DR}		出力ドライバ用の正のドライバ電源ピン。このピンはノイズのない + 1.8V 電源に接続してください。DRGND との間のバイパス・コンデンサとして、電源ピンの近くに 0.01 μF と 0.1 μF のコンデンサを各 1 個接続してください。
26, 35	DRGND		デジタル出力ドライバ電源のグラウンド・ピン。システムのデジタル・グラウンドに接続してください。ただし、A/D コンバータの DGND または AGND ピンの近くには接続しないでください。詳細はセクション 6.0 「レイアウトとグラウンド構成」を参照ください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_A , V_D)	- 0.3V ~ 4.2V
電源電圧 (V_{DR})	- 0.3V ~ 2.35V
$ V_A - V_D $	100mV
全入力ピン (4.2V 以内)	- 0.3V ~ ($V_A + 0.3V$)
各出力ピンの電圧 (2.35V 以内)	- 0.3V ~ ($V_{DR} + 0.2V$)
電源ピン以外の各ピンの入力電流 (Note 3)	$\pm 5mA$
パッケージの入力電流 (Note 3)	$\pm 50mA$
最大接合部温度 (T_J)	+ 150
熱抵抗 (θ_{JA})	24 /W
パッケージ消費電力 ($T_A = 25^\circ C$) (Note 4)	5.2W
ESD 定格	
人体モデル (Note 5)	2,000V
マシン・モデル (Note 5)	200V
デバイス帯電モデル	1,000V
保存温度範囲	- 65 ~ + 150

ハンダ付けのプロセスは、National Semiconductor's Reflow
Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging/ を参照してください。 (Note 6)

動作定格 (Note 1、2)

動作温度範囲	- 40 T_A + 85
電源電圧 (V_A , V_D)	+ 3.0V ~ + 3.6V
出力ドライバ用の電源 (V_{DR})	+ 1.6V ~ + 2.0V
クロック入力 (CLK +, CLK -)	- 0.05V ~ ($V_A + 0.05V$)
クロック・デューティ・サイクル	30/70 %
アナログ入力ピン (V_{IN+} , V_{IN-})	0V ~ 2.6V
アナログ入力コモンモード (V_{CM})	1.4V ~ 1.6V
$ AGND - DGND $	100mV

コンバータの電気的特性

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0\text{V}$ 、 $V_A = V_D = +3.3\text{V}$ 、 $V_{DR} = +1.8\text{V}$ 、内部 $V_{REF} = +1.0\text{V}$ 、 $f_{CLK} = 170\text{MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{pF}$ /ピン、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。標準値は $T_A = 25^\circ\text{C}$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25^\circ\text{C}$ に対して適用されます (Note 7、8、9)。

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			12	Bits (min)
INL	Integral Non Linearity (Note 11)	Full Scale Input	± 0.5	1.9 -1.9	LSB (max) LSB (min)
DNL	Differential Non Linearity	Full Scale Input	± 0.3	1.0 -1.0	LSB (max) LSB (min)
PGE	Positive Gain Error		+0.74	3.30 -2.10	%FS (max) %FS (min)
NGE	Negative Gain Error		-0.33	2.10 -2.85	%FS (max) %FS (min)
TC GE	Gain Error Tempco	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	+8.0		ppm/ $^\circ\text{C}$
V_{OFF}	Offset Error ($V_{IN+} = V_{IN-}$)		-0.11	0.75 -0.95	%FS (max) %FS (min)
TC V_{OFF}	Offset Error Tempco	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	+0.5		ppm/ $^\circ\text{C}$
	Under Range Output Code		0	0	
	Over Range Output Code		4095	4095	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CM}	Common Mode Input Voltage		1.5		V
V_{RM}	Reference Ladder Midpoint Output Voltage	Maximum output load = 1 mA	1.5		V
C_{IN}	V_{IN} Input Capacitance (each pin to GND) (Note 12)	$V_{IN} = 1.5\text{Vdc}$ $\pm 0.5\text{V } (V_{CM})$	(CLK LOW)	6	pF
			(CLK HIGH)	9	pF
V_{REF}	Reference Voltage (Note 13)		1.00		V
	Reference Input Resistance		9		k Ω

コンバータの電氣的ダイナミック特性

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 170\text{ MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{ pF}$ / ビン、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} T_A T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます (Note 7、8、9)。

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
DYNAMIC CONVERTER CHARACTERISTICS, $A_{IN} = -1\text{dBFS}$					
FPBW	Full Power Bandwidth	-1 dBFS Input, -3 dB Corner	1.1		GHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10\text{ MHz}$	67.9		dBFS
		$f_{IN} = 70\text{ MHz}$	67.2	66.0	dBFS
		$f_{IN} = 150\text{ MHz}$	67.1		dBFS
		$f_{IN} = 250\text{ MHz}$	66.9		dBFS
		$f_{IN} = 400\text{ MHz}$	65.4		dBFS
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10\text{ MHz}$	85.0		dBFS
		$f_{IN} = 70\text{ MHz}$	85.8	74.0	dBFS
		$f_{IN} = 150\text{ MHz}$	85.0		dBFS
		$f_{IN} = 250\text{ MHz}$	83.0		dBFS
		$f_{IN} = 400\text{ MHz}$	71.6		dBFS
ENOB	Effective Number of Bits	$f_{IN} = 10\text{ MHz}$	11.0		Bits
		$f_{IN} = 70\text{ MHz}$	10.9	10.5	Bits
		$f_{IN} = 150\text{ MHz}$	10.8		Bits
		$f_{IN} = 250\text{ MHz}$	10.7		Bits
		$f_{IN} = 400\text{ MHz}$	10.3		Bits
THD	Total Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-82.7		dBFS
		$f_{IN} = 70\text{ MHz}$	-82.3	-72.0	dBFS
		$f_{IN} = 150\text{ MHz}$	-80.7		dBFS
		$f_{IN} = 250\text{ MHz}$	-79.6		dBFS
		$f_{IN} = 400\text{ MHz}$	-68.8		dBFS
H2	Second Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-95.0		dBFS
		$f_{IN} = 70\text{ MHz}$	-88.4	-77.0	dBFS
		$f_{IN} = 150\text{ MHz}$	-87.4		dBFS
		$f_{IN} = 250\text{ MHz}$	-83.0		dBFS
		$f_{IN} = 400\text{ MHz}$	-71.6		dBFS
H3	Third Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-85.0		dBFS
		$f_{IN} = 70\text{ MHz}$	-86.8	-74.0	dBFS
		$f_{IN} = 150\text{ MHz}$	-85.0		dBFS
		$f_{IN} = 250\text{ MHz}$	-88.1		dBFS
		$f_{IN} = 400\text{ MHz}$	-73.7		dBFS
SINAD	Signal-to-Noise and Distortion Ratio	$f_{IN} = 10\text{ MHz}$	67.7		dBFS
		$f_{IN} = 70\text{ MHz}$	67.1	65.1	dBFS
		$f_{IN} = 150\text{ MHz}$	67.0		dBFS
		$f_{IN} = 250\text{ MHz}$	66.7		dBFS
		$f_{IN} = 400\text{ MHz}$	63.8		dBFS

ロジックおよび電源の電気的特性

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 170\text{MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{pF/ピン}$ 、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} T_A T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます (Note 7、8、9)。

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
CLK INPUT CHARACTERISTICS					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$		0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA
C_{IN}	Input Capacitance		5		pF
DIGITAL OUTPUT CHARACTERISTICS (D0+/- to D11+/-, DRDY+/-, OVR+/-, DL+/-)					
V_{OD}	LVDS differential output voltage	(Note 14)	350	250	mV _{P-P} (min)
				450	mV _{P-P} (max)
V_{OS}	The common-mode voltage of the LVDS output	(Note 14)	1.22	1.125	V (min)
				1.375	V (max)
R_L	Intended Load Resistance		100		Ω
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	Full Operation	221	289	mA (max)
I_D	Digital Supply Current	Full Operation	15	16	mA (max)
I_{DR}	Digital Output Supply Current	Full Operation	31.5		mA
	Power Consumption	Excludes I_{DR}	781		mW
	Power Down Power Consumption		15		mW
	Sleep Power Consumption		50		mW

タイミング仕様と AC 特性

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 170\text{ MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{ pF}$ /ピン、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。代表値は $T_A = 25$ の場合の値です。タイミング測定は信号振幅の 50% で行われます。太字表記のリミット値は T_{MIN} T_A T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます (Note 7、8、9)。

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
	Maximum Clock Frequency			170	MHz (max)
	Minimum Clock Frequency			5	MHz (min)
	Clock High Time		2.7		ns
	Clock Low Time		2.7		ns
	Conversion Latency			7.5	Clock Cycles
t_{OD}	Output Delay of CLK to DATA	Relative to falling edge of CLK	3.8		ns
t_{DV}	Data Output Valid Time	Time output data is valid before the output edge of DRDY (Note 14)	1.3	0.9	ns (min)
t_{DNV}	Data Output Not Valid Time	Time till output data is not valid after the output edge of DRDY (Note 14)	1.3	0.9	ns (min)
t_{AD}	Aperture Delay		0.5		ns
	Aperture Jitter		0.08		ps rms
	Power Down Recovery Time	0.1 μF to GND on pins 43, 44; 10 μF and 0.1 μF between pins 43, 44; 0.1 μF and 10 μF to GND on pins 45, 46	3.0		ms
	Sleep Recovery Time	0.1 μF to GND on pins 43, 44; 10 μF and 0.1 μF between pins 43, 44; 0.1 μF and 10 μF to GND on pins 45, 46	100		μs

Note 1: 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。動作定格とはデバイスの機能が保証される条件を示しますが、特定の性能リミット値を示すものではありません。保証された規格値、試験条件については「電気的特性」を参照ください。保証された仕様は「電気的特性」に記載されている試験条件においてのみ適用されます。記載の試験条件下でデバイスを動作させないと、いくつかの性能特性が低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

Note 2: 特記のない限り、すべての電圧は $GND = AGND = DGND = 0V$ を基準にして測定されています。

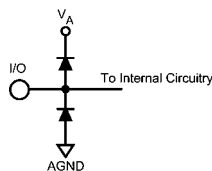
Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$)、そのピンの入力電流を $\pm 5\text{ mA}$ 以下に制限しなければなりません。最大パッケージ入力定格電流 ($\pm 50\text{ mA}$) により、電源電圧を超えて $\pm 5\text{ mA}$ の電流を流すことができるピン数は 10 本に制限されます。

Note 4: 最大許容消費電力 $P_{J,max}$ は、 $T_{J,max}$ 、接合部周囲間熱抵抗 (θ_{JA})、および周囲温度 (T_A) によって決まり、 $P_{D,max} = (T_{J,max} - T_A) / \theta_{JA}$ で表されます。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF コンデンサから直列抵抗 1.5k Ω を通して各ピンに放電させます。マシン・モデルでは、220pF のコンデンサから直列抵抗 0 Ω を通して各ピンに放電させます。

Note 6: リフロー時の温度特性は、そのパッケージが鉛フリーかどうかによって異なります。

Note 7: 以下に示すように、各入出力ピンは 1 個のツェナーダイオードで保護されています。Note 3 に従って電流制限を行うと、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、動作定格で記載されたように入力が 2.6V 以上にまたは GND より低い場合、A/D 変換のエラーが発生します。



Note 8: 精度を保証するために、各電源電圧差を $|V_A - V_D| = 100\text{ mV}$ にし、かつそれぞれの電源ピンに別個のバイパス・コンデンサが必要となります。

Note 9: $V_{REF} = +1.0V$ (2V_{P-P} 差動入力) のテスト条件で、12 ビットの LSB は 488.3 μV になります。

Note 10: 代表的性能値は、 $T_A = 25$ のときのものであり、製品特性試験の時点でとり得る最適なパラメータの基準を表しています。代表的な仕様は保証されているわけではありません。

Note 11: 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。

Note 12: 入力容量は、パッケージ / ピン容量とサンプル / ホールド回路容量の合計です。

Note 13: 最適な性能は、リファレンス入力を 0.9V ~ 1.1V に維持することで得られます。外部リファレンスを使用するアプリケーションには LM4051CIM3-ADJ (SOT-23 パッケージ) を推奨します。

Note 14: このテスト・パラメータは設計と特性評価によって保証されています。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち下がってから入力信号が取り込まれるか保持されるまでの時間です。

アパーチャ・ジッタ (アパーチャ不確定性) (APERTURE JITTER) は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) は、繰り返しデジタル波形の周期に対する High の時間の比です。本データシートに記載されているデューティ・サイクルの仕様は、A/D コンバータのクロック入力信号に対して適用されます。

コモンモード電圧 (COMMON MODE VOLTAGE: V_{CM}) とは A/D コンバータの両方の入力ピンに印加されるコモン DC 電圧です。

変換レイテンシ (CONVERSION LATENCY) は、変換開始からその変換結果が出力ドライバで得られるまでの期間をクロック・サイクル数で表したものです。任意のサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイに出力ディレイが加算された時間の後に出力ピンで有効になります。新しいデータはクロック・サイクルごとに出力ピンで有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数が低周波数帯域における値に対して 3dB 落ちる部分までの周波数として測定される帯域幅です。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次式で計算できます。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差

正側ゲイン誤差と負側ゲイン誤差によって次のように表すこともできます。

正側ゲイン誤差 = 正側フルスケール誤差 - オフセット誤差

負側ゲイン誤差 = オフセット誤差 - 負側フルスケール誤差

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ゼロスケール (最初のコード遷移の 1/2LSB 下) から正側フルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央を基準として測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち、最も小さな値、または最も小さな重みを持ったビットです。この値は $V_{FS}/2^n$ として表されます。" V_{FS} " はフルスケール入力電圧、" n " は A/D コンバータの分解能 (ビット) です。

LVDS 差動出力電圧 (LVDS DIFFERENTIAL OUTPUT VOLTAGE: V_{OD}) は、それぞれグラウンドを基準として測定した V_{DX+} 電圧と V_{DX-} 電圧の差の絶対値です。

LVDS 出力オフセット電圧 (LVDS OUTPUT OFFSET VOLTAGE: V_{OS}) は、 V_{DX+} 出力電圧と V_{DX-} 出力電圧の midpoint、すなわち $[V_{DX+} + V_{DX-}]/2$ です。

ミッシング・コード (MISSING CODES) は、A/D コンバータから出力されない出力コードです。ADC12V170 は、ミッシング・コードのないことが保証されています。

MSB (MOST SIGNIFICANT BIT) は、全ビットのうち、最も大きな値、または最も大きな重みを持ったビットです。MSB の値はフルスケールの 1/2 に相当します。

負側フルスケール誤差 (NEGATIVE FULL SCALE ERROR) は、最初のコード遷移点の実測値と (負側フルスケール + 0.5LSB) の理想値とのずれです。

オフセット誤差 (OFFSET ERROR) とは、コード 2047 から 2048 への遷移を発生させるために必要な、2 つの入力電圧の差 $[(V_{IN+}) - (V_{IN-})]$ です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち下がりがエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

パイプライン・ディレイ (PIPELINE DELAY: LATENCY) については「変換レイテンシ」(CONVERSION LATENCY) を参照してください。

正側フルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と (正側フルスケール - 1.5LSB) の理想値とのずれのことです。

電源電圧除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、電源電圧の変動を A/D コンバータでどの程度除去できるかを表したものです。PSRR は、最大 DC 電源限界値の電源での A/D コンバータのフルスケールの出力に対する、最小 DC 電源限界値の電源での A/D コンバータのフルスケールの出力の比であり、dB で表されます。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: $S/(N + D)$ または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアスフリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求められます。

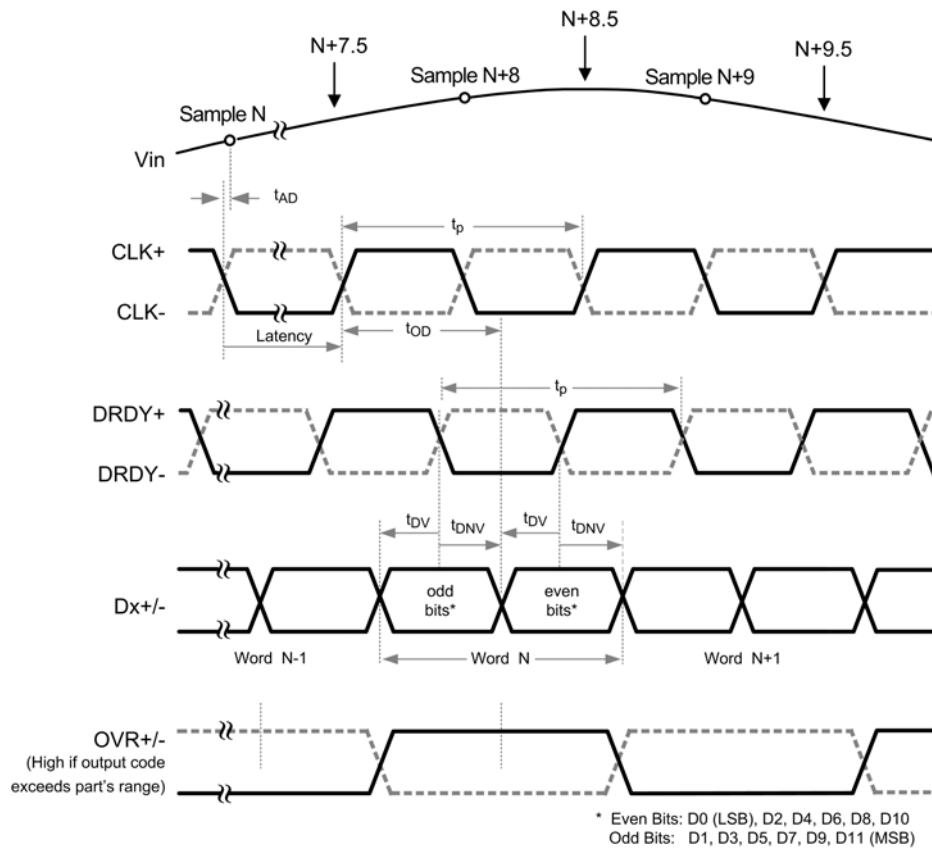
$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_{10}^2}{f_1^2}}$$

f_1 は基本周波数 (出力) パワーの実効値 (RMS 値)、 f_2 から f_{10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

第 2 次高調波歪み (2ND HARM) は、出力に現れる入力周波数の RMS パワーと 2 次高調波レベルのパワーとの差を dB で表した値です。

第 3 次高調波歪み (3RD HARM) は、出力に現れる入力周波数の RMS パワーと 3 次高調波レベルのパワーとの差を dB で表した値です。

タイミング図



Output Timing

変換特性

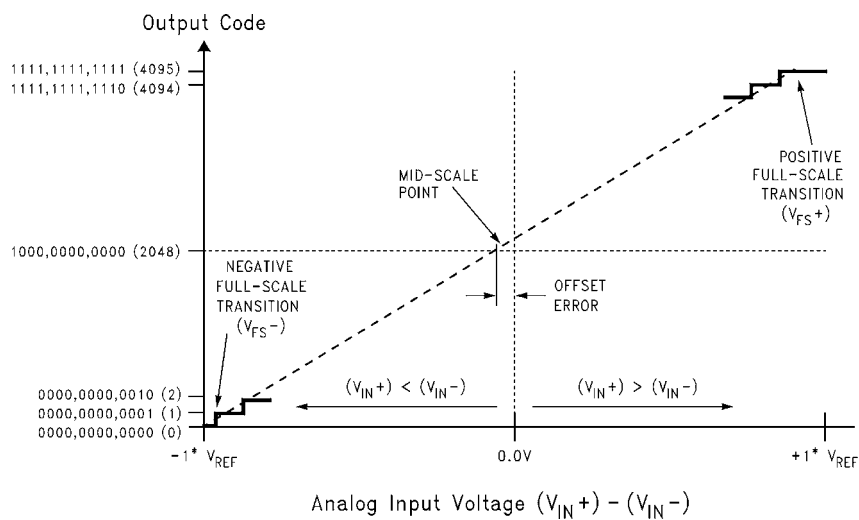
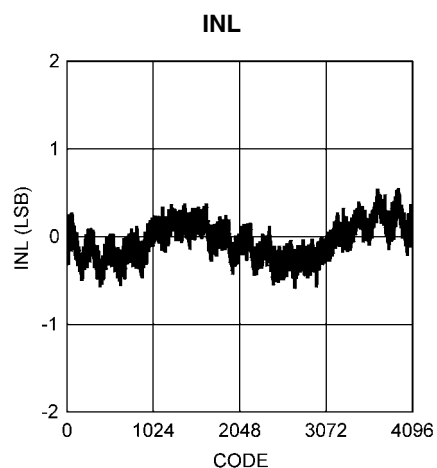
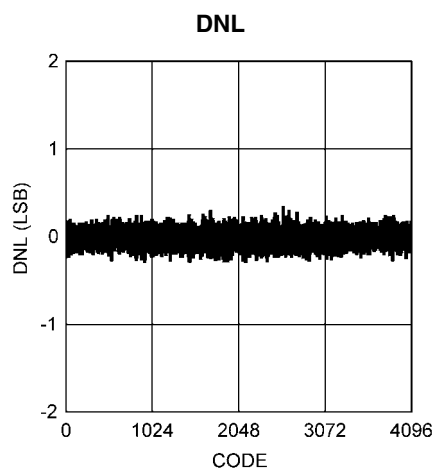


FIGURE 1. Transfer Characteristic (Offset Binary Format)

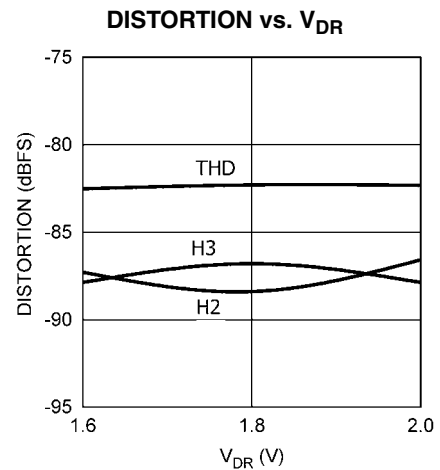
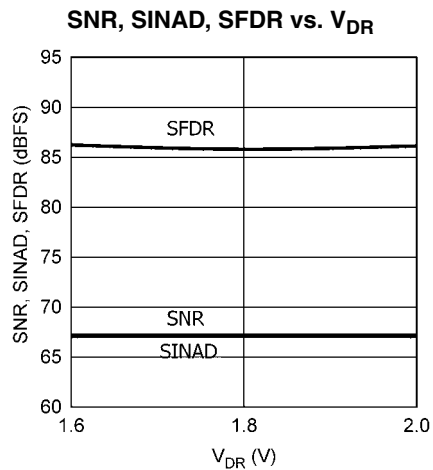
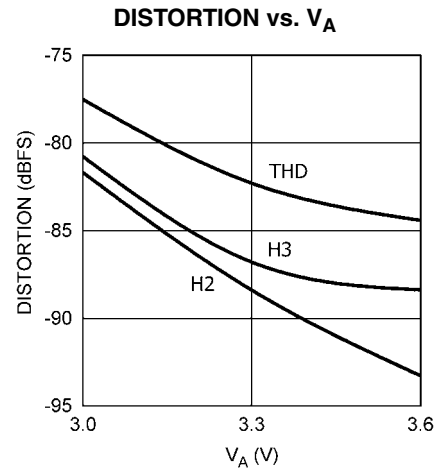
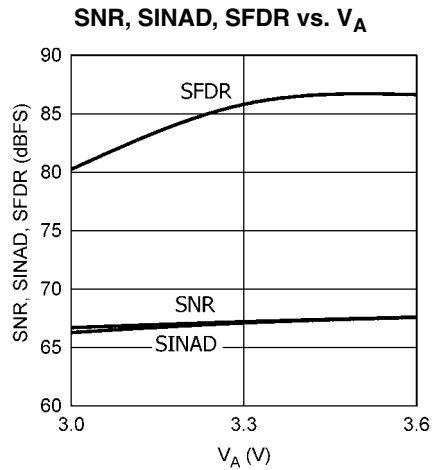
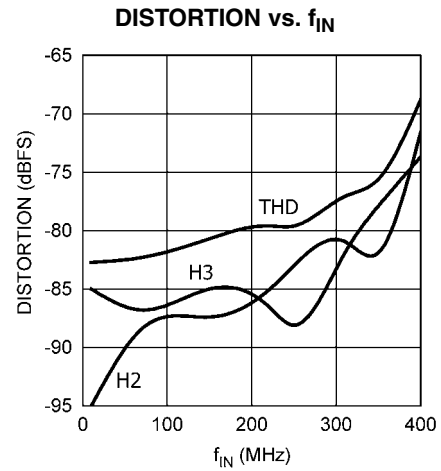
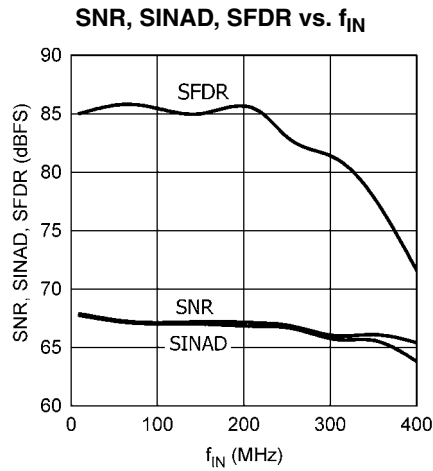
代表的な性能特性、DNL、INL

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 170\text{ MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{ pF}$ /ピン、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。代表値は $T_A = 25$ の場合の値です。(Note 7、8、9)



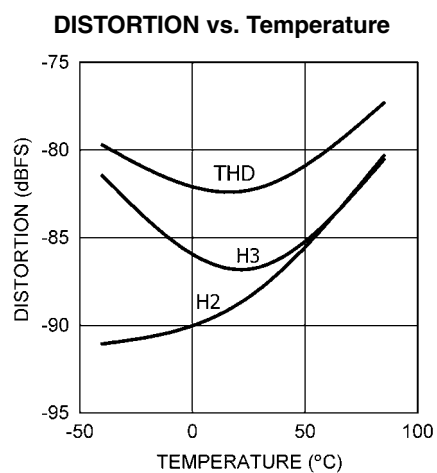
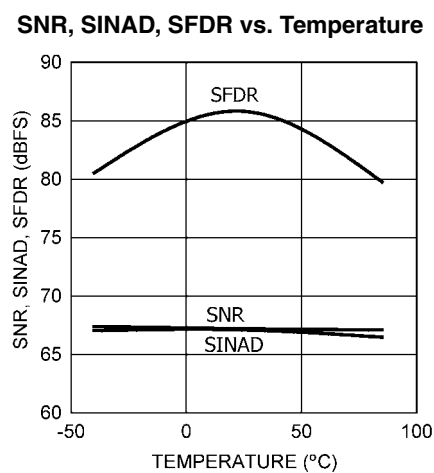
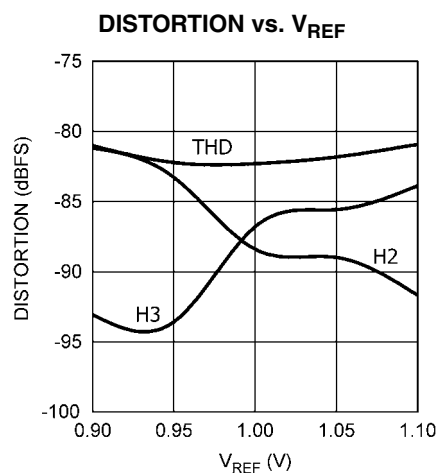
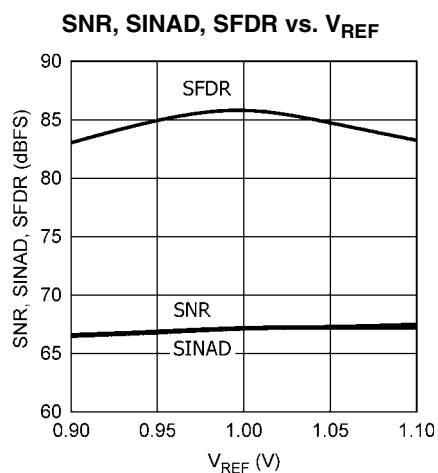
代表的な性能特性、ダイナミック性能

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0\text{V}$ 、 $V_A = V_D = +3.3\text{V}$ 、 $V_{DR} = +1.8\text{V}$ 、内部 $V_{REF} = +1.0\text{V}$ 、 $f_{CLK} = 170\text{MHz}$ 、 $f_{IN} = 70\text{MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{pF}$ /ピン、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。代表値は $T_A = 25^\circ\text{C}$ の場合の値です。



代表的な性能特性、ダイナミック性能

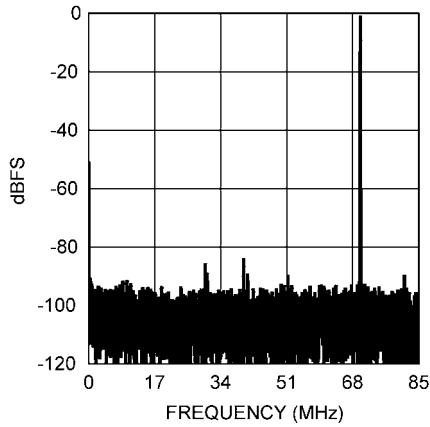
特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 170\text{MHz}$ 、 $f_{IN} = 70\text{MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{pF/ピン}$ 、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。代表値は $T_A = 25^\circ\text{C}$ の場合の値です。



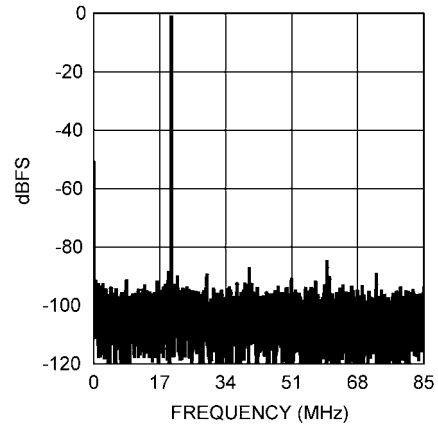
代表的な性能特性、ダイナミック性能

特記のない限り、以下の仕様は $V_{IN} = -1\text{dBFS}$ 、 $AGND = DGND = DRGND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部 $V_{REF} = +1.0V$ 、 $f_{CLK} = 170\text{MHz}$ 、 $f_{IN} = 70\text{MHz}$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5\text{pF}$ /ピン、シングルエンド・クロック・モード、オフセット・バイナリ・フォーマットに対して適用されます。代表値は $T_A = 25^\circ\text{C}$ の場合の値です。

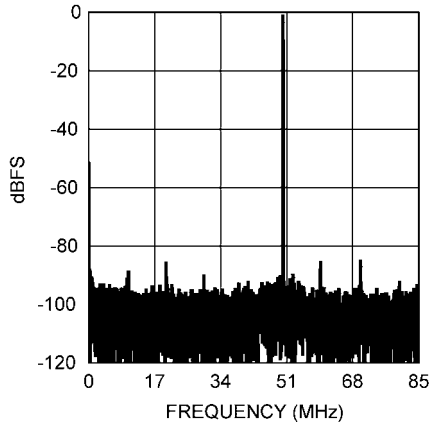
Spectral Response @ 70 MHz Input



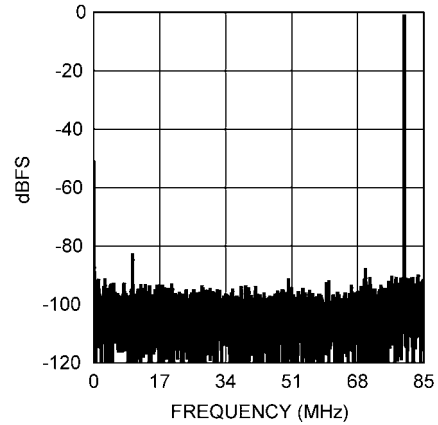
Spectral Response @ 150 MHz Input



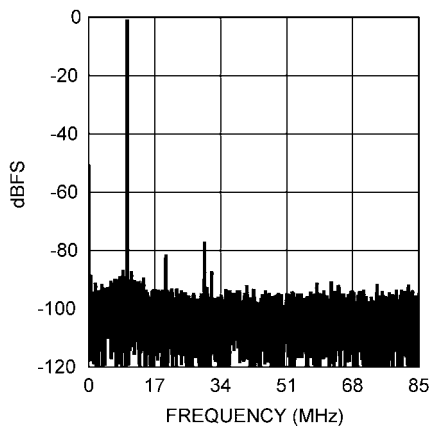
Spectral Response @ 220 MHz Input



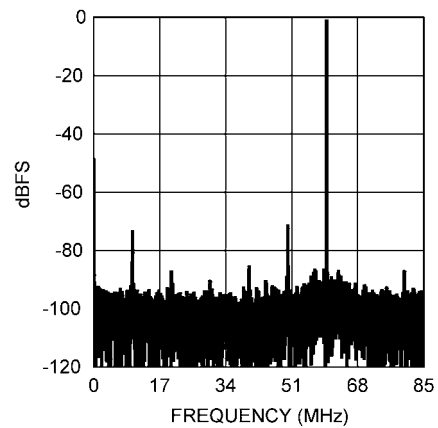
Spectral Response @ 250 MHz Input



Spectral Response @ 350 MHz Input



Spectral Response @ 400 MHz Input



機能説明

ADC12V170 は、+ 3.3V と + 1.8V の 2 つの電源を使用し、差動パイプライン・アーキテクチャと誤差補正回路とオンチップ・サンブル/ホールド回路を使用して差動アナログ入力信号を 12 ビットまでデジタル化し、最大性能を確保しています。

リファレンス電圧には外部リファレンスか 1.0V の安定した内部リファレンスを使います。ADC12V170 は、外部リファレンスは 0.9V ~ 1.1V (推奨は 1.0V) でオンチップ・バッファされるため、リファレンス・ピンの駆動は容易です。+ 1.8V 出力ドライバ電源は、消費電力と、コンバータ出力のノイズを低減します。

4 値の機能ピン CLK_SEL/DF (8 ピン) によって、ユーザーは、シングルエンドか差動クロック入力の選択と、オフセット・バイナリか 2 の補数出力データ形式の選択ができます。デジタル出力は、LVDS 対応信号であり、クロック入力と同じレートで、同期データ・レディ出力信号 (DRDY、33、34 ピン) によって、クロック出力されます。ADC12V170 は 5MSPS ~ 170MSPS (typ) のクロック周波数に対応しており、170MSPS において全範囲の性能を規定しています。アナログ入力は、クロックの立ち下がりがエッジで取得され、所定サンプルに対するデジタルデータは、パイプラインによって 7.5 クロック・サイクル遅れて DRDY 信号の立ち下がりがエッジで出力されます。奇数データ・ビットは、DRDY 信号の立ち上がりがエッジでキャプチャし、偶数データ・ビットは DRDY 信号の立ち下がりがエッジでキャプチャされます。

パワーダウンは、PD/スリープ・ピン (7 ピン) を使用して選択可能です。PD/スリープ・ピンをロジック High にすることによって、リファレンス電源回路以外がすべてディスエーブルになり、コンバータ消費電力が 15mW まで低減します。PD/スリープ・ピンが $V_A/2$ にバイアスされると、チップはスリープ・モードになります。スリープ・モードではリファレンス電圧回路と関連するチップ内のバッファ以外がすべてディスエーブルとなり、消費電力が 50mW まで下がります。ADC12V170 の復帰時間 (ウェイクアップ時間) は、パワーダウン・モード時よりスリープ・モード時のほうが迅速です。通常動作では、PD/スリープ・ピンをアナログ・グラウンド (AGND) に接続する必要があります。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの広範囲にわたって性能を保持します。

アプリケーション情報

1.0 動作条件

ADC12V170 の動作条件としては次の各値を推奨します。

$$3.0V \quad V_A \quad 3.6V$$

$$V_D = V_A$$

$$V_{DR} = 1.8V$$

$$5 \text{ MHz} \quad f_{CLK} \quad 170 \text{ MHz}$$

$$1.0V \text{ 内部リファレンス}$$

$$0.9V \quad V_{REF} \quad 1.1V \text{ (外部リファレンスの場合)}$$

$$V_{CM} = 1.5V \text{ (} V_{RM} \text{ から)}$$

$$\text{シングルエンド・クロック・モード}$$

2.0 アナログ入力

2.1 信号入力

2.1.1 差動アナログ入力ピン

ADC12V170 には、1 対のアナログ信号入力ピン、 V_{IN+} および V_{IN-} があり、差動入力ペアを構成します。入力信号 V_{IN} は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 2 は、入力信号として予想される範囲を示したものです。コモン・モード入力電圧 (V_{CM}) は 1.5V でなければならないことに注意してください。 V_{CM} に対して V_{RM} (45 ピン) を使用すると、アナログ入力信号として最適な入力コモンモード・レベルになります。個々の入力信号のピークは、決して 2.6V を超えてはなりません。差動ペアの各アナログ入力ピンは、リファレンス電圧 V_{REF} と等しいピーク間電圧であり、互いに 180 位相がずれた状態で、 V_{CM} が中心である必要があります。各アナログ入力ピンにおけるピーク・ツー・ピーク電圧振幅はリファレンス電圧の値を超えてはなりません。その値を超えると出力データはクリッピングが生じてしまいます。

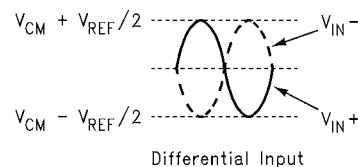


FIGURE 2. Expected Input Signal Range

単一周波数の正弦波に対する LSB のフルスケール誤差は次式で近似できます。

$$E_{FS} = 4096 (1 - \sin(90^\circ \pm \text{dev}))$$

"dev" は、互いに 180 の相対位相差を持つ 2 つの信号間の角度誤差です (Figure 3 を参照)。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180 になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形では、角度誤差は歪みの原因となります。

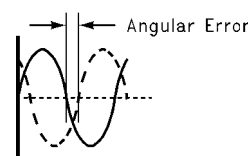


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

アナログ入力ピンを駆動する信号源のソース・インピーダンスは 100Ω 未満にしてください。差動入力のソース・インピーダンス・マッチングを行うと、偶数次高調波特性が改善されます (特に第二高調波)。

Table 1 は、ADC12V170 の入力と出力との関係を示したものです。

アプリケーション情報 (つづき)

TABLE 1. Input to Output Relationship

V_{IN+}	V_{IN-}	Binary Output	2's Complement Output	
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	0000 0000 0000	1000 0000 0000	Negative Full-Scale
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	0100 0000 0000	1100 0000 0000	
V_{CM}	V_{CM}	1000 0000 0000	0000 0000 0000	Mid-Scale
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	1100 0000 0000	0100 0000 0000	
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	1111 1111 1111	0111 1111 1111	Positive Full-Scale

2.1.2 アナログ入力の駆動

ADC12V170 の V_{IN+} 、 V_{IN-} の入力は、アナログ・スイッチとそれに続くスイッチ・キャパシタ・アンプから構成されています。アナログ入力は、NMOS スイッチ経路によってサンプリング・コンデンサに接続され、各アナログ入力にはそれに関連する寄生容量があります。

クロックが High のとき、コンバータはサンプル状態にあります。アナログ入力は、NMOS スイッチによってサンプリング・コンデンサに接続されているため、アナログ入力ピンにおけるキャパシタンスはあたかも、ピン・キャパシタンス + 内部サンプル / ホールド回路キャパシタンス (およそ 9pF) のように見えます。クロック・レベルが High の間、サンプリング・コンデンサは変化するアナログ入力電圧に追従します。クロックが High から Low に遷移するとき、コンバータはホールド状態になり、その間はアナログ入力はサンプリング・コンデンサから切り離されます。クロック遷移前にアナログ入力に発生した最後の電圧は、サンプリング・コンデンサで保持され A/D コンバータのコアに送出されます。ホールド状態時のアナログ入力のキャパシタンスは、ピン・キャパシタンスと各アナログ入力のサンプル・ホールド回路に関連する寄生容量の合計です (およそ 6pF)。クロック信号が Low から High に遷移すると、アナログ入力がサンプリング・コンデンサに再接続され、次のサンプルがキャプチャされます。通常、サンプリング・コンデンサに保持された電圧値とアナログ入力の新しい電圧値には差があります。これは、充電グリッチの原因となります。このグリッチは、アナログ入力ピンに現れる 2 つのサンプルの間の電圧差に比例します。入力回路は、クロック信号が再び Low になる前にサンプリング・コンデンサをセトリングさせるだけの十分な高速性が必要です。セトリング・タイムが不十分な場合は、SFDR 性能が低下します。

シングルエンドから差動信号への変換回路を Figure 4 に示します。高周波入力信号に対してはトランスを推奨します。トランスを 2 次側で終端するのは、2 つの利点があります。1 つは、A/D コンバータ入力に対して真の広帯域インピーダンスとなることで、もう 1 つは、差動サンプル / ホールド回路の両側からの充電グリッチに対するコモン経路となることです。

トランスを使用してシングルエンドから差動に変換を行う際の弱点は、ほとんどの RF トランスの低周波側の性能が低いことです。差動アンプは、低周波アプリケーションのアナログ入力の駆動に使用できます。クロックが High になりサンプルが A/D コンバータのコアを通過する前にアンプは、サンプル / ホールド動作から生じるアナログ入力の充電グリッチから落ちつくまでのセトリング・タイムが十分高速である必要があります。

コンバータの SFDR 性能は、サンプル / ホールド充電グリッチがいかに速くセトリングするかに影響され、使用する外部信号コンディショニング回路に依存します。Figure 4 に示す外部抵抗とコンデンサを使用して、A/D コンバータの入力における充電グリッチを外部駆動回路から分離し、コンバータ入力側の広帯域ノイズをフィルタする必要があります。取り付け位置は A/D コンバータのすぐ近くにしてください。A/D コンバータの入力ピンが全体の中でも最も高感度な部分であり、入力信号にフィルタをかけるには最後のポイントであるためです。ナイキスト・アプリケーションの場合は

A/D コンバータのサンプリング・レートに RC ボールを設定してください。RC ボールを設定する際はサンプリング・モード時の A/D コンバータの入力容量を考慮する必要があります。広帯域アンダーサンプリング・アプリケーションの場合、リニアな遅延応答を維持するために、最大入力周波数の 1.5 倍から 2 倍程度の周波数に RC ボールを設定してください。

2.1.3 入力コモンモード電圧

入力コモンモード電圧 V_{CM} は 1.4V ~ 1.6V の範囲とし、アナログ信号のピーク電圧がグラウンドを下回らないように、かつ、2.6V を上回らないように設定しなければなりません。入力コモンモード電圧として V_{RM} (45 ピン) の使用を推奨します。

2.2 基準電圧ピン

ADC12V170 は内部リファレンス電圧 1.0V、あるいは外部リファレンス電圧 1.0V で動作するよう設計されていますが、外部リファレンス電圧 0.9V ~ 1.1V の範囲であれば問題なく動作します。外部リファレンス入力 V_{REF} ピンに加えられないときは、内蔵 1.0V のリファレンス電圧がデフォルト条件です。 V_{REF} ピンに 0.9V ~ 1.1V の範囲の電圧を印加した場合は、その電圧がリファレンスとして使用されます。 V_{REF} ピンは、リファレンス電圧入力ピンの近くに 0.1 μ F コンデンサを配置して常にグラウンドにバイパスしてください。基準電圧を下げると ADC12V170 の信号 / ノイズ比 (SNR) が低くなります。リファレンス電圧 (と入力信号振幅) を 1.1V 以上に高めると、特に入力周波数が高い場合に、フルスケール入力の THD 性能を低下させる可能性があります。

リファレンス電圧および入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド層に対して一点アースで接続するのが極めて重要になります。

バイパス用にリファレンス電圧バイパス・ピン (V_{RP} 、 V_{RM} 、 V_{RN}) を備えています。これらのピンのすべてとグラウンドの間に 0.1 μ F のコンデンサを 1 つずつ挿入してください。Figure 4 に示すように、0.1 μ F と 10 μ F コンデンサを V_{RP} と V_{RN} ピンの間に挿入してください。この回路は、SFDR や SNR、またはその両方を悪化させる可能性のあるリファレンスの発振を防ぐために必要です。 V_{RM} は温度的に安定した 1.5V リファレンスとして、1mA までの負荷に対応できます。他のピンには負荷を接続しないでください。

この指定値より小容量のコンデンサを使用すると、パワーダウン・モードやスリープ・モードからの復帰時間が短くなりますが、ノイズ性能を低下させる原因になることがあります。 V_{RM} を除くこれらのピンに負荷を接続すると性能劣化を引き起こす場合があります。

リファレンス・バイパス・ピンの公称電圧は次のとおりです。

$$V_{RM} = 1.5V$$

$$V_{RP} = V_{RM} + V_{REF}/2$$

$$V_{RN} = V_{RM} - V_{REF}/2$$

アプリケーション情報 (つづき)

2.3 制御入力

2.3.1 パワーダウンとスリープ (PD/ スリープ)

パワーダウン・モードとスリープ・モードは、この 3 値の入力ピンによってイネーブルになります。Table 2 にこのオプションの使用方法を示します。

TABLE 2. Power Down/Sleep Selection Table

PD Input Voltage	Power State
V_A	Power-down
$V_A/2$	Sleep
AGND	On

コンバータが使用されていないとき、パワーダウン・モードおよびスリープ・モードによって電力を節約できます。パワーダウン状態では、アナログ回路のバイアス電流はリファレンス電圧を除いてすべてシャットダウンして、15mW まで消費電力を低減します。スリープ・モードでは、ウェイクアップ時間をさらに短縮するため一部のバッファ回路がアクティブ状態のままになります。スリープ・モードの消費電力は 50mW です。いずれのモードも、出力データ・ピンは不定になりパイプライン内のデータは破壊されます。

スリープ・モードとパワーダウン・モードからの復帰時間は、 V_{RP} 、 V_{RM} 、 V_{RN} のリファレンス・バイパス・ピン (43 ピン、44 ピン、45 ピン) の容量で決まります。A/D コンバータが動作していない間に電荷を失ったこれらのコンデンサは、正確な変換を得る前に、オンチップ回路による再充電が必要です。パワーダウン・モードの復帰時間は、推奨部品の値を使用した場合でおよそ 3ms です。復帰時間はスリープ・モードの方が短くなっています。小容量のコンデンサを使用するとパワーダウン・モードやスリープ・モードからの復帰時間が短くなりますが、性能が低下します。

2.3.2 クロック・モード選択 / データ・フォーマット (CLK_SEL/ DF)

シングルエンド対差動クロック・モードと出力データ・フォーマットは、この 4 値の機能ピンを使用して選択できます。クロック・モードと出力データ・フォーマットの選択方法を Table 3 に示します。

TABLE 3. Clock Mode and Data Format Selection Table

CLK_SEL/DF Input Voltage	Clock Mode	Output Data Format
V_A	Differential	2's Complement
$(2/3) \cdot V_A$	Differential	Offset Binary
$(1/3) \cdot V_A$	Single-Ended	2's Complement
AGND	Single-Ended	Offset Binary

3.0 クロック入力

CLK + と CLK - 信号は、サンプリング処理のタイミングをコントロールします。CLK_SEL/DF ピン (8 ピン) によって、差動またはシングルエンド・クロック・モードで A/D コンバータを構成できます (セクション 2.3.2 参照)。差動信号を成す 2 つの入力信号は、位相差はちょうど 180 度、振幅は同じにしてください。シングルエンド・クロック・モードでは、クロック信号は CLK + 入力に送出し、CLK - 入力は、Table 3 の正しい設定の組合せで AGND に接続する必要があります。

最適のノイズ特性を実現するために、クロック入力は電気的特性表で示される範囲で、安定した低ジッタ・クロック信号で駆動してください。また、クロック入力信号は、遷移時間が短くなければなりません。これは、低ジッタ・サイン波クロック信号源を高速バス

ファ・ゲートに通すことによって達成できます。この設定を Figure 4 に示します。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず、直角でも他の一切の信号線と交差ししないようにしてください。Figure 4 に推奨のクロック入力回路を示します。

また、クロック信号は内蔵ステート・マシンも駆動します。CLK が途切れると、内部キャパシタに充電されていた電位が徐々に下がってきます。この電位が一定値以下になると出力データの精度が低下します。サンプリング・レートの下限が規定されているのはこのためです。

クロック・ラインはラインの特性インピーダンスによってソース端で終端しなければなりません。クロック線路は、ライン全長にわたってインピーダンスを一定に保つように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 を参照してください。

A/D コンバータのクロック・ピンを駆動するクロック源で他の負荷を駆動しないようにしてください。クロック源から他の入力負荷も駆動している場合は、クロック・ラインの特性インピーダンスに等しい抵抗と次に示す容量のコンデンサを用いた直列 RC 回路を用いて、グラウンドに AC 終端を行ってください。

$$C \geq \frac{4 \times t_{PD} \times L}{Z_0}$$

ここで t_{PD} はクロック配線の信号伝搬遅延時間、"L" は配線長、 Z_0 はクロック配線の特性インピーダンスです。終端回路は、A/D コンバータのクロック・ピンのできるだけ近くに、しかもクロック源から見てクロック・ピンより先遠い側になるように配置します。 t_{PD} の代表値は FR-4 基板材料でおよそ 150ps/ インチ (60ps/cm) です。"L" と t_{PD} の単位系は同一にして計算します (ヤード系またはメートル系)。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影響を与えることがあります。正確なデューティ・サイクルの達成が困難なので、ADC12V170 ではデューティ・サイクル・スタビライザを備えています。クロックのデューティ・サイクル 30% ~ 70% の範囲で性能を維持するように設計されています。

4.0 デジタル出力

デジタル出力は、LVDS 信号の D0-D11、DL、DRDY、OVR からなります。

ADC12V170 は、18 本の LVDS 対応データ出力ピンを備えています。すなわち、変換された入力値に対応する 12 個のデータ出力ビット、かならず LVDS Low に設定される 2 出力ピン、出力データのキャプチャに使用されるデータ・レディ (DRDY) 信号およびサンプル振幅が 12 ビットの変換範囲を超えると、High にセットされるオーバーレンジ・インジケータ (OVR) がそれぞれです。PD/ スリープ・ピンに Low レベルの電圧を印加している間は、これらの出力ピンに有効なデータが出力されます。

奇数データ・ビットは、DRDY の立ち下がりがリッジで、偶数データ・ビットは DRDY の立ち上がりリッジでキャプチャする必要があります。

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DRGND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。適切なバイパスの追加、出力容量の軽減、さらにはグラウンド層を注意深く設計すれば、このような問題が回避されます。また、バス・ラインの負荷容量が仕様値 5pF/ ピンを超えると t_{OD} が増え、その結果、A/D コンバータの出力データのセットアップ時間とホールド時間が短くなります。それによって、動的性能が劣化するのを避けられます。

アプリケーション情報 (つづき)

インダクタとトランスのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、決して並べて配置しないでください。たとえインダクタ部品全長の一部であっても並べて配置してはなりません。例えば、アナログ入力用とクロック入力用のトランスは互いに 90° に配置して磁気結合を避けるようにしてください。

アナログ入力、スプリアス信号の入力へのカップリングを避けるために、ノイズを生じる信号経路から十分にアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路（例えばフィルタ用のコンデンサ）は、グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

すべてのアナログ回路（入力アンプ、フィルタ、リファレンス電圧回路など）はボード上のアナログ領域に配置してください。すべてのデジタル回路とデジタル入出力 (I/O) は、デジタル領域に配置してください。ADC12V170 は、それらの両者の領域の中間に配置します。さらに、リファレンス電圧回路と入力信号に関連する回路に含まれているすべての部品は、そのリターン側どうしを短い配線でノイズのない 1 点に接続してからアナログ・グラウンド・プレーンに落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

7.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源は遷移時間が短くジッタのないものでなければなりません。Figure 5 に示されるようなバッファを用いてクロック・ツリーを構成し、A/D コンバータのクロック信号をその他のデジタル回路からアイソレートしなければなりません。クロック・ツリーに使用するゲートの動作可能周波数は、発生したジッタを阻止する場合に使用するゲートの動作可能周波数より大幅に高い値にする必要があります。差動クロックよりシングルエンド入力駆動の方が最高性能が得られます。

セクション 6.0 で述べたように、A/D コンバータのクロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くことは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。信号ラインが互いに 90° に交わっている場合でも容量性のカップリングが起こるので、クロック・ラインは 90° の交差もしないでください。

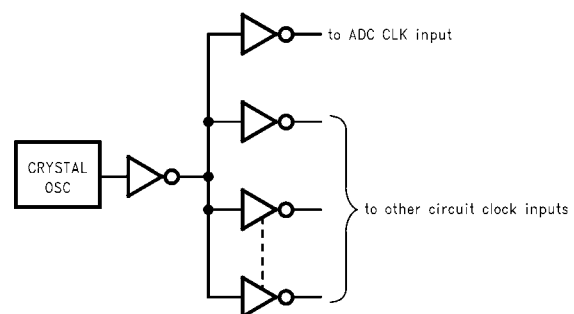
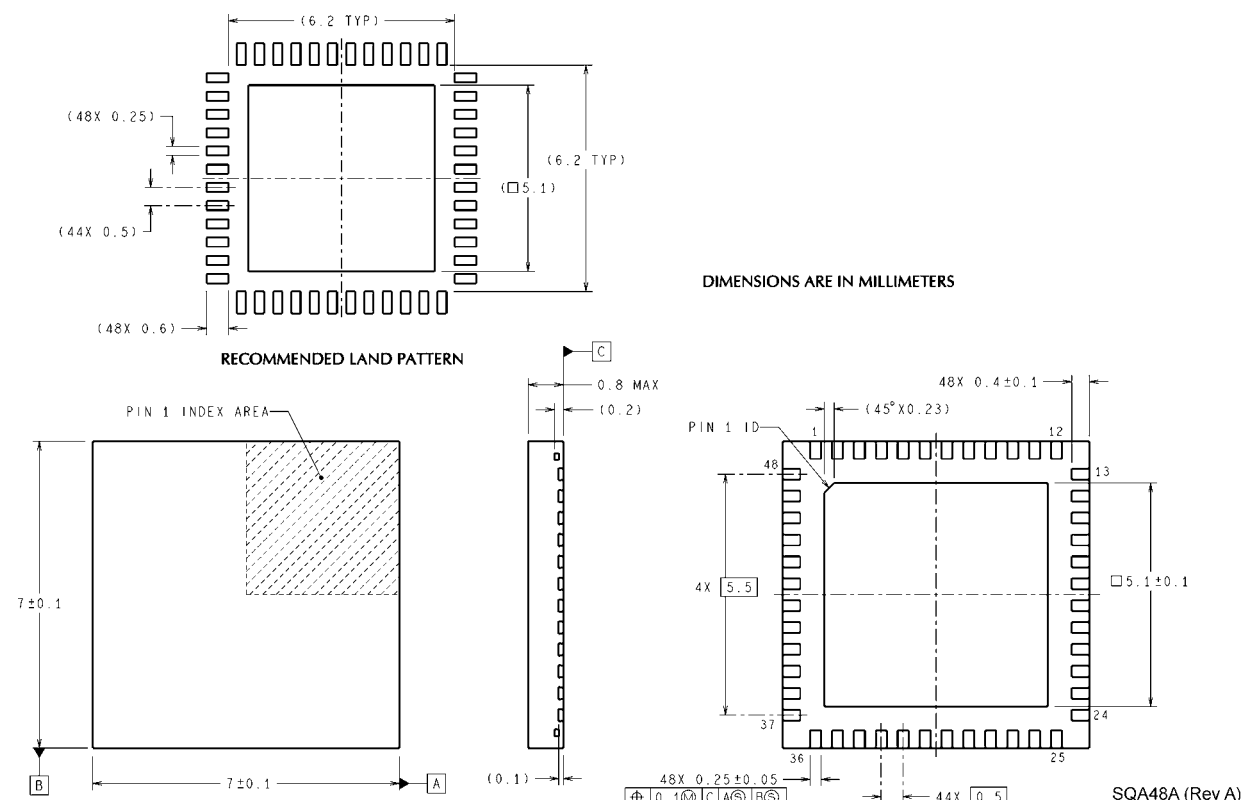


FIGURE 5. Isolating the ADC Clock from other Circuitry with a Clock Tree

外形寸法図 単位は millimeters



48-Lead LLP Package
Ordering Number ADC12V170CISQ
NS Package Number SQA48A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上