DS40MB200

DS40MB200 Dual 4.0 Gbps 2:1/1:2 CML Mux/Buffer with Transmit Pre-Emphasis and Receive Equalization

Literature Number: JAJS973

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。

2008 年 4 月

National Semiconductor

DS40MB200

2 チャネル、4.0 Gb/s、送信プリエンファシス / 受信イコライジング内蔵、2:1 / 1:2 CML マルチプレクサ / バッファ

概要

DS40MB200 は、バックプレーンの冗長ポートなどの用途向けに開発された、信号調整機能を持つ 2 チャネル 2:1 マルチプレクサ / 1:2 ファンアウト・バッファです。 信号調整機能には、入力のイコライズ機能とプログラマブルな出力プリエンファシス機能があり、最大 4Gbps の FR4 バックプレーンでのデータ通信を可能とします。各入力段には、基板配線による ISI 歪みを低減する固定イコライザを搭載しています。

すべての出力ドライバは、4 段階の選択が可能なプリエンファシス機能を備えており、長い FR4 バックプレーンによる伝送損失を補償し、ディタミニスティック・ジッタ (確定的ジッタ) を低減します。プリエンファシス・レベルはライン側、スイッチ側ドライバのそれぞれで独立に制御できます。 スイッチ側入力からスイッチ側出力には内部ループバック・パスがあり、システムの at-speed テストを行うことができます。 レシーバ入力およびドライバ出力は、いずれもチップ内で 100Ω の差動終端抵抗により終端されています。すべてのドライバは 50Ω ～ VCC の抵抗により内部で終端されています。

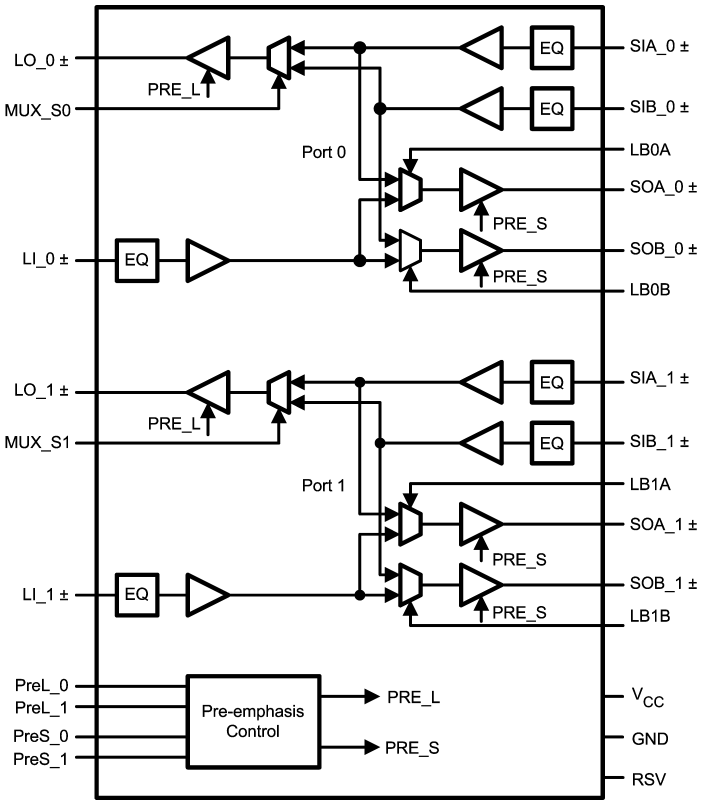
特長

- 1 ～ 4Gbps の低ジッタ
- 固定入力イコライズ機能
- プログラマブルな出力プリエンファシス
- スイッチ側およびライン側のプリエンファシス独立制御
- スイッチ側のプログラマブルなループバック・モード
- オンチップ終端
- ＋ 3.3V 電源
- ESD 耐圧 人体モデル 6kV
- リードレス LLP-48 パッケージ (7mm × 7mm ピッチ)
- 動作温度範囲 0 ℃～＋ 85 ℃

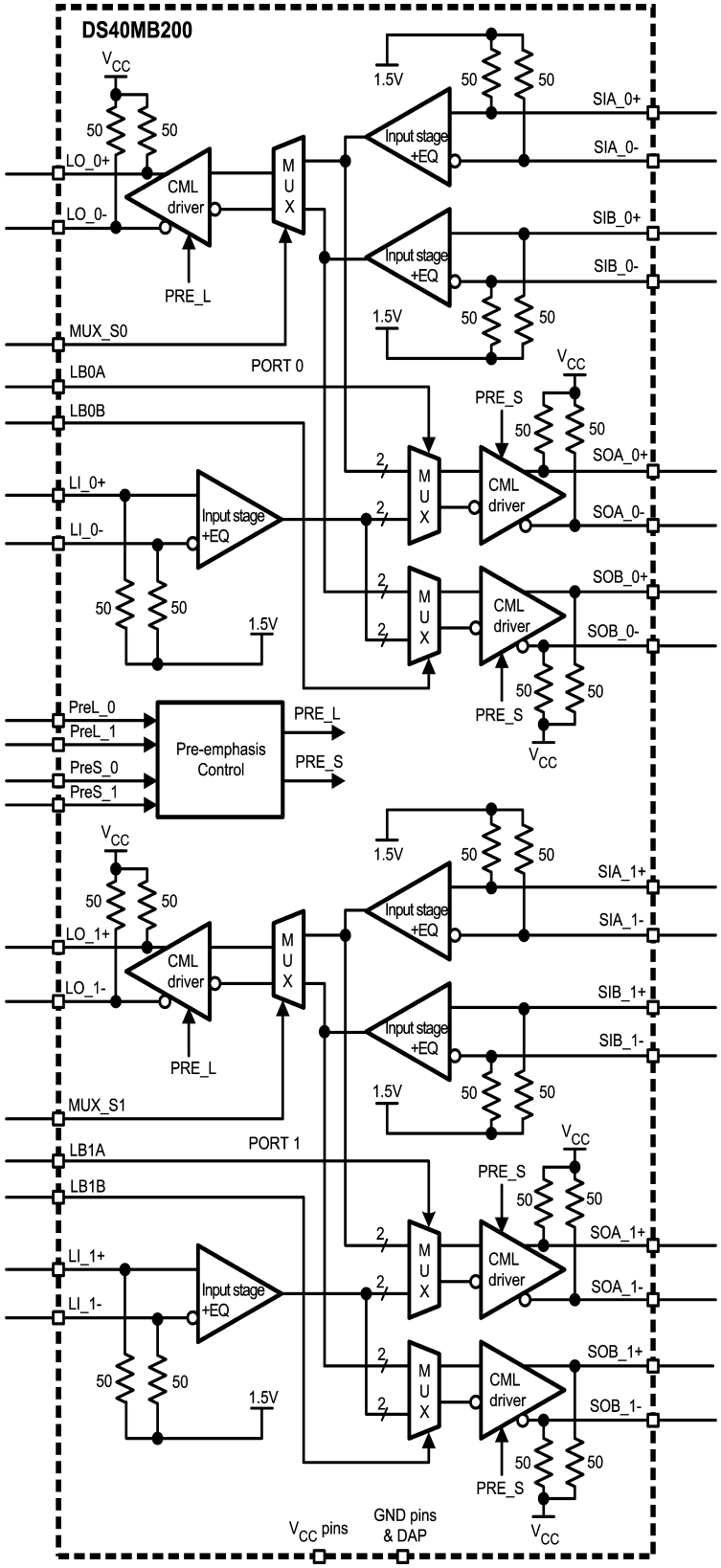
アプリケーション

- バックプレーンまたはケーブル・ドライバ
- 冗長および信号調整機能
- XAUI

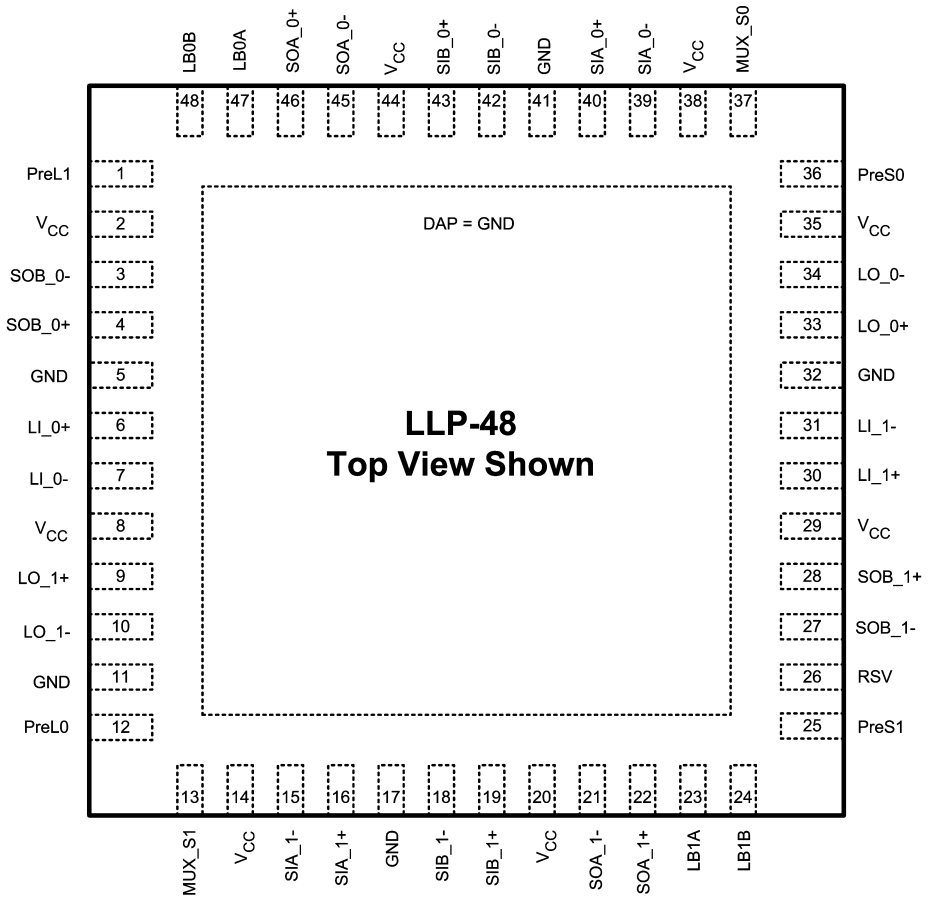
ブロック図



ブロック図


DS40MB200
VCC
1.5V
50
SIA_0+
SIA_0-
SIB_0+
SIB_0-
LO_0+
LO_0-
CML driver
MUX
Input stage +EQ
PRE_L
MUX_S0
PORT 0
LB0A
LB0B
PRE_S
SOA_0+
SOA_0-
SOB_0+
SOB_0-
LI_0+
LI_0-
2
1.5V
PreL_0
PreL_1
PreS_0
PreS_1
Pre-emphasis Control
SIA_1+
SIA_1-
SIB_1+
SIB_1-
LO_1+
LO_1-
MUX_S1
PORT 1
LB1A
LB1B
SOA_1+
SOA_1-
SOB_1+
SOB_1-
LI_1+
LI_1-
VCC pins
GND pins & DAP

ピン配置図



Order number DS40MB200SQ
See NS Package Number SQA48D

ピン説明

ピン名	ピン番号	I/O	説明
ライン側高速差動入出力			
LI_0＋ LI_0－	6 7	I	ポート _0、ライン側の反転および非反転差動入力 LI_0 ＋および LI_0 －は、50Ω のチップ内抵抗を介して内部基準電圧に接続されています。 Figure 6 参照。
LO_0＋ LO_0－	33 34	O	ポート _0、ライン側の反転および非反転差動出力 LO_0 ＋および LO_0 －は、50Ω のチップ内抵抗を介して V_{CC} に接続されています。
LI_1＋ LI_1－	30 31	I	ポート _1、ライン側の反転および非反転差動入力 LI_1 ＋および LI_1 －は、50Ω のチップ内抵抗を介して内部基準電圧に接続されています。 Figure 6 参照。
LO_1＋ LO_1－	9 10	O	ポート _1、ライン側の反転および非反転差動出力 LO_1 ＋および LO_1 －は、50Ω のチップ内抵抗を介して V_{CC} に接続されています。
スイッチ側高速差動入出力			
SOA_0＋ SOA_0－	46 45	O	マルチプレクサ _0、スイッチ _A 側の反転および非反転差動出力 SOA_0 ＋および SOA_0 －は、50Ω のチップ内抵抗を介して V_{CC} に接続されています。
SOB_0＋ SOB_0－	4 3	O	マルチプレクサ _0、スイッチ _B 側の反転および非反転差動出力 SOB_0 ＋および SOB_0 －は、50Ω のチップ内抵抗を介して V_{CC} に接続されています。
SIA_0＋ SIA_0－	40 39	I	マルチプレクサ _0、スイッチ _A 側の反転および非反転差動入力 SIA_0 ＋および SIA_0 －は、50Ω のチップ内抵抗を介して内部基準電圧に接続されています。 Figure 6 参照。
SIB_0＋ SIB_0－	43 42	I	マルチプレクサ _0、スイッチ _B 側の反転および非反転差動入力 SIB_0 ＋および SIB_0 －は、50Ω のチップ内抵抗を介して内部基準電圧に接続されています。 Figure 6 参照。
SOA_1＋ SOA_1－	22 21	O	マルチプレクサ _1、スイッチ _A 側の反転および非反転差動出力 SOA_1 ＋および SOA_1 －は、50Ω のチップ内抵抗を介して V_{CC} に接続されています。
SOB_1＋ SOB_1－	28 27	O	マルチプレクサ _1、スイッチ _B 側の反転および非反転差動出力 SOB_1 ＋および SOB_1 －は、50Ω のチップ内抵抗を介して V_{CC} に接続されています。
SIA_1＋ SIA_1－	16 15	I	マルチプレクサ _1、スイッチ _A 側の反転および非反転差動入力 SIA_1 ＋および SIA_1 －は、50Ω のチップ内抵抗を介して内部基準電圧に接続されています。 Figure 6 参照。
SIB_1＋ SIB_1－	19 18	I	マルチプレクサ _1、スイッチ _B 側の反転および非反転差動入力 SIB_1 ＋および SIB_1 －は、50Ω のチップ内抵抗を介して内部基準電圧に接続されています。 Figure 6 参照。
制御 (3.3V LVCMOS)			
MUX_S0	37	I	MUX_S0 にロジック Low を与えると、マルチプレクサ _0 はスイッチ _B 側を選択します。MUX_S0 は内部で High になっています。 マルチプレクサ _0 のデフォルト状態はスイッチ _A 側です。
MUX_S1	13		MUX_S1 にロジック Low を与えると、マルチプレクサ _1 はスイッチ _B 側を選択します。MUX_S1 は内部で High になっています。マルチプレクサ _1 のデフォルト状態はスイッチ _A 側です。
PREL_0 PREL_1	12 1	I	PREL_0 および PREL_1 は、ライン側ドライバ (LO_0 ±、LO_1 ±) の出力プリエンファシスを選択します。PREL_0 と PREL_1 は、内部で High になっています。ライン側プリエンファシス・レベルについては Table 3 を参照してください。
PRES_0 PRES_1	36 25	I	PRES_0 および PRES_1 は、スイッチ側ドライバ (SOA_0 ±、SOB_0 ±、SOA_1 ±、SOB_1 ±) の出力プリエンファシスを選択します。PRES_0 と PRES_1 は、内部で High になっています。 スイッチ側プリエンファシス・レベルについては Table 4 を参照してください。
LB0A	47	I	LB0A にロジック Low を与えると、SIA_0 ±から SOA_0 ±への内部ループバック・パスが有効になります。 LB0A は内部で High になっています。
LB0B	48	I	LB0B にロジック Low を与えると、SIB_0 ±から SOB_0 ±への内部ループバック・パスが有効になります。 LB0B は内部で High になっています。
LB1A	23	I	LB1A にロジック Low を与えると、SIA_1 ±から SOA_1 ±への内部ループバック・パスが有効になります。 LB1A は内部で High になっています。
LB1B	24	I	LB1B にロジック Low を与えると、SIB_1 ±から SOB_1 ±への内部ループバック・パスが有効になります。 LB1B は内部で High になっています。
RSV	26	I	工場内検査用の予約済みピンです。 このピンの処理方法は、開放、GND への接続、外部プルダウン抵抗を介した GND への接続のいずれでも構いません。

ピン説明 (つづき)

ピン名	ピン番号	I/O	説明
電源			
V_{CC}	2, 8, 14, 20, 29, 35, 38, 44	P	V_{CC} は 3.3V ± 5%です。 各 V_{CC} ピンは、低インダクタンスの配線経路により基板の V_{CC} 層に接続するようにします。 通常は、V_{CC} ピンをハンダ付けするパッドにできるかぎり近いビアを介して接続します。 各 V_{CC} ピンからグラウンド層に対して、0.01 µF または 0.1 µF の、X7R、サイズ― 0402 のバイパス・コンデンサを接続することを推奨します。
GND	5, 11, 17, 32, 41	P	グラウンド基準電圧です。 各グラウンド・ピンは、低インダクタンスの配線経路によって基板のグラウンド層に接続するようにします。 通常は GND ピンをハンダ付けするパッドにできるかぎり近いビアを介して接続します。
GND	DAP	P	ダイ・アタッチ・パッド (DAP) は、LLP-48 パッケージの中央底面にある、金属の接触面です。 グラウンド・インピーダンスを低減し、パッケージの熱性能を良くするために、4 個以上のビアでグラウンド層に接続してください。

Note: I ＝入力、O ＝出力、P ＝電源

機能説明

DS40MB200 は、最大 4Gb/s のポート冗長をサポートするために開発された、信号調整機能を持つ 2:1 マルチプレクサ /1:2 バッファです。各入力段には固定イコライザを搭載しており、短いバックプレーン配線 (約 10 インチ /25.4cm のバックプレーン) による伝送損失 5dB を補償するイコライズ機能を提供します。 出力ドライバは、このチップが駆動するバックプレーンの伝送損失を補償するプリエンファシス (ドライバ側イコライズ) 機能を備えています。ドライバは、低周波数のパルスと高周波数のパルスが、バックプレーンの終端でほぼ同じ振幅になるように、出力信号を調整します。これにより、振幅の差異によって生じるディタミニスティック・ジッタ (確定的ジッタ) を最小限に抑えます。DS40MB200 では、さまざまな長さのバックプレーンに対応するために、0、－3、－6、－9dB の 4 段階のプリエンファシス・レベルのいずれかをユーザーが選択できます。 Figure 1 にドライバのプリエンファシス波形を示します。プリエンファシス時間の公称値は、4Gb/s の場合ビット幅 0.75 に相当する 200ps です。スイッチ側、ライン側のプリエンファシス・レベルは個別にプログラムできます。

高速入力は約 1.5V に自己バイアスされ、AC 結合に対応した設計がなされています。 入力は、LVDS、LVPECL、CML など、ほとんどの AC 結合差動信号と互換性があります。詳細は Figure 6 を参照してください。

TABLE 1. マルチプレクサ制御の論理表

MUX_S0	**マルチプレクサ機能**
0	マルチプレクサ _0 はスイッチ _B 側の入力である SIB_0 ±を選択します。
1 (デフォルト)	マルチプレクサ _0 はスイッチ _A 側の入力である SIA_0 ±を選択します。
MUX_S1	**マルチプレクサ機能**
0	マルチプレクサ _1 はスイッチ _B 側の入力である SIB_1 ±を選択します。
1 (デフォルト)	マルチプレクサ _1 はスイッチ _A 側の入力である SIA_1 ±を選択します。

TABLE 2. ループバック制御の論理表

LB0A	**ループバック機能**
0	SIA_0 ±から SOA_0 ±へのループバックを有効にします。
1 (デフォルト)	通常モードです。 ループバック機能は無効になります。
LB0B	**ループバック機能**
0	SIB_0 ±から SOB_0 ±へのループバックを有効にします。
1 (デフォルト)	通常モードです。 ループバック機能は無効になります。
LB1A	**ループバック機能**
0	SIA_1 ±から SOA_1 ±へのループバックを有効にします。
1 (デフォルト)	通常モードです。 ループバック機能は無効になります。
LB1B	**ループバック機能**
0	SIB_1 ±から SOB_1 ±へのループバックを有効にします。
1 (デフォルト)	通常モードです。 ループバック機能は無効になります。

機能説明 (つづき)

TABLE 3. ライン側プリエンファシス制御

PreL_[1:0]	Pre-Emphasis Level in mV_{PP} (VODB)	De-Emphasis Level in mV_{PP} (VODPE)	Pre-Emphasis in dB (VODPE/VODB)	Typical FR4 board trace
0 0	1200	1200	0	10 inches
0 1	1200	850	−3	20 inches
1 0	1200	600	−6	30 inches
1 1 (default)	1200	426	−9	40 inches

TABLE 4. スイッチ側プリエンファシス制御

PreS_[1:0]	Pre-Emphasis Level in mV_{PP} (VODB)	De-Emphasis Level in mV_{PP} (VODPE)	Pre-Emphasis in dB (VODPE/VODB)	Typical FR4 board trace
0 0	1200	1200	0	10 inches
0 1	1200	850	−3	20 inches
1 0	1200	600	−6	30 inches
1 1 (default)	1200	426	−9	40 inches

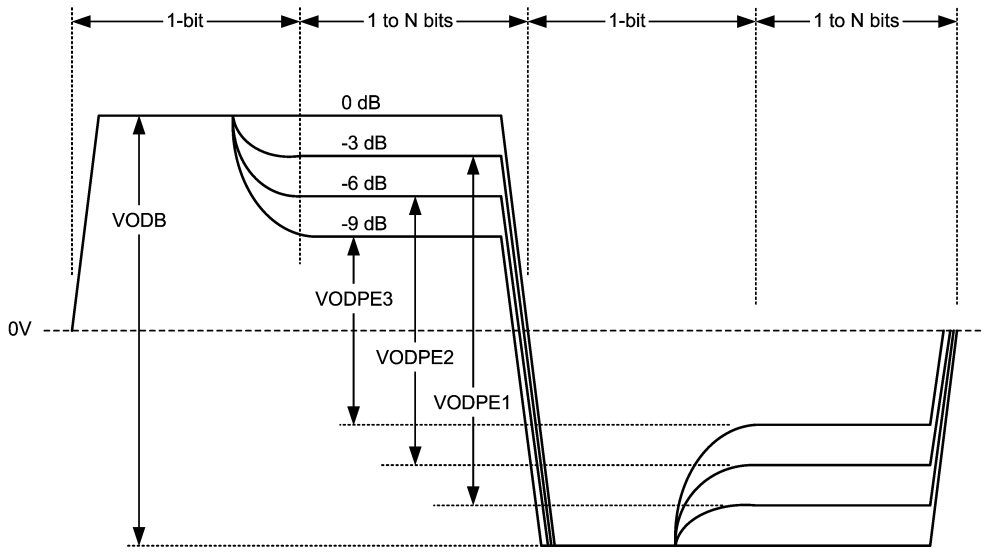


FIGURE 1. Driver Pre-Emphasis Differential Waveform (showing all 4 pre-emphasis steps)

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	−0.3V ～ 4V
CMOS/TTL 入力電圧	−0.3V ～ (V_{CC} + 0.3V)
CML 入出力電圧	−0.3V ～ (V_{CC} + 0.3V)
接合部温度	+125 ℃
保存温度範囲	−65 ℃～+150 ℃
リード温度 (ハンダ付け 4 秒)	+260 ℃
熱抵抗 θ_{JA}	33.7 ℃ /W
熱抵抗 $\theta_{JC\text{-}top}$	20.7 ℃ /W
熱抵抗 $\theta_{JC\text{-}bottom}$	5.8 ℃ /W
熱抵抗 Φ_{JB}	18.2 ℃ /W
ESD 耐圧 : 人体モデル 1.5kΩ、100pF	6kV
ESD 耐圧 : マシン・モデル	250V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V_{CC} ～ GND)	3.135	3.3	3.465	V
電源ノイズ振幅 10Hz ～ 2GHz			20	mV_{PP}
周囲温度	0		85	℃
ケース温度			100	℃

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
LVCMOS DC SPECIFICATIONS						
V_{IH}	High Level Input Voltage		2.0		V_{CC} +0.3	V
V_{IL}	Low Level Input Voltage		−0.3		0.8	V
I_{IH}	High Level Input Current	$V_{IN} = V_{CC}$	−10		10	µA
I_{IL}	Low Level Input Current	V_{IN} = GND	75	94	124	µA
R_{PU}	Pull-High Resistance			35		kΩ
RECEIVER SPECIFICATIONS						
V_{ID}	Differential Input Voltage Range	AC Coupled Differential Signal Below 1.25 Gbps At 1.25 Gbps–3.125 Gbps Above 3.125 Gbps This parameter is not production tested.	 100 100 100		 1750 1560 1200	 $mV_{P\text{-}P}$ $mV_{P\text{-}P}$ $mV_{P\text{-}P}$
V_{ICM}	Common Mode Voltage at Receiver Inputs	Measured at receiver inputs reference to ground.		1.3		V
R_{ITD}	Input Differential Termination	On-chip differential termination between IN+ or IN −.	84	100	116	Ω
DRIVER SPECIFICATIONS						
VODB	Output Differential Voltage Swing without Pre-Emphasis	R_L = 100Ω ±1% PRES_1=PRES_0=0 PREL_1=PREL_0=0 Driver pre-emphasis disabled. Running K28.7 pattern at 4 Gbps. See *Figure 5* for test circuit.	1000	1200	1400	$mV_{P\text{-}P}$
V_{PE}	Output Pre-Emphasis Voltage Ratio 20*log(VODPE/VODB)	R_L = 100Ω ±1% Running K28.7 pattern at 4 Gbps PREx_[1:0]=00 PREx_[1:0]=01 PREx_[1:0]=10 PREx_[1:0]=11 x=S for switch side pre-emphasis control x=L for line side pre-emphasis control See *Figure 1* on waveform. See *Figure 5* for test circuit.		 0 −3 −6 −9		 dB dB dB dB

電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
t_{PE}	Pre-Emphasis Width (Note 8)	Tested at −9 dB pre-emphasis level, PREx[1:0]=11 x=S for switch side pre-emphasis control x=L for line side pre-emphasis control See *Figure 4* on measurement condition.	125	200	250	ps
R_{OTSE}	Output Termination	On-chip termination from OUT+ or OUT− to V_{CC}	42	50	58	Ω
R_{OTD}	Output Differential Termination	On-chip differential termination between OUT+ and OUT−		100		Ω
ΔR_{OTSE}	Mis-Match in Output Termination Resistors	Mis-match in output terminations at OUT+ and OUT−			5	%
V_{OCM}	Output Common Mode Voltage			2.7		V
POWER DISSIPATION						
P_D	Power Dissipation	V_{DD} = 3.465V All outputs terminated by 100Ω ±1%. PREL_[1:0]=0, PRES_[1:0]=0 Running PRBS 2^7-1 pattern at 4 Gbps			1	W
AC CHARACTERISTICS						
t_R	Differential Low to High Transition Time	Measured with a clock-like pattern at 100 MHz, between 20% and 80% of the differential output voltage. Pre-emphasis disabled. Transition time is measured with fixture as shown in *Figure 5*, adjusted to reflect the transition time at the output pins.		80		ps
t_F	Differential High to Low Transition Time			80		ps
t_{PLH}	Differential Low to High Propagation Delay	Measured at 50% differential voltage from input to output.		0.5	2	ns
t_{PHL}	Differential High to Low Propagation Delay			0.5	2	ns
t_{SKP}	Pulse Skew (Note 8)	$\lvert t_{PHL} - t_{PLH} \rvert$			20	ps
t_{SKO}	Output Skew (Notes 7, 8)	Difference in propagation delay among data paths in the same device.			200	ps
t_{SKPP}	Part-to-Part Skew (Note 8)	Difference in propagation delay between the same output from devices operating under identical condition.			500	ps
t_{SM}	Mux Switch Time	Measured from V_{IH} or V_{IL} of the mux-control or loopback control to 50% of the valid differential output.		1.8	6	ns
RJ	Device Random Jitter (Notes 5, 8)	See *Figure 5* for test circuit. Alternating-1-0 pattern. Pre-emphasis disabled. At 1.25 Gbps At 4 Gbps			 2 2	 psrms psrms
DJ	Device Deterministic Jitter (Notes 6, 8)	See *Figure 5* for test circuit. Pre-emphasis disabled. At 4 Gbps, PRBS7 pattern			 30	 pspp
DR_{MAX}	Maximum Data Rate (Note 8)	Tested with alternating-1-0 pattern	4			Gbps

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保障できない制限値を意味します。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。

Note 2: 代表値は V_{CC} = 3.3V、T_A = 25 ℃で測定されています。代表値は参照を目的としており、製造時検査は行っていません。

Note 3: IN +および IN −は、DS40MB200 が持つ多数の相補入力対の 1 つを表す、一般名です。OUT +および OUT −は、DS40MB200 が持つ多数の相補出力対の 1 つを表す、一般名です。差動入力電圧 V_{ID} は |IN +− IN −| として定義されています。差動出力電圧 V_{OD} は |OUT +− OUT −| として定義されています。

Note 4: K28.7 パターンとは、10 ビットの K28.7 コード・グループ {001111 1000} を繰り返すパターンです。
K28.5 パターンとは、20 ビットの+ K28.5 および− K28.5 コード・グループ {110000 0101 001111 1010} を繰り返すパターンです。

Note 5: デバイス出力ランダム・ジッタとは、デバイスに起因するランダム・ジッタの測定値です。値は、式 sqrt($RJ_{OUT}^2 - RJ_{IN}^2$) で計算されます。ここで、RJ_{OUT} はデバイス出力に対して測定した総ランダム・ジッタ (psRMS)、RJ_{IN} はデバイスを駆動するパターン・ジェネレータのランダム・ジッタです。

Note 6: デバイス出力ディタミニスティック・ジッタとは、デバイスに起因するディタミニスティック・ジッタの測定値です。値は、式 ($DJ_{OUT} - DJ_{IN}$) で計算されます。ここで、DJ_{OUT} はデバイス出力に対して測定したピーク・ツー・ピークの総ディタミニスティック・ジッタ (pspp)、DJ_{IN} はデバイスを駆動するパターン・ジェネレータのピーク・ツー・ピークのディタミニスティック・ジッタです。

Note 7: t_{SKO} は、同一ポートのスイッチ A とスイッチ B のデータ・パス間、およびポート 0 とポート 1 のデータ・パス間の伝搬遅延の差を表しています。例えば、データ・パス SIA_0 ±から LO_0 ±、SIB_0 ±から LO_0 ±、SIA_1 ±から LO_1 ±、SIB_1 ±から LO_1 ±の出力スキューなどがあります。別の例として、データ・パス LI_0 ±から SOA_0 ±、LI_0 ±から SOB_0 ±、LI_1 ±から SOA_1 ±、LI_1 ±から SOB_1 ±の出力スキューもあります。さらに、t_{SKO} は、同一ポートのループバック・パス間、およびポート 0 とポート 1 の間の遅延スキューも表します。例えば、データ・パス SIA_0 ±から SOA_0 ±、SIB_0 ±から SOB_0 ±、SIA_1 ±から SOA_1 ±、SIB_1 ±から SOB_1 ±の出力スキューなどがあります。

Note 8: 設計上および統計解析による特性評価によって保証。

タイミング図

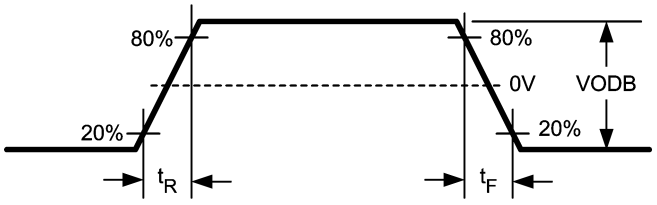


FIGURE 2. Driver Output Transition Time

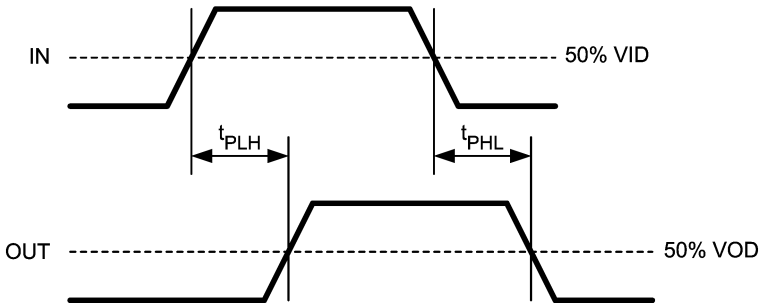


FIGURE 3. Propagation Delay from input to output

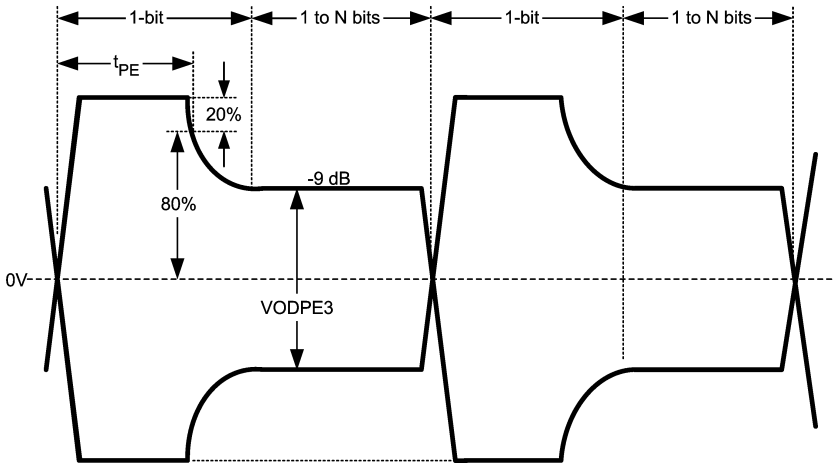


FIGURE 4. Test condition for output pre-emphasis duration

タイミング図 (つづき)

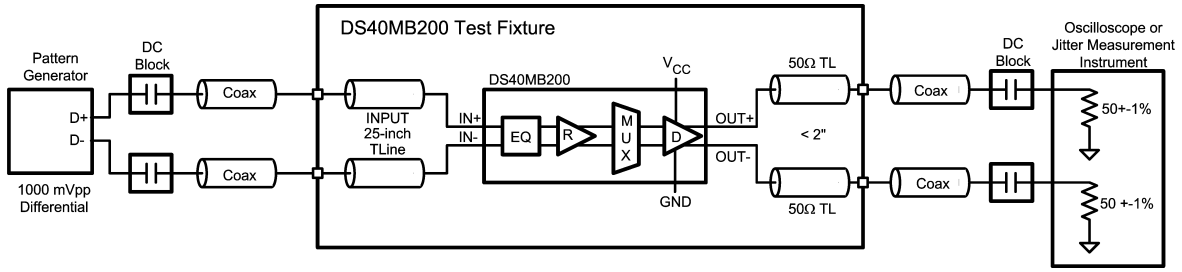


FIGURE 5. AC Test Circuit

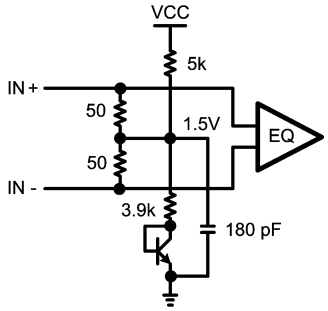


FIGURE 6. Receiver Input Termination and Bias Circuit

アプリケーション情報

DS40MB200 の入力イコライザは、短いバックプレーン伝送線路による伝送損失 5dB を補償するイコライズ機能を提供します。特性評価のために、短いバックプレーン接続の代わりに、FR4 基板上の長さ 25 インチ (63.5 センチ) のマイクロストリップ配線を使用しました。25 インチのマイクロ・ストリップ基板配線は、375MHz ～ 1.875GHz において約 5dB 減衰するため、短いバックプレーン伝送線路の伝送損失に近くなります。AC 特性測定時は、この 25 インチのマイクロストリップをパターン・ジェネレータと DS40MB200 の差動入力間に接続します。

Trace Length	Finished Trace Width W	Separation between Traces	Dielectric Height H	Dielectric Constant ε_R	Loss Tangent
25 inches	8.5 mil	11.5 mil	6 mil	3.8	0.022

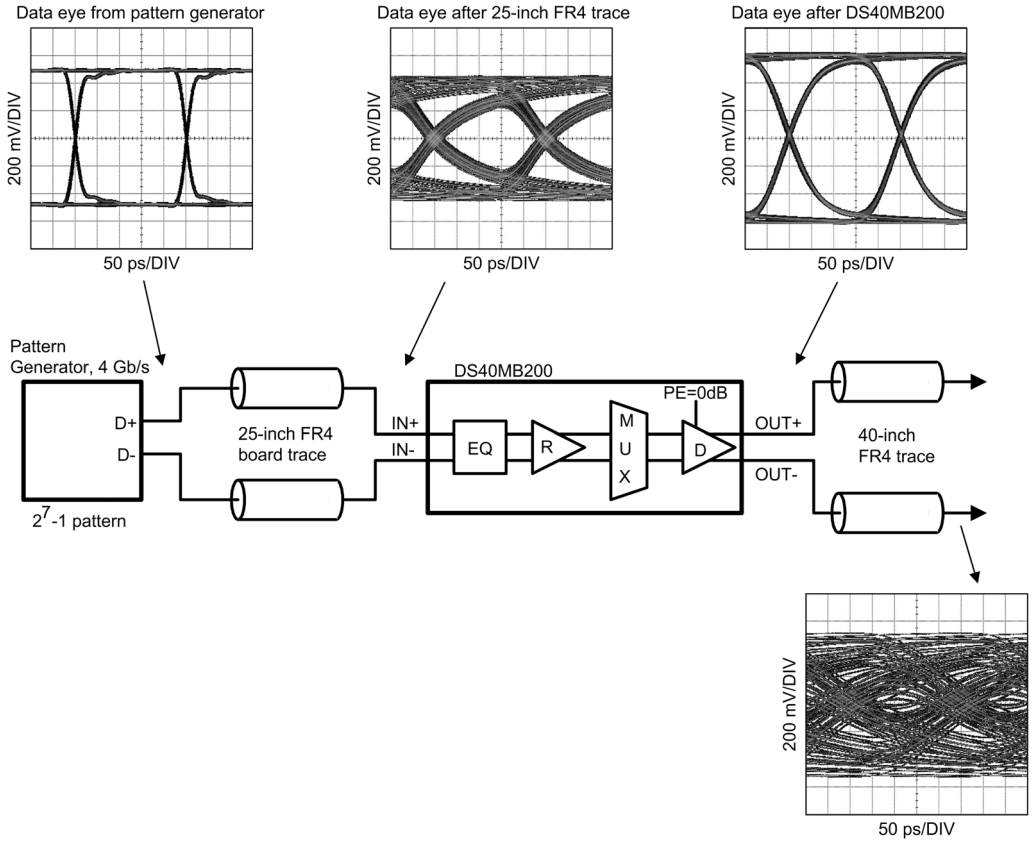


FIGURE 7. Data input and output eye patterns with driver set to 0 dB pre-emphasis

アプリケーション情報 (つづき)

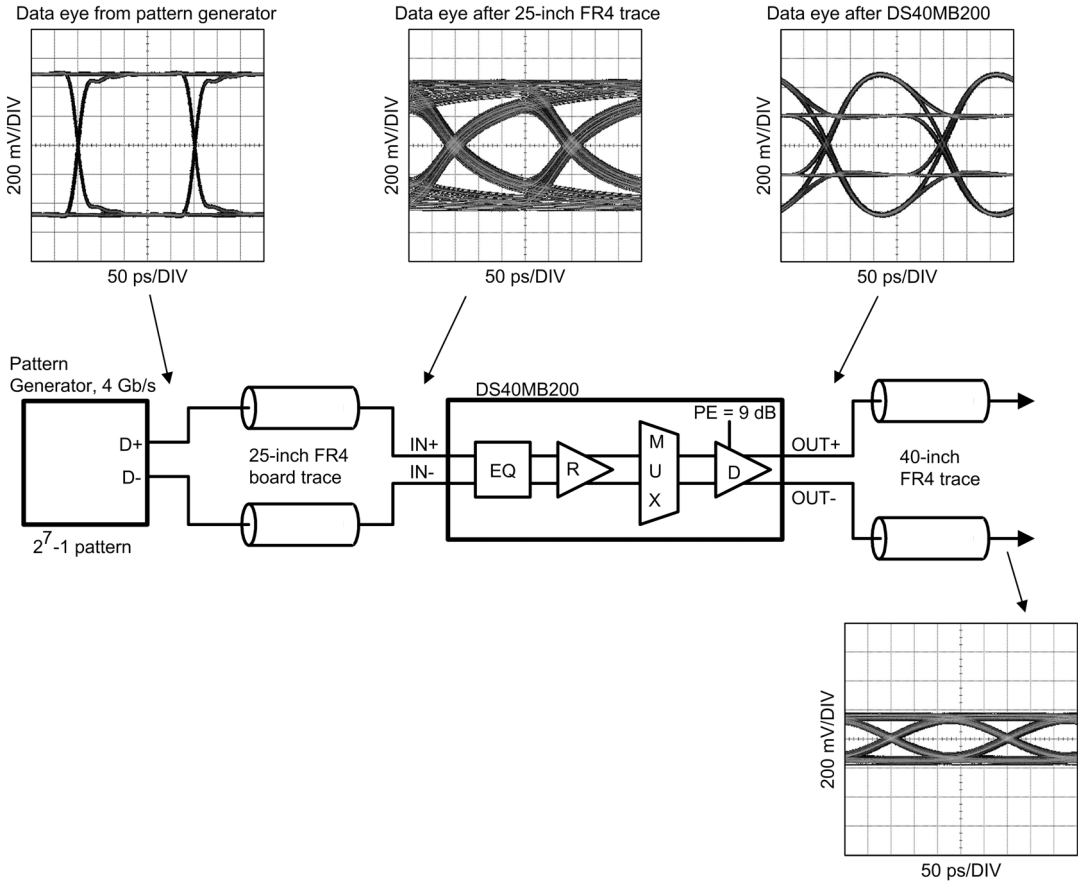


FIGURE 8. Data input and output eye patterns with driver set to 9 dB pre-emphasis

アプリケーション情報 (つづき)

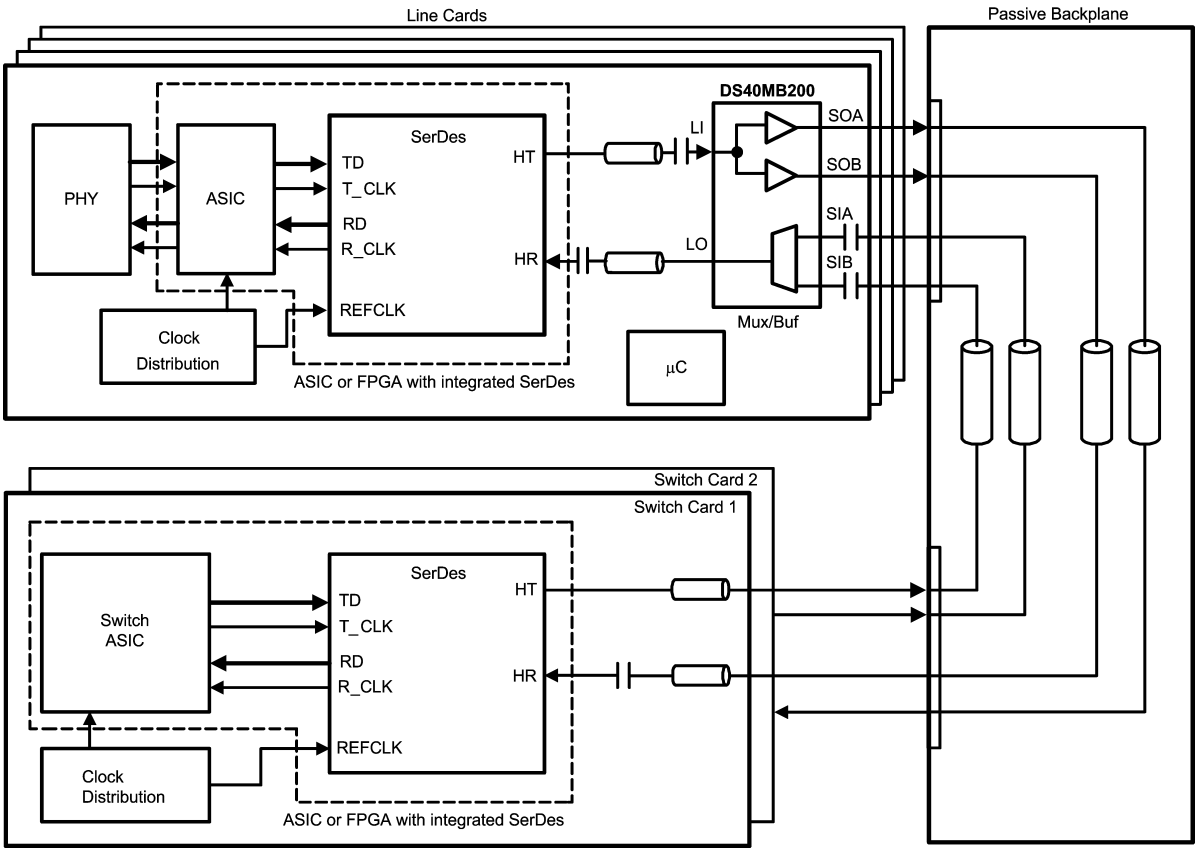


FIGURE 9. System diagram (showing data paths of port 0)

アプリケーション情報 (つづき)

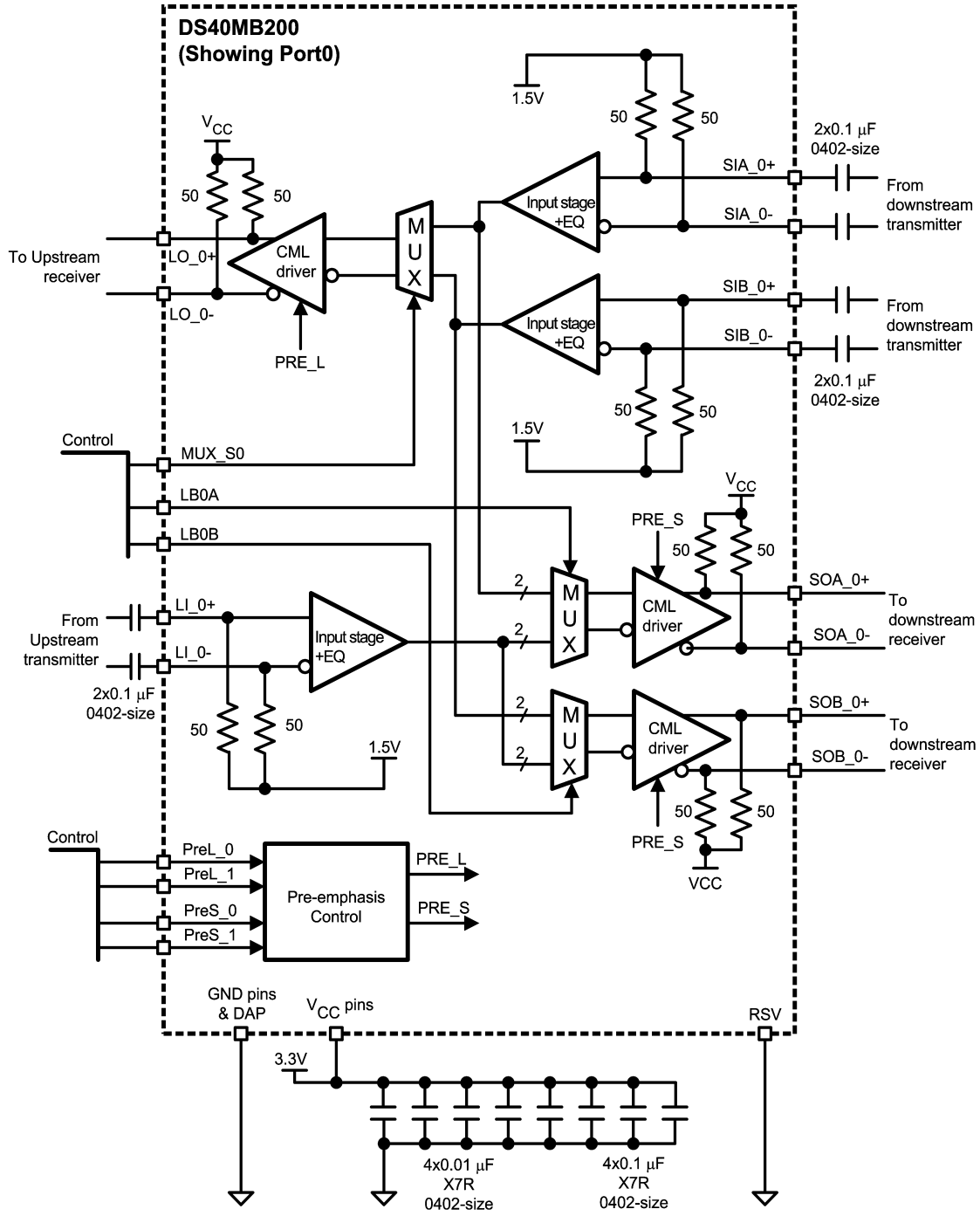
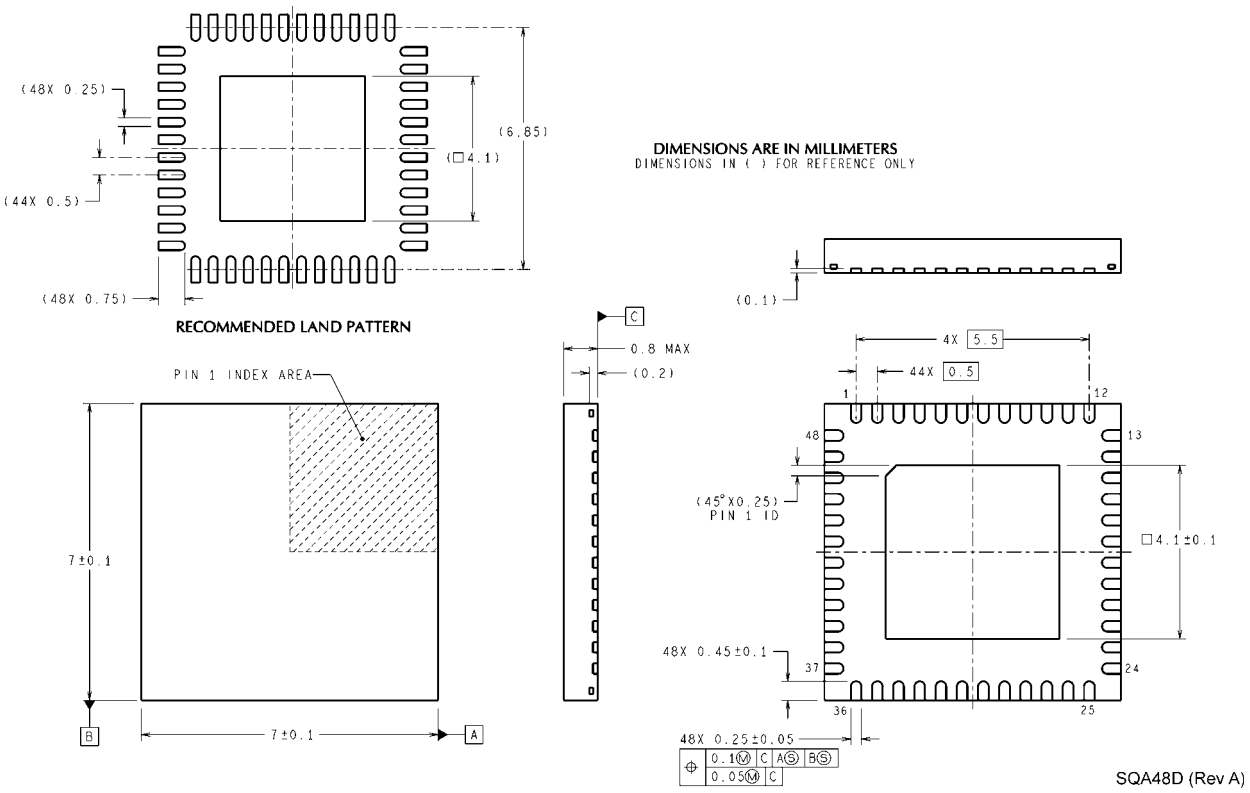


FIGURE 10. Application diagram (showing data paths of port 0)

外形寸法図 単位は millimeters



LLP-48 Package
Order number DS40MB200SQ
See NS Package Number SQA48D

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) **および法務部門** (GENERAL COUNSEL) **の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。**

ここで、生命維持装置またはシステムとは（a）体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor **とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。**

Copyright © 2008 National Semiconductor Corporation

製品の最新情報については www.national.com **をご覧ください。**

ナショナル セミコンダクター ジャパン株式会社

本社／〒 135-0042 東京都江東区木場 2-17-16　　TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。　　www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合せ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておりません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスティック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておりません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気
   - 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
   - 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
   - マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
   - 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。
2. 温・湿度環境
   - 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）
   - 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
   - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
4. 機械的衝撃
   - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
5. 熱衝撃
   - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
6. 汚染
   - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
   - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

2001.11