

DS92LV010A

DS92LV010A Bus LVDS 3.3/5.0V Single Transceiver



Literature Number: JAJ562

DS92LV010A

LVDS 1 回路入り差動入出力バス・トランシーバ

概要

DS92LV010A は平衡伝送ラインでのバス・バックプレーン用に設計された Low Voltage Differential Signaling (LVDS) 形態の低消費電力、高速 100Mbps 以上 (50MHz) 1 チャンネル、バス・バックプレーントランシーバです。CMOS プロセスで作られており、3.3V または 5V 電源に対応しています。両終端抵抗 ($54 / 2 = 27 \Omega$) のバス・バックプレーンボードを駆動するためドライバの定電流出力を 3.5mA (TIA/EIA-644 LVDS) から 10mA に増加し十分な駆動能力を確保しています。

ドライバの出力形態が小振幅 (250mV 27Ω 負荷時) ならびに定電流出力のため、立ち上がり/立ち下がり時間が早いにちかわらず電磁放射ノイズ (EMI) が少なくなっています。また定電流出力形態は負荷の増減 (終端抵抗など) にかかわらずデバイスの消費電力をほぼ一定に保ちます。ドライバ出力、レシーバ入力はいずれも内部で結線されておりバス出力の数を最小にしています。また、ロジック側、LVDS 信号側とセパレートされたフロー・スレー・ピン配置になっているのでパターン設計が容易にでき、コネクタ近くへのデバイス配列が可能なのでスタブ (支線) を短くすることができます。

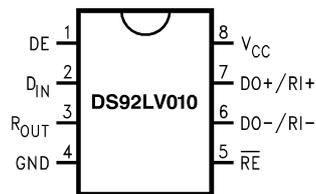
ドライバは、入力を TTL ロジックレベルで受け取り、出力を LVDS レベルに変換します。DE ピンを "L" にすることにより非能動になり、出力を TRI-STATE にしておくことができます。

レシーバは、同相電圧範囲 $\pm 1V$ 以内において $\pm 100mV$ のスレッショルド電圧を持ち、入力された LVDS 信号を、CMOS/TTL レベルに変換します。RE ピンを "H" にすることにより、非能動となり、出力を TRI-STATE にしておくことができます。

特長

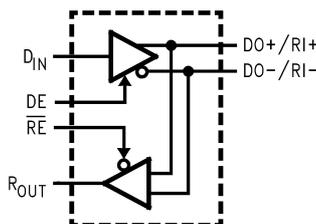
Bus LVDS 信号 (BLVDS)	
3.3V または 5.0V 単一電源動作	
低消費電力 CMOS 設計	
100Mbps (50MHz) 以上の転送レート	
同相電圧範囲	$\pm 1V$
スレッショルド	$\pm 100mV$
電源 ON/OFF 時、グリッジフリー	
バス・ピン入出力容量	5pF (typ)
平衡出力インピーダンス	
差動出力信号	$\pm 250mV$ (27 Ω 負荷時)
両終端抵抗アプリケーション	
動作周囲温度	- 40 ~ + 85
8 ピン SOIC パッケージ	

ピン配置図



Order Number DS92LV010ATM
See NS Package Number M08A

ブロック図



絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

最大電源電圧 (V _{CC})	6.0V
最大入力電圧 (D _{IN})	- 0.3V ~ (V _{CC} + 0.3V)
最大イネーブル入力電圧 (DE、 \overline{RE})	- 0.3V ~ (V _{CC} + 0.3V)
最大バス耐圧 (DO/RI)	- 0.3V ~ + 3.9V
出力短絡時間 (D _{OUT} +, D _{OUT} -)	連続
最大出力耐圧 (R _{OUT})	- 0.3V ~ (V _{CC} + 0.3V)
最大パッケージ許容損失 (PD) (周囲温度 25 °C において)	
SOIC "M" パッケージ	1025mW
25 °C 以上の周囲温度で使用される場合は、M パッケージについては 8.2mW/°C を減じてください。	

保存温度範囲 (TSTG)	- 65 ~ + 150
接合部温度	+ 150
許容リード温度 (ハンダ付け 4 秒)	+ 260
ESD 耐圧	
HBM、1.5K、100pF	> 2000V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{CC})	+ 3.0	+ 3.3	+ 3.6	V
	+ 4.5	+ 5.0	+ 5.5	V
レシーバ入力電圧	0.0		+ 2.9	V
動作周囲温度	- 40	+ 25	+ 85	

3.3V DC 電氣的特性 (Note 2、3)

特記のない限り、V_{CC} = + 3.3V ± 0.3V、T_A = - 40 ~ + 85

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units			
V _{OD}	Output Differential Voltage	R _L = 27Ω, Figure 1	DO+/RI+, DO-/RI-	140	250	360	mV			
ΔV _{OD}	V _{OD} Magnitude Change				3	30	mV			
V _{OS}	Offset Voltage			1	1.25	1.65	V			
ΔV _{OS}	Offset Magnitude Change				5	50	mV			
I _{OSD}	Output Short Circuit Current	V _O = 0V, DE = V _{CC}			-12	-20	mA			
V _{OH}	Voltage Output High	V _{ID} = +100 mV	R _{OUT}				2.8	3	V	
		Inputs Open					2.8	3	V	
		Inputs Shorted					2.8	3	V	
		Inputs Terminated, R _L = 27Ω					2.8	3	V	
V _{OL}	Voltage Output Low	I _{OL} = 2.0 mA, V _{ID} = -100 mV			0.1	0.4	V			
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V, V _{ID} = +100 mV		-5	-35	-85	mA			
V _{TH}	Input Threshold High	DE = 0V	DO+/RI+, DO-/RI-			+100	mV			
V _{TL}	Input Threshold Low			-100			mV			
I _{IN}	Input Current	DE = 0V, V _{IN} = +2.4V, or 0V					-20	±1	+20	μA
		V _{CC} = 0V, V _{IN} = +2.4V, or 0V					-20	±1	+20	μA
V _{IH}	Minimum Input High Voltage		DIN, DE, RE	2.0		V _{CC}	V			
V _{IL}	Maximum Input Low Voltage			GND		0.8	V			
I _{IH}	Input High Current	V _{IN} = V _{CC} or 2.4V				±1	±10	μA		
I _{IL}	Input Low Current	V _{IN} = GND or 0.4V				±1	±10	μA		
V _{CL}	Input Diode Clamp Voltage	I _{CLAMP} = -18 mA		-1.5	-0.8		V			
I _{CCD}	Power Supply Current	DE = \overline{RE} = V _{CC} , R _L = 27Ω	V _{CC}		13	20	mA			
I _{CCR}		DE = \overline{RE} = 0V			5	8	mA			
I _{CCZ}		DE = 0V, \overline{RE} = V _{CC}			3	7.5	mA			
I _{CC}		DE = V _{CC} , \overline{RE} = 0V, R _L = 27Ω			16	22	mA			
C _{output}	Capacitance @ BUS Pins		DO+/RI+, DO-/RI-		5		pF			

5V DC 電気的特性 (Note 2, 3)

特記のない限り、 $V_{CC} = +5.0 \pm 0.5V$ 、 $T_A = -40 \sim +85$

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units	
V_{OD}	Output Differential Voltage	$R_L = 27\Omega$, Figure 1	DO+/RI+, DO-/RI-	145	270	390	mV	
ΔV_{OD}	V_{OD} Magnitude Change				3	30	mV	
V_{OS}	Offset Voltage			1	1.35	1.65	V	
ΔV_{OS}	Offset Magnitude Change				5	50	mV	
I_{OSD}	Output Short Circuit Current	$V_O = 0V$, $DE = V_{CC}$		-12	-20		mA	
V_{OH}	Voltage Output High	$V_{ID} = +100\text{ mV}$ $I_{OH} = -400\ \mu\text{A}$	R_{OUT}	Inputs Open	4.3	5.0		V
				Inputs Shorted	4.3	5.0		V
				Inputs Terminated, $R_L = 27\Omega$	4.3	5.0		V
					4.3	5.0		V
V_{OL}	Voltage Output Low	$I_{OL} = 2.0\text{ mA}$, $V_{ID} = -100\text{ mV}$		0.1	0.4		V	
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V$, $V_{ID} = +100\text{ mV}$		-35	-90	-130	mA	
V_{TH}	Input Threshold High	$DE = 0V$	DO+/RI+, DO-/RI-			+100	mV	
V_{TL}	Input Threshold Low			-100			mV	
I_{IN}	Input Current	$DE = 0V$, $V_{IN} = +2.4V$, or $0V$		-20	± 1	+20	μA	
		$V_{CC} = 0V$, $V_{IN} = +2.4V$, or $0V$		-20	± 1	+20	μA	
V_{IH}	Minimum Input High Voltage		DIN, DE, RE	2.0		V_{CC}	V	
V_{IL}	Maximum Input Low Voltage			GND		0.8	V	
I_{IH}	Input High Current			$V_{IN} = V_{CC}$ or $2.4V$		± 1	± 10	μA
I_{IL}	Input Low Current			$V_{IN} = \text{GND}$ or $0.4V$		± 1	± 10	μA
V_{CL}	Input Diode Clamp Voltage	$I_{CLAMP} = -18\text{ mA}$		-1.5	-0.8		V	
I_{CCD}	Power Supply Current	$DE = \overline{RE} = V_{CC}$, $R_L = 27\Omega$	V_{CC}		17	25	mA	
I_{CCR}		$DE = \overline{RE} = 0V$			6	10	mA	
I_{CCZ}		$DE = 0V$, $\overline{RE} = V_{CC}$			3	8	mA	
I_{CC}		$DE = V_{CC}$, $\overline{RE} = 0V$, $R_L = 27\Omega$			20	25	mA	
C_{output}	Capacitance @ BUS Pins		DO+/RI+, DO-/RI-		5		pF	

Note 1 「絶対最大定格」とはこの値を超えるとデバイスの安全を保障できない値です。デバイスをこの規格値で動作することを意味しているわけではありません。「電気的特性」の表にデバイスの実際の動作条件が示されています。

Note 2: デバイスのピンに流れ込む電流はすべて正、デバイスのピンから流れ出す電流は負と示されています。特記のない限り、 V_{OD} 、 V_{ID} 、 V_{TH} 、 V_{TL} を除くすべての電圧はすべてグラウンドを基準としています。

Note 3: すべての標準値は、 $V_{CC} = +3.3V$ または $+5.0V$ 、 $T_A = +25$ の値です。

Note 4: ESD耐圧：HBM (1.5K、100pF) > 2000V
EIAJ (0、200pF) > 300V

Note 5: C_L はプローブ容量と治具容量を含んでいます。

Note 6: 特記のない限り、パルスゼネレータの出力波形は、コントロール・ピンについて $f = 1\text{MHz}$ 、 $Z_O = 50$ 、 $t_r = t_f = < 6\text{ns}$ (0% - 100%) レシーバの入力については 1ns

Note 7: DS92LV010A はドライバ出力が定電流形式の製品で、データシートの値は差動出力間に負荷抵抗を付加した時の値です。

Note 8: レシーバの TRI-STATE 遅延時間の測定において、 t_{PZL} と t_{PLZ} はスイッチを V_{CC} 側にセットし、 t_{PZH} および t_{PHZ} の場合は GND 側にセットします。

3.3V AC 電気的特性 (Note 6)

 $V_{CC} = 3.3V \pm 0.3V$ 、 $T_A = -40 \sim +85$

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DIFFERENTIAL DRIVER TIMING REQUIREMENTS						
t_{PHLD}	Differential Prop. Delay High to Low	$R_L = 27\Omega$, Figures 2, 3 $C_L = 10\text{ pF}$	1.0	3.0	5.0	ns
t_{PLHD}	Differential Prop. Delay Low to High		1.0	2.8	5.0	ns
t_{SKD}	Differential SKEW $ t_{PHLD} - t_{PLHD} $			0.2	1.0	ns
t_{TLH}	Transition Time Low to High			0.3	2.0	ns
t_{THL}	Transition Time High to Low			0.3	2.0	ns

3.3V AC 電気的特性 (Note 6) (つぎ) $V_{CC} = 3.3V \pm 0.3V$ 、 $T_A = -40 \sim +85$

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHZ}	Disable Time High to Z	$R_L = 27\Omega$, Figures 4, 5	0.5	4.5	9.0	ns
t_{PLZ}	Disable Time Low to Z	$C_L = 10\text{ pF}$	0.5	5.0	10.0	ns
t_{PZH}	Enable Time Z to High		2.0	5.0	7.0	ns
t_{PZL}	Enable Time Z to Low		1.0	4.5	9.0	ns

DIFFERENTIAL RECEIVER TIMING REQUIREMENTS

t_{PHLD}	Differential Prop. Delay High to Low	Figures 6, 7	2.5	5.0	12.0	ns
t_{PLHD}	Differential Prop. Delay Low to High	$C_L = 10\text{ pF}$	2.5	5.5	10.0	ns
t_{SKD}	Differential SKEW $ t_{PHLD} - t_{PLHD} $			0.5	2.0	ns
t_r	Rise Time			1.5	4.0	ns
t_f	Fall Time			1.5	4.0	ns
t_{PHZ}	Disable Time High to Z	$R_L = 500\Omega$, Figures 8, 9	2.0	4.0	6.0	ns
t_{PLZ}	Disable Time Low to Z	$C_L = 10\text{ pF}$	2.0	5.0	7.0	ns
t_{PZH}	Enable Time Z to High	(Note 8)	2.0	7.0	13.0	ns
t_{PZL}	Enable Time Z to Low		2.0	6.0	10.0	ns

5V AC 電気的特性 (Note 6) $V_{CC} = 5.0V \pm 0.5V$ 、 $T_A = -40 \sim +85$

Symbol	Parameter	Conditions	Min	Typ	Max	Units
--------	-----------	------------	-----	-----	-----	-------

DIFFERENTIAL DRIVER TIMING REQUIREMENTS

t_{PHLD}	Differential Prop. Delay High to Low	$R_L = 27\Omega$, Figures 2, 3	0.5	2.7	4.5	ns
t_{PLHD}	Differential Prop. Delay Low to High	$C_L = 10\text{ pF}$	0.5	2.5	4.5	ns
t_{SKD}	Differential SKEW $ t_{PHLD} - t_{PLHD} $			0.2	1.0	ns
t_{TLH}	Transition Time Low to High			0.3	2.0	ns
t_{THL}	Transition Time High to Low			0.3	2.0	ns
t_{PHZ}	Disable Time High to Z	$R_L = 27\Omega$, Figures 4, 5	0.5	3.0	7.0	ns
t_{PLZ}	Disable Time Low to Z	$C_L = 10\text{ pF}$	0.5	5.0	10.0	ns
t_{PZH}	Enable Time Z to High		2.0	4.0	7.0	ns
t_{PZL}	Enable Time Z to Low		1.0	4.0	9.0	ns

DIFFERENTIAL RECEIVER TIMING REQUIREMENTS

t_{PHLD}	Differential Prop. Delay High to Low	Figures 6, 7	2.5	5.0	12.0	ns
t_{PLHD}	Differential Prop. Delay Low to High	$C_L = 10\text{ pF}$	2.5	4.6	10.0	ns
t_{SKD}	Differential SKEW $ t_{PHLD} - t_{PLHD} $			0.4	2.0	ns
t_r	Rise Time			1.2	2.5	ns
t_f	Fall Time			1.2	2.5	ns
t_{PHZ}	Disable Time High to Z	$R_L = 500\Omega$, Figures 8, 9	2.0	4.0	6.0	ns
t_{PLZ}	Disable Time Low to Z	$C_L = 10\text{ pF}$	2.0	4.0	6.0	ns
t_{PZH}	Enable Time Z to High	(Note 8)	2.0	5.0	9.0	ns
t_{PZL}	Enable Time Z to Low		2.0	5.0	7.0	ns

テスト回路およびタイミング波形

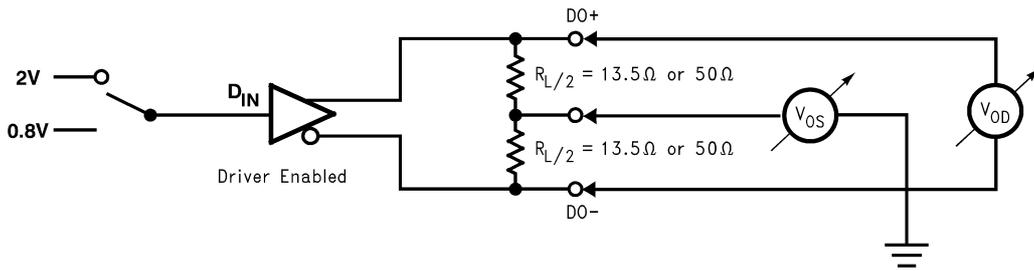


FIGURE 1. Differential Driver DC Test Circuit

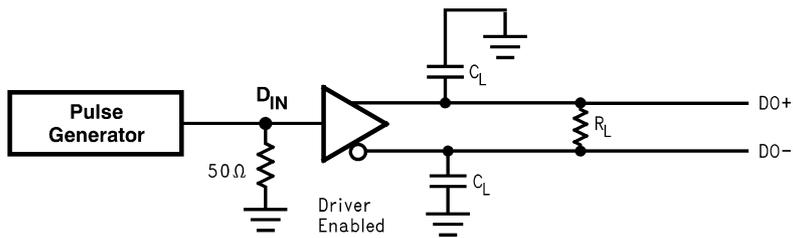


FIGURE 2. Differential Driver Propagation Delay and Transition Time Test Circuit

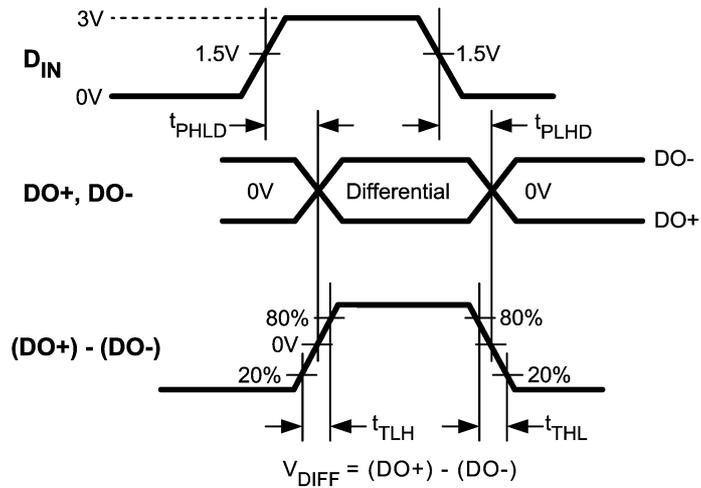


FIGURE 3. Differential Driver Propagation Delay and Transition Time Waveforms

テスト回路およびタイミング波形 (つぎ)

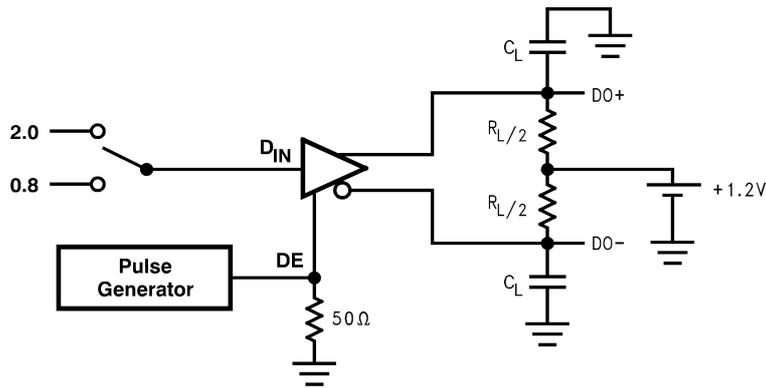


FIGURE 4. Driver TRI-STATE Delay Test Circuit

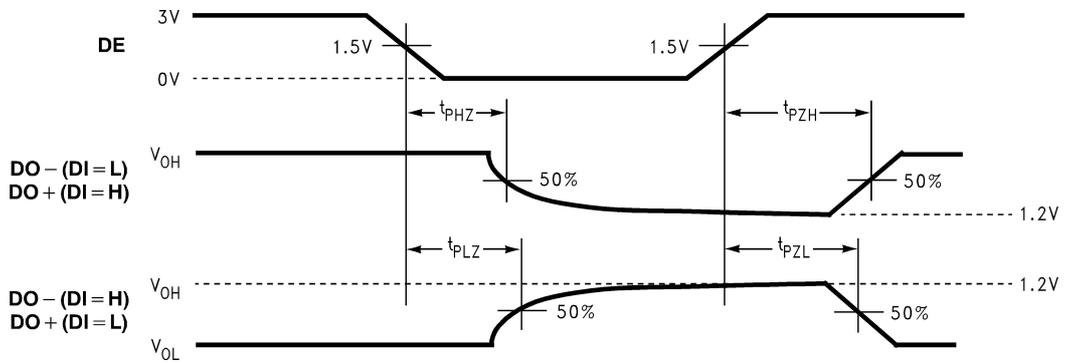


FIGURE 5. Driver TRI-STATE Delay Waveforms

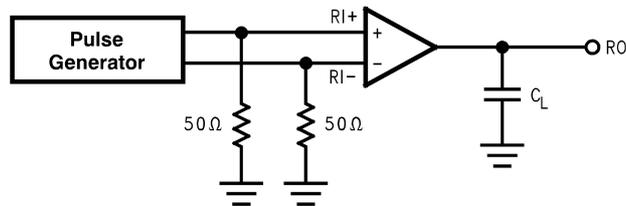


FIGURE 6. Receiver Propagation Delay and Transition Time Test Circuit

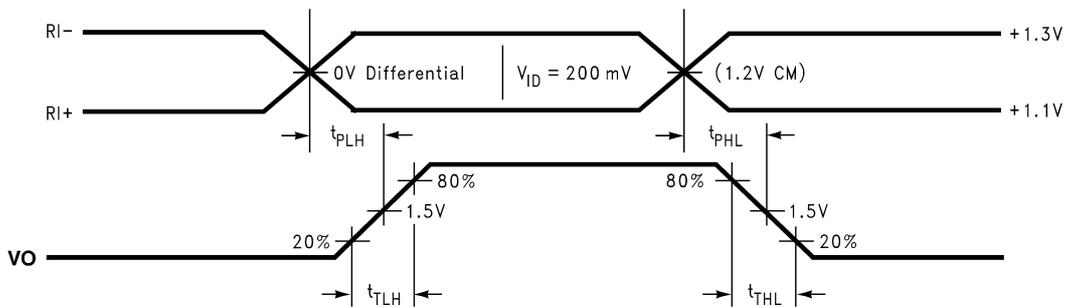


FIGURE 7. Receiver Propagation Delay and Transition Time Waveforms

テスト回路およびタイミング波形 (つづき)

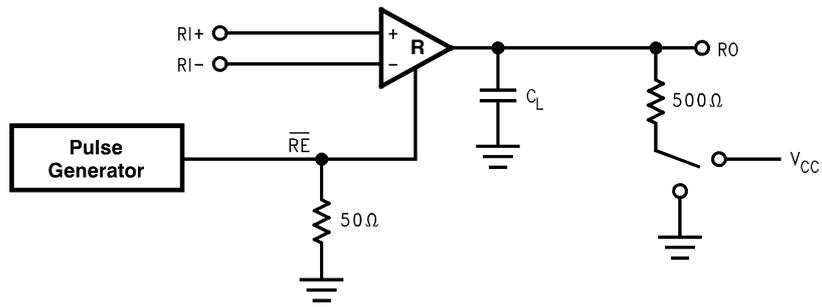


FIGURE 8. Receiver TRI-STATE Delay Test Circuit

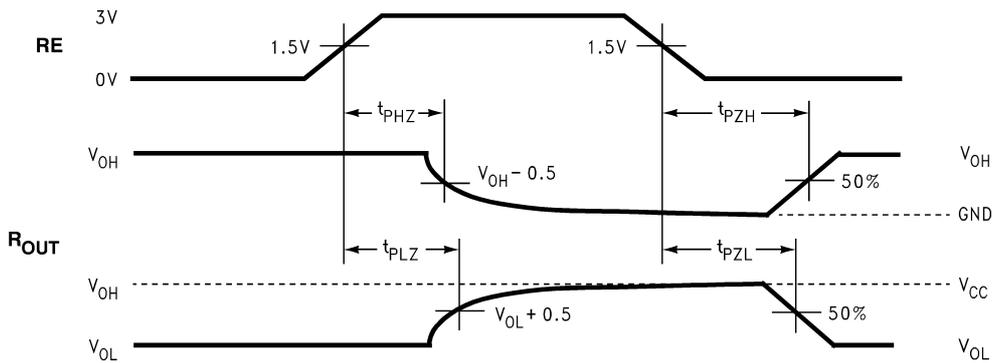
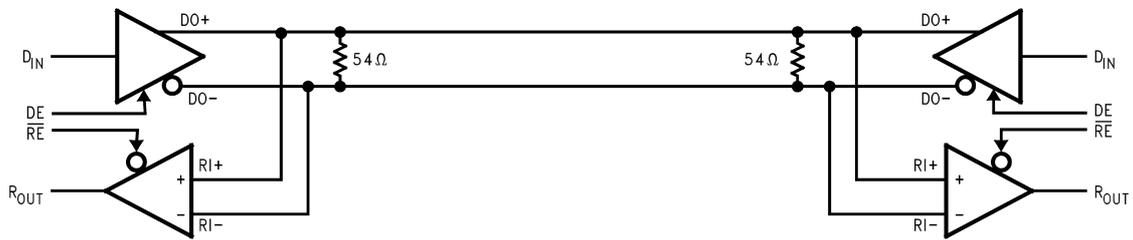
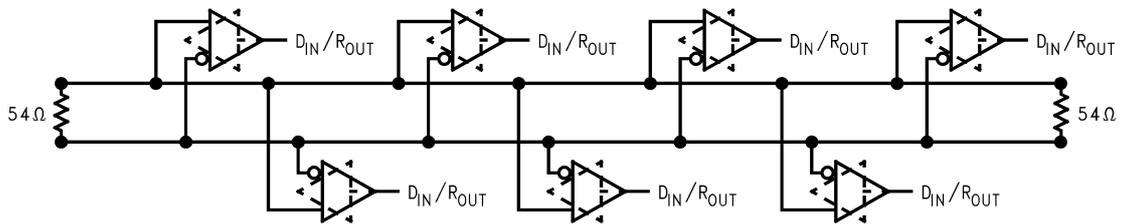


FIGURE 9. Receiver TRI-STATE Delay Waveforms

代表的なバス・アプリケーション構成



Bi-Directional Half-Duplex Point-to-Point Applications



Multi-Point Bus Applications

アプリケーション情報

BLVDS 信号の PC 板設計上、考慮すべき点を以下に述べます。

プリント板の推奨

4 層基板以上を推奨します。振り分けは、上面より LVDS 信号、グラウンド、電源、TTL 信号の順序です。LVDS 信号はグラウンド / 電源などの層により TTL 信号ラインからのクロストークを防ぐようにします。

またドライバ、レシーバは可能な限り入出力コネクタ (BLVDS 側) の近くに配置します。

電源ピン間のバイパス・コンデンサ

デバイスの電源、グラウンド間に高周波特性の良いセラミックなどのバイパス・コンデンサ (表面実装型) を必ず装着してください。2 個または 3 個の 0.1 μ F、0.01 μ F の容量のコンデンサを、デバイスの V_{CC} -GND ピン間に並列に装着します。また、パラレル伝送などのアプリケーションでデバイスを数多く使用する場合、それらのデバイスのグループの電源供給元に 10 μ F (35V) のコンデンサを装着してください。

差動ライン

終端抵抗は使用するメディアのライン・インピーダンスにあわせませす。プリント・パターンなどで対になった差動ラインのトレースはできる限り間隔を狭くし、また支線も 10mm 以内に設定するようにします。これは発生する同相ノイズの低減、レシーバによる同相ノイズの除去、または信号の反射などの軽減に効果をあらわします。実際 1mm のパターン間隔は 3mm のパターン間隔より輻射ノイズが軽減していることを確認しています。

信号のズレを減らすために電気的な信号線の長さは等しくします。等しい長さの差動信号ラインは電磁輻射ノイズを軽減します。(電気信号の伝達速度は、 $v = c/Er$ 、 c (光速) = 0.2997mm/ps 又は 0.0118in/ps) 信号パターンラインをまねく場合、ただ漠然と引くだけではなく差動ライン・インピーダンスやアイソレーションを考慮して引く必要があります。スルーホールやその他ライン上の不連続線は最小にしてください。パターンを例えば 90 などの角度で引き回すとインピーダンスが変化しますので鋭角な角度で引き回すことは避けます。45 以内の鈍角な角度で引き回してください。前にも述べましたがプリント・パターン上の対になった差動ラインのトレースはできる限り間隔を狭くします。レシーバの同相ノイズの抑圧が効率的に行えます。プリント・パターン上の対になったパターンの間隔はインピーダンスの変化を最小に押さえるため一定に保ちます。

終端抵抗

終端抵抗は使用する差動ラインの特性インピーダンスにあわせませす。ドライバである DS92LV010 は定電流モードで動作しますので、電流ループを形成するため終端抵抗は必ず装着してください。終端抵抗は表面実装型の抵抗を使用しバス入出力ピンのすぐ近くに (7mm 以内、最大でも 12mm 以内) 装着します。抵抗値の誤差は理想的には 1% ~ 2% のものを使用します。

LVDS 信号ラインの測定プローブ

LVDS 信号ラインの測定には信号ラインへの影響を極力少なくするため、高入力インピーダンス (100k 以上)、低入力容量 (2pF 以下) の測定プローブ (FET プローブなど) を使用し、帯域が 3GHz 以上のオシロスコープを使用します。

メディア (バックプレーン、コネクタ)

差動インピーダンスが調整されたメディアを使用します。

TABLE 1. Functional Table

MODE SELECTED	DE	RE
DRIVER MODE	H	H
RECEIVER MODE	L	L
TRI-STATE MODE	L	H
LOOP BACK MODE	H	L

TABLE 2. Transmitter Mode

INPUTS		OUTPUTS	
DE	DI	DO+	DO-
H	L	L	H
H	H	H	L
H	$2 > \& > 0.8$	X	X
L	X	Z	Z

L = Low state
H = High state

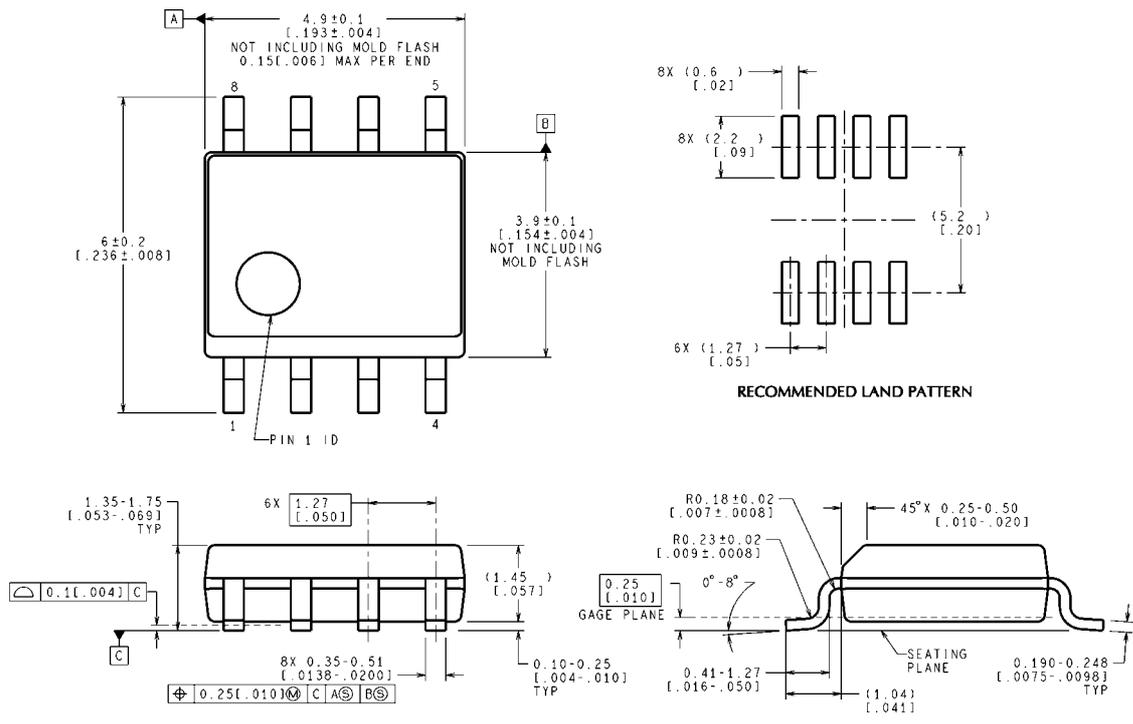
TABLE 3. Receiver Mode

INPUTS		OUTPUT
RE	(RI+)-(RI-)	
L	L (< -100 mV)	L
L	H (> +100 mV)	H
L	100 mV > & > -100 mV	X
H	X	Z

TABLE 4. Device Pin Descriptions

Pin Name	Pin #	Input/Output	Description
DIN	2	I	TTL Driver Input
DO \pm /RI \pm	6, 7	I/O	LVDS Driver Outputs/LVDS Receiver Inputs
R _{OUT}	3	O	TTL Receiver Output
RE	5	I	Receiver Enable TTL Input (Active Low)
DE	1	I	Driver Enable TTL Input (Active High)
GND	4	NA	Ground
V _{CC}	8	NA	Power Supply

外形寸法図 単位は millimeters



CONTROLLING DIMENSION IS MILLIMETER
VALUES IN [] ARE INCHES
DIMENSIONS IN () FOR REFERENCE ONLY

M08A (Rev L)

Order Number DS92LV010ATM
See NS Package Number M08A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問はず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。 www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上