

LM6584

LM6584 TFT-LCD Quad, 13V RRIO High Output Current Operational Amplifier



Literature Number: JAJSA39

LM6584

TFT-LCD、クワッド、13V 入出力フルスイング、高出力電流オペアンプ

概要

LM6584 は低消費電力、高電圧、入出力フルスイングに対応したアンプで、LCD パネル V_{COM} ドライバやガンマ・バッファ・アプリケーションに最適です。ユニティ・ゲインでも安定して駆動できる 4 回路入りオペアンプです。電源電圧を 0.5V 上回る同相入力と、正負電源電圧の 50mV 以内の出力電圧範囲を備えています。このような性能によって、どの電源電圧でも最大限のダイナミック・レンジが確保されます。動作電圧範囲は 5V ~ 13V で、消費電流は各チャンネルあたりわずか 750 μ A です。LM6584 の帯域幅は - 3dB で 24MHz です。

LM6584 はまた、高速なスルーレートおよびセトリング・タイムに加え、75mA の連続出力駆動能力を特長としています。出力段が供給可能なピーク電流はおよそ 310mA で、容量性負荷の充放電にも対応しています。これらの特長は TFT-LCD への適用に理想的です。

LM6584 は業界標準の 14 ピン SO パッケージと省スペース型の 14 ピン TSSOP パッケージで供給されます。アンプの仕様は - 40 ~ + 85 の温度範囲で規定されています。

特長

($V_S = 5V$ 、 $T_A = 25$ 。特記のない限り、代表値)

入力同相電圧	$V^+ + 0.5V \sim V^- - 0.5V$
出力電圧スイング ($R_L = 2k$)	正負電源電圧の 50mV 内
出力短絡回路電流	+ 310/ - 410mA
連続出力電流	75mA
消費電流 (無負荷時)	750 μ A (チャンネルあたり)
電源電圧範囲	5V ~ 13V
安定したユニティ・ゲイン - 3dB 帯域幅 ($A_V = + 1$)	24MHz
スルーレート	11V/ μ Sec
セトリング・タイム	270ns

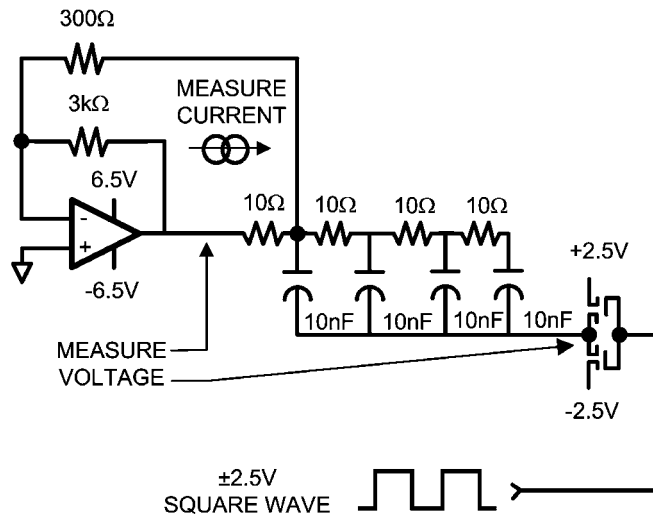
SO-14 パッケージおよび TSSOP-14 パッケージ

ボンディングされたウェハ上に深いトレンチを形成する方式を採用したナショナル セミコンダクターの最先端技術、相補バイポーラ VIP10™ プロセスにより製造。高性能かつ低消費電力を実現。

アプリケーション

- LCD パネル V_{COM} ドライバ
- LCD パネル・ガンマ・バッファ
- LCD パネル・リペア・バッファ

テスト回路図



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

入力同相電圧範囲
接合部温度 (Note 4)

$V^- \sim V^+$
150

ESD 耐圧 (Note 2)

人体モデル	2KV
マシン・モデル	200V
電源電圧 ($V^+ - V^-$)	14V
差動入力電圧	$\pm 5.5V$
グラウンドへの出力短絡回路 (Note 3)	連続
保存温度範囲	- 65 ~ 150

動作定格 (Note 1)

電源電圧	5V	V_S	13V
温度範囲	- 40	~ + 85	
熱抵抗 (J_A)			
SOIC-14	145	/W	
TSSOP-14	155	/W	

13V DC 電気的特性 (Note 13)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。太字のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OS}	Input Offset Voltage			0.7	4 6	mV
TC V_{OS}	Input Offset Voltage Average Drift			5		$\mu V/^{\circ}C$
I_B	Input Bias Current			-0.3/+0.3	± 1 ± 7	μA
I_{OS}	Input Offset Current			16	150 300	nA
R_{IN}	Input Resistance	Common Mode		20		M Ω
		Differential Mode		0.5		
CMRR	Common Mode Rejection Ratio	$V_{CM} = 0$ to +13V	75 70	103		dB
		$V_{CM} = 0$ to 11.5V	78 72	103		
PSRR	Power Supply Rejection Ratio	$V_{CM} = \pm 1V$	75 70	103		dB
CMVR	Input Common-Mode Voltage Range	CMRR > 50dB	13.2	0 13	-0.2	V
A_V	Large Signal Voltage Gain (Note 7)	$R_L = 2k\Omega$, $V_O = 0.5$ to +12.5V	78 72	108		dB
V_O	Output Swing High	$R_L = 2k\Omega$	12.85 12.7	12.9		V
	Output Swing Low	$R_L = 2k\Omega$		0.55	0.150	
I_{SC}	Output Short Circuit Current (Note 11)	Sourcing	200	320		mA
		Sinking	200	420		
I_{CONT}	Continuous Output Current (Note 12)	Sourcing		75		mA
		Sinking		75		
I_S	Supply Current (per Amp)			780	1100 1350	μA

13V AC 電気的特性 (Note 13)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。太字表記のリミット値は全動作温度範囲で適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
SR	Slew Rate (Note 9)	$A_V = +1$, $V_{IN} = 10V_{PP}$	8	15		V/ μs

13V AC 電気的特性 (Note 13)(つづき)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。太字表記のリミット値は全動作温度範囲で適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
	Unity Gain Bandwidth Product			15.4		MHz
	-3dB Frequency	$A_V = +1$	10	24		MHz
Φ_m	Phase Margin			61		deg
t_s	Settling Time (0.1%)	$A_V = -1$, $A_O = \pm 5V$, $R_L = 500\Omega$		780		ns
t_p	Propagation Delay	$A_V = -2$, $V_{IN} = \pm 5V$, $R_L = 500\Omega$		20		ns
HD2	2 nd Harmonic Distortion $F_{IN} = 1\text{MHz}$ (Note 10)	$V_{OUT} = 2V_{PP}$		-53		dBc
HD3	3rd Harmonic Distortion $F_{IN} = 1\text{MHz}$ (Note 10)	$V_{OUT} = 2V_{PP}$		-40		dBc
e_n	Input-Referred Voltage Noise	$f = 10\text{kHz}$		23		nV/ $\sqrt{\text{Hz}}$

5V DC 電気的特性 (Note 13)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。太字表記のリミット値は全動作温度範囲で適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OS}	Input Offset Voltage			0.7	4 6	mV
TC V_{OS}	Input Offset Voltage Average Drift			10		$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current			-0.3/+0.3	± 1 ± 7	μA
I_{OS}	Input Offset Current			20	150 300	nA
R_{IN}	Input Resistance	Common Mode		20		$M\Omega$
		Differential Mode		0.5		
CMRR	Common Mode Rejection Ratio	V_{CM} Stepped from 0 to 5V	72 68	105		dB
		V_{CM} Stepped from 0 to 3.5V	75 70	105		
PSRR	Power Supply Rejection Ratio	$V_S = V_{CC} = 3.5V$ to 5.5V	75 70	92		dB
CMVR	Input Common-Mode Voltage Range	CMRR > 50dB	5.2	0.0 5.0	-0.2	V
A_V	Large Signal Voltage Gain (Note 7)	$R_L = 2k\Omega$, $V_O = 0$ to 5V	70 65	106		dB
V_O	Output Swing High	$R_L = 2k\Omega$	4.85 4.7	4.9		V
	Output Swing Low	$R_L = 2k\Omega$		0.2	0.15	
I_{SC}	Output Short Circuit Current (Note 11)	Sourcing		310		mA
		Sinking		400		
I_{CONT}	Continuous Output Current (Note 12)	Sourcing		75		mA
		Sinking		75		
I_S	Supply Current (per Amp)			750	1000 1250	μA

5V AC 電気的特性 (Note 13)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。太字表記のリミット値は全動作温度範囲で適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
SR	Slew Rate (Note 9)	$A_V = +1$, $V_{IN} = 3.5V_{PP}$		11		V/ μ s
	Unity Gain Bandwidth Product			15.3		MHz
	-3dB Frequency	$A_V = +1$		24		MHz
Φ_m	Phase Margin			56		deg
t_s	Settling Time (0.1%)	$A_V = -1$, $V_O = \pm 1V$, $R_L = 500\Omega$		270		ns
t_p	Propagation Delay	$A_V = -2$, $V_{IN} = \pm 1V$, $R_L = 500\Omega$		21		ns
HD2	2 nd Harmonic Distortion	$V_{OUT} = 2V_{PP}$		-53		dBc
	$F_{IN} = 1\text{MHz}$ (Note 10)					
HD3	3rd Harmonic Distortion	$V_{OUT} = 2V_{PP}$		-40		dBc
	$F_{IN} = 1\text{MHz}$ (Note 10)					
e_n	Input-Referred Voltage Noise	$f = 10\text{kHz}$		23		nV/ $\sqrt{\text{Hz}}$

Note 1: 「絶対最大定格」とは、それを超えると、デバイスに損傷が生じるおそれがあるリミット値を示します。「動作定格」とは、デバイスが機能する条件を示しますが、特定の性能を保証するものではありません。保証された仕様および関連するテスト条件については、「電気的特性」の表を参照してください。

Note 2: 試験目的のために、ESD は 1.5k と 100pF の直列回路の人体モデルを使用してかけられました。

Note 3: 単電源と両電源の両方の動作に適用します。高周囲温度下で短絡動作を連続させると、150 の最大許容接合部温度を超える場合があります。

Note 4: 最大消費電力は、 $T_J(\text{MAX})$ 、 J_A 、 T_A の関数です。任意の周囲温度での最大許容消費電力は、 $P_D = (T_J(\text{MAX}) - T_A) / J_A$ です。数値はすべて、パッケージをプリント基板に直接ハンダ付けする場合に適用されます。

Note 5: T_{yp} 値は最も標準的な値を示しています。

Note 6: すべてのリミット値は、試験または統計分析により保証されています。

Note 7: 大信号電圧利得は、全出力振幅を（その振幅を発生させるのに必要な）入力信号で割ったものです。

Note 8: 開ループ出力電圧振幅を測定することによって開ループ出力電流を保証しています。

Note 9: スルーレートは立ち上がりスルーレートと立ち下がりスルーレートとの平均値です。

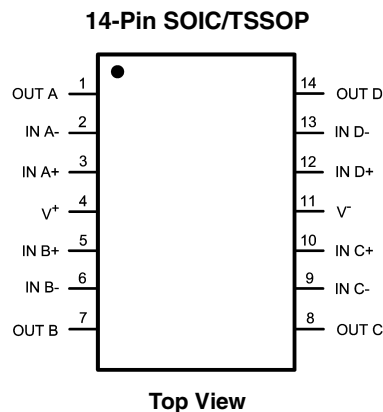
Note 10: 高調波特性は、 $A_V = +2$ 、 $R_L = 100$ 、 $V_{IN} = 1V_{PP}$ 、 $V_{OUT} = 2V_{PP}$ の条件で測定しています。

Note 11: この出力電流で連続動作させるとデバイスの許容消費電力能力を超過します。

Note 12: 4 回路のすべてで 75mA のソース電流またはシンク電流が流れると消費電力リミット値を超えることがあります。デバイスの消費電力を計算する際には、出力トランジスタ両端の電圧と出力電流を考慮する必要があります。

Note 13: 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。工場試験条件で生じる自己発熱は、 $T_J = T_A$ となる程度にきわめてわずかです。自己発熱によって $T_J > T_A$ となる条件下では、「電気的特性」表記載のパラメータは保証されません。デバイスの温度デレーティングについては「アプリケーション情報」を参照してください。

ピン配置図



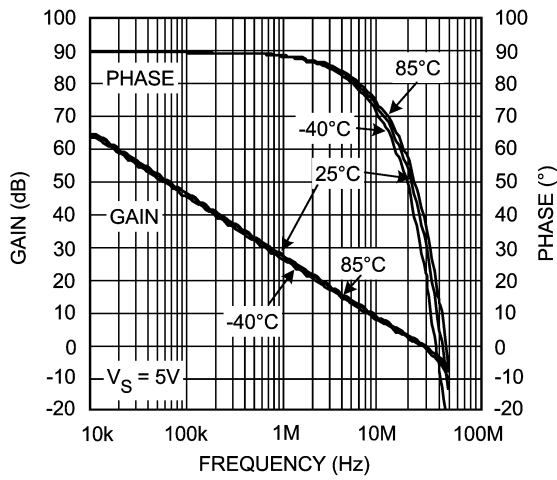
製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
14-Pin SOIC	LM6584MA	LM6584MA	95 Units/Rail	M14A
	LM6584MAX		2.5k Units Tape and Reel	
14-Pin TSSOP	LM6584MT	LM6584MT	95 Units/Rail	MTC14
	LM6584MTX		2.5k Units Tape and Reel	

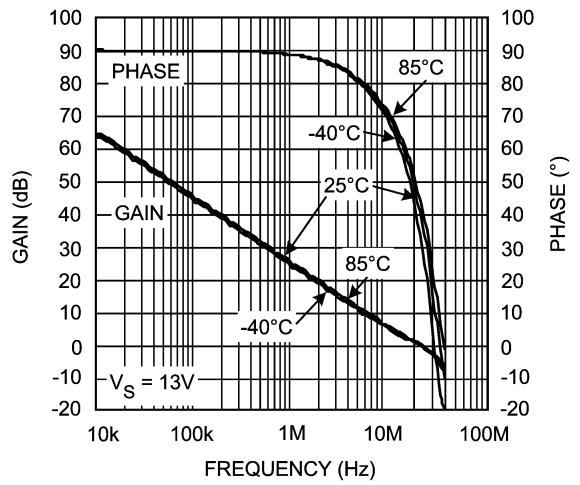
代表的な性能特性

特記のない限り、すべてのリミット値は $T_J = 25^\circ\text{C}$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。

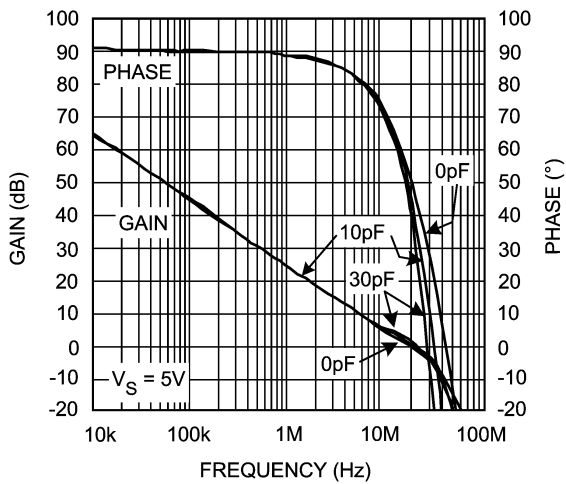
Gain Phase vs. Temperature



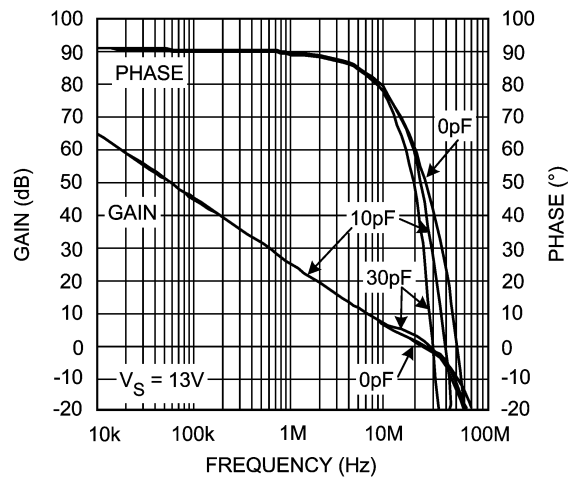
Gain Phase vs. Temperature



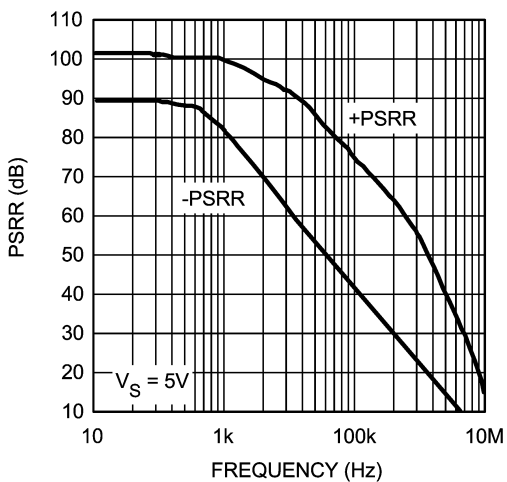
Gain Phase vs. Capacitive Loading



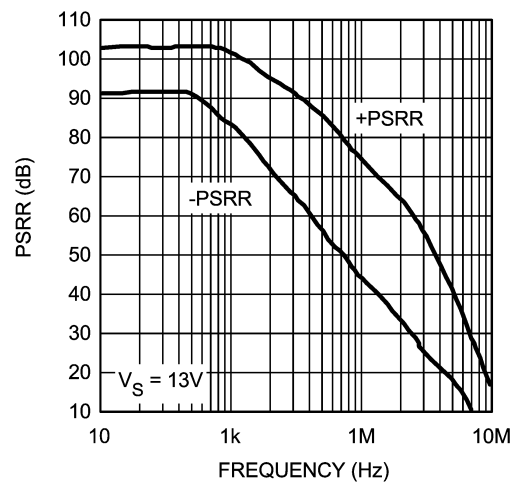
Gain Phase vs. Capacitive Loading



PSRR



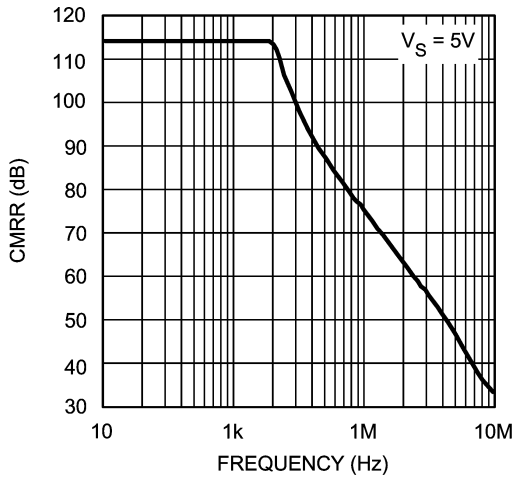
PSRR



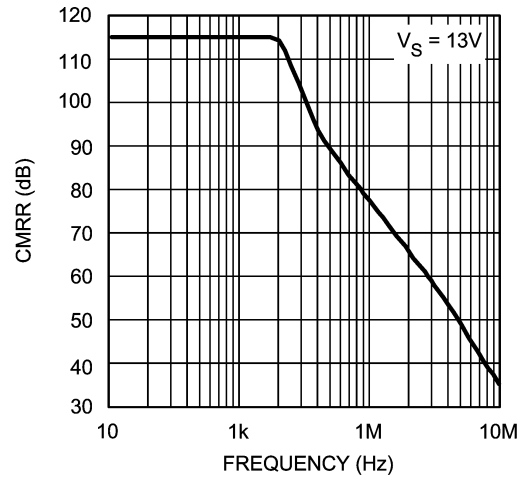
代表的な性能特性 (つづき)

特記のない限り、すべてのリミット値は $T_J = 25^\circ\text{C}$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2\text{k}\Omega$ に対して適用されます。

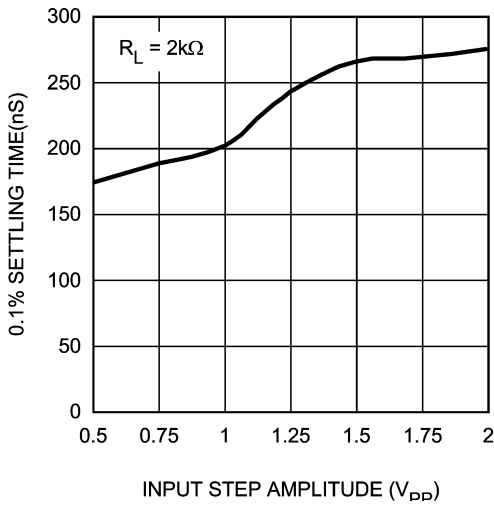
CMRR



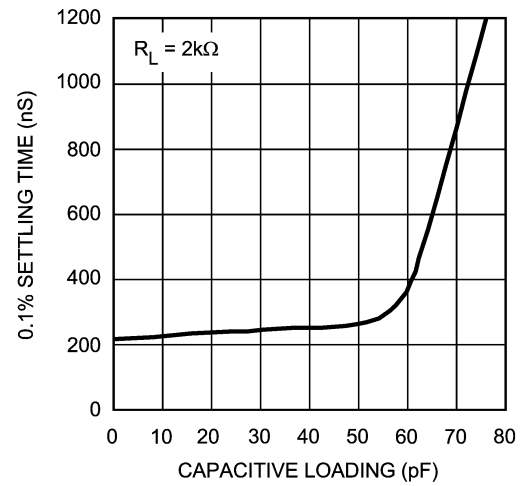
CMRR



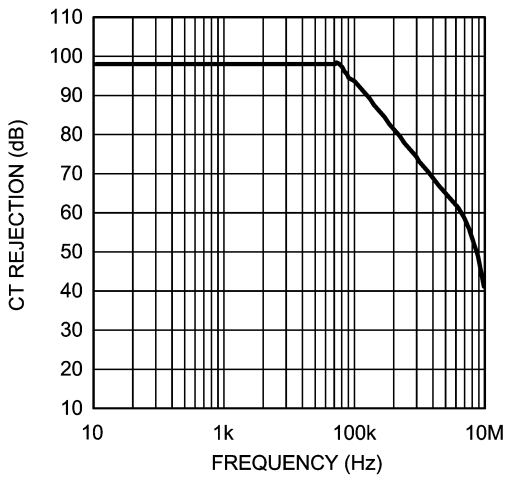
Settling Time vs. Input Step Amplitude
(Output Slew and Settle Time)



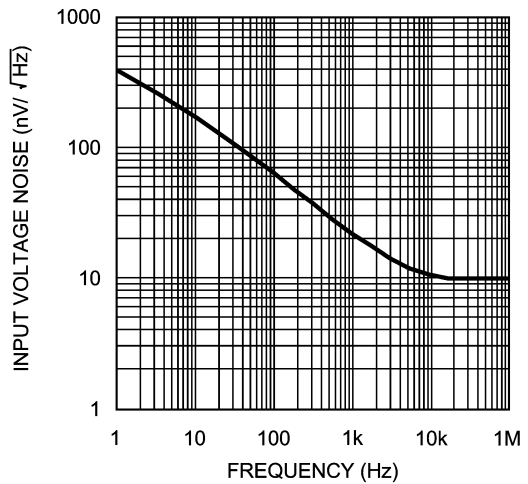
Settling Time vs. Capacitive Loading
(Output Slew and Settle Time)



Crosstalk Rejection vs. Frequency
(Output to Output)



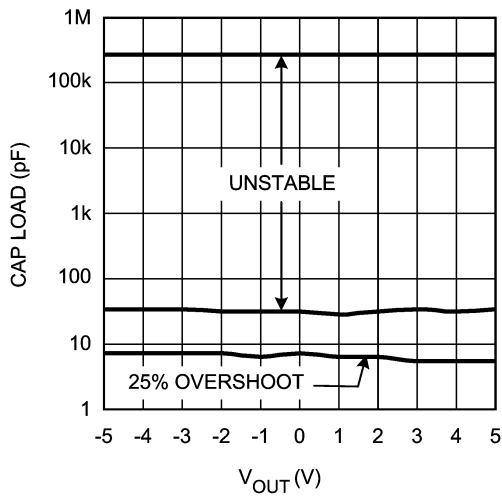
Input Voltage Noise vs. Frequency



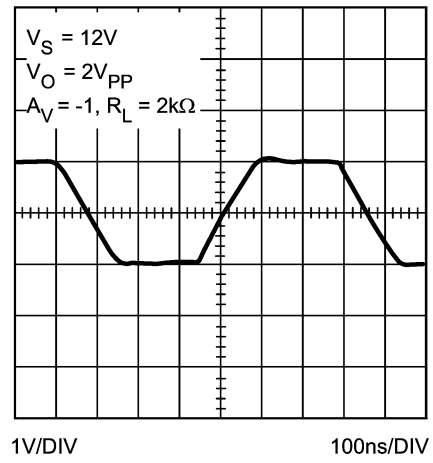
代表的な性能特性 (つづき)

特記のない限り、すべてのリミット値は $T_J = 25^\circ\text{C}$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2\text{k}\Omega$ に対して適用されます。

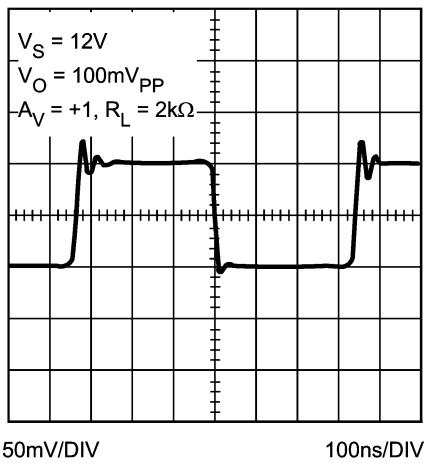
Stability vs. Capacitive Load Unity Gain, $V_S = 13\text{V}$



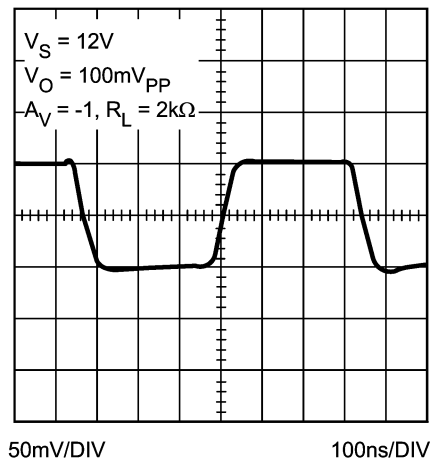
Large Signal Step Response



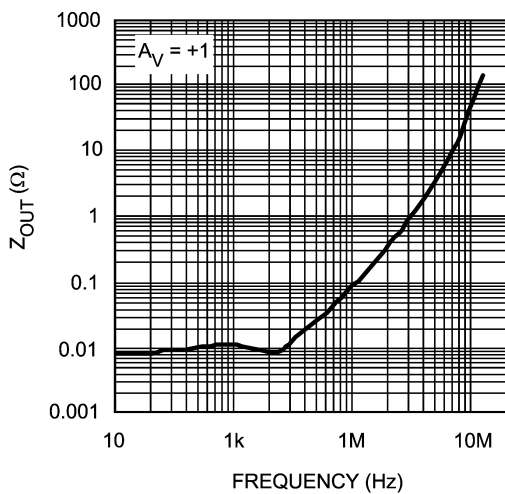
Small Signal Step Response



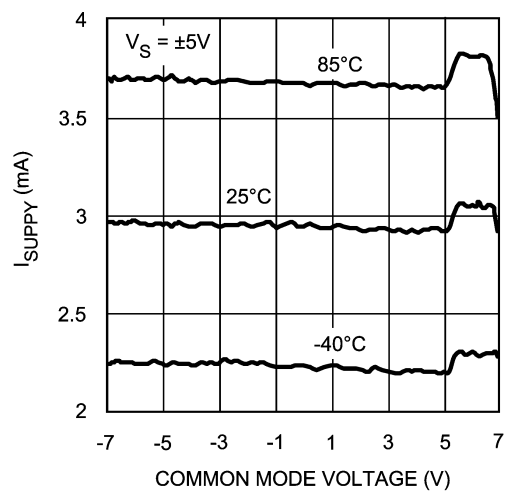
Small Signal Step Response



Closed Loop Output Impedance vs. Frequency



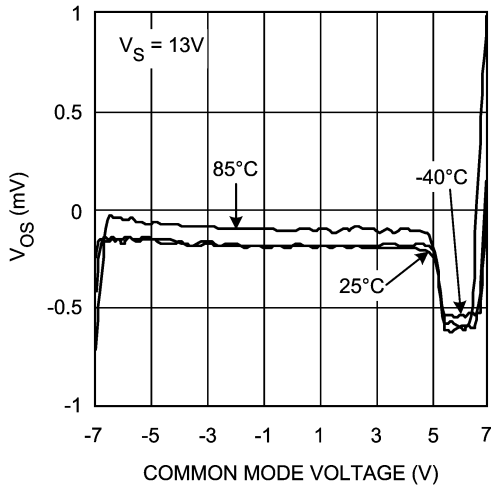
I_{SUPPLY} vs. Common Mode Voltage



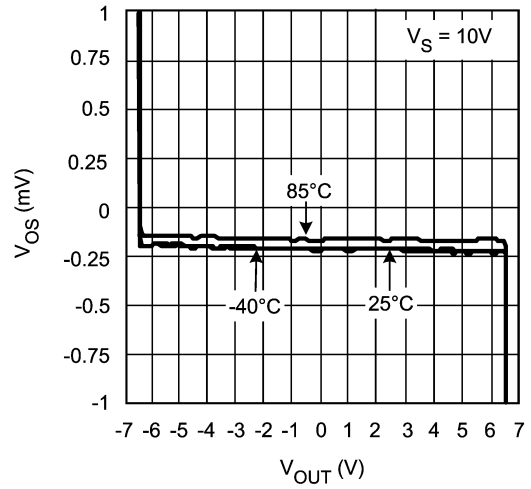
代表的な性能特性 (つづき)

特記のない限り、すべてのリミット値は $T_J = 25^\circ\text{C}$ 、 $V_{CM} = 1/2V_S$ 、 $R_L = 2k$ に対して適用されます。

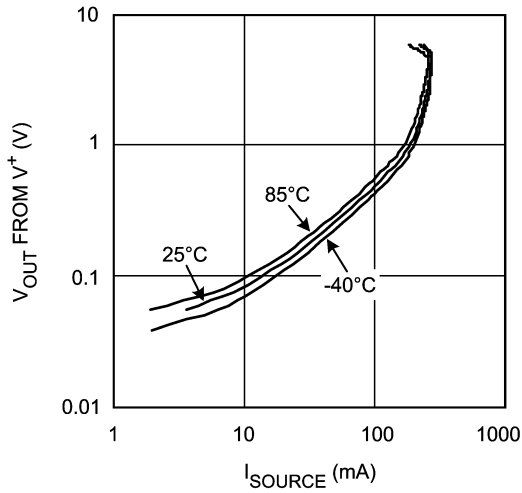
V_{OS} vs. Common Mode Voltage



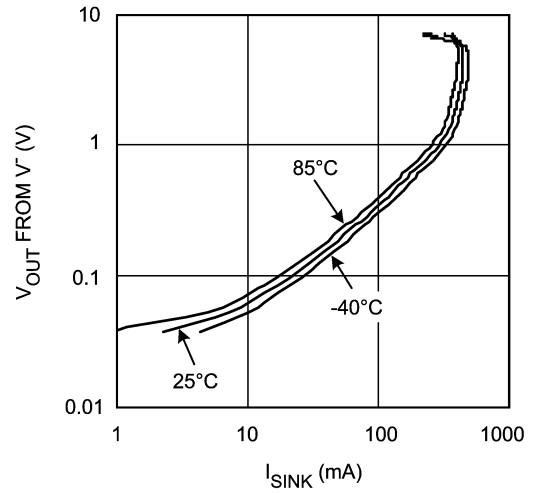
V_{OS} vs. V_{OUT} (Typical Unit)



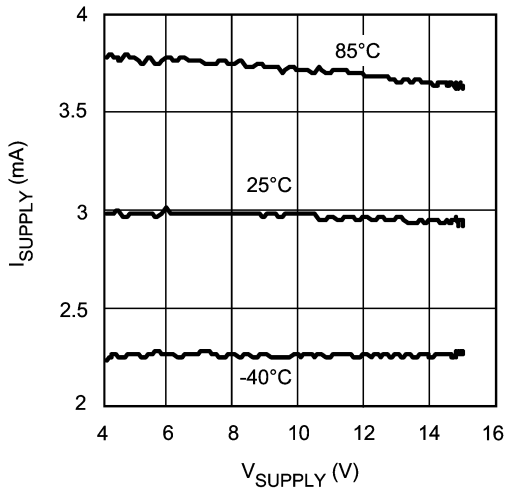
V_{OUT} from V^+ vs. I_{SOURCE}



V_{OUT} from V^- vs. I_{SINK}



I_{SUPPLY} vs. Supply Voltage



アプリケーション・ノート

回路の説明

概要と仕様

LM6584 はバイポーラ・プロセスのオペアンプです。330mA のきわめて優れた出力電流駆動能力を備えています。入力、出力ともにフルスイングに対応しています。- 3dB の帯域幅は 24MHz です。入力電圧ノイズは $23\text{nV}/\sqrt{\text{Hz}}$ 、2 次および 3 次高調波歪みはそれぞれ - 53dB と - 40dB です。

入力段

LM6584 はフルスイング入力に対応しており、入力電圧として印加可能な範囲は、 $V^- - 0.5\text{V} \sim V^+ + 0.5\text{V}$ です。入力の最終的なミット電圧は、入力ピンの ESD 保護ダイオードが導通する電圧で決まります。フルスイング入力のオペアンプでは、入力段の回路構成を理解することが最も重要です。一般的なフルスイング入力アンプは 2 個の差動入力ペアを使用してこの機能を実現しています。LM6584 も同様です。負電源レールの 0.5V 下から正電源レールの 1V 下までの入力電圧に対しては、従来型の PNP 差動トランジスタ・ペアが利得を与えます。この電圧を過ぎると、内部回路は、正電源レールの 1V 下から正電源レールの 0.5V 上までを受け持つ差動 NPN トランジスタ・ペアを動作させます。入力ピンからは 2 個の差動オペアンプが接続されているように見えます。この結果、次のような性質が現れます。

- 入力電圧が正電源レールのおよそ 1V 下にある 2 つの入力段の切り替わり点付近を遷移したとき、入力オフセット電圧が場合によって正と負の間で変化します。この現象は、本データシートの「代表的な性能特性」にある "V_{OS} vs. Common Mode Voltage" グラフに示されています。
- 入力バイアス電流は正の値も負の値も取り得ます。入力ピンから見て一定の電流ソースまたは電流シンクを期待することはできません。
- NPN 段か PNP 段のどちらが動作するかによって、デバイスは異なる特性を示します。
- ESD ダイオードが持つ容量の方が優位ですが、単一入力段に比べて、2 つ目の入力段のベース容量分だけ入力容量がわずかに増加します。
- 入力電圧が 2 つの入力段の切り替わり点付近を遷移し、かつ回路が高ゲイン設定で設計されていると、入力オフセット電圧が正と負の間で変化するため、出力は単調（モノトニック）とはならない場合があります。

このように、入力段の切り替わり電圧をまたがる入力電圧が与えられた場合、出力には歪みや精度異常が起こることがあるので、注意してください。また、いずれかのアンプ入力に電源レール近くまで振幅する電圧が与えられた場合、THD やその他の仕様は確実に低下します。

出力段

電流定格

LM6584 の出力電流定格は、ソースまたはシンクで 300mA です。LM6584 は平均電流を多少抑えても大きなピーク電流を必要とする負荷に理想的です。このような動作条件は MOSFET ゲートの駆動では一般的です。出力駆動定格はピークで 300mA、また出力回路構成はフルスイング動作に対応していますが、出力電圧がいずれかの電源レールに到達するような利得と駆動条件の場合、駆動できる出力電流は小さくなります。

出力電力

LM6584 は高い出力駆動能力を持っていますが、接合部温度が最大定格 150 を超えないように電力損失を維持しなければなりません。

電力要件

LM6584 は、 V^+ とグラウンドの単一電源、または V^- と V^+ の正負 2 電源で動作します。シングルエンド動作時の電圧範囲は + 5V ~ + 13V で、正負 2 電源時の電圧範囲は $\pm 2.5\text{V} \sim \pm 6.5\text{V}$ です。

アプリケーション・ヒント

電源

電源シーケンス

オペアンプの回路設計では電源シーケンスに対する十分な配慮が不可欠です。LM6584 はバイポーラ・オペアンプですが、ターンオン時の推奨シーケンスは、グラウンド（または V^- ）、続いて V^+ 、次に入力信号の順です。ターンオフ時の電源シーケンスはターンオン時シーケンスの逆となります。アンプに印加されるバイアス電圧によっては、パワーオンまたはパワーオフ時に、出力は電源レールまで振幅します。大電流出力とフルスイング出力段を持つ LM6584 は、電源電圧が 2V ~ 4V の間を緩やかに上昇した場合に比較的容易に発振を起こします。電源が 5V 以上ではデバイスは無条件に安定します。ターンオンおよびターンオフを急峻に行えば発振は起こりません。

PSRR とノイズ

電源レールのノイズは可能な限り抑えなければなりません。オペアンプの安定性を測る指標の 1 つで電源ノイズから信号を保護する能力を電源電圧除去比 (PSRR) と呼びます。「代表的な性能特性」にある "PSRR" グラフに、電源の周波数が高くなるにつれて PSRR が大幅に低下する様子が描かれています。このような特性が原因の 1 つとなって、回路をスイッチング電源で動作させた場合に問題が起こります。また、負の電源電圧ピンのほうが正の電源電圧ピンよりも、電源ノイズに対してより感受性が高いこともグラフからわかります。設計者はシステムで使用するスイッチング電源のスイッチング周波数とリップル電圧を把握していなければなりません。必要に応じて、直列抵抗か、LM6584 のような大電流オペアンプでは直列インダクタを使用してノイズをフィルタしてください。

過渡変化

電源ライン上にはリップルやノイズに加えて過渡的な電圧変化が生じることがあります。同一電源に接続されている他のデバイスが、急に多くの電流を消費した場合、あるいは逆に急に電流を消費しなくなった場合にこのような現象が起こります。設計者は、オペアンプの消費電流が過渡的に変化した場合でも、他の回路に問題を生じさせるような電圧変化を電源ライン上に誘発しないように、設計によって保証しなければなりません。

アプリケーション・ノート(つづき)

レイアウト

グラウンド・プレーン

電源のグラウンド(より正確にはコモンまたはリターン)をインピーダンス・ゼロで広げる「大きな海」としてみなしてはなりません。配線の微細化によって配線の抵抗分が増加しています。細い配線は電源に対して極小のインダクタとして働きます。流れようとする大電流に対して反対の作用を及ぼし、LM6584 に発振、不安定、オーバーシュート、歪みを発生させる原因となります。グラウンド・プレーンを設けることは均一な低インピーダンスのグラウンドを確保する最も有効な方法です。4 層基板を使用できない場合は、2 層基板の片側をグラウンド・プレーンとして構成することを検討してください。層を設けるのが難しい場合は実現可能な程度に幅の広い配線を行い、合わせて外付けのデカップリング・コンデンサを設けてグラウンド・レールの AC 変動を抑えてください。

デカップリング

LM6584 のような高速かつ大電流アンプは多くのデカップリング・コンデンサを必要とします。デカップリング・コンデンサは電源ピンのできる限り近くに配置します。実装スペースの厳しい基板設計では、電源ピンの位置に相当する基板の裏面に配置してください。グラウンド・プレーンと電源層を持っている基板の場合は、デカップリング・コンデンサの実装位置はそれほど厳密に考える必要はありません。

ブレッドボード

LM6584 を大電流かつ高周波数で動作させる場合、熱設計の点からも、「実験基板」的なブレッドボードではなくプリント基板を用いた試作を行なってください。

安定性

概要

大きな出力電流駆動能力を持つ高速デバイスは、発振を防ぐために特別な配慮が必要です。安定性を保つために入力 $+$ 信号は出力信号から分離してください。前述のとおり、大出力電流によってグラウンドまたはグラウンド・プレーンに電位変化が起こらないように注意するとともに、 $+$ ピンに対して出力電流がカップリングしないように注意してください。どのような場合でも優れた高密度レイアウト設計が重要で、合わせて電源デカップリング・コンデンサの使用も望めます。

ユニティ・ゲイン

ユニティ・ゲインまたはボルテージ・フォロワはもともと発振が起きやすい回路構成です。逆に、デバイスがユニティ・ゲインで安定ならば、その他の回路構成にしても通常は問題は起きません。デバイスを基準電圧の生成に使用したり、あるいはバッファとして使用するアプリケーションでは、利得を -1 、 -2 、または $+2$ に設定して安定性を高めてください。

位相余裕

オペアンプの位相余裕に関して、「代表的な性能特性」にある "Gain Phase" の各グラフがアンプの安定性を示しています。あらゆる条件で安定性を確保するには、少なくとも 45 の位相余裕が必要です。通常、大出力電流かつフルスイング出力段を持つアンプでは安定性が問題となりますが、LM6584 は 60 の位相余裕を実現しています。

容量性負荷

LM6584 は、ユニティ・ゲイン構成で、 30pF までの容量性負荷であれば安定性の問題は生じません。容量がきわめて大きい場合、負荷容量は他の重い負荷と同様に利得を減衰させるため、デバイスは再び安定となります。LM6584 は 330nF 以上の容量性負荷で安定します。「代表的な性能特性」の "Capacitive Loading" 関係のグラフを参照してください。

出力

振幅と電流

LM6584 の出力は、負荷のない状態では、それぞれの電源レールの 25mV ないしは 30mV 以内まで振幅します。また、数百 mA の電流をソースまたはシンクした場合でも、電源レール電圧の 0.5V 以内の振幅を出力します。出力が電源レール近くの電圧まで達しデバイスが帰還ループを維持できなくなった場合、内部回路は大規模出力トランジスタのベースに大きな電流を供給して、トランジスタ出力が飽和電圧を過ぎるように試みます。ベース電流は 16mA に達し結果として消費電流が増加します。長時間にわたってこの消費電力レベルで動作させると、特に熱抵抗の高い TSSOP パッケージで、デバイスに損傷を与えてしまいます。このような現象を防ぐため、使用しないアンプ・チャネルの入力はいずれかの電源レールに接続するのではなく、正負電源の中間電位か、または電源レール電圧から少なくとも 0.6V 以上低い電圧に接続してください。

自己発熱

これまで述べたとおり、LM6584 は 300mA の電流駆動能力を備えており、大きな電力を消費します。TSSOP パッケージは、わずかな時間しかこのような状態の動作を維持することはできません。

TFT ディスプレイ・アプリケーション

はじめに

現在の高精細 TFT ディスプレイでは次の 3 種類の用途にオペアンプが使用されています。

1. V_{COM} ドライバ
2. ガンマ・バッファ
3. パネル・リペア・バッファ

これらいずれの用途でもオペアンプを非反転のユニティ・ゲイン・バッファとして利用しています。 V_{COM} ドライバとガンマ・バッファは良好にレギュレートされた DC 電圧を与えるバッファです。一方、パネル・リペア・バッファは表示画面イメージの一部を構成する高周波信号を出力します。

ディスプレイ・メーカーは製品コストの低減を図るために、TFT ディスプレイ製品で使用する部品の共通化を進めています。結果として、同じ品種のオペアンプが V_{COM} ドライバ、ガンマ・バッファ、パネル・リペア・バッファに使用されることとなります。これらすべての機能を満たすオペアンプには次のような特性が求められます。

1. 大電流駆動能力
2. フルスイング同相入力電圧範囲
3. 出力フルスイング
4. 中程度の利得帯域とスルーレート

LM6584 はこれら要求を満たします。フルスイング入出力、代表値 15MHz のゲイン帯域幅、代表値 $15\text{V}/\mu\text{s}$ のスルーレート、そして 320mA の出力電流駆動能力を備えています。次の項で V_{COM} ドライバ、ガンマ・バッファ、パネル・リペア・バッファの動作を説明し、合わせて、LM6584 がそれら用途すべてに適していることを示します。

TFT ディスプレイ・アプリケーション (つづき)

TFT ディスプレイの概要

オペアンプ・アプリケーションの理解を深めるために、TFT ディスプレイの動作原理について最初に触れておきます。Figure 1 は LCD パネルを簡略化した図です。各ピクセルのトップ・プレートとボトム・プレートは、光学的には透明で電気的には導電性を持つインジウム=スズ酸化物 (ITO) で構成されています。ITO 膜は TFT ディスプレイの前面および背面となる 2 枚のガラス基板の内側に形成されています。2 枚の ITO プレートの間には、プレート間に印加された電圧 (V_{PIXEL}) の大きさによって光の偏光量を変化させる絶縁物質 (液晶) が挟まれています。2 枚のガラス基板の外側には偏光板が置かれ、液晶との組合せによって、ディスプレイの背面から前面に向けて照射される光の量を調整するフィルタを構成します。ピクセルのボトム・プレートは光源が配置されるディスプレイの裏側に位置し、トップ・プレートはユーザ側となる前面に位置します。TFT ディスプレイで一般的なツイステッド・ネマチック (TN) 液晶を使用したディスプレイでは、ピクセルに印加される V_{PIXEL} が $\pm 0.5V$ 未満のときに透明となり多くの光量を背面から前面に伝え、 V_{PIXEL} が正か負のいずれかに高くなるにつれて不透明になっていきます。要するに、LCD ピクセルはコンデンサのような形態をしており、 V_{PIXEL} の変化によって光量の透過を制御します。

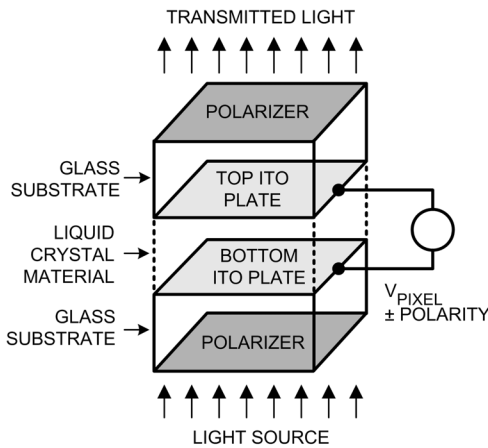


FIGURE 1. Individual LCD Pixel

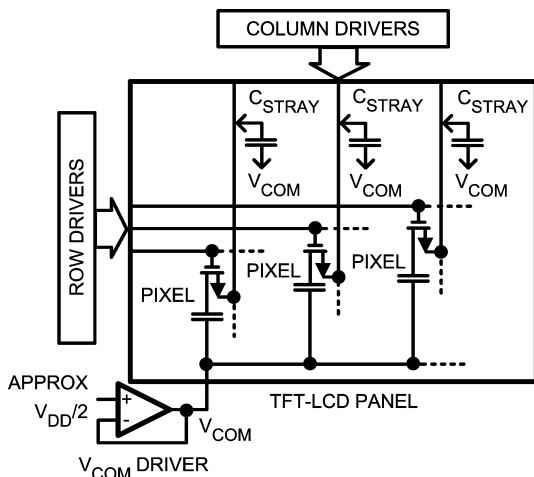


FIGURE 2. TFT Display

Figure 2 は TFT ディスプレイを単純化したブロック図で、個々のピクセルがロー・ライン、コラム・ライン、 V_{COM} ラインに接続されている様子が示されています。それぞれのピクセルは、コンデンサと、トップ・プレートに接続された NMOS トランジスタとして表現されます。各ピクセルはロー方向とライン方向に並んでいます。ロー・ラインは各ピクセルの NMOS ゲートに接続され、コラム・ラインは各 NMOS ソースに接続されています。各ピクセルのボトム・プレート側は V_{COM} と呼ばれるコモン電圧に接続されます。ピクセルの輝度 (透明度) は、トップ・プレートに印加されコラム・ドライバがコラム・ラインを通じて供給する電圧で制御されます。コラム・ドライバは一度に 1 列分のピクセルを「書き込み」、その電圧がコラム・ドライバから送出されたときにロー・ドライバが個々のピクセルに対応したローを選択します。ロー・ドライバは正の高いパルス電圧 (通常 $25V \sim 35V$) を連続して各ロー・ラインに印加します。この電圧によって各ローに接続されている NMOS トランジスタがターンオンし、コラム・ラインの電圧がピクセルに伝達されます。

V_{COM} ドライバ

V_{COM} ドライバはコモン電圧 (V_{COM}) を TFT パネル上のすべてのピクセルに供給します。 V_{COM} はコラム・ドライバの出力電圧範囲の中間電位に設定された DC 低電圧です。ピクセルに常時 V_{COM} 電圧を与えておくと、コラム・ドライバがピクセルに書き込む電圧は V_{COM} を基準とした正または負の電圧になります。すなわち、ピクセルの極性はそのローが選択されることに反転します。このように、ピクセルに印加される電圧を正負でバランスすれば、コラム・ドライバが与える DC 電圧によって LCD ディスプレイにパターンが「焼き込まれる」ことはありません。

コラム・ドライバがピクセルに書き込みを行なうと電流パルスが V_{COM} ラインに励起されます。パルスが発生する原因は、 V_{COM} とコラム・ライン間に存在する、通常コラムあたり $16pF \sim 33pF$ 程度の範囲を取り得る浮遊容量の充電によるものです (Figure 2 参照)。なお、ピクセルが持つ容量がこのパルスに寄与する割合は、コラムには同時に 1 ピクセルしか接続されず、また単一ピクセルの容量は $0.5pF$ 程度であるため、ごくわずかです。各コラム・ラインは大きな直列抵抗値 (通常 $2k \sim 40k$) を持っており、浮遊容量はコラム配線の全体にわたって分布しています。これをモデル化すると、Figure 3 に示すように、マルチ・セグメントの RC ネットワークになります。 V_{COM} とコラム・ライン間の合計容量は $25nF \sim 100nF$ の範囲に達するため、この容量に対する充電によって $100mA$ 以上の正または負の電流パルスが生まれます。加えて、同程度の分布容量が V_{COM} とロー・ラインの間にも存在します。そのため、 V_{COM} ドライバの負荷は合計容量が $50nF \sim 200nF$ に達する分布 RC ネットワークとなり、Figure 3 に示す回路のようにモデル化されます。

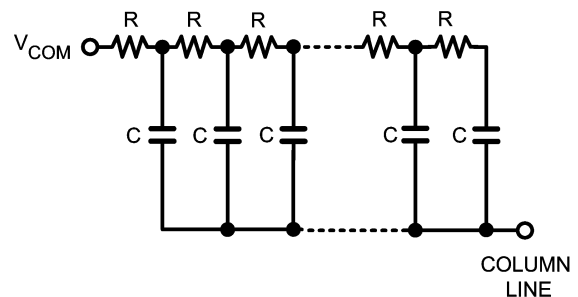
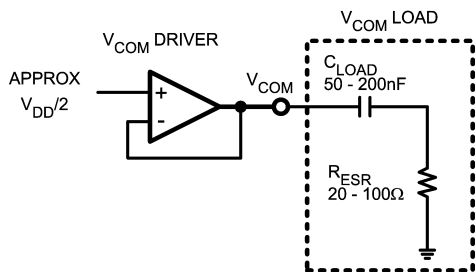


FIGURE 3. Model of Impedance between V_{COM} and Column Lines

TFT ディスプレイ・アプリケーション(つづき)

V_{COM} ドライバは、本質的に、大きな容量性負荷に対してソースまたはシンク電流を与える電圧レギュレータとみなせます。このドライバの解析を単純化するため、Figure 3 の分布 RC ネットワークを Figure 4 の単一 RC 負荷で置き換えます。この負荷は V_{COM} ドライバ出力から見た場合に大容量負荷となり、結果としてオペアンプの帰還ループにもう 1 つのポールができます。しかし、 C_{LOAD} と R_{ESR} がこのポールを打ち消すゼロを作るため、オペアンプは安定動作を維持します。 C_{LOAD} の範囲は 50nF ~ 200nF、 R_{ESR} の範囲は 20 ~ 100 Ω なので、ゼロの周波数範囲は一般的なオペアンプの利得帯域幅より先きわめて低い 8kHz ~ 160kHz となります。結果として、オペアンプのループ利得がユニティ・ゲインの場合、 V_{COM} 負荷はきわめてわずかな位相遅れを与えるのみであり、 V_{COM} ドライバは安定性を維持します。以上は、RC 負荷を接続した Figure 4 に示す回路を使用した、LM6584 の小信号帯域の測定によって検証済みです。50nF と 20 Ω の RC 負荷を駆動する場合、LM6584 のユニティ・ゲイン周波数は 6.12MHz で位相余裕は 41.5 度です。抵抗が 20 Ω のままであれば、負荷容量が 200nF まで大きくなったとしてもユニティ・ゲイン特性はほとんど変化せず、周波数と位相はそれぞれ 6.05MHz と 42.9 度になります。

FIGURE 4. V_{COM} Driver with Simplified Load

V_{COM} ドライバの大信号応答時間は、スルーレートではなくオペアンプの最大出力電流から求めます。LM6584 のスルーレート 14V/ μ s において、50nF の負荷容量に必要な出力電流として簡単に求められます。

$$I_{OUT} = 14V/\mu s \times 50nF \\ = 700mA$$

700mA の電流値は、 V_{COM} ドライバの速度がピーク出力電流で制限されることを確認するものであって、LM6584 や他の一般的なほとんどのオペアンプの最大電流仕様を超えています。 V_{COM} 遷移時間を短くするために、 V_{COM} ドライバとして使用するオペアンプは大きな出力電流を供給できなければなりません。

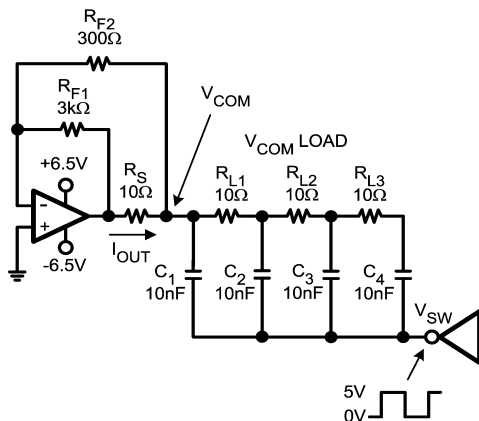
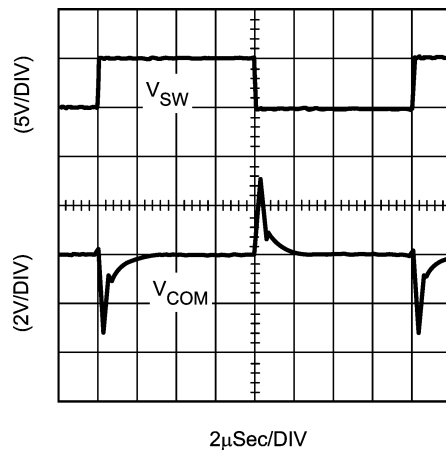
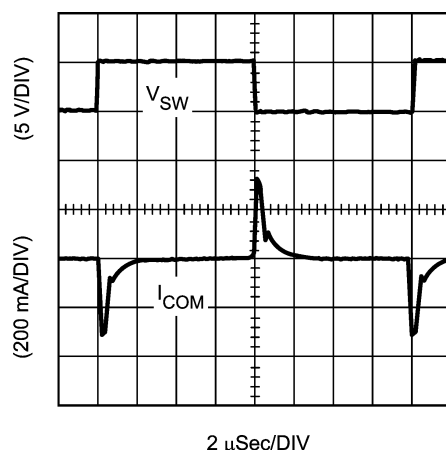
FIGURE 5. V_{COM} Driver Test Circuit

Figure 5 は V_{COM} ドライバの応答時間の測定に使用される一般的なテスト回路です。 $R_{L1} \sim R_{L3}$ と $C_1 \sim C_4$ で構成される RC ネットワークは、 V_{COM} ラインの分布 RC 負荷をモデル化したものです。この RC ネットワークは TFT パネル上の実際のインピーダンスの状態を全体的に単純化したものです。しかし、大きな容量性負荷を駆動したときのオペアンプのトランジェント特性を測定するには有効なテスト回路です。低インピーダンスの MOSFET ドライバが V_{SW} に 5V の方形波を与え、RC ネットワークに大きな電流パルスを生成します。この回路をオシロ・スコープで観測した波形を Figure 6、7 に示します。Figure 6 は、テスト回路によって V_{COM} ノードに $\pm 3.2V$ の振幅を持つ正負の電圧スパイクを励起した場合の波形ですが、それぞれの過渡変化に対して V_{COM} はおよそ 2 μ s 以内でセトリングしているのを示しています。これまで述べたように、過渡変化のセトリング時間はオペアンプのピーク出力電流の関数となります。Figure 7 の I_{OUT} 波形から、LM6584 がピーク電流として -310mA と 320mA のシンクやソース電流に対応していることがわかります。このように LM6584 は、大きな出力電流を供給できる能力を持っているため、 V_{COM} ドライバ・アプリケーションに最適です。

FIGURE 6. V_{SW} and V_{COM} Waveforms from V_{COM} FIGURE 7. V_{SW} and I_{OUT} Waveforms from V_{COM} Test Circuit

TFT ディスプレイ・アプリケーション (つづき)

ガンマ・バッファ

TFT ディスプレイで表現される色の明度、すなわち階調は、各 LCD ピクセルに印加される離散的な電圧レベルによって決まります。この電圧レベルは、各コラム・ドライバ IC が内蔵する抵抗性の DAC ネットワークで生成されます。たとえば、64 階調を持つコラム・ドライバ IC は 2 組の 6 ビット抵抗性 DAC を内蔵しています。通常、2 組の DAC を構成する 64 個の抵抗は、Figure 8 に示すように、4 つのセグメントにグループ分けされています。各セグメントにはガンマ・レベルである外部電圧ライン VGMA1 ~ VGMA10 が接続されています。VGMA1 ~ VGMA5 は、 V_{COM} に対して正の電圧の階調を決めます (High 極性ガンマ・レベル)。VGMA6 ~ VGMA10 は、 V_{COM} に対して負の電圧の階調を決めます (Low 極性ガンマ・レベル)。

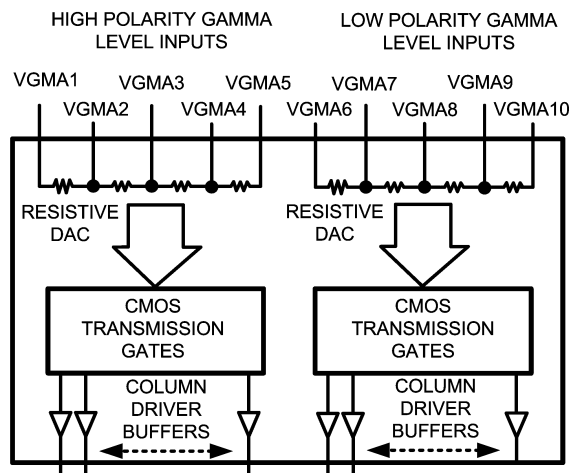


FIGURE 8. Simplified Schematic of Column Driver IC

TFT ディスプレイのコラム・ドライバにガンマ・レベルが接続されている様子を Figure 9 に示します。VGMA1、VGMA5、VGMA6、VGMA10 はガンマ・バッファで駆動されています。これらバッファはディスプレイのガンマ・レベルを生成する低インピーダンス電圧源として働きます。ガンマ・バッファの出力レベルは、Figure 9 に示すように、単純な抵抗ラダーで設定されています。VGMA2、VGMA4、VGMA7 ~ VGMA9 は、外部バッファで駆動されていない場合でも、通常は、コラム・ドライバに接続します。このようにして、すべてのコラム・ドライバのガンマ・レベルを強制的に同一にし、コラム・ドライバ間の階調の差を可能な限り抑えます。もう一度 Figure 9 に戻って、コラム・ドライバ DAC の抵抗性負荷 (すなわち GMA1 と GMA5 の間の抵抗) は一般的に $10k \sim 15k$ です。XGA 対応などの主流となっているディスプレイは最高で 10 個のコラム・ドライバを内蔵しているため、ガンマ・バッファ出力の合計抵抗値は $1k$ 前後になります。VGMA1 と VGMA5 の間の電圧は TFT パネルの種類によって異なりますが $3V \sim 6V$ の範囲です。したがって、ガンマ・バッファが供給すべき最大負荷電流はおよそ $6V/1k = 6mA$ となり、一般的なオペアンプにとっては比較的軽い負荷となります。一般的なディスプレイで、VGMA1 の電圧は V_{DD} より $500mV$ 未満下、VGMA10 の電圧はグラウンドの $500mV$ 未満上です。このような条件では、ガンマ・バッファに使用するオペアンプは、LM6584 のように入出力ともにフルスイングに対応している必要があります。

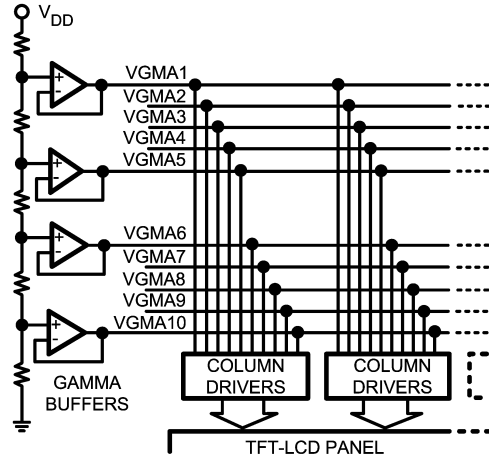


FIGURE 9. Basic Gamma Buffer Configuration

ガンマ・バッファが備えるべきもう 1 つの重要な要件は小信号帯域幅とスルーレートです。ピクセルのローに書き込む電圧レベルをコラム・ドライバが選択したときに、コラム・ドライバが内蔵する抵抗 DAC によってガンマ・ラインに電流スパイクが励起されます。この電流スパイクによってガンマ・バッファ出力に電圧の過渡的な変化が発生しますが、コラム・ドライバの出力電圧の安定性を確保するために、 $1\mu s$ 未満でセトリングさせなければなりません。通常、この電圧変化の最大振幅は $2V$ なので、ガンマ・バッファは $2V$ の電圧変化を $1\mu s$ 以内にセトリングする十分な帯域とスルーレートを備えている必要があります。

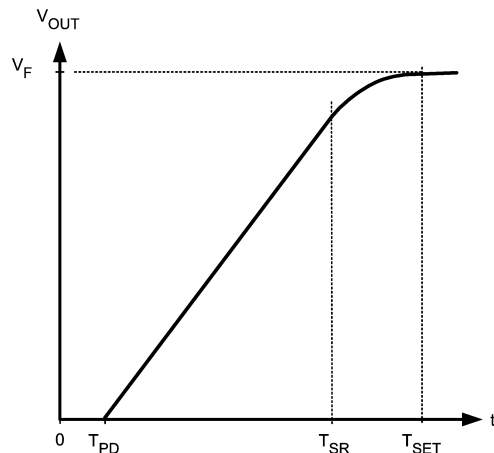


FIGURE 10. Large Signal Transient Response of an Operational Amplifier

Figure 10 に大信号遷移に対するオペアンプの応答を示します。 $t = 0$ で遷移が発生したとして、出力はオペアンプの伝搬遅延時間 (LM6584 の代表値は $20ns$) である T_{PD} が経過するまでは変化しません。 $t = T_{PD}$ から T_{SR} にかけて、出力はオペアンプのスルーレートに従って上昇していき、 $t = T_{SR}$ から T_{SET} では、出力はオペアンプの小信号周波数応答によって決まる速度で上昇し最終値 (V_F) に到達します。伝搬遅延とスルーレートで制限された応答時間 ($t = 0$ から T_{SR}) はデータシート記載の仕様値から計算できますが、小信号セトリング時間 (T_{SR} から T_{SET}) は計算はできません。その理由は、オペアンプの利得と周波数の関係には複数のポールが存在するため、小信号セトリング時間をオペアンプの利得帯域の単純な関数として計算できないためです。したがって、オペアンプのセトリング時間を正確に求めるには、実際の回路で測定を行なうしか方法はありません。

TFT ディスプレイ・アプリケーション (つづき)

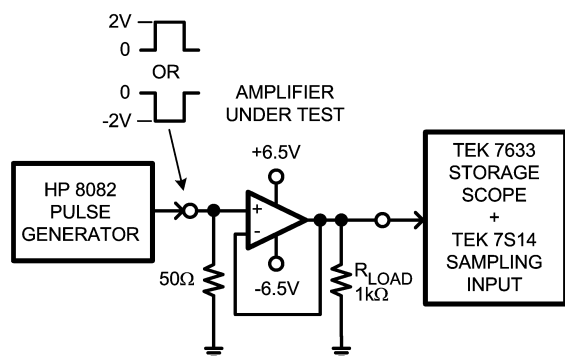


FIGURE 11. Gamma Buffer Settling Time Test Circuit

Figure 11 は LM6584 のセッティング時間の測定に使用したテスト回路で、最大電圧変動の 2V パルスを与え、出力負荷はガンマ・バッファ負荷をモデル化した 1k Ω としています。このテスト・システムでの LM6584 の測定結果では、2V パルスを $\pm 30\text{mV}$ の範囲にセッティングするまでの時間はおおよそ 170ns でした。また、0V から -2V へのセッティング時間はわずかに短く 150ns でした。これらの値は 1 μs という要求値に比べて十分に短く、LM6584 はガンマ・ラインに生じる過渡変化のレギュレーションに対して十分な帯域とスルーレートを備えていることがわかります。

パネル・リペア・バッファ

TFT パネルの製造では、1 本か 2 本程度のコラム・ラインまたはロー・ラインの断線は珍しくありません。このような断線を修復するために、TFT パネルの周囲には自由に使用できるリペア・ラインが設けられています。パネルの最終工程で断線が発見された場合、開放となった信号をリペア・ラインを使って別経路から与えます。コラムを修復した様子を Figure 12 に示します。コラム・ドライバの出力は、断線となっているコラム端子に、パネル・リペア・バッファで駆動されるリペア・ラインを通じて伝えられます。コラムまたはローを修復した場合、ラインの容量は実質的に増加します。たとえば、コラム・ラインは通常 50pF から 100pF のライン容量を持っていますが、修復したラインは最高で 200pF となります。コラム・ドライバはこのような増加容量の駆動に対応していないため、パネル・リペア・バッファを使って修復したコラム・ラインに出力電流を供給します。なお、一般にバッファ出力に対して直列に 20 ~ 100 Ω の抵抗を挿入する点に留意してください。この抵抗は修復したコラム・ラインの容量 200pF を出力段から切り離す働きがあり、バッファの動作を安定化します。抵抗とラインの容量によってポールができませんが、その周波数は 8MHz ~ 40MHz で、バッファのトランジェント応答時間にはわずかな影響しか与えません。パネル・リペア・バッファは、「ガンマ・バッファ」の項で説明したように、ガンマ・レベルを決定するコラム・ドライバ信号を伝達します。また、すでに述べたように、多くのディスプレイの上位と下位のガンマ・レベルは電源レールから 500mV 以内の電圧です。そのため、リペア・バッファに使用するオペアンプは、LM6584 のように、入出力ともにフルスイングに対応している必要があります。フルスイングに対応していない場合は、コラム・ドライバの信号にクリッピングが生じます。

ピクセルのローが選択されたときにパネル・リペア・バッファの出力がピクセルに書き込まれます。高精細ディスプレイの各ローの選択期間は 11 μs 程度です。このような短い時間の中でピクセルがセッティングする十分な時間を確保するために、パネル・リペア・バッファの出力はローが選択されてから約 1 μs 以内に最終値にセッティングしなければなりません。コラム・ラインを最大電圧振幅となるガンマ・レベルの最上位と最下位の差 (すなわち VGMA1 と VGMA10 の電圧差) で駆動した場合に一番難しい問題となります。LM6584 にとって最も条件が厳しいのは、13V 電源を使用してディスプレイを制御しているアプリケーションです。このようなディスプレイでの最上位と最下位のガンマ・レベルの差は 12V 程度となり、そのため LM6584 は、 $\pm 12\text{V}$ パルスを伝達でき、かつ最終値の 60mV 以内におよそ 1 μs 以内でセッティングできなければなりません (60mV とは High 極性と Low 極性のガンマ・レベルのダイナミック・レンジの約 1% に相当します)。LM6584 に +12V と -12V のパルスを与えて、Figure 11 と同様なテスト回路でセッティング時間を測定した結果は次のとおりです。0 から +12V に変化するパルスのセッティング時間の測定では、 V^+ と V^- を 12.5V と -0.5V にそれぞれ設定しました。同様に、0 から -12V に変化するパルスのセッティング時間の測定では、 V^+ と V^- を 0.5V と -12.5V にそれぞれ設定しました。どちらの場合も LM6584 の出力は 51 Ω と 200pF の直列 RC 負荷に接続しています。以上の条件でテストを行なったところ、LM6584 が +12V または -12V の 60mV 以内にセッティングする時間はおおよそ 1.1 μs でした。この測定値は要求仕様である 1 μs とほぼ同じ値であり、高精細 TFT ディスプレイのリペア・バッファが必要とする帯域とスルーレートを LM6584 が備えているのがわかります。

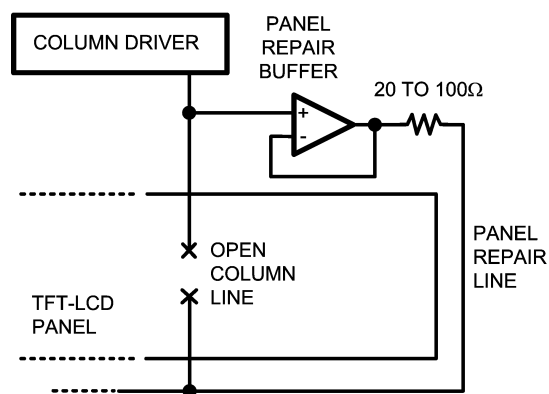
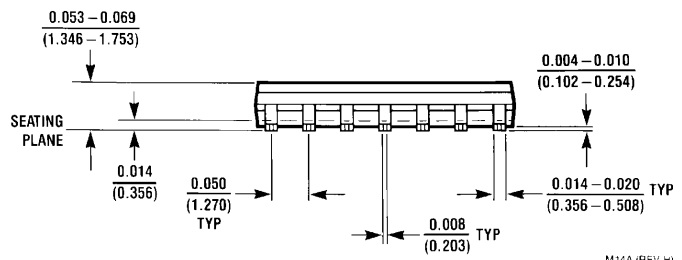
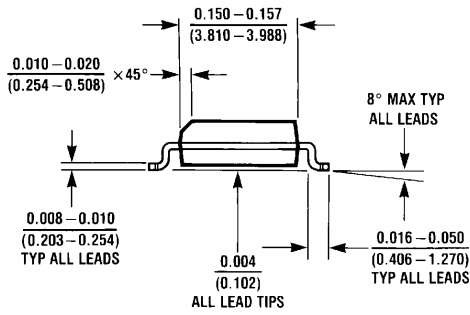
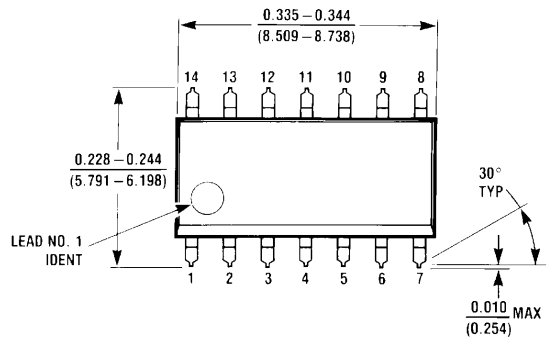


FIGURE 12. Panel Repair Buffer

まとめ

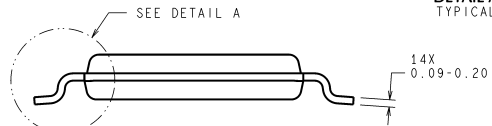
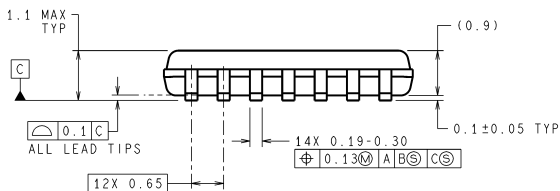
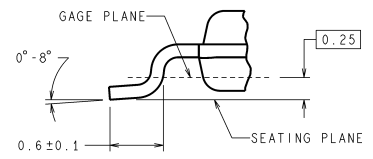
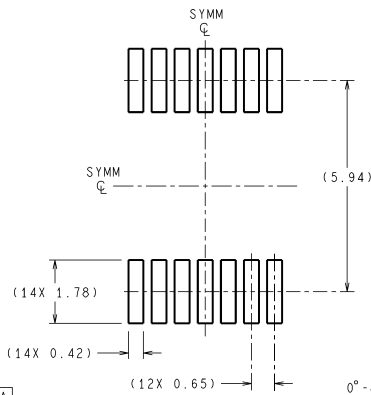
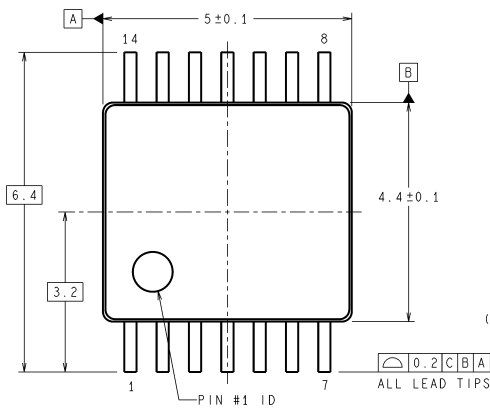
このアプリケーション・ノートでは、TFT ディスプレイにおけるオペアンプの使用法の基礎的な説明と、それらオペアンプに求められる仕様を提示しました。ディスプレイの内部では、 V_{COM} ドライバ、ガンマ・バッファ、パネル・リペア・バッファの 3 種類の主な用途にオペアンプを使う必要があります。いずれも LM6584 を適用可能です。 V_{COM} ドライバとして、LM6584 は、 V_{COM} 負荷変動をレギュレートする大出力電流を供給します。ガンマ・バッファとパネル・リペア・バッファに求められるフルスイングの同相入力範囲とフルスイングの出力振幅を備えています。また、ガンマ・レベルのレギュレーションとコラム・リペア・ラインの駆動に必要な利得帯域とスルーレートも備えています。これらすべての特長によって、LM6584 は TFT ディスプレイへの適用に最適であることがわかります。

外形寸法図 特記のない限り inches (millimeters)



M14A (REV H)

14-Pin SOIC
NS Package Number M14A



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

MTC14 (Rev D)

14-Pin TSSOP
NS Package Number MTC14
単位は millimeters

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2005 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上