LMV3xx-N/-Q1 シングル、デュアル、クワッド汎用、低電圧、レール・ツー・レール出力オペアンプ

1 特長

- 特に記述のない限り、V^+ = 5V、V^- = 0V の場合
- LMV321-N、LMV358-N、LMV324-N は、車載用 AEC-Q100 グレード 1 およびグレード 3 バージョンで供給
- 2.7V と 5V での性能を確保
- クロスオーバー歪みゼロ
- 産業用温度範囲:-40℃～+125℃
- ゲイン帯域幅積:1MHz
- 低い電源電流
- LMV321-N:130μA
- LMV358-N:210μA
- LMV324-N:410μA
- 10kΩ で、V^+- 10mV および V^-+ 65mV の範囲のレール・ツー・レール出力スイング
- V_{CM} 範囲:-0.2V～V^+- 0.8V

2 アプリケーション

- アクティブ・フィルタ
- 汎用の低電圧アプリケーション
- 汎用ポータブル・デバイス

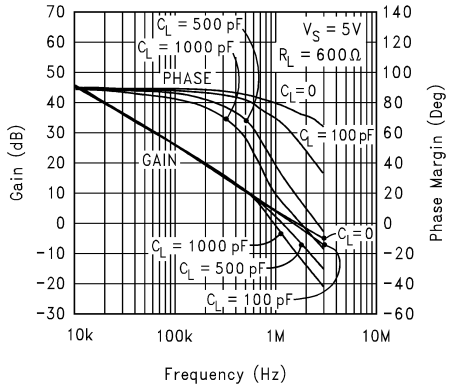
3 概要

LMV358-N および LMV324-N は、デュアルおよびクワッドの汎用オペアンプである LM358 および LM324 (5V～30V) の低電圧 (2.7V～5.5V) バージョンです。LMV321-N はシングル・チャネル・バージョンです。LMV321-N、LMV358-N、LMV324-N は、低電圧動作、スペース効率、低価格が重要なアプリケーション向けの、最もコスト効率の高いソリューションです。これらの製品は、広く使われている LM358 および LM324 と同等、またはそれを上回る仕様を満たしています。LMV321-N、LMV358-N、LMV324-N はレール・ツー・レール出力スイング機能を持ち、入力同相電圧範囲にグランドが含まれています。これらの製品はいずれも速度対電力比が優れており、1MHz の帯域幅と 1V/μs のスルーレートを低消費電流で実現しています。

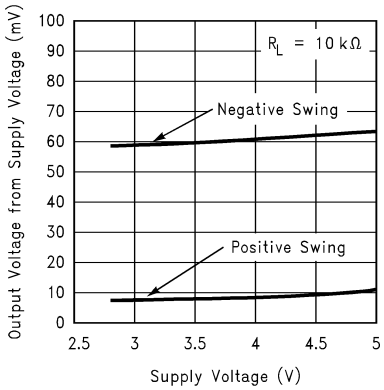
製品情報

部品番号(1)	パッケージ	本体サイズ (公称)
LMV321-N	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
LMV321-N-Q1	SOT-23 (5)	2.90mm × 1.60mm
LMV324-N	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm
LMV324-N-Q1	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm
LMV358-N	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
LMV358-N-Q1	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



ゲインおよび位相と容量性負荷との関係



出力電圧スイングと電源電圧との関係

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 概要 (続き).....3
6 ピン構成および機能.....3
7 仕様.....5
7.1 絶対最大定格.....5
7.2 ESD 定格 - 商業用.....5
7.3 ESD 定格 - 車載用.....5
7.4 推奨動作条件.....5
7.5 熱に関する情報 - 商業用.....6
7.6 熱に関する情報 - 車載用.....6
7.7 2.7V DC の電気的特性.....6
7.8 2.7V AC の電気的特性.....6
7.9 5V DC の電気的特性.....7
7.10 5V AC の電気的特性.....8
7.11 代表的特性.....9
8 詳細説明.....17
8.1 概要.....17
8.2 機能ブロック図.....18
8.3 機能説明.....18
8.4 デバイスの機能モード.....20
9 アプリケーションと実装.....21
9.1 アプリケーション情報.....21
9.2 代表的なアプリケーション.....21
10 電源に関する推奨事項.....34
11 レイアウト.....34
11.1 レイアウトのガイドライン.....34
11.2 レイアウト例.....35
12 デバイスおよびドキュメントのサポート.....36
12.1 関連リンク.....36
12.2 Receiving Notification of Documentation Updates..36
12.3 Support Resources.....36
12.4 商標.....36
12.5 静電気放電に関する注意事項.....36
12.6 Glossary.....36
13 メカニカル、パッケージ、および注文情報.....36

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (October 2014) to Revision K (August 2020) — **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新.....1
- 「アプリケーション」セクションにアプリケーションのリンクを追加.....1
- 商業用 LMV3xx-N の熱に関する情報の表を追加し、情報を更新.....6
- 車載用 LMV3xx-N-Q1 の熱に関する情報の表を追加.....6
- 「5V DC の電気的特性」セクションで、LMV3xx-N の Io、出力短絡電流を変更。.....7
- 「代表的特性」セクションに、LMV3xx-N の開ループ出力インピーダンスと周波数の関係の図を追加.....9
- 「代表的特性」セクションに、LMV3xx-N の出力電圧と出力電流との関係の図を追加.....9

Changes from Revision I (February 2013) to Revision J (October 2014) — **Page**

- 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....1

Changes from Revision H (February 2013) to Revision I (February 2013) — **Page**

- ナショナル セミコンダクターのデータシートのレイアウトをテキサス・インスツルメンツ形式に変更.....33

Copyright © 2022 Texas Instruments Incorporated

5 概要 (続き)

LMV321-N は省スペースの 5 ピン SC70 で供給され、5 ピン SOT-23 の約半分のサイズです。パッケージが小さいため、プリント基板のスペースを節約でき、小型の携帯電子機器の設計が可能になります。また、デバイスを信号源に近接して配置できるため、ノイズを拾いにくくなり、シグナル・インテグリティ (信号品質) が向上します。

本製品は、テキサス・インスツルメンツの高度なサブミクロン・シリコンゲート BiCMOS プロセスで製造されています。LMV321-N/LMV358-N/LMV324-N の入出力段はバイポーラ構成になっており、ノイズ性能の改善とともに、出力電流駆動能力が強化されています。

6 ピン構成および機能

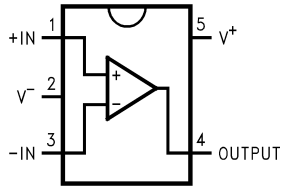


図 6-1. DBV および DCK パッケージ
5 ピン SC70、SOT-23
上面図

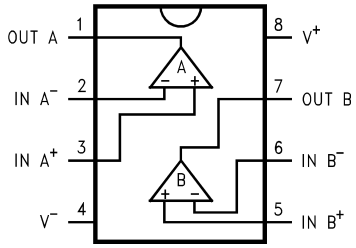


図 6-2. D および DGK パッケージ
8 ピン SOIC、VSSOP
上面図

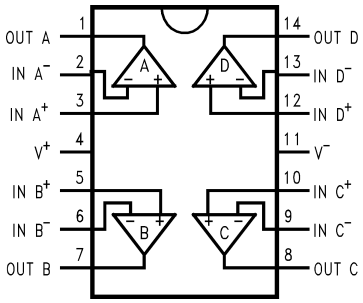


図 6-3. D および PW パッケージ
14 ピン SOIC、TSSOP
上面図

ピンの機能

ピン				タイプ(1)	説明
名称	LMV321-N、LMV321-N-Q1、LMV321-N-Q3 DVB、DCK	LMV358-N、LMV358-N-Q1、LMV358-N-Q3 D、DGK	LMV324-N、LMV324-N-Q1、LMV324-N-Q3 D、PW		
+IN	1	—	—	I	非反転入力
IN A+	—	3	3	I	非反転入力、チャネル A
IN B+	—	5	5	I	非反転入力、チャネル B
IN C+	—	—	10	I	非反転入力、チャネル C
IN D+	—	—	12	I	非反転入力、チャネル D
-IN	3	—	—	I	反転入力
IN A-	—	2	2	I	反転入力、チャネル A
IN B-	—	6	6	I	反転入力、チャネル B
IN C-	—	—	9	I	反転入力、チャネル C
IN D-	—	—	13	I	反転入力、チャネル D
OUTPUT	4	—	—	O	出力
OUT A	—	1	1	O	出力、チャネル A
OUT B	—	7	7	O	出力、チャネル B
OUT C	—	—	8	O	出力、チャネル C
OUT D	—	—	14	O	出力、チャネル D
V+	5	8	4	P	正 (最高) 電源
V-	2	4	11	P	負 (最低) 電源

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力、P = 電源。

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

(1) (9) を参照してください。

	最小値	最大値	単位
差動入力電圧	±電源電圧		V
入力電圧	-0.3	+電源電圧	V
電源電圧 (V^+-V^-)		5.5	V
V^+ への出力短絡	(2)		
V^- への出力短絡	(3)		
はんだ付け情報赤外線または対流式 (30 秒)		260	℃
接合部温度(4)		150	℃
保管温度、T_{stg}	-65	150	℃

7.2 ESD 定格 - 商業用

		値	単位
すべてのパッケージの LMV358-N および LMV324-N			
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
	マシン・モデル	±100	
すべてのパッケージ LMV321-N			
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±900	V
	マシン・モデル	±100	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。

7.3 ESD 定格 - 車載用

		値	単位
すべてのパッケージの LMV358-N-Q1、LMV324-N-Q1、LMV358-N-Q3、LMV324-N-Q3			
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、AEC Q100–002 に準拠(1)	±2000	V
	マシン・モデル	±100	
すべてのパッケージの LM321-N-Q1 および LM321-N-Q3			
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、AEC Q100–002 に準拠(1)	±900	V
	マシン・モデル	±100	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

7.4 推奨動作条件

	最小値	最大値	単位
電源電圧	2.7	5.5	V
温度範囲 (4):LMV321-N、LMV358-N、LMV324-N	-40	125	℃
温度範囲 (4):LMV321-N-Q1、LMV358-N-Q1、LMV324-N-Q1	-40	125	℃
温度範囲 (4):LMV321-N-Q3、LMV358-N-Q3、LMV324-N-Q3	-40	85	℃

7.5 熱に関する情報 - 商業用

熱評価基準[1]		LMV321-N		LMV324-N		LMV358-N		単位
		DBV	DCK	D	PW	D	DGK	
		5 ピン		14 ピン		8 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	265	478	145	155	207.9	235	°C/W

(1) 最新および従来の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート、SPRA953 を参照してください。

7.6 熱に関する情報 - 車載用

熱評価基準[1]		LMV321-N-Q1、LMV321-N-Q3	LMV324-N-Q1、LMV324-N-Q3		LMV358-N-Q1、LMV358-N-Q3		単位
		DBV	D	PW	D	DGK	
		5 ピン	14 ピン		8 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	265	145	155	190	235	°C/W

(1) 最新および従来の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート、SPRA953 を参照してください。

7.7 2.7V DC の電気的特性

特に記述のない限り、すべての制限値は T_J = 25°C、V^+ = 2.7V、V^- = 0V、V_{CM} = 1.0V、V_O = V^+/2、R_L > 1MΩ で規定されているものです。

		テスト条件	最小値[6]	標準値[5]	最大値[6]	単位
V_{OS}	入力オフセット電圧			1.7	7	mV
TCV_{OS}	入力オフセット電圧の平均ドリフト			5		μV/°C
I_B	入力バイアス電流			11	250	nA
I_{OS}	入力オフセット電流			5	50	nA
CMRR	同相除去比	0V ≦ V_{CM} ≦ 1.7V	50	63		dB
PSRR	電源除去比	2.7V ≦ V^+ ≦ 5V V_O = 1V	50	60		dB
V_{CM}	入力同相電圧範囲	CMRR ≧ 50dB のとき	0	-0.2		V
				1.9	1.7	V
V_O	出力スイング	R_L = 10kΩ～1.35V	V^+ -100	V^+ -10		mV
				60	180	mV
I_S	電源電流	シングル		80	170	μA
		デュアル 両方のアンプ		140	340	μA
		クワッド 4 つのアンプすべて		260	680	μA

7.8 2.7V AC の電気的特性

特に記述のない限り、すべての制限値は T_J = 25°C、V^+ = 2.7V、V^- = 0V、V_{CM} = 1.0V、V_O = V^+/2、R_L > 1MΩ で規定されているものです。

		テスト条件	最小値[6]	標準値[5]	最大値[6]	単位
GBWP	ゲイン帯域幅積	C_L = 200pF		1		MHz
φ_m	位相マージン			60		度
G_m	ゲイン・マージン			10		dB
e_n	入力換算電圧ノイズ	f = 1kHz		46		$\frac{nV}{\sqrt{Hz}}$
i_n	入力換算電流ノイズ	f = 1kHz		0.17		$\frac{pA}{\sqrt{Hz}}$

Copyright © 2022 Texas Instruments Incorporated

7.9 5V DC の電気的特性

特に記述のない限り、すべての制限値は T_J = 25℃、V^+ = 5V、V^- = 0V、V_{CM} = 2.0V、V_O = V^+/2、R_L > 1MΩ で規定されているものです。

		テスト条件	最小値(6)	標準値(5)	最大値(6)	単位
V_{OS}	入力オフセット電圧			1.7	7	mV
		過熱			9	
TCV_{OS}	入力オフセット電圧の平均ドリフト			5		μV/℃
I_B	入力バイアス電流			15	250	nA
		過熱			500	
I_{OS}	入力オフセット電流			5	50	nA
		過熱			150	
CMRR	同相除去比	0V ≦ V_{CM} ≦ 4 V	50	65		dB
PSRR	電源除去比	2.7V ≦ V^+ ≦ 5V V_O = 1V、V_{CM} = 1V	50	60		dB
V_{CM}	入力同相電圧範囲	CMRR ≧ 50dB のとき	0	-0.2		V
				4.2	4	V
A_V	大信号電圧ゲイン (7)	R_L = 2kΩ	15	100		V/mV
		R_L = 2kΩ、過熱	10			
V_O	出力スイング	R_L = 2kΩ を 2.5V に接続	V^+ - 300	V^+ -40		mV
		R_L = 2kΩ を 2.5V に接続、過熱	V^+ - 400			
		R_L = 2kΩ を 2.5V に接続		120	300	
		R_L = 2kΩ を 2.5V に接続、過熱			400	
		R_L = 10kΩ を 2.5V に接続	V^+ - 100	V^+ - 10		
		R_L = 10kΩ を 2.5V に接続、過熱	V^+ - 200			
		R_L = 2kΩ を 2.5V に接続		65	180	
		R_L = 2kΩ を 2.5V に接続、125℃			280	
I_O	出力短絡電流	ソース、V_O = 0V、LMV3xx-N	5	40		mA
		シンク、V_O = 5V、LMV3xx-N	10	40		
		ソース、V_O = 0V	5	60		
		シンク、V_O = 5V	10	160		
I_S	電源電流	シングル		130	250	μA
		シングル、過熱			350	
		デュアル (両方のアンプ)		210	440	
		デュアル (両方のアンプ)、過熱			615	
		クワッド (4 つのアンプすべて)		410	830	
		クワッド (4 つのアンプすべて)、過熱			1160	

7.10 5V AC の電気的特性

特に記述のない限り、すべての制限値は T_J = 25℃、V^+ = 5V、V^- = 0V、V_{CM} = 2.0V、V_O = V^+/2、R_L > 1MΩ で規定されているものです。

		テスト条件	最小値(6)	標準値(5)	最大値(6)	単位
SR	スルーレート	(8)		1		V/µs
GBWP	ゲイン帯域幅積	C_L = 200pF		1		MHz
φ_m	位相マージン			60		度
G_m	ゲイン・マージン			10		dB
e_n	入力換算電圧ノイズ	f = 1kHz		39		$\frac{nV}{\sqrt{Hz}}$
i_n	入力換算電流ノイズ	f = 1kHz		0.21		$\frac{pA}{\sqrt{Hz}}$

(1) 絶対最大定格は、それらを超えると、デバイスが破壊される可能性がある制限値を示します。セクション 7.4 に示されている条件は、その条件下で動作するようデバイスが設計されているが、特定の性能が保証されないことを示しています。保証される仕様とテスト条件については「電気的特性」を参照してください。
(2) 出力を V^+ に短絡すると、信頼性に悪影響を及ぼします。
(3) 出力を V^- に短絡すると、信頼性に悪影響を及ぼします。
(4) 最大消費電力は、$T_{J(MAX)}$ と $R_{\theta JA}$ の関数です。最大許容消費電力と周囲温度の関係式は、$P_D = (T_{J(MAX)} - T_A)/R_{\theta JA}$ です。すべての数値は、プリント基板に直接はんだ付けしたパッケージに適用されます。
(5) 標準値は、最も出現しやすいパラメータの基準値を表し、特性評価時に決定されます。実際の標準値は、経時的に変化するとともに、アプリケーションや構成にも依存します。これらの標準値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。
(6) すべての制限値は、テストまたは統計分析によって保証されます。
(7) R_L は V^- に接続されています。出力電圧は、0.5V ≦ V_O ≦ 4.5V です。
(8) 3V ステップ入力で電圧フォロワとして接続されています。指定された数値は、正と負のスルーレートのうち、遅い方を示しています。
(9) 防衛 / 航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。

Copyright © 2022 Texas Instruments Incorporated

7.11 代表的特性

特に記述のない限り、V_S = 5V、単一電源、T_A = 25℃。

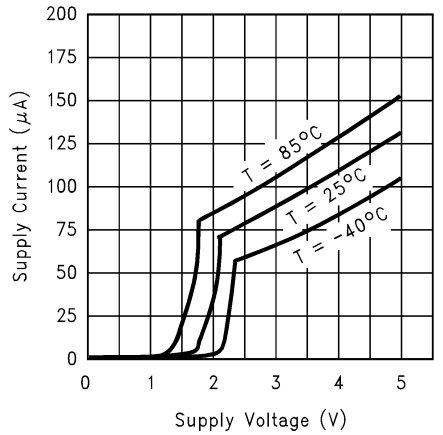


図 7-1. 電源電流と電源電圧との関係 (LMV321-N)

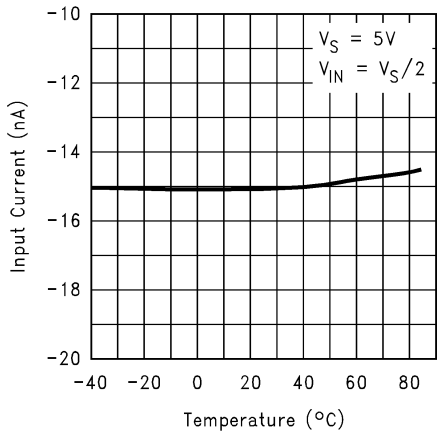


図 7-2. 入力電流と温度との関係

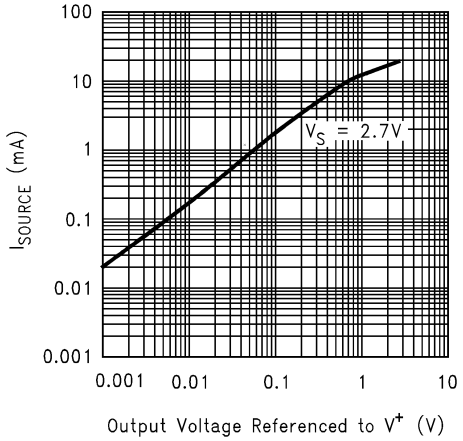


図 7-3. ソース電流と出力電圧との関係

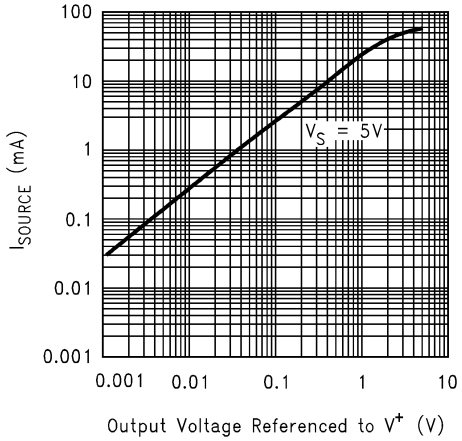


図 7-4. ソース電流と出力電圧との関係

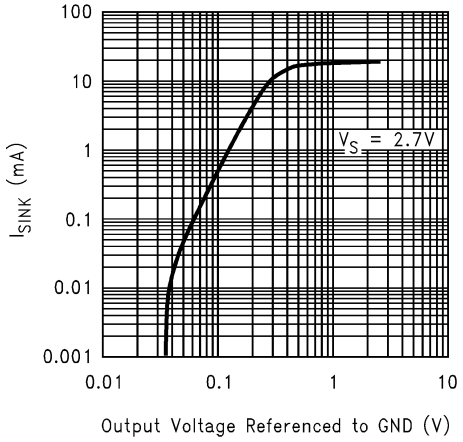


図 7-5. シンク電流と出力電圧との関係

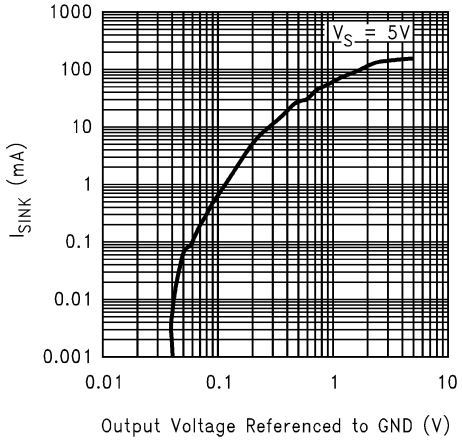


図 7-6. シンク電流と出力電圧との関係

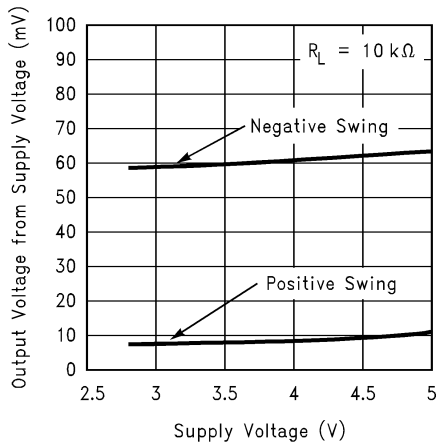


図 7-7. 出力電圧スイングと電源電圧との関係

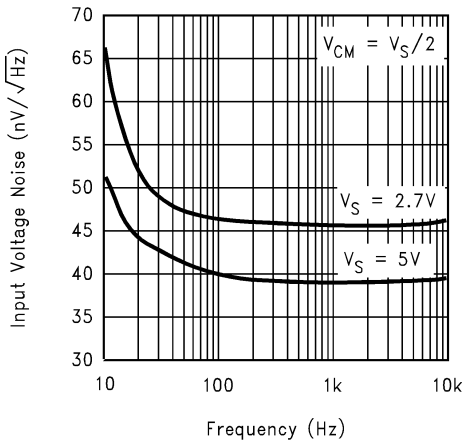


図 7-8. 入力電圧ノイズと周波数との関係

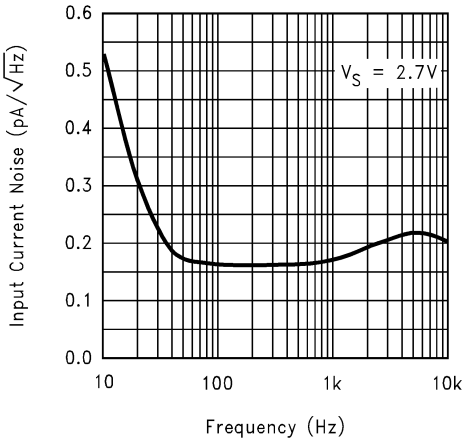


図 7-9. 入力電流ノイズと周波数との関係

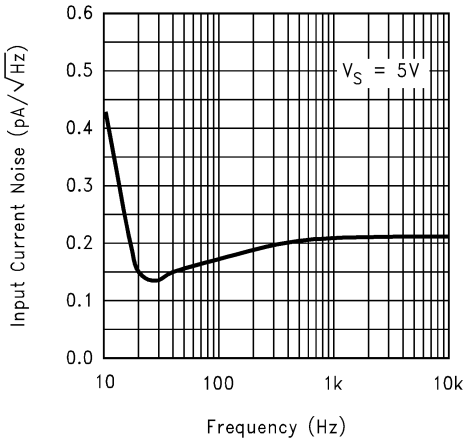


図 7-10. 入力電流ノイズと周波数との関係

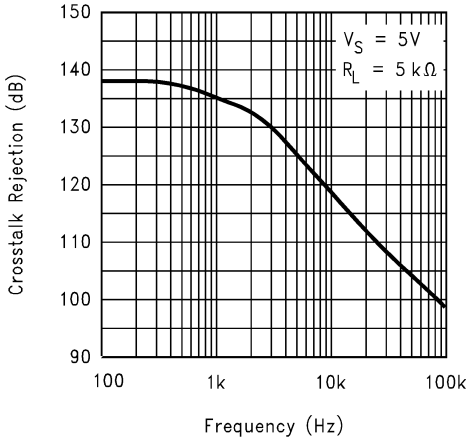


図 7-11. クロストーク除去と周波数との関係

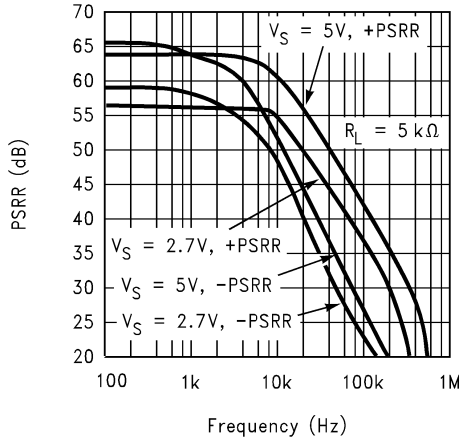


図 7-12. PSRR と周波数との関係

Copyright © 2022 Texas Instruments Incorporated

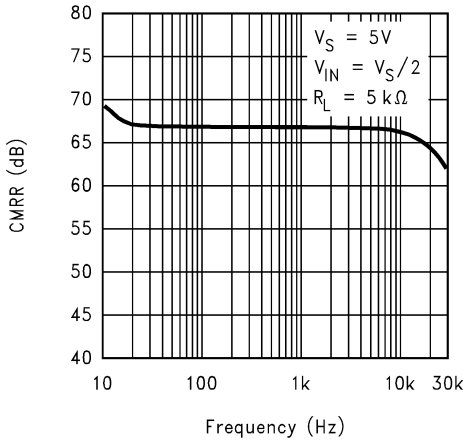


図 7-13. CMRR と周波数との関係

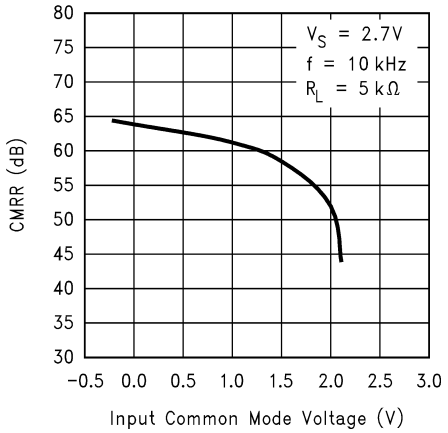


図 7-14. CMRR と入力同相電圧との関係

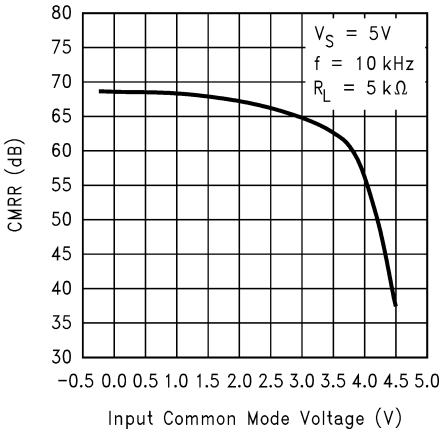


図 7-15. CMRR と入力同相電圧との関係

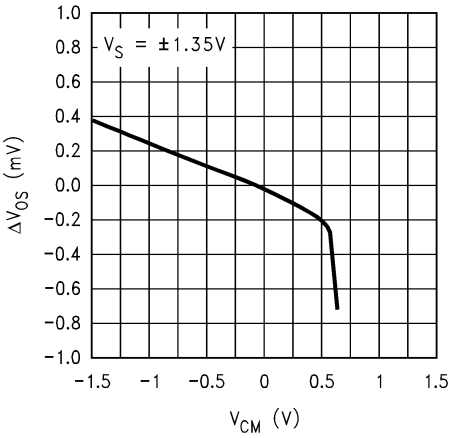


図 7-16. ΔV_{OS} と CMR との関係

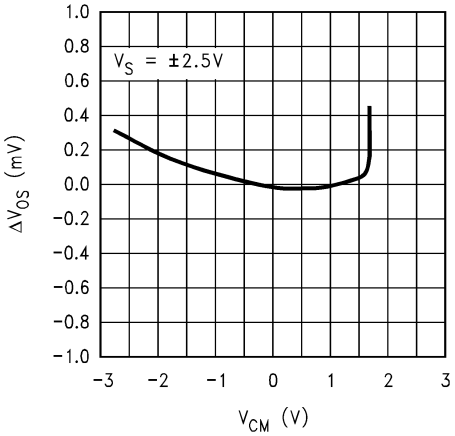


図 7-17. ΔV_{OS} と CMR との関係

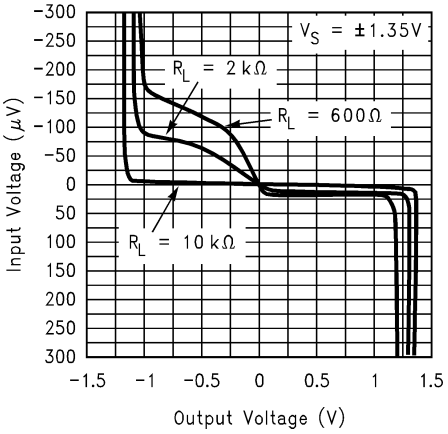


図 7-18. 入力電圧と出力電圧との関係

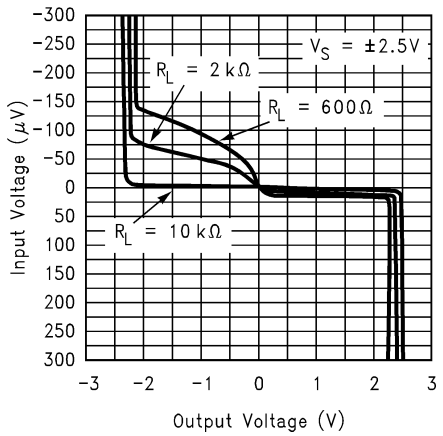


図 7-19. 入力電圧と出力電圧との関係

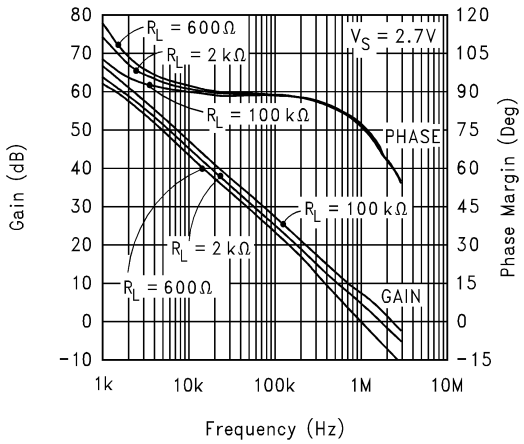


図 7-20. 開ループの周波数応答

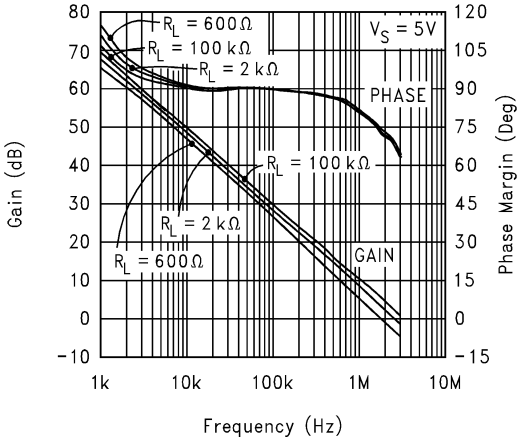


図 7-21. 開ループの周波数応答

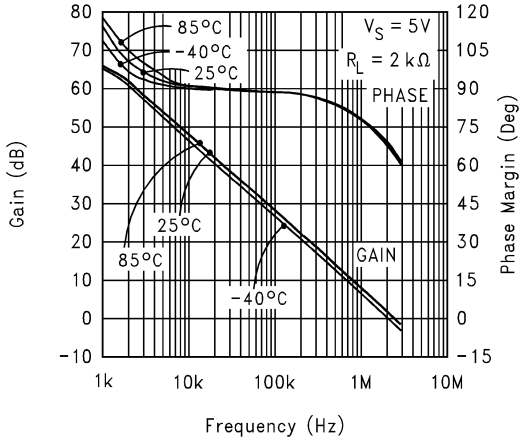


図 7-22. 開ループの周波数応答と温度との関係

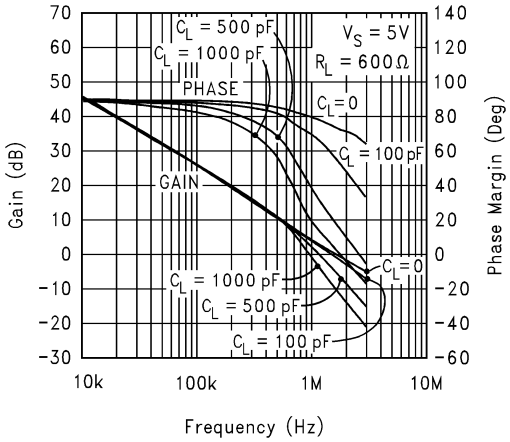


図 7-23. ゲインおよび位相と容量性負荷との関係

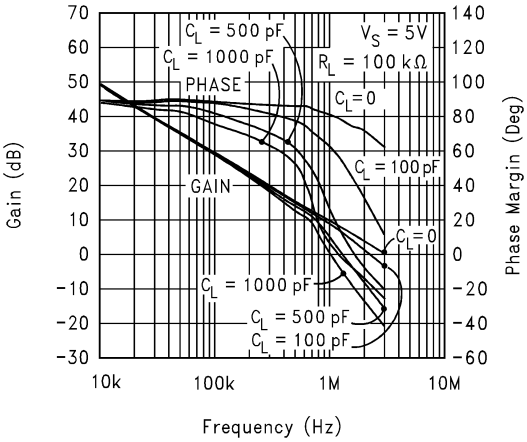


図 7-24. ゲインおよび位相と容量性負荷との関係

Copyright © 2022 Texas Instruments Incorporated

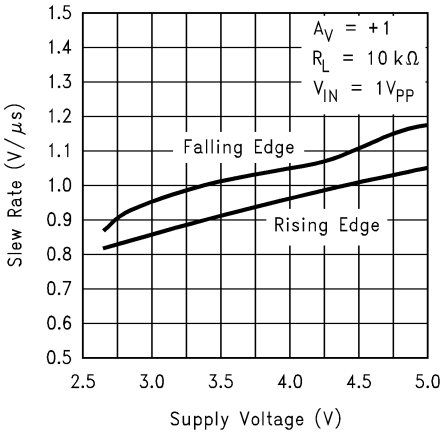


図 7-25. スルーレートと電源電圧との関係

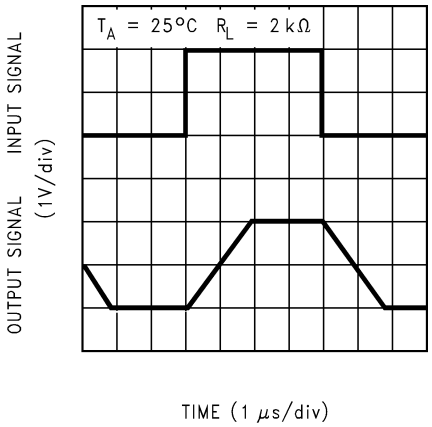


図 7-26. 非反転型の大信号パルス応答

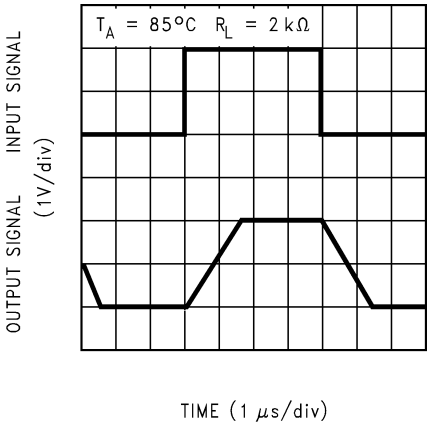


図 7-27. 非反転型の大信号パルス応答

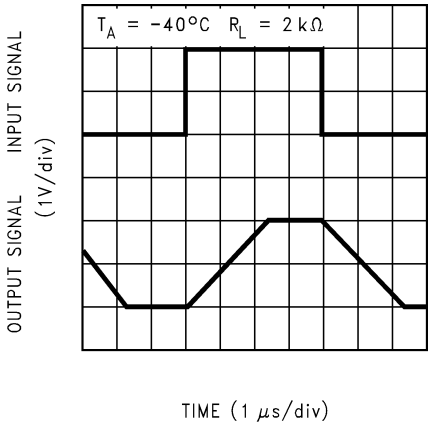


図 7-28. 非反転型の大信号パルス応答

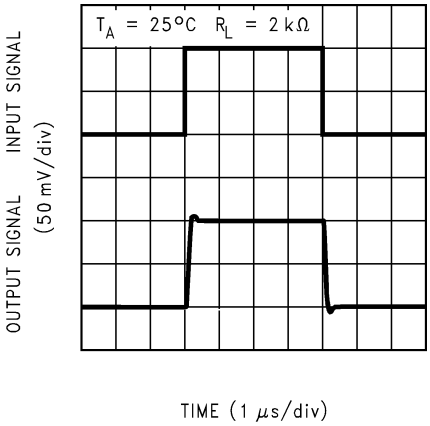


図 7-29. 非反転型の小信号パルス応答

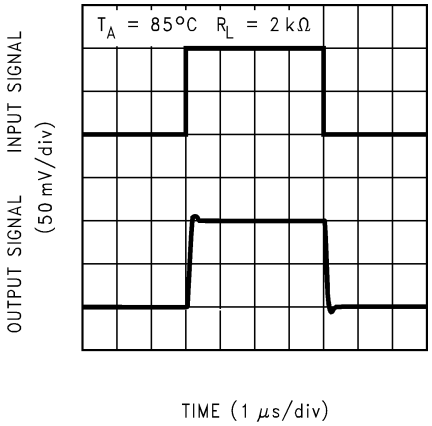


図 7-30. 非反転型の小信号パルス応答

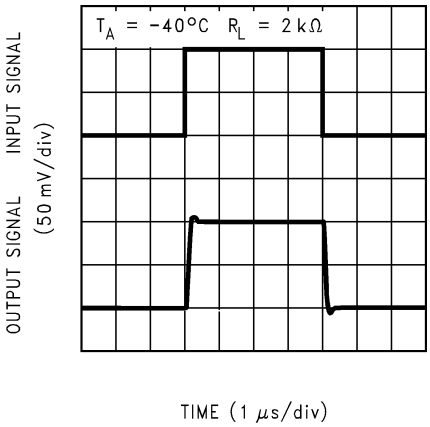


図 7-31. 非反転型の小信号パルス応答

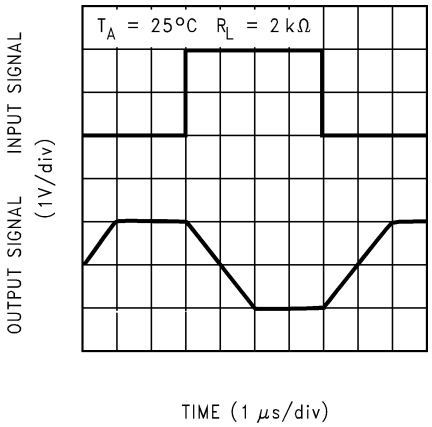


図 7-32. 反転型の大信号パルス応答

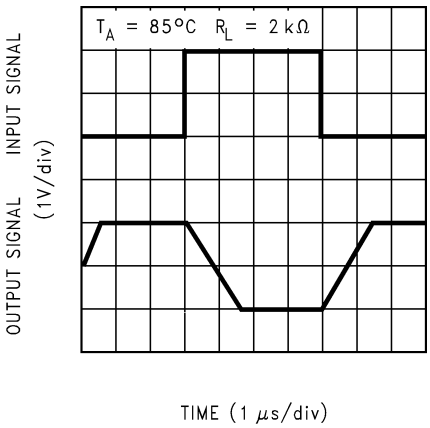


図 7-33. 反転型の大信号パルス応答

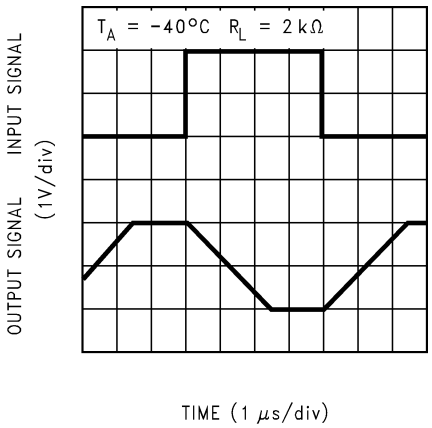


図 7-34. 反転型の大信号パルス応答

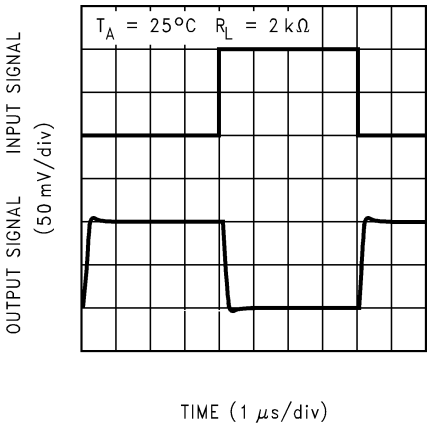


図 7-35. 反転型の小信号パルス応答

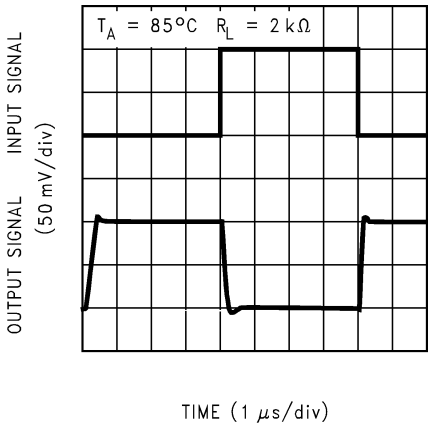


図 7-36. 反転型の小信号パルス応答

Copyright © 2022 Texas Instruments Incorporated

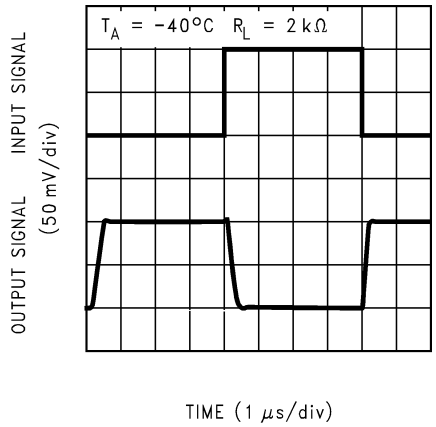


図 7-37. 反転型の小信号パルス応答

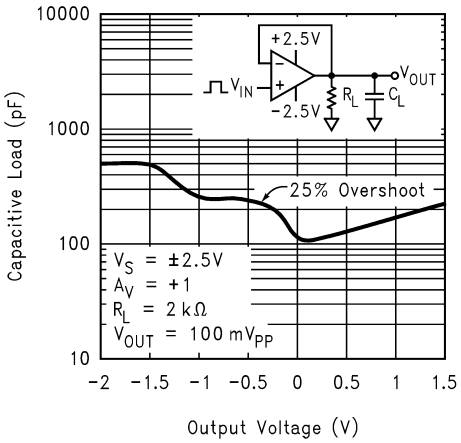


図 7-38. 安定性と容量性負荷との関係

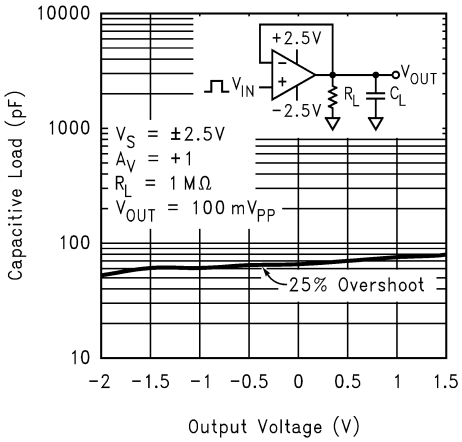


図 7-39. 安定性と容量性負荷との関係

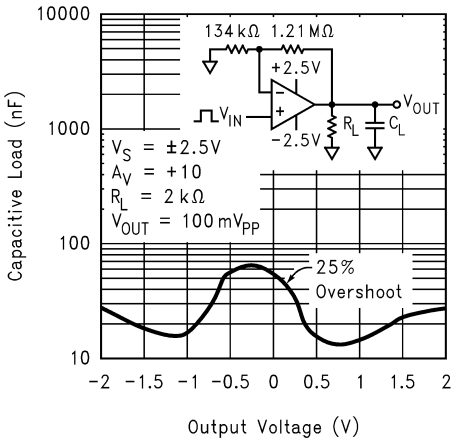


図 7-40. 安定性と容量性負荷との関係

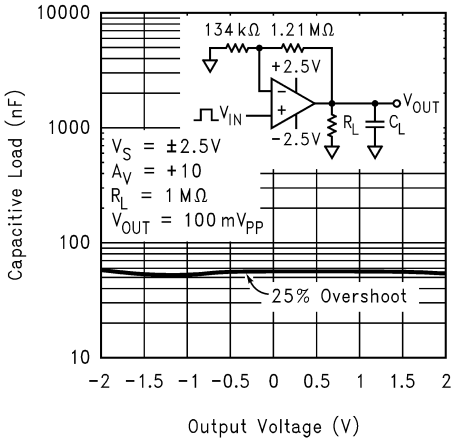


図 7-41. 安定性と容量性負荷との関係

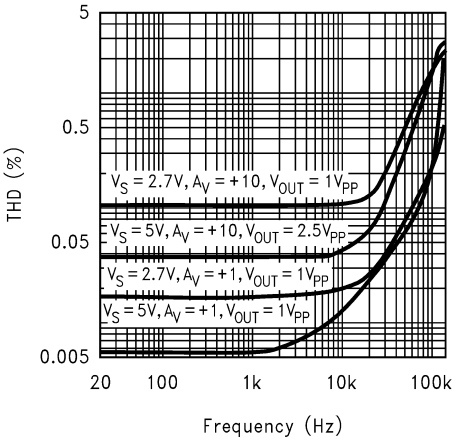


図 7-42. THD と周波数との関係

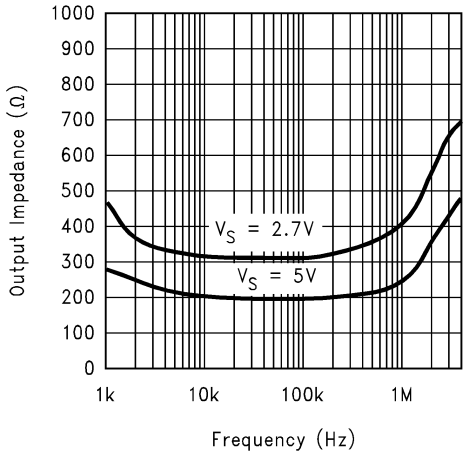


図 7-43. 開ループの出力インピーダンスと周波数との関係

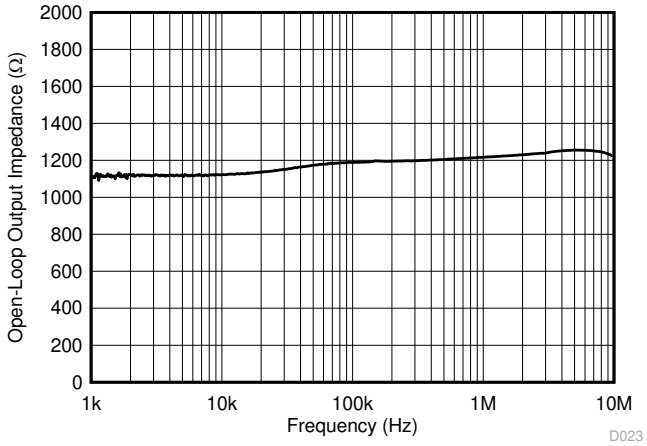


図 7-44. 開ループの出力インピーダンスと周波数との関係 (LM3xx-N)

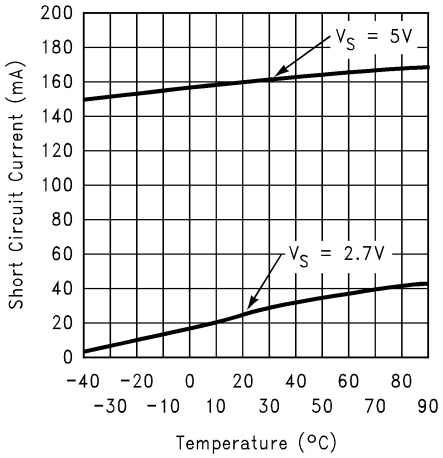


図 7-45. 短絡電流と温度との関係 (シンク)

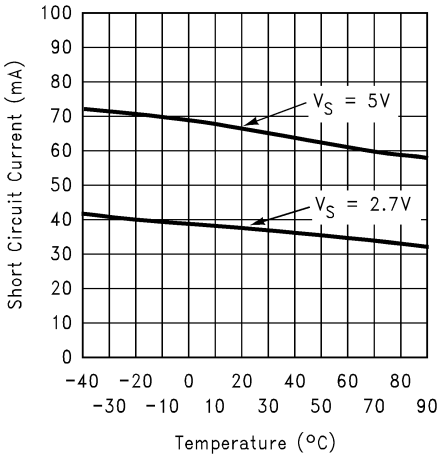


図 7-46. 短絡電流と温度との関係 (ソース)

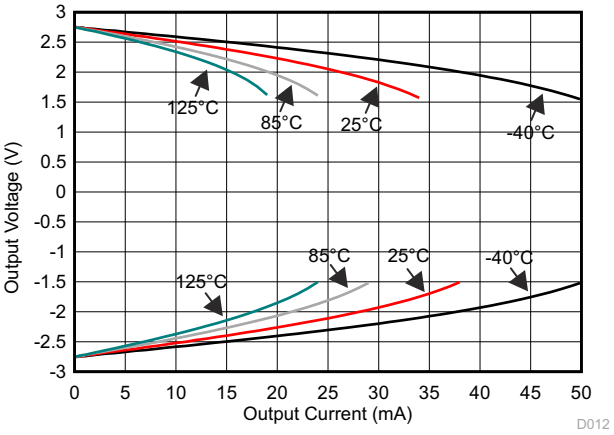


図 7-47. 出力電圧と出力電流との関係 (LMV3xx-N)

Copyright © 2022 Texas Instruments Incorporated

8 詳細説明

8.1 概要

LMV358-N/LMV324-N は、デュアルおよびクワッドの汎用オペアンプである LM358/LM324 (5V～30V) の低電圧 (2.7V～5.5V) バージョンです。LMV321-N はシングル・チャネル・バージョンです。LMV321-N/LMV358-N/LMV324-N は、低電圧動作、スペース効率、低価格が重要となるアプリケーション向けの、最もコスト効率の高いソリューションです。これらの製品は、広く使われている LM358/LM324 と同等、またはそれを上回る仕様を満たしています。LMV321-N/LMV358-N/LMV324-N はレール・ツー・レール出力スイング機能を持ち、入力同相電圧範囲にグランドが含まれています。これらの製品はいずれも速度対電力比が優れており、1MHz の帯域幅と 1V/μs のスルーレートを低消費電流で実現しています。

8.1.1 LMV321-N/LMV358-N/LMV324-N の利点

8.1.1.1 サイズ

LMV321-N/LMV358-N/LMV324-N パッケージはサイズが小さいため、プリント基板のスペースを節約し、携帯電話、ポケベル、他の携帯システムなどの小型電子製品の設計が可能になります。LMV321-N/LMV358-N/LMV324-N は薄型なので、PCMCIA Type III カードでも使用できます。

8.1.1.2 シグナル・インテグリティ

信号は、信号源とアンプとの間でノイズを拾う可能性があります。物理的に小型のアンプ・パッケージを使用することで、LMV321-N/LMV358-N/LMV324-N を信号源の近くに配置し、ノイズを拾いにくくして、シグナル・インテグリティを向上させることができます。

8.1.1.3 簡単な基板レイアウト

これらの製品は、プリント基板のレイアウトで長いプリント配線を使うことを避けるために役立ちます。これにより、長いプリント配線の間の干渉による望ましくない信号をフィルタリングするための、コンデンサや抵抗などの追加部品が必要なくなります。

8.1.1.4 低い電源電流

これらのデバイスは、バッテリ寿命の最大化に役立ちます。バッテリ駆動システムに最適です。

8.1.1.5 低い電源電圧

テキサス・インスツルメンツは、2.7V および 5V での性能を確保しています。これらの仕様により、バッテリの寿命全体にわたって動作が確保されます。

8.1.1.6 レール・ツー・レール出力

レール・ツー・レール出力スイングにより、出力で可能な最大のダイナミック・レンジが得られます。低い電源電圧で動作するとき、これは特に重要な機能です。

8.1.1.7 入力にグランドを含む

単一電源動作で GND 付近の直接センシングが可能です。

入力電圧が (25℃で) -0.3V より負にならないように保護を行う必要があります。IC 入力ピンに抵抗を接続した、入力クランプ・ダイオードを使用できます。

8.1.1.8 使いやすさとクロスオーバー歪み

LMV321-N/LMV358-N/LMV324-N は、広く使われている LM324-N と仕様がほぼ同じです。さらに、これらの新しい製品は出力のクロスオーバー歪みを効果的に除去できます。図 8-1 と図 8-2 に示すスコープの写真は、電圧フォロワ構成の LMV324-N と LM324-N の出力スイングを比較したもので、V_S = ±2.5V、R_L (= 2kΩ) が GND に接続されています。新しい LMV324-N では、クロスオーバー歪みが除去されていることが明らかです。

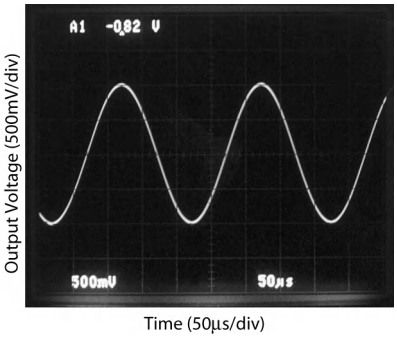


図 8-1. LMV324 の出力スイング

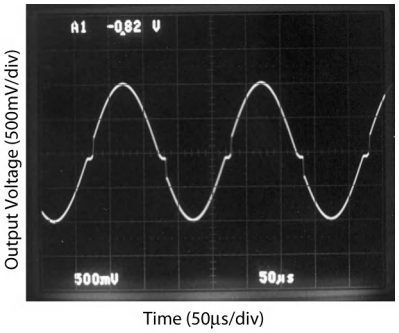
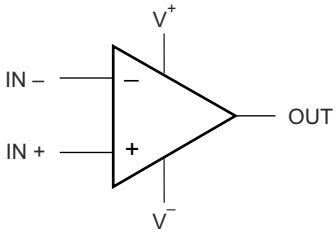


図 8-2. LM324 の出力スイング

8.2 機能ブロック図



Copyright © 2016,
Texas Instruments Incorporated

各アンプ

8.3 機能説明

8.3.1 容量性負荷の許容誤差

LMV321-N/LMV358-N/LMV324-N は、発振なし、ユニティ・ゲインで 200pF を直接駆動できます。ユニティ・ゲイン・フォロワは、容量性負荷に対して最も敏感な構成です。直接の容量性負荷があると、アンプの位相マージンが減少します。アンプの出力インピーダンスと容量性負荷の組み合わせにより、位相遅れが生じます。その結果、パルス応答または発振を十分に減衰できなくなります。より大きな容量性負荷を駆動する場合は、図 8-3 の回路を使用できます。

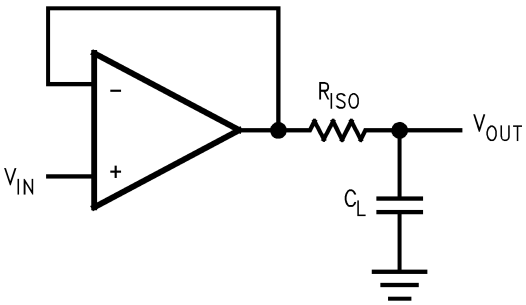


図 8-3. 抵抗性絶縁を使用した容量性負荷の間接駆動

図 8-3 では、絶縁抵抗 R_{ISO} と負荷コンデンサ C_L が極を形成し、システム全体に位相マージンを追加することで安定性を高めています。求められる性能は、R_{ISO} の値によって異なります。R_{ISO} 抵抗の値が大きいほど、V_{OUT} はより安定します。図 8-4 は、図 8-3 で R_{ISO} に 620Ω、C_L に 510pF を使用した場合の出力波形です。

Copyright © 2022 Texas Instruments Incorporated

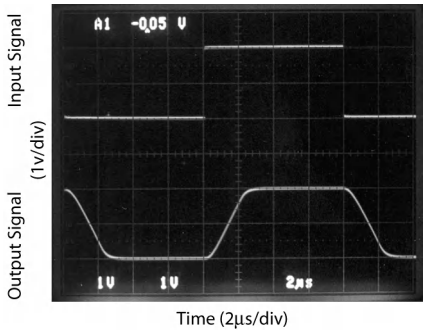


図 8-4. 図 8-3 の LMV324 回路のパルス応答

図 8-5 の回路は、図 8-3 の回路を改良し、AC 安定性だけでなく DC 精度も実現したものです。図 8-3 に負荷抵抗があれば、出力電圧は R_{ISO} と負荷抵抗で割った値になります。一方で図 8-5 では、フィードフォワード技術を使用して V_{IN} を R_L に接続することで、R_F が DC 精度を実現します。LMV321-N/LMV358-N/LMV324-N の入力バイアス電流があるため、R_F の値を選択するときは注意が必要です。C_F と R_{ISO} は、出力信号の高周波成分をアンプの反転入力にフィードバックすることで位相マージンの損失を緩和し、フィードバック・ループ全体の位相マージンを維持します。C_F の値を大きくすることで、容量性の駆動を増やすことができます。ただし、これを行うとパルス応答が遅くなります。

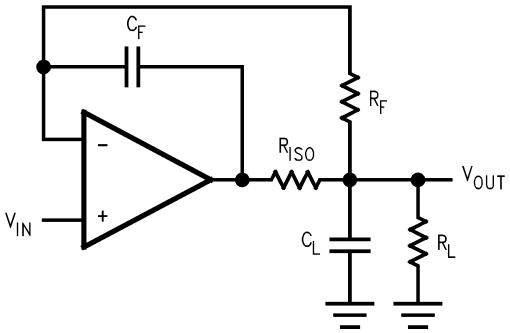


図 8-5. DC 精度を維持しながら容量性負荷を間接的に駆動

8.3.2 入力バイアス電流のキャンセル

LMV321-N/LMV358-N/LMV324-N ファミリはバイポーラ入力段を備えています。LMV321-N/LMV358-N/LMV324-N の標準的な入力バイアス電流は、5V 電源で 15nA です。したがって、100kΩ の入力抵抗を使用すると、1.5mV の誤差電圧が発生します。反転入力と非反転入力の両方について抵抗値のバランスを取ることで、アンプの入力バイアス電流に起因する誤差を低減できます。図 8-6 の回路は、入力バイアス電流によって発生する誤差をキャンセルする方法を示しています。

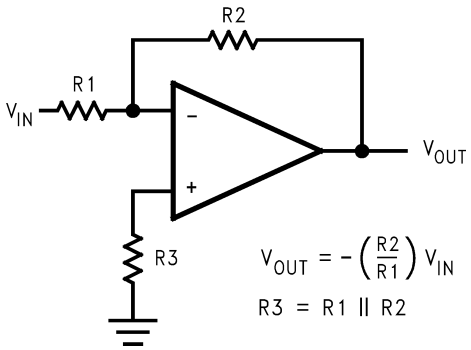


図 8-6. 入力バイアス電流による誤差のキャンセル

8.4 デバイスの機能モード

電源が接続されると、LMV321-N/LMV321-N-Q1/LMV358-N/LMV358-N-Q1/LMV324-N/LMV324-N-Q1 の電源がオンになります。これらの製品は、アプリケーションに応じて単一電源またはデュアル電源のオペアンプとして動作できます。

Copyright © 2022 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LMV32x-N ファミリのアンプは、2.7V～5V (±1.35V～±2.5V) で動作が規定されています。多くの仕様は、-40℃～125℃の範囲で適用されます。これらの仕様によって、グランド・センシング入力とレール・ツー・レールの出力スイングが得られます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、「代表的特性」セクションを参照してください。

9.2 代表的なアプリケーション

9.2.1 単純なローパス・アクティブ・フィルタ

単純なローパス・アクティブ・フィルタを、図 9-1 に示します。

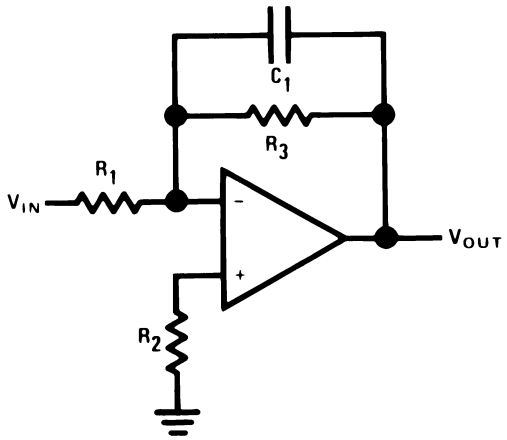


図 9-1. 単純なローパス・アクティブ・フィルタ

9.2.1.1 設計要件

図 9-1 に示す単純な単極アクティブ・ローパス・フィルタは、低周波数を通過させ、コーナー周波数 (fc) より高い周波数を 20dB/decade のロールオフ・レートで減衰させます。

9.2.1.2 詳細な設計手順

R1、R2、R3、C1 の値は、図 9-2 の式を使用して選択します。低周波数ゲイン (ω → 0) は、$-R_3/R_1$ で定義されます。これにより、ユニティ以外の低周波数ゲインが得られます。このフィルタには、コーナー周波数 fc の後に -20dB/decade のロールオフがあります。バイアス電流による誤差を最小限に抑えるため、R_2 は R_1 と R_3 の並列組み合わせと等しい値を選択する必要があります。フィルタの周波数応答を図 9-3 に示します。

$$A_L = -\frac{R_3}{R_1}$$

$$f_c = \frac{1}{2\pi R_3 C_1}$$

$$R_2 = R_1 \parallel R_3$$

図 9-2. 単純なローパス・アクティブ・フィルタの式

9.2.1.3 アプリケーション曲線

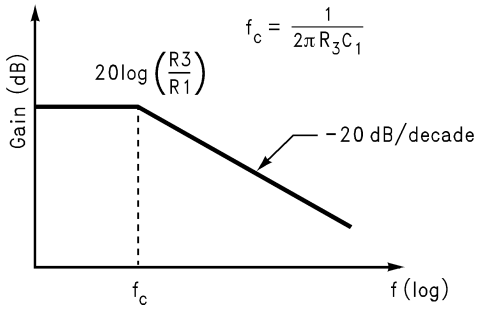


図 9-3. シンプルなローパス・アクティブ・フィルタの周波数応答

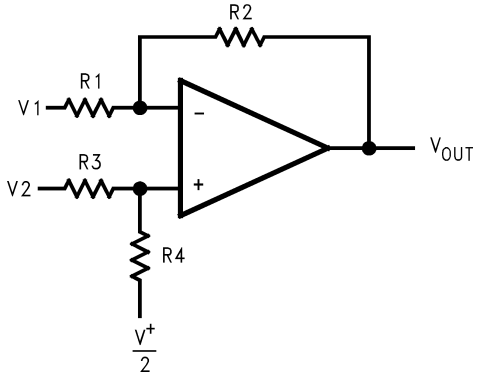
低い品質係数 Q (≦ 10)、低い周波数 (≦ 5kHz)、低いゲイン (≦ 10) が要求される、またはゲイン時間の積 Q の値が小さい (≦ 100) ことが必要なアプリケーションでは、シングル・オペアンプ・アクティブ・フィルタが使用されることに注意してください。オペアンプは、対象となる最高周波数で、その周波数におけるフィルタのゲインと比べて最低 50 倍の開ループ電圧ゲインを持つ必要があります。さらに、選択したオペアンプのスルーレートが以下の要件を満たす必要があります。

$$\text{スルーレート} \geqq 0.5 \times (\omega_H V_{OPP}) \times 10^{-6}\ \text{V/µsec} \quad (1)$$

ここで、ω_H は対象となる最高周波数、V_{OPP} は出力のピーク・ツー・ピーク電圧です。

9.2.2 差動アンプ

差動アンプを使用すると、2 つの電圧を減算できます。または、特別なケースとして、2 つの入力に共通する信号をキャンセルできます。これは、差動からシングルエンドへの変換を行う場合や、同相信号を除去する場合に、計算アンプとして役立ちます。



$$V_{OUT} = \left(\frac{R1 + R2}{R3 + R4}\right)\frac{R4}{R1}V_2 - \frac{R2}{R1}V_1 + \left(\frac{R1 + R2}{R3 + R4}\right)\frac{R3}{R1} \cdot \frac{V^+}{2}$$

for R1 = R3 and R2 = R4

$$V_{OUT} = \frac{R2}{R1}\left(V_2 - V_1\right) + \frac{V^+}{2}$$

図 9-4. 差動アンプ

9.2.3 計測回路

前に示した差動アンプの入力インピーダンスは、抵抗 R_1、R_2、R_3、R_4 によって設定されます。低入力インピーダンスの問題を解消する方法の 1 つは、次に示す 2 つの計測アンプのように、各入力の前に電圧フォロワを使用することです。

9.2.3.1 3 オペアンプの計測アンプ

図 9-5 に示すように、クワッド LMV324 を使用して、3 オペアンプの計測アンプを構築できます。

Copyright © 2022 Texas Instruments Incorporated

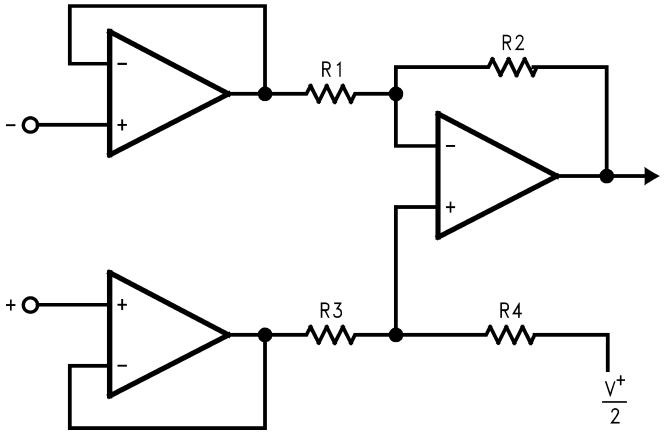
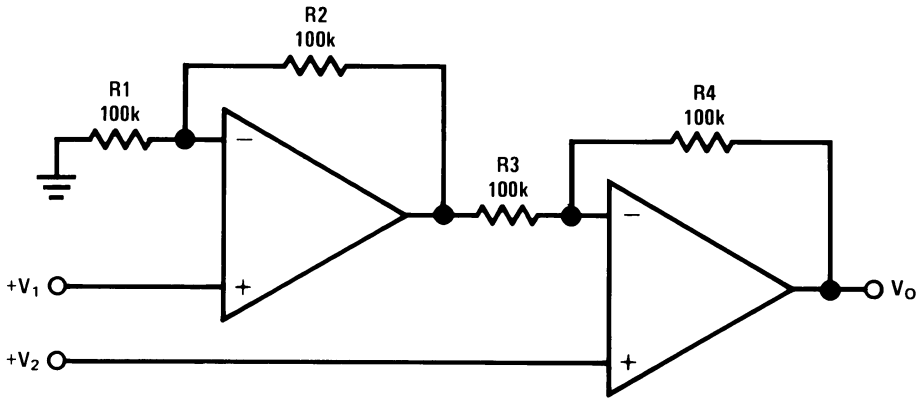


図 9-5. 3 オペアンプの計測アンプ

この計測アンプの最初の段は、2 つの電圧フォロワを持つ差動入力、差動出力のアンプです。これら 2 つの電圧フォロワにより、入力インピーダンスが 100MΩ を上回ることが保証されます。この計測アンプのゲインは、R_2/R_1 の比によって設定されます。R_3 は R_1 と等しく、R_4 は R_2 と等しくなる必要があります。R_3 から R_1、および R_4 から R_2 へのマッチングは、CMRR に影響を及ぼします。温度範囲全体にわたって CMRR を良好にするには、低ドリフトの抵抗を使用する必要があります。R_4 を R_2 よりわずかに小さくし、R_2 と R_4 の差の 2 倍に等しいトリム・ポットを追加すると、CMRR を調整して最適な性能を実現できます。

9.2.3.2 2 オペアンプの計測アンプ

2 オペアンプの計測アンプを使用して、高入力インピーダンスの DC 差動アンプを作成することもできます (図 9-6)。3 オペアンプの回路と同様に、この計測アンプでも良好な CMRR を得るために高精度の抵抗マッチングが必要です。R_4 は R_1 と等しく、R_3 は R_2 と等しくなる必要があります。



$$V_O = \left(1 + \frac{R4}{R3}\right)(V_2 - V_1), \text{ where } R1 = R4 \text{ and } R2 = R3$$

$$\text{As shown: } V_O = 2(V_2 - V_1)$$

図 9-6. 2 オペアンプの計測アンプ

9.2.3.3 単一電源の反転アンプ

アンプに流れ込む入力信号が負の場合があります。アンプは単一電源電圧で動作しているため、入力信号がアンプの入力同相電圧範囲内に収まるように、R_3 と R_4 による分圧器を実装して、アンプをバイアスします。コンデンサ C_1 を反転入力と抵抗 R_1 との間に配置し、AC 信号源 V_{IN} に流れ込む DC 信号をブロックします。R_1 と C_1 の値は、カットオフ周波数に影響を及ぼします。カットオフ周波数は、$fc = 1 / 2\pi R_1C_1$ で求められます。

結果として、出力信号は中電圧付近が中心になります (分圧器が非反転入力で $V^+ / 2$ を供給する場合)。出力は両方のレールまでスイングでき、低電圧システムで信号対雑音比を最大化できます。

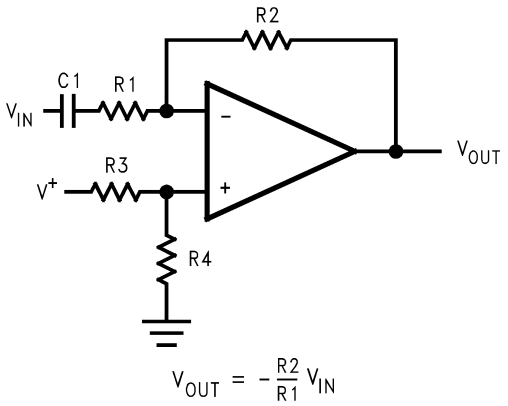


図 9-7. 単一電源の反転アンプ

9.2.4 サレンキー型の 2 次アクティブ・ローパス・フィルタ

サレンキー型の 2 次アクティブ・ローパス・フィルタを、図 9-8 に示します。フィルタの DC ゲインは次のように表されます。

$$A_{LP} = \frac{R_3}{R_4} + 1 \tag{2}$$

伝達関数は次のとおりです。

$$\frac{V_{OUT}}{V_{IN}}(S) = \frac{\frac{1}{C_1 C_2 R_1 R_2} A_{LP}}{S^2 + S\left(\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{1}{C_2 R_2} - \frac{A_{LP}}{C_2 R_2}\right) + \frac{1}{C_1 C_2 R_1 R_2}} \tag{3}$$

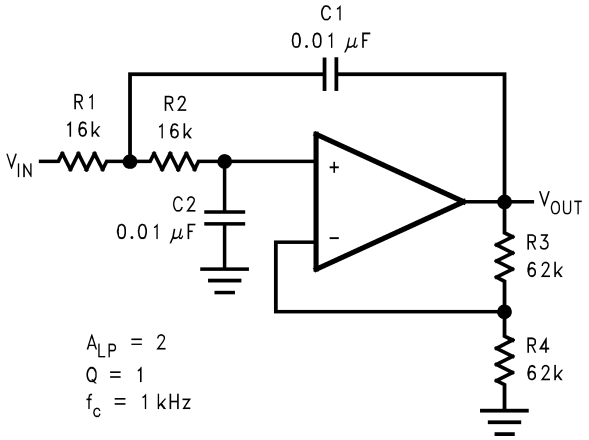


図 9-8. サレンキー型の 2 次アクティブ・ローパス・フィルタ

Copyright © 2022 Texas Instruments Incorporated

9.2.4.1 詳細な設計手順

以下の段落では、与えられたフィルタ要件、たとえば A_{LP}、Q、f_c に基づいて、R_1、R_2、R_3、R_4、C_1、C_2 の値を選択する方法について説明します。

2 次ローパス・フィルタの標準形式は次のとおりです。

$$\frac{V_{OUT}}{V_{IN}}(S) = \frac{A_{LP}\,\omega_c^{\,2}}{S^2 + \left(\frac{\omega_c}{Q}\right)S + \omega_c^{\,2}} \tag{4}$$

ここで

Q:極の品質係数

ω_C:コーナー周波数

式 3 と 式 4 とを比較すると、次の式が得られます。

$$\omega_c^{\,2} = \frac{1}{C_1\,C_2\,R_1\,R_2} \tag{5}$$

$$\frac{\omega_c}{Q} = \frac{1}{C_1\,R_1} + \frac{1}{C_1\,R_2} + \frac{1}{C_2\,R_2} - \frac{A_{LP}}{C_2\,R_2} \tag{6}$$

フィルタ設計で必要な計算を減らすために、部品と設計パラメータに正規化を導入すると便利です。正規化を行うには、$\omega_C = \omega_n = 1\text{rad/s}$、$C_1 = C_2 = C_n = 1\text{F}$ と置いてから、これらの値を式 5 と式 6 に代入します。式 5 から、次の結果が得られます。

$$R_1 = \frac{1}{R_2} \tag{7}$$

式 6 から、次の結果が得られます。

$$R_2 = \frac{1 \pm \sqrt{1 - 4Q^2(2 - A_{LP})}}{2Q} \tag{8}$$

DC オフセット $V^+ = V^-$ を最小に抑えるため、反転入力と非反転入力の両方の抵抗の値は等しくする必要があります。つまり、次のようになります。

$$R_1 + R_2 = \frac{R_3\,R_4}{R_3 + R_4} \tag{9}$$

式 2 および 式 9 から、次の結果が得られます。

$$R_3 = (R_1 + R_2)A_{LP} \tag{10}$$

$$R_4 = \left(\frac{A_{LP}}{A_{LP} - 1}\right)(R_1 + R_2) \tag{11}$$

C_1 と C_2 の値は通常、次の値に近いか、等しくなります。

$$C = \frac{10}{f_c}\,\mu F \tag{12}$$

設計の例は次のようになります。

要件：A_{LP} = 2、Q = 1、fc = 1kHz

最初に、C_1 と C_2 を選択します。次の値に近い標準値を選択します。

$$C = \frac{10}{f_c}\,\mu F \tag{13}$$

$$C_1 = C_2 = \frac{10}{1 \times 10^3}\,\mu F = 0.01\,\mu F \tag{14}$$

式 7、式 8、式 10、式 11 の 4 つの式から、次の値が得られます。

$$R_1 = 1\Omega \tag{15}$$

$$R_2 = 1\Omega \tag{16}$$

$$R_3 = 4\Omega \tag{17}$$

$$R_4 = 4\Omega \tag{18}$$

上記の抵抗値は、ω_n = 1rad/s、$C_1 = C_2 = C_n$ = 1F で正規化された値です。正規化されたカットオフ周波数と抵抗を実際の値にスケーリングするため、周波数スケーリング係数 (k_f) とインピーダンス・スケーリング係数 (k_m) という 2 つのスケーリング係数が導入されます。

$$k_f = \frac{\omega_c}{\omega_n} = \frac{2\pi \times 1 \times 10^3}{1} = 2\pi \times 10^3$$

$$k_m k_f = \frac{Cn}{C1}$$

$$k_m = 1.59 \times 10^4 \tag{19}$$

スケーリングされた値は次のとおりです。

$$R_2 = R_1 = 15.9k\Omega \tag{20}$$

$$R_3 = R_4 = 63.6k\Omega \tag{21}$$

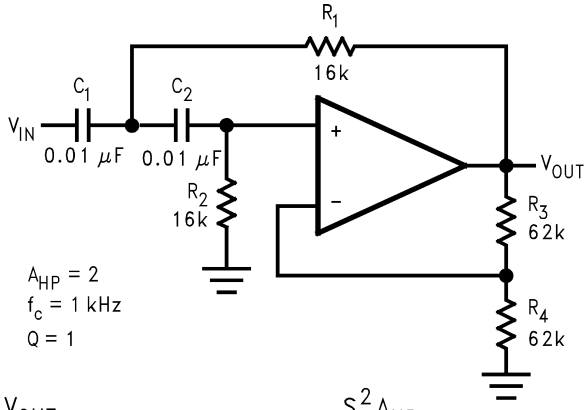
$$C_1 = C_2 = 0.01\mu F \tag{22}$$

抵抗とコンデンサの現実的な値を得るために、スケーリングを調整できます。各部品に使用される実際の値は、回路に示されています。

9.2.5 2 次ハイパス・フィルタ

2 次ハイパス・フィルタは、サレンキー型 2 次アクティブ・ローパス・フィルタの周波数選択部品 (R_1、R_2、C_1、C_2) を単純に交換することで構築できます。図 9-9 に示すように、抵抗はコンデンサになり、コンデンサは抵抗になります。結果として作成されるハイパス・フィルタは、使用している部品が同じなら、元の 2 次ローパス・フィルタとコーナー周波数や最大ゲインが同じです。

Copyright © 2022 Texas Instruments Incorporated



$$\frac{V_{OUT}}{V_{IN}}(S) = \frac{S^2 A_{HP}}{S^2 + S\left(\frac{1}{C_1 R_2} + \frac{1}{C_2 R_2} + \frac{(1 - A_{HP})}{C_1 R_1}\right) + \frac{1}{C_1 C_2 R_1 R_2}}$$

Where $A_{HP} = 1 + \frac{R_3}{R_4}$

図 9-9. サレンキー型の 2 次 アクティブ・ハイパス・フィルタ

9.2.6 状態可変フィルタ

状態可変フィルタには、3 つのオペアンプが必要です。状態可変フィルタを構築する便利な方法の 1 つは、LMV324 などのクワッド・オペアンプを使用することです (図 9-10)。

この回路は、3 つの異なる出力で、ローパス・フィルタ、ハイパス・フィルタ、バンドパス・フィルタを同時に表現できます。これらの関数の式を以下に示します。これらは「バイクワッド」アクティブ・フィルタとも呼ばれ、分子と分母の両方で 2 次の伝達関数を生成できます。

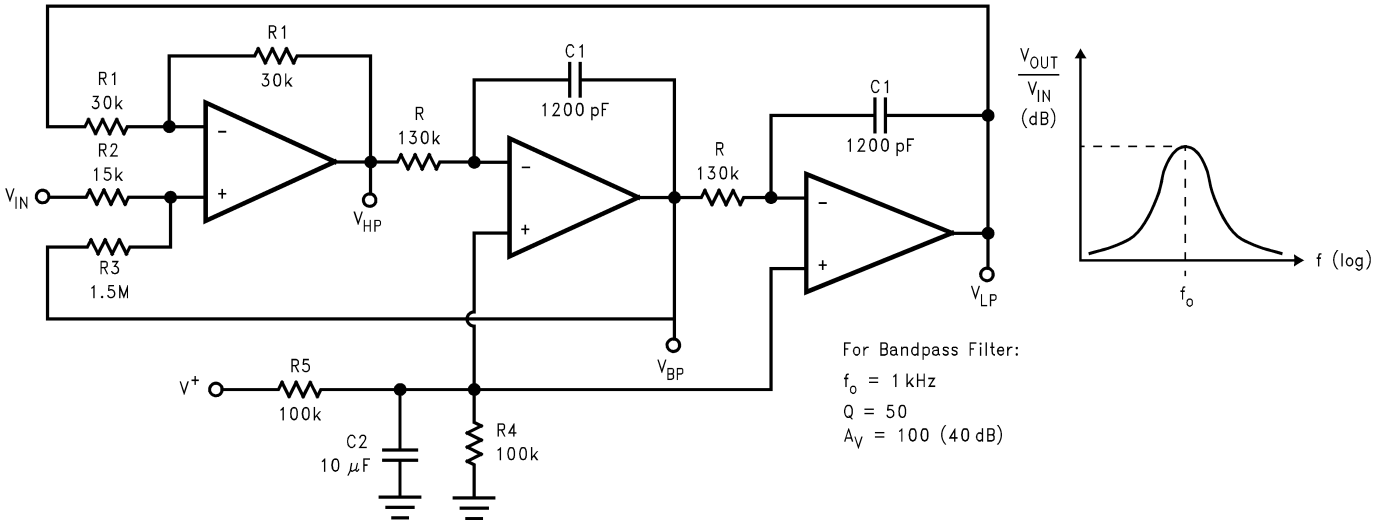


図 9-10. 状態可変アクティブ・フィルタ

$$V_{LP} = \left(\frac{2R_3}{R_2 + R_3}\right) \frac{\frac{1}{R^2C^2}}{S^2 + \frac{1}{\left(\frac{R_2 + R_3}{2R_2}\right)RC} S + \frac{1}{R^2C^2}} V_{IN}$$

$$V_{HP} = \left(\frac{2R_3}{R_2 + R_3}\right) \frac{S^2}{S^2 + \frac{1}{\left(\frac{R_2 + R_3}{2R_2}\right)RC} S + \frac{1}{R^2C^2}} V_{IN}$$

$$V_{BP} = \left(\frac{2R_3}{R_2 + R_3}\right) \frac{\left(\frac{1}{RC}\right)S}{S^2 + \frac{1}{\left(\frac{R_2 + R_3}{2R_2}\right)RC} S + \frac{1}{R^2C^2}} V_{IN} \tag{23}$$

ここで、3 つのフィルタすべてについて、

$$Q = \frac{R_2 + R_3}{2R_2} \tag{24}$$

$$\omega_0 = \frac{1}{RC} \quad \text{(resonant frequency)} \tag{25}$$

9.2.6.1 詳細な設計手順

システム設計で f_O = 1kHz、Q = 50 のバンドパス・フィルタが必要だと想定します。計算が必要なのは、コンデンサと抵抗の値です。

最初に C_1、R_1、R_2 の適切な値を選択します。

$$C_1 = 1200\text{pF} \tag{26}$$

$$2R_2 = R_1 = 30\text{k}\Omega \tag{27}$$

次に式 24 から

$$R_3 = R_2(2Q-1)$$
$$R_3 = 15\ \text{k}\Omega \times (2 \times 50 - 1)$$
$$= 1.5\ \text{M}\Omega \tag{28}$$

式 25 から

$$R = \frac{1}{\omega_0 C_1}$$
$$R = \frac{1}{(2\pi \times 10^3)(1.2 \times 10^{-9})}$$
$$= 132.7\ \text{k}\Omega \tag{29}$$

Copyright © 2022 Texas Instruments Incorporated

上で計算された値から、ミッドバンド・ゲインは $H_0 = R_3 / R_2 = 100$ (40dB) です。最も近い 5% の標準値を、図 9-10 に追加しました。

9.2.7 パルス・ジェネレータと発振器

パルス・ジェネレータを、図 9-11 に示します。コンデンサ C への充電パスと放電パスを分離するため、2 個のダイオードが使用されています。

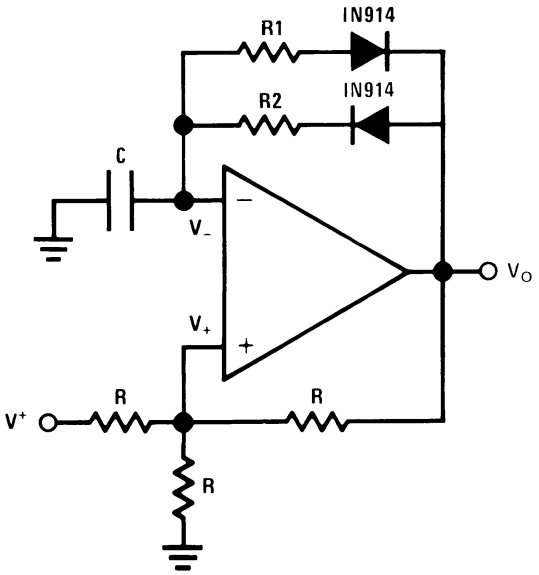
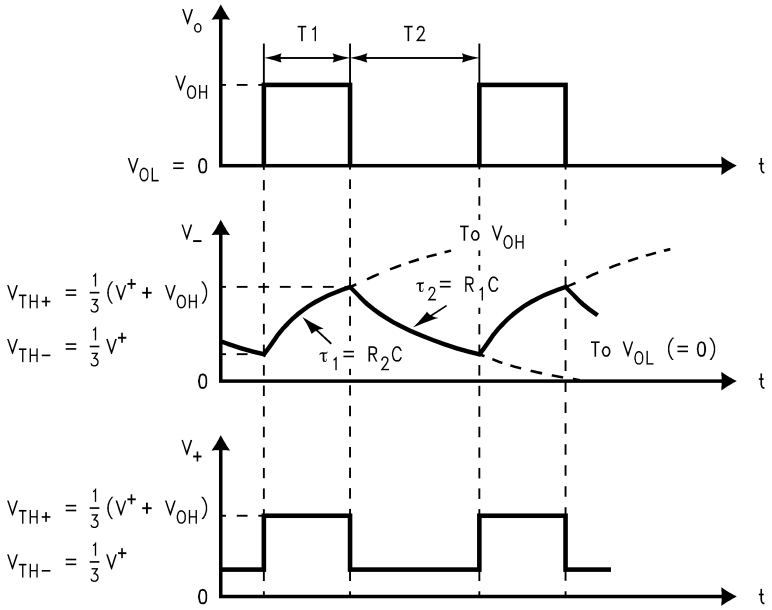


図 9-11. パルス・ジェネレータ

出力電圧 V_O が最初に High 値である V_{OH} のとき、コンデンサ C は R_2 を経由して V_{OH} まで充電されます。C の両端の電圧は時定数 $\tau = R_2C$ で指数関数的に上昇し、この電圧はオペアンプの反転入力に印加されます。一方、非反転入力の電圧は、ジェネレータの正のスレッショルド電圧 (V_{TH+}) に設定されます。コンデンサの電圧は、V_{TH+} に達するまで上昇し続け、この値に達すると、ジェネレータの出力は Low である V_{OL}、この場合には 0V に切り替わります。非反転入力の電圧は、ジェネレータの負のスレッショルド電圧 (V_{TH-}) に切り替わります。次に、コンデンサは R_1 経由で V_{OL} に向けて、時定数 $\tau = R_1C$ で指数的に放電を開始します。コンデンサの電圧が V_{TH-} に達すると、パルス・ジェネレータの出力が V_{OH} に切り替わります。コンデンサが充電を開始し、このサイクルが繰り返されます。



$$T_1 = R_2 C \ln \frac{3V_{OH} - V_{OL} - V^+}{2V_{OH} - V^+} \quad \text{and} \quad T_2 = R_1 C \ln \frac{3V_{OL} - V_{OH} - V^+}{2V_{OL} - V^+}$$

When $V_{OL} = 0V$

$$T_1 = R_2 C \ln \frac{3V_{OH} - V^+}{2V_{OH} - V^+} \quad \text{and} \quad T_2 = R_1 C \ln \left(1 + \frac{V_{OH}}{V^+}\right)$$

図 9-12. 図 9-11 の回路の波形

図 9-12 の波形に示すように、パルス幅 (T_1) は R_2、C、V_{OH} で設定され、パルス間の時間 (T_2) は R_1、C、V_{OL} で設定されます。このパルス・ジェネレータは、コンデンサの値と抵抗の値の選択によって周波数とパルス幅を変更できます。

図 9-13 に示すのは、充電パスと放電パスが別になっている、別のパルス・ジェネレータです。コンデンサは R_1 を介して充電され、R_2 を介して放電されます。

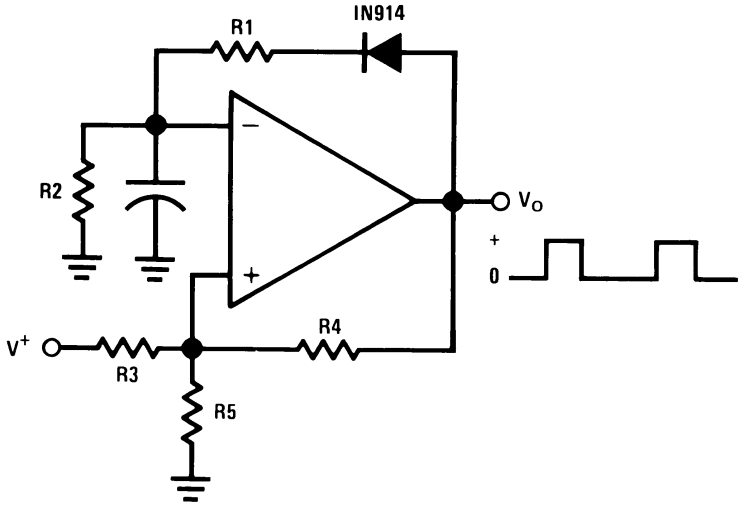


図 9-13. パルス・ジェネレータ

図 9-14 に示すのは、コンデンサの充電と放電を同じパスで行う方形波ジェネレータです。

Copyright © 2022 Texas Instruments Incorporated

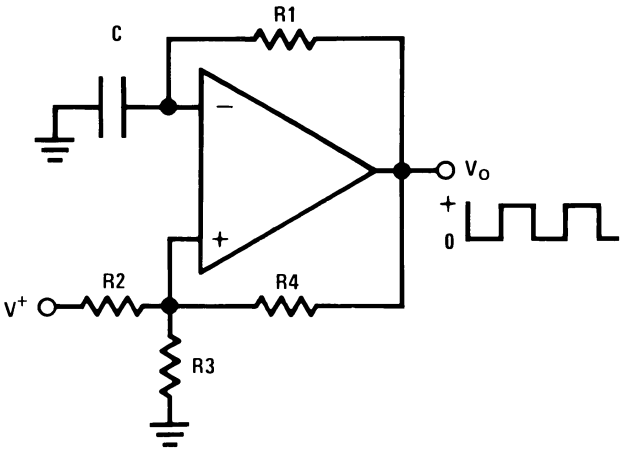


図 9-14. 方形波ジェネレータ

9.2.8 電流のソースとシンク

LMV321-N/LMV358-N/LMV324-N を帰還ループ内で使用すると、外部 PNP トランジスタの電流をレギュレートして電流ソースを供給するか、外部 NPN トランジスタの電流をレギュレートして電流シンクを供給できます。

9.2.8.1 固定電流ソース

複数の固定電流ソースを、図 9-15 に示します。分圧器 (R_3 と R_4) により、抵抗 R_3 の両端で電圧 (V_{REF} = 2V) が確立されます。負のフィードバックを使用して、R_1 の両端での電圧降下を V_{REF} と等しくします。これにより、トランジスタ Q_1 のエミッタ電流が制御され、Q_1 と Q_2 のベース電流を無視すれば、実質的に同じ電流が Q_1 のコレクタから供給されます。

大きな入力抵抗を使用して電流損失を低減でき、ダーリントン接続を使用して Q_1 の β に起因する誤差を低減できます。

この抵抗 R_2 を使用して、Q_2 のコレクタ電流を 1mA の基準値より高く、または低くスケーリングできます。

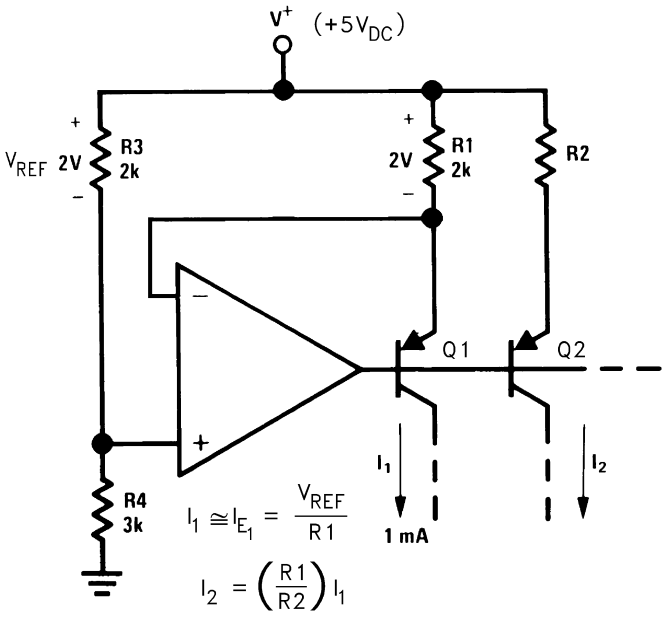


図 9-15. 固定電流ソース

9.2.8.2 高コンプライアンス電流シンク

電流シンク回路を、図 9-16 に示します。この回路は 1 つの抵抗 (R_E) のみで動作し、この抵抗値に直接比例する出力電流を供給します。

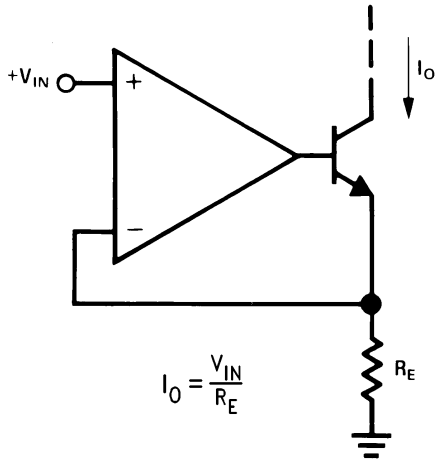


図 9-16. 高コンプライアンス電流シンク

Copyright © 2022 Texas Instruments Incorporated

9.2.9 パワー・アンプ

パワー・アンプの回路図を、図 9-17 に示します。この回路では、オペアンプの出力にトランジスタ・フォロワが追加されるため、より大きな出力電流を供給できます。

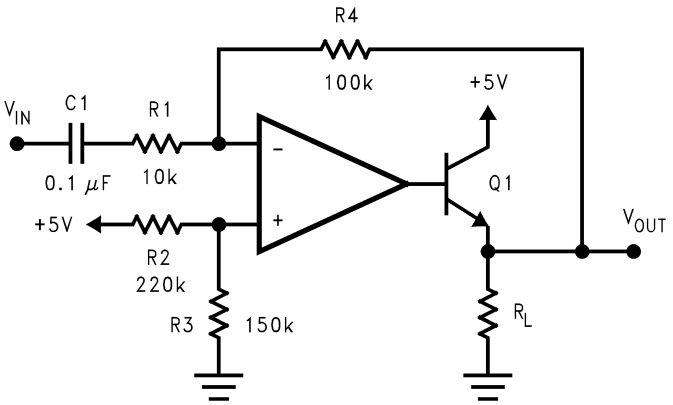


図 9-17. パワー・アンプ

9.2.10 LED ドライバ

LMV321-N/LMV358-N/LMV324-N を使用して、図 9-18 に示すように LED を駆動できます。

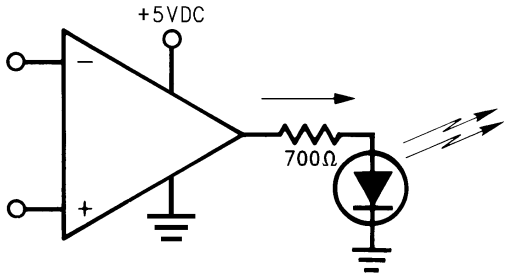


図 9-18. LED ドライバ

9.2.11 ヒステリシス付きのコンパレータ

LMV321-N/LMV358-N/LMV324-N は、低消費電力コンパレータとして使用できます。ヒステリシス付きコンパレータを、図 9-19 に示します。ヒステリシスは、2 つの抵抗の比によって決定されます。

$$V_{TH+} = V_{REF} / (1+R_1 / R_2) + V_{OH} / (1 + R_2 / R_1) \quad (30)$$

$$V_{TH-} = V_{REF} / (1 + R_1 / R_2) + V_{OL} / (1 + R_2 / R_1) \quad (31)$$

$$V_H = (V_{OH}-V_{OL}) / (1 + R_2 / R_1) \quad (32)$$

ここで

V_{TH+} : 正のスレッショルド電圧

V_{TH-} : 負のスレッショルド電圧

V_{OH} : High 状態の出力電圧

V_{OL} : Low 状態の出力電圧

V_H : ヒステリシス電圧

LMV321-N/LMV358-N/LMV324-N はレール・ツー・レール出力なので、(V_{OH}-V_{OL}) は電源電圧である V_S に等しくなります。

$$V_H = V_S / (1 + R_2 / R_1) \quad (33)$$

オペアンプの入力の差動電圧が、指定された絶対最大定格を超えないようにする必要があります。より高速な実際のコンパレータが必要な場合は、低電圧動作用のシングル、デュアル、クワッドの汎用コンパレータである、テキサス・インスツルメンツの LMV331/LMV93/LMV339 を使用することをお勧めします。

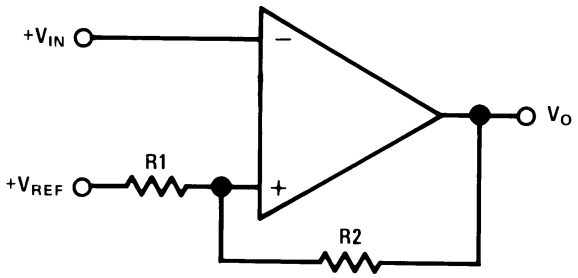


図 9-19. ヒステリシス付きのコンパレータ

10 電源に関する推奨事項

LMV3xx-N は 2.7V～5.5V で動作が規定されており、多くの仕様は -40℃～125℃で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、「代表的特性」セクションを参照してください。

電源ピンの近くに 0.1μF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウトのガイドライン」セクションを参照してください。

11 レイアウト

11.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。アナログ回路にローカルな、低インピーダンスの電源を供給して結合ノイズを低減するため、バイパス・コンデンサが使用されます。
  - 各電源ピンとグランド間に、低 ESR 0.1μF のセラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI ノイズを拾いにくくなります。グランド電流の流れに注意しながら、デジタル・グランドとアナログ・グランドを物理的に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらを分離できない場合は、敏感な配線をノイズの多い配線と並列に配置するよりも、直交させる方がはるかに良い結果になります。
- 外付け部品は、可能な限りデバイスに近く配置します。RF と RG を反転入力に近づけて配置すると、「レイアウト例」セクションに示すように、寄生容量が最小化されます。
- 入力配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。

Copyright © 2022 Texas Instruments Incorporated

11.2 レイアウト例

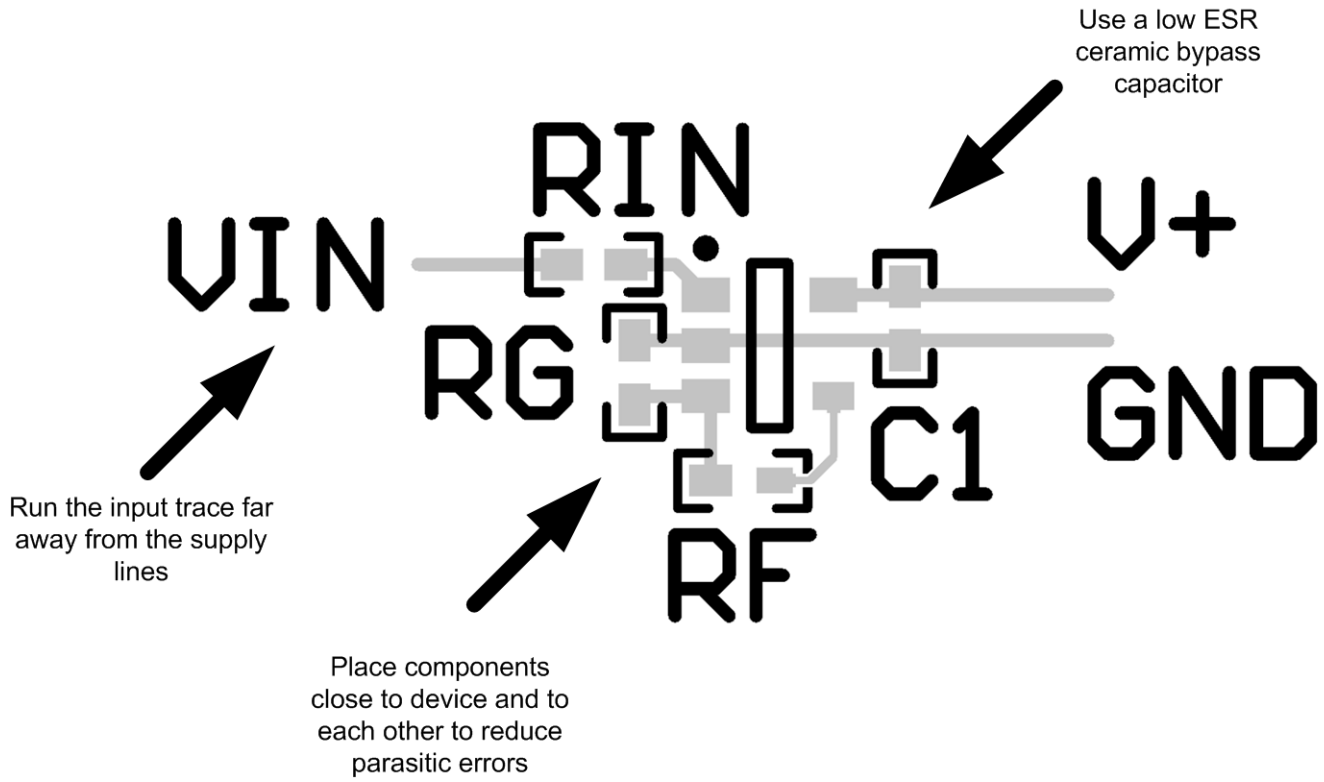


図 11-1. 非反転構成のオペアンプ基板のレイアウト

12 デバイスおよびドキュメントのサポート

12.1 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック・アクセスが含まれます。

表 12-1. 関連リンク

製品	プロダクト・フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
LMV321-N	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMV321-N-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMV358-N	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMV358-N-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMV324-N	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMV324-N-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

12.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.3 Support Resources

TI E2E™ support forums are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

12.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.6 Glossary

TI Glossary　　This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以下のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV321M5	LIFEBUY	SOT-23	DBV	5	1000	Non-RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 125	A13	
LMV321M5/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A13	Samples
LMV321M5X/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A13	Samples
LMV321M7/NOPB	ACTIVE	SC70	DCK	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A12	Samples
LMV321M7X	LIFEBUY	SC70	DCK	5	3000	Non-RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 125	A12	
LMV321M7X/NOPB	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A12	Samples
LMV321Q1M5/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AYA	Samples
LMV321Q1M5X/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AYA	Samples
LMV321Q3M5/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AZA	Samples
LMV321Q3M5X/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AZA	Samples
LMV324M/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV324M	Samples
LMV324MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV324 MT	Samples
LMV324MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	LMV324 MT	Samples
LMV324MX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV324M	Samples
LMV324Q1MA/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV324Q1 MA	Samples
LMV324Q1MAX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV324Q1 MA	Samples
LMV324Q1MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV324 Q1MT	Samples
LMV324Q1MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV324 Q1MT	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV324Q3MA/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LMV324Q3 MA	Samples
LMV324Q3MAX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LMV324Q3 MA	Samples
LMV324Q3MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV324 Q3MT	Samples
LMV324Q3MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV324 Q3MT	Samples
LMV358M	LIFEBUY	SOIC	D	8	95	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 125	LMV 358M	
LMV358M/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV 358M	Samples
LMV358MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	V358	Samples
LMV358MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	V358	Samples
LMV358MX	LIFEBUY	SOIC	D	8	2500	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 125	LMV 358M	
LMV358MX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV 358M	Samples
LMV358Q1MA/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV35 8Q1MA	Samples
LMV358Q1MAX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV35 8Q1MA	Samples
LMV358Q1MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AFAA	Samples
LMV358Q1MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AFAA	Samples
LMV358Q3MA/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV35 8Q3MA	Samples
LMV358Q3MAX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV35 8Q3MA	Samples
LMV358Q3MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AHAA	Samples
LMV358Q3MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AHAA	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMV321-N, LMV321-N-Q1, LMV324-N, LMV324-N-Q1, LMV358-N, LMV358-N-Q1 :

- Catalog : LMV321-N, LMV324-N, LMV358-N

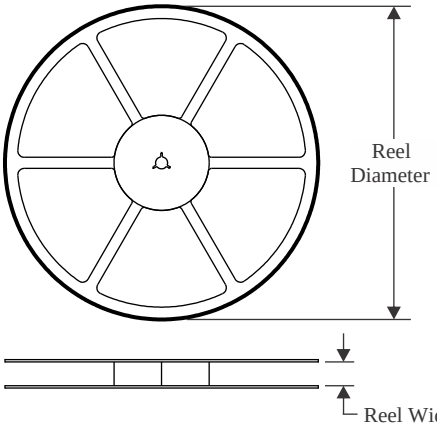
- Automotive : LMV321-N-Q1, LMV324-N-Q1, LMV358-N-Q1

NOTE: Qualified Version Definitions:

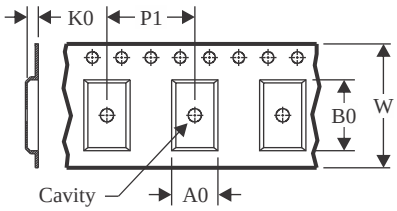
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

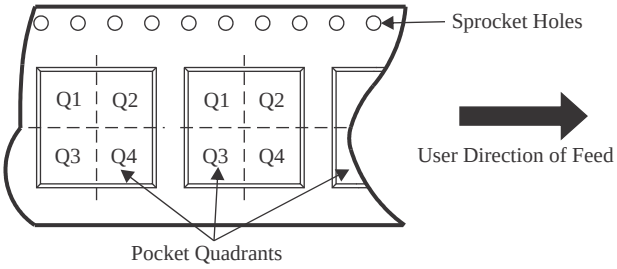


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

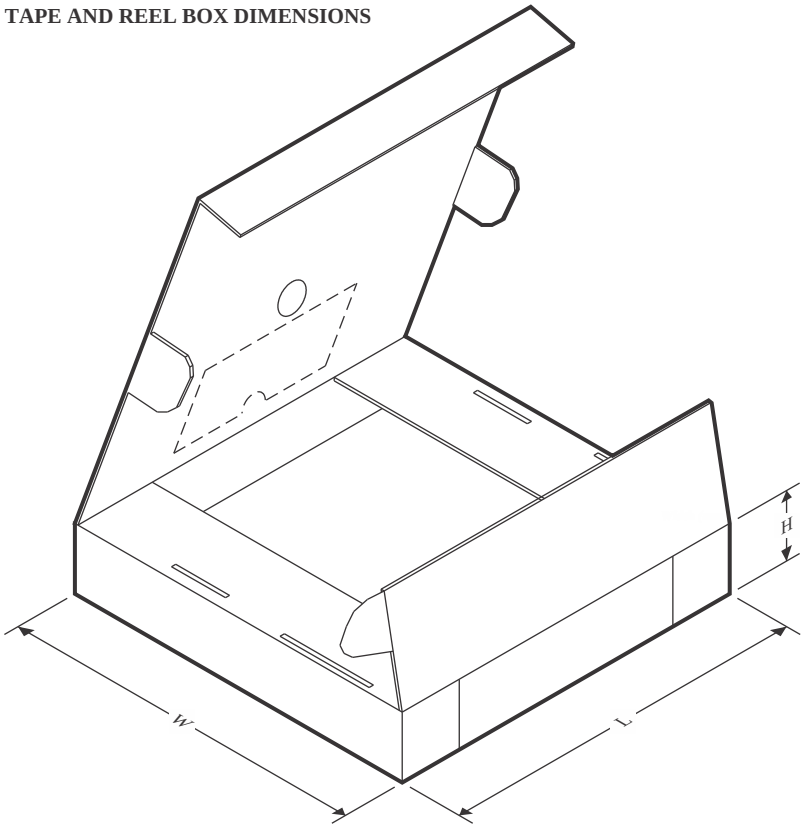


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV321M5	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321M7/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321M7X	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321M7X/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321Q1M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321Q1M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321Q3M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321Q3M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV324MX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV324Q1MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV324Q1MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1
LMV324Q3MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV324Q3MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1
LMV358MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV358MM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358MX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358MX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358Q1MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358Q1MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358Q1MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358Q3MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358Q3MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358Q3MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

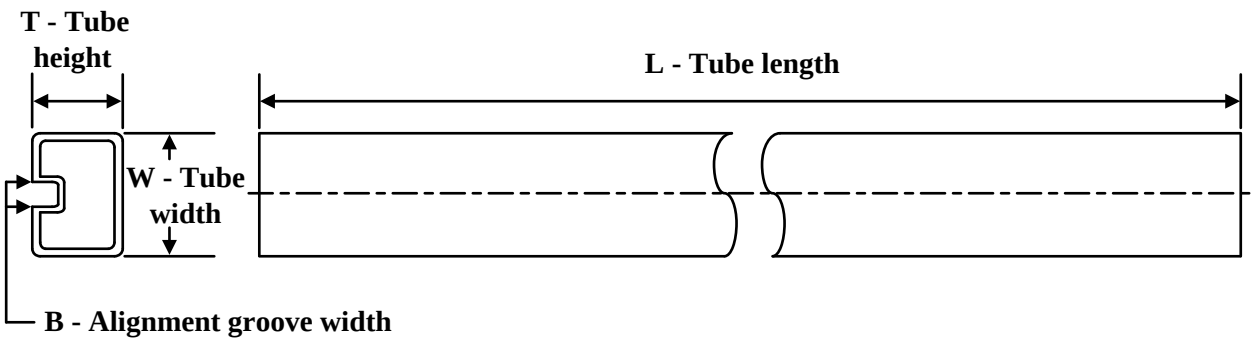


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV321M5	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV321M7/NOPB	SC70	DCK	5	1000	208.0	191.0	35.0
LMV321M7X	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321M7X/NOPB	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321Q1M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321Q1M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV321Q3M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321Q3M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV324MX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMV324Q1MAX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMV324Q1MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV324Q3MAX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMV324Q3MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV358MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV358MM/NOPB	VSSOP	DGK	8	1000	366.0	364.0	50.0
LMV358MMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0

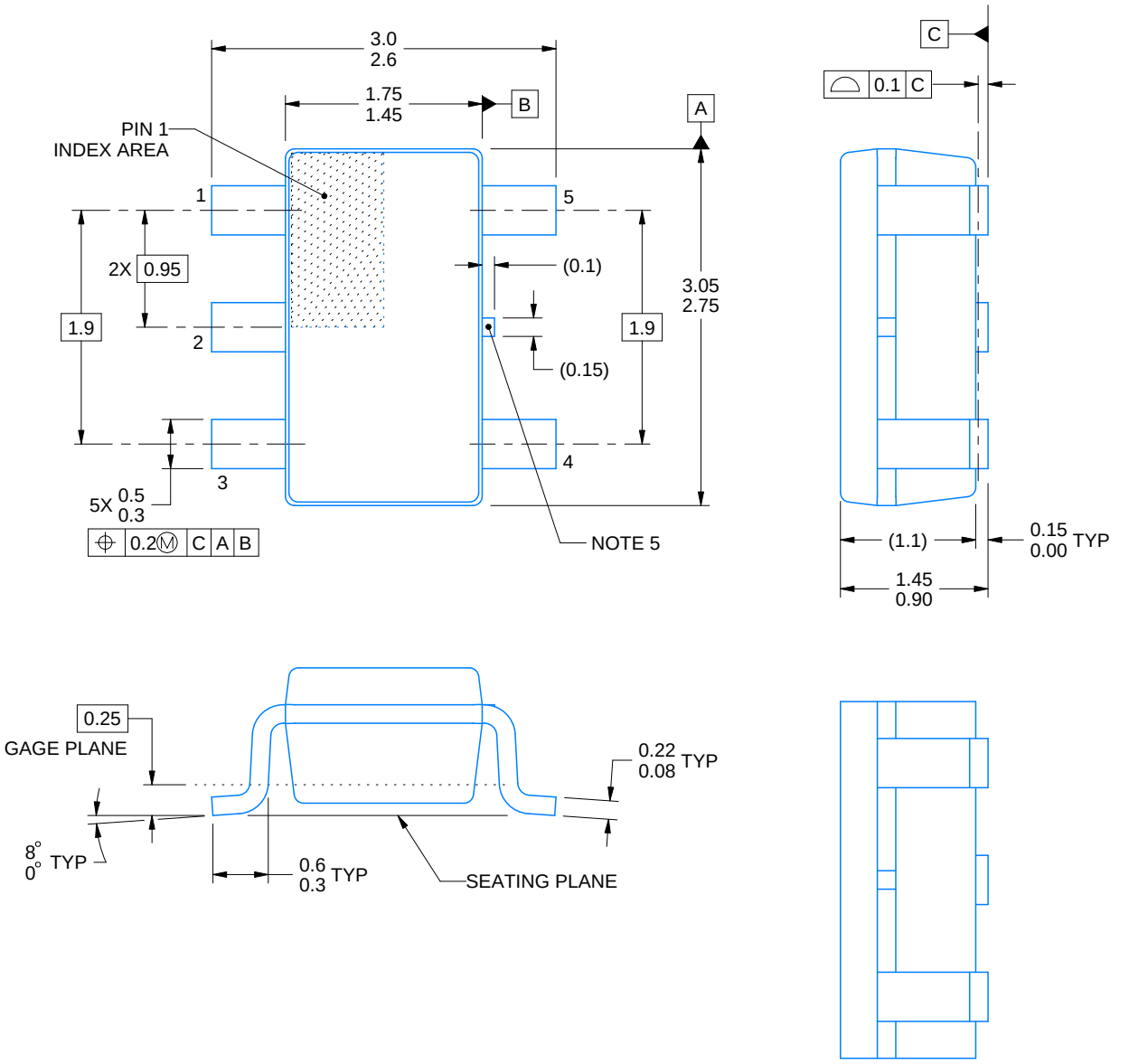
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV358MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV358MX	SOIC	D	8	2500	367.0	367.0	35.0
LMV358MX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV358Q1MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV358Q1MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV358Q1MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV358Q3MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV358Q3MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV358Q3MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMV324M/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV324MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV324MT/NOPB	PW	TSSOP	14	94	530	10.2	3600	3.5
LMV324Q1MA/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV324Q1MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV324Q3MA/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV324Q3MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV358M	D	SOIC	8	95	495	8	4064	3.05
LMV358M	D	SOIC	8	95	495	8	4064	3.05
LMV358M/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV358Q1MA/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV358Q3MA/NOPB	D	SOIC	8	95	495	8	4064	3.05

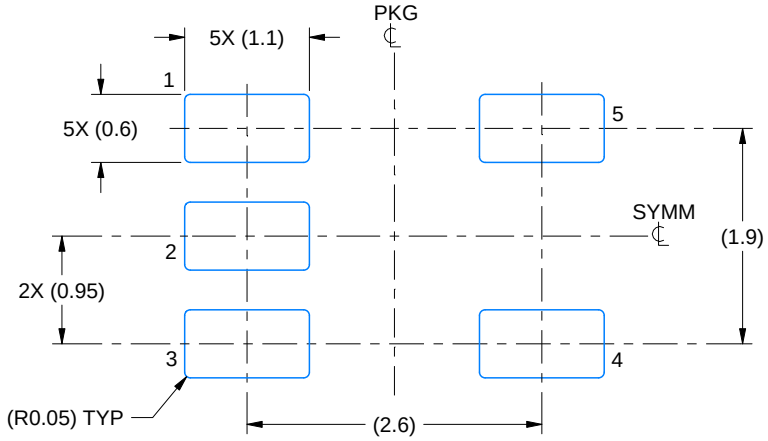


ALTERNATIVE PACKAGE SINGULATION VIEW

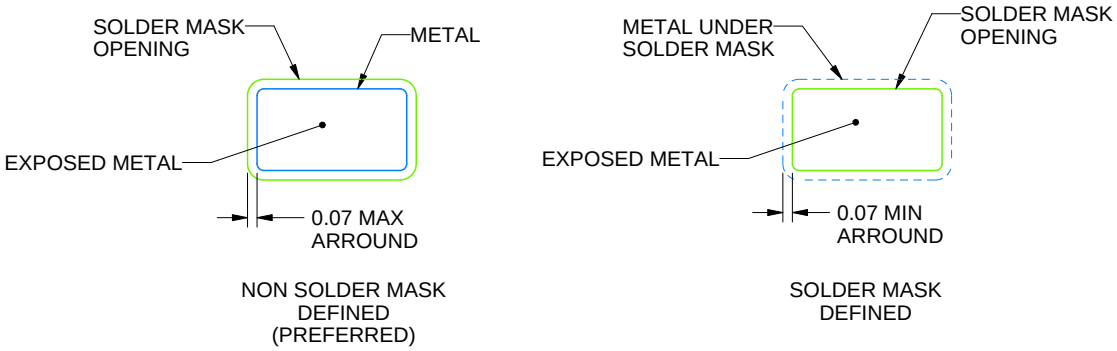
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

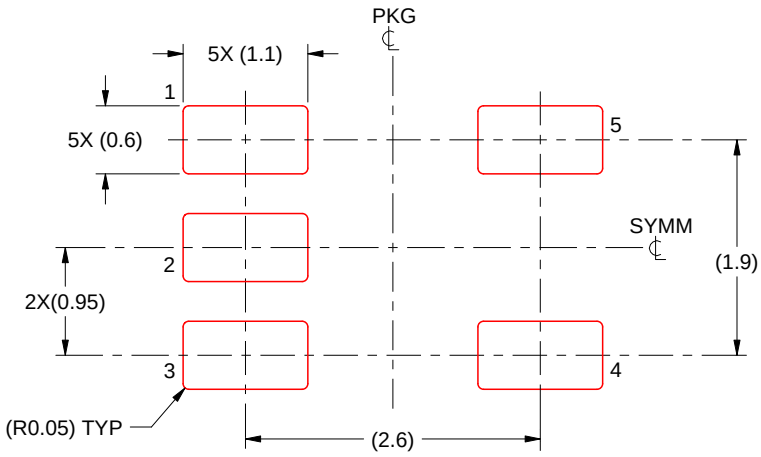


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

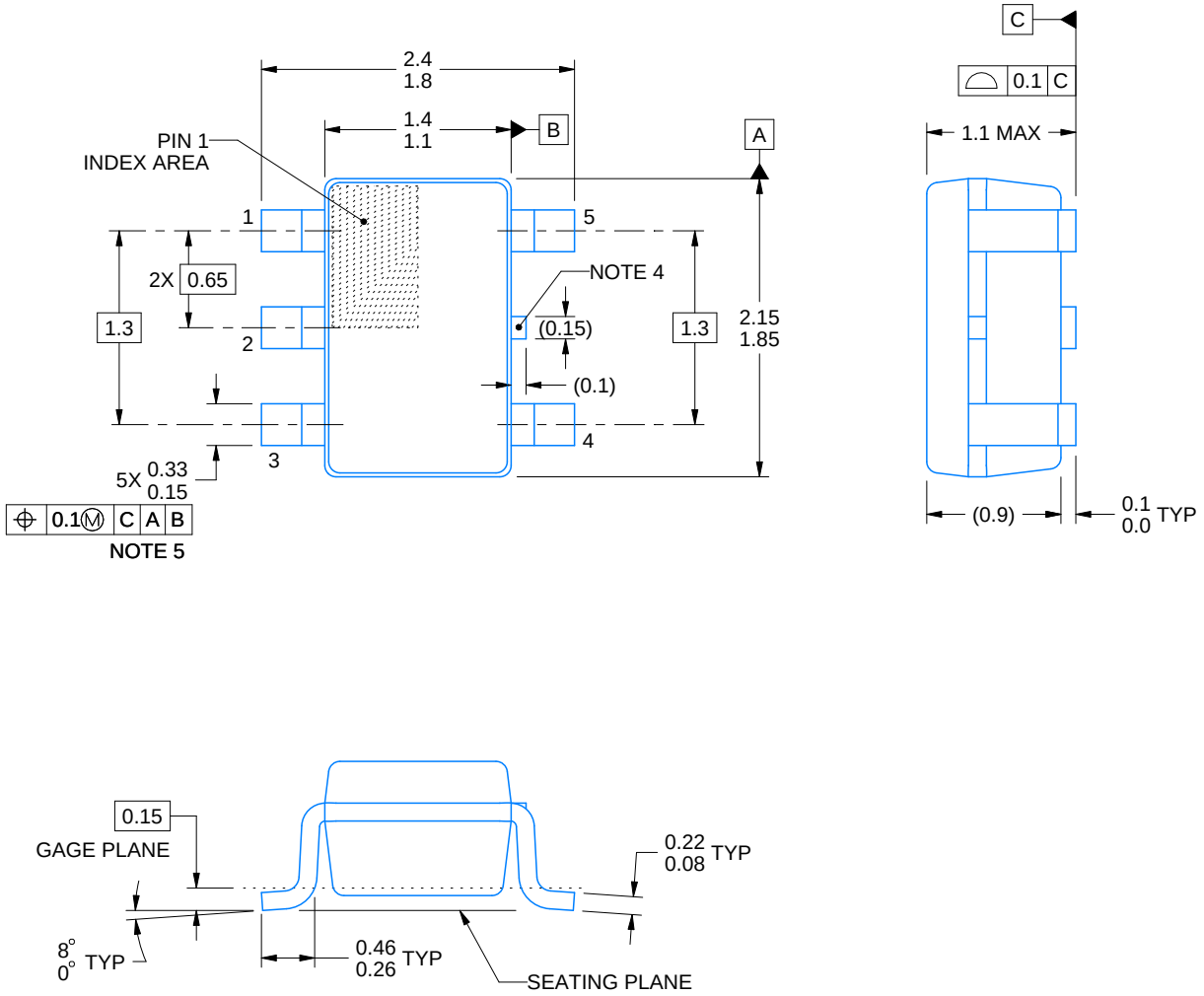


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

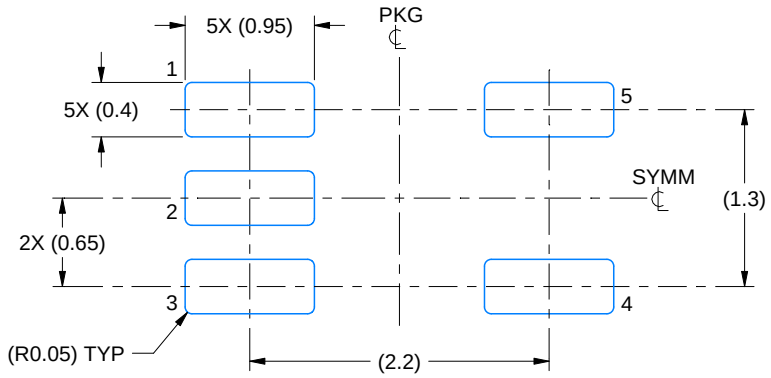
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



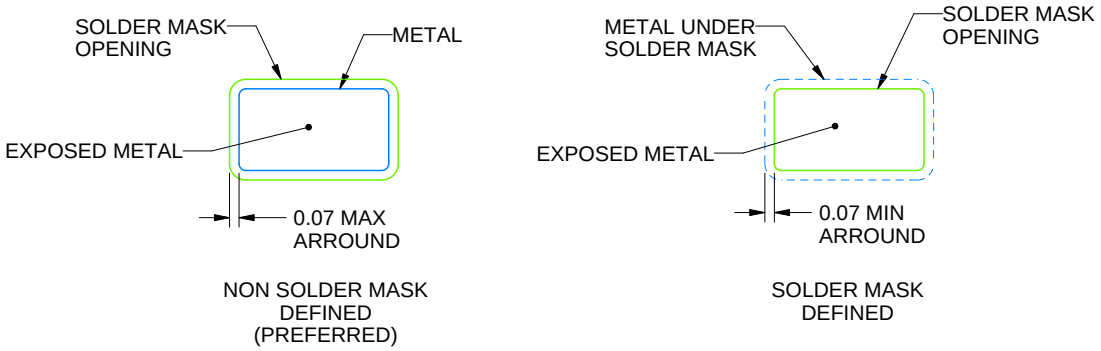
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

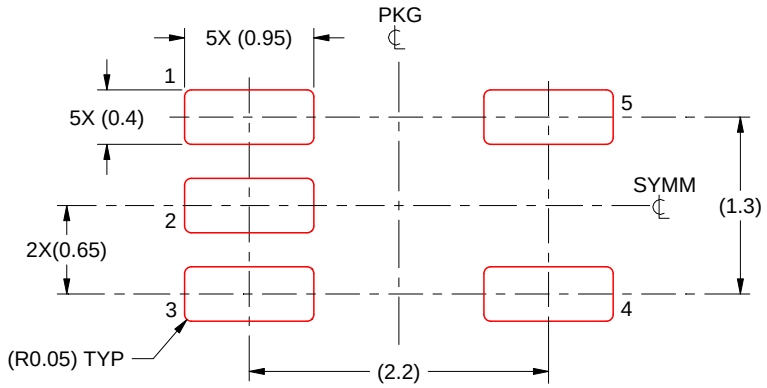


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



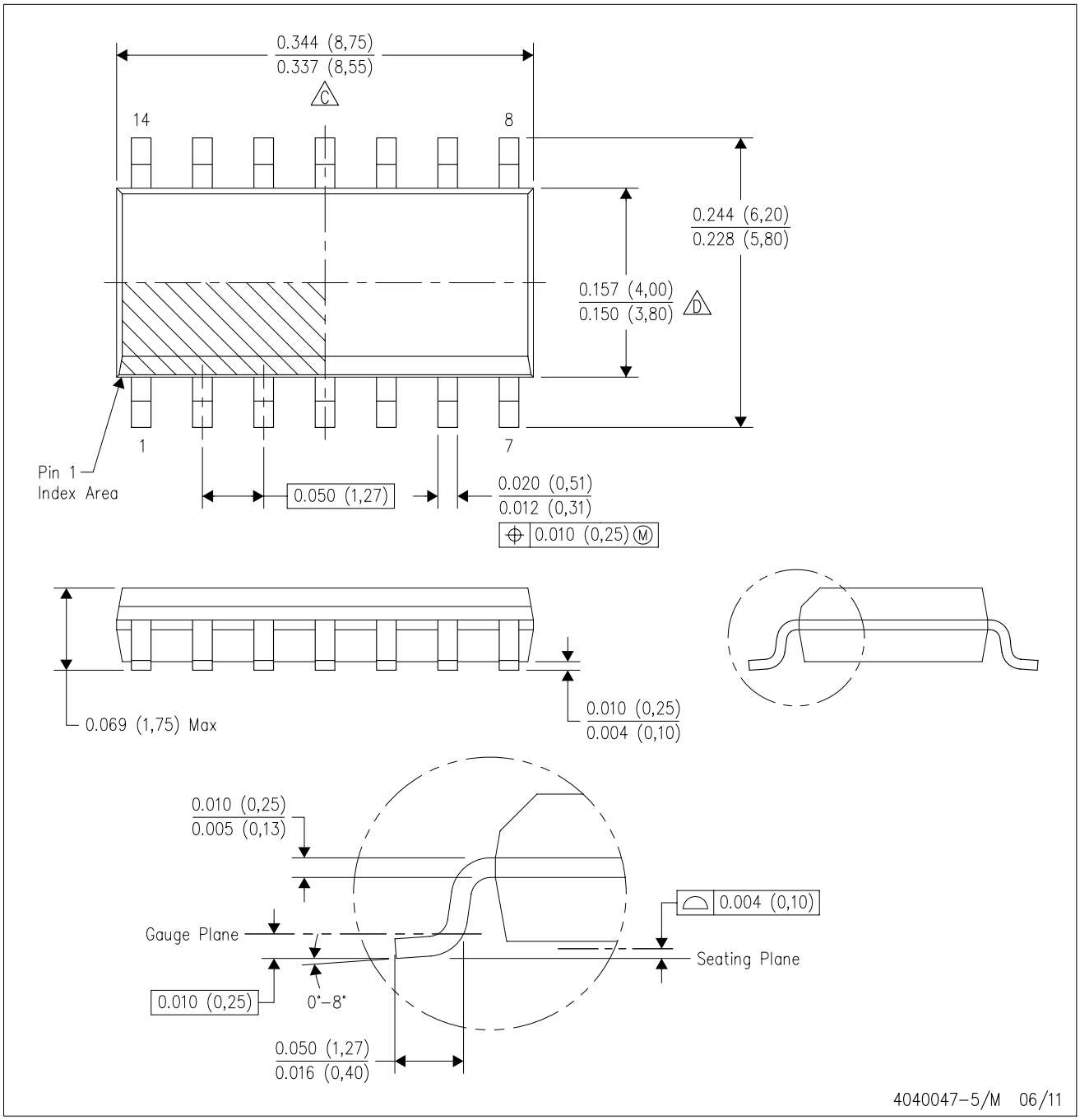
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

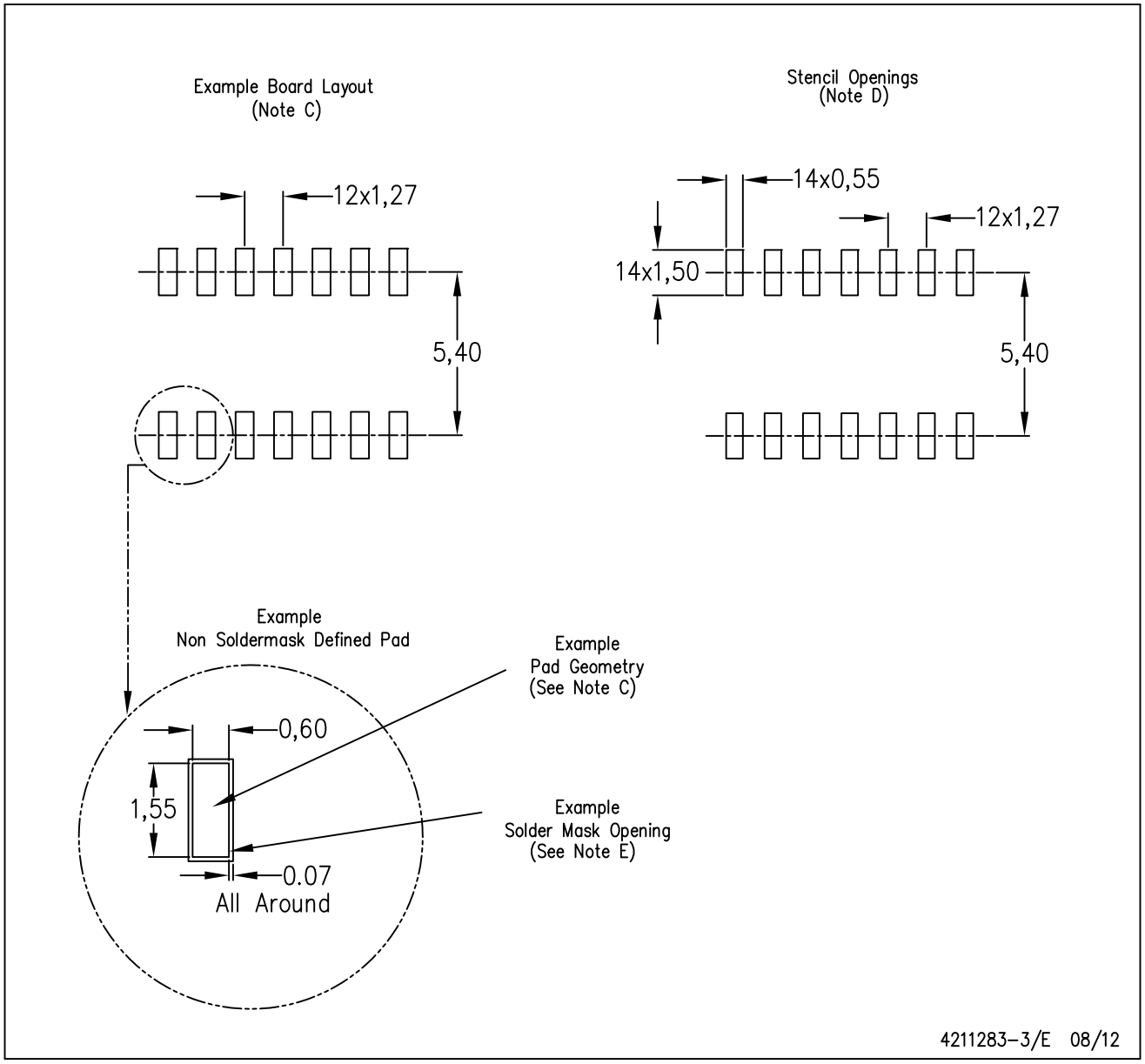
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



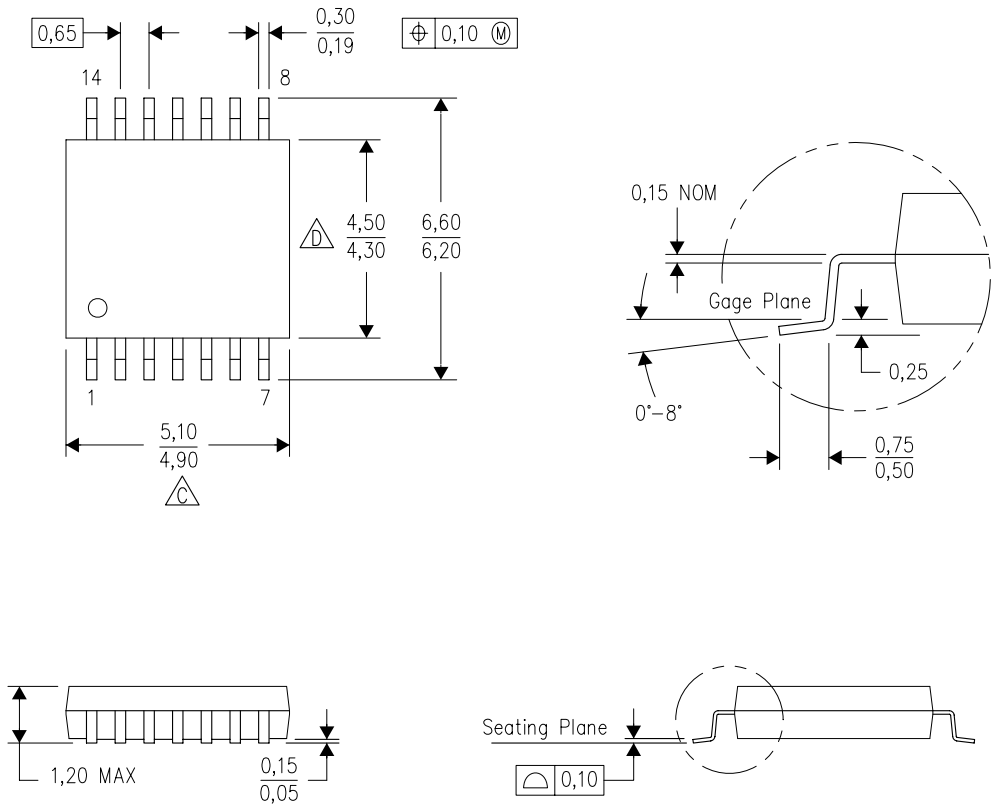
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



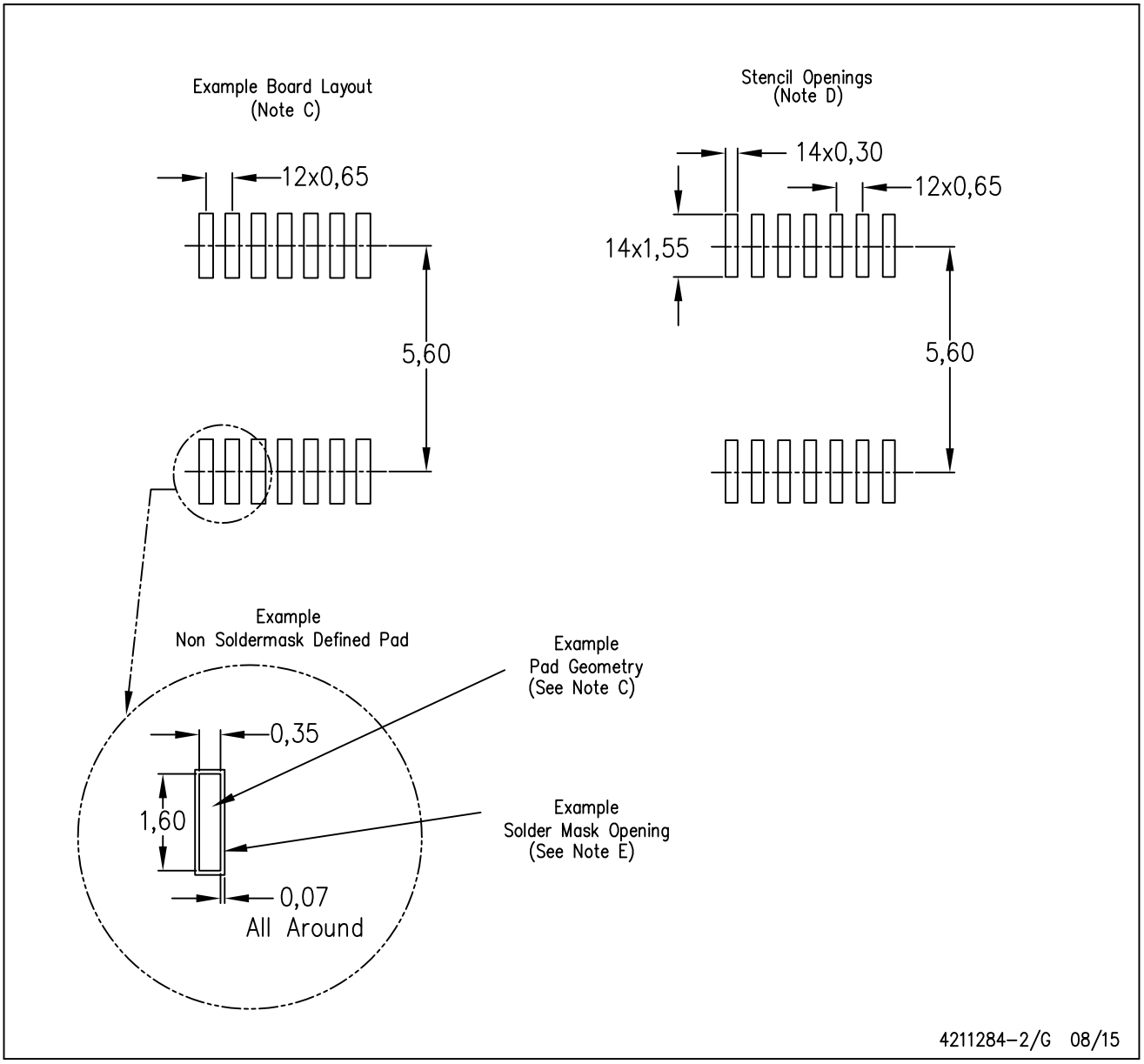
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE

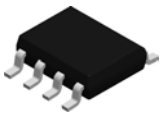


NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

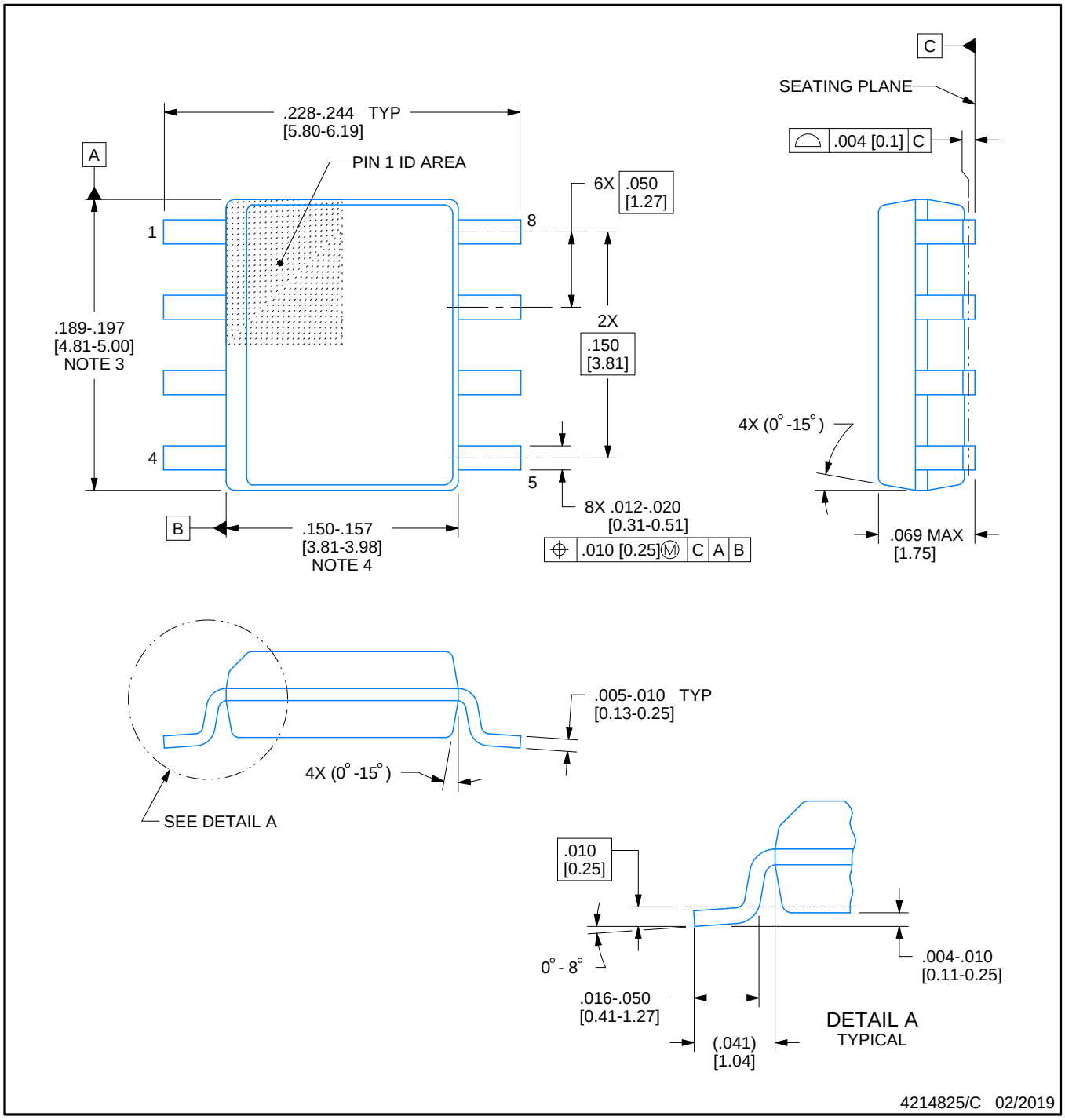


PACKAGE OUTLINE

D0008A

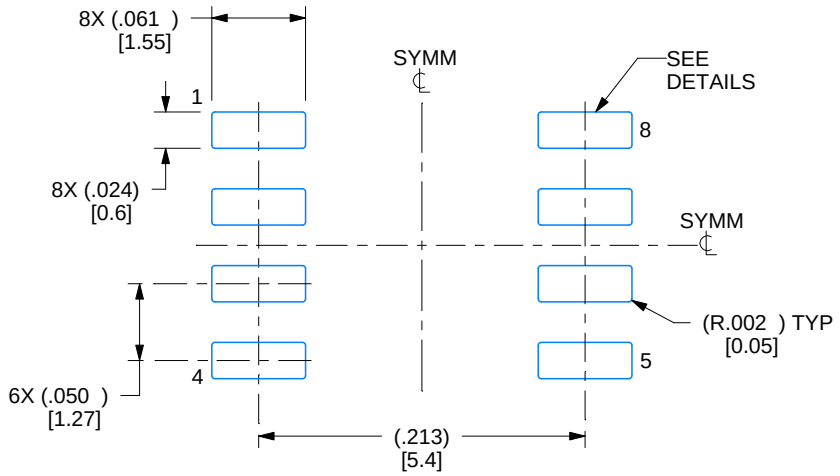
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

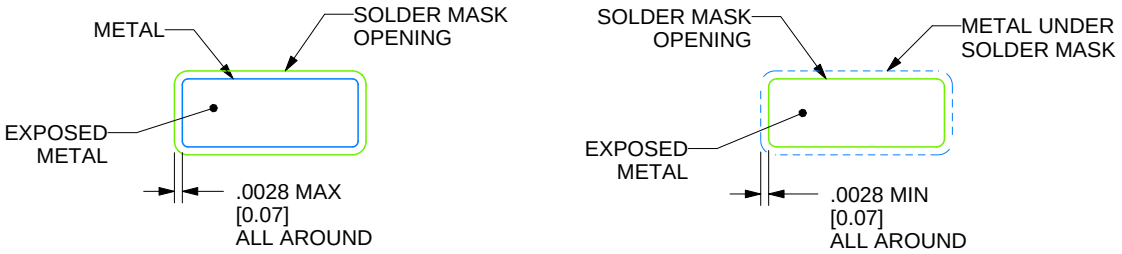


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

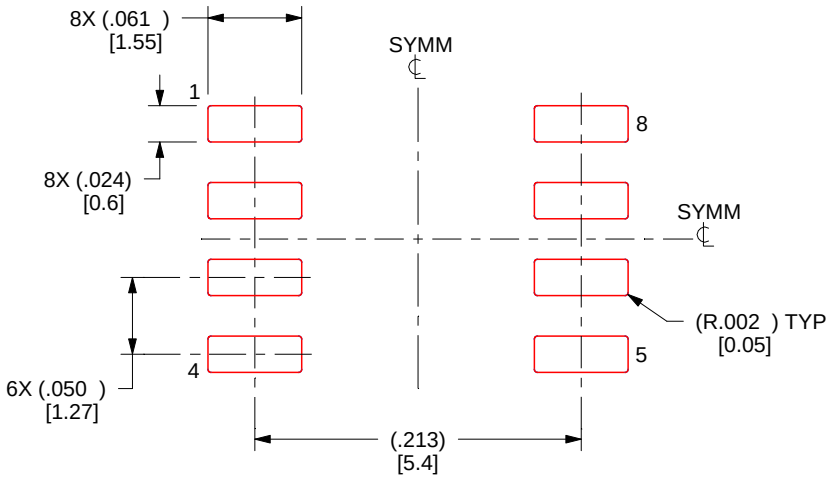


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

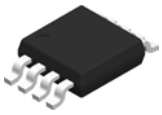
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

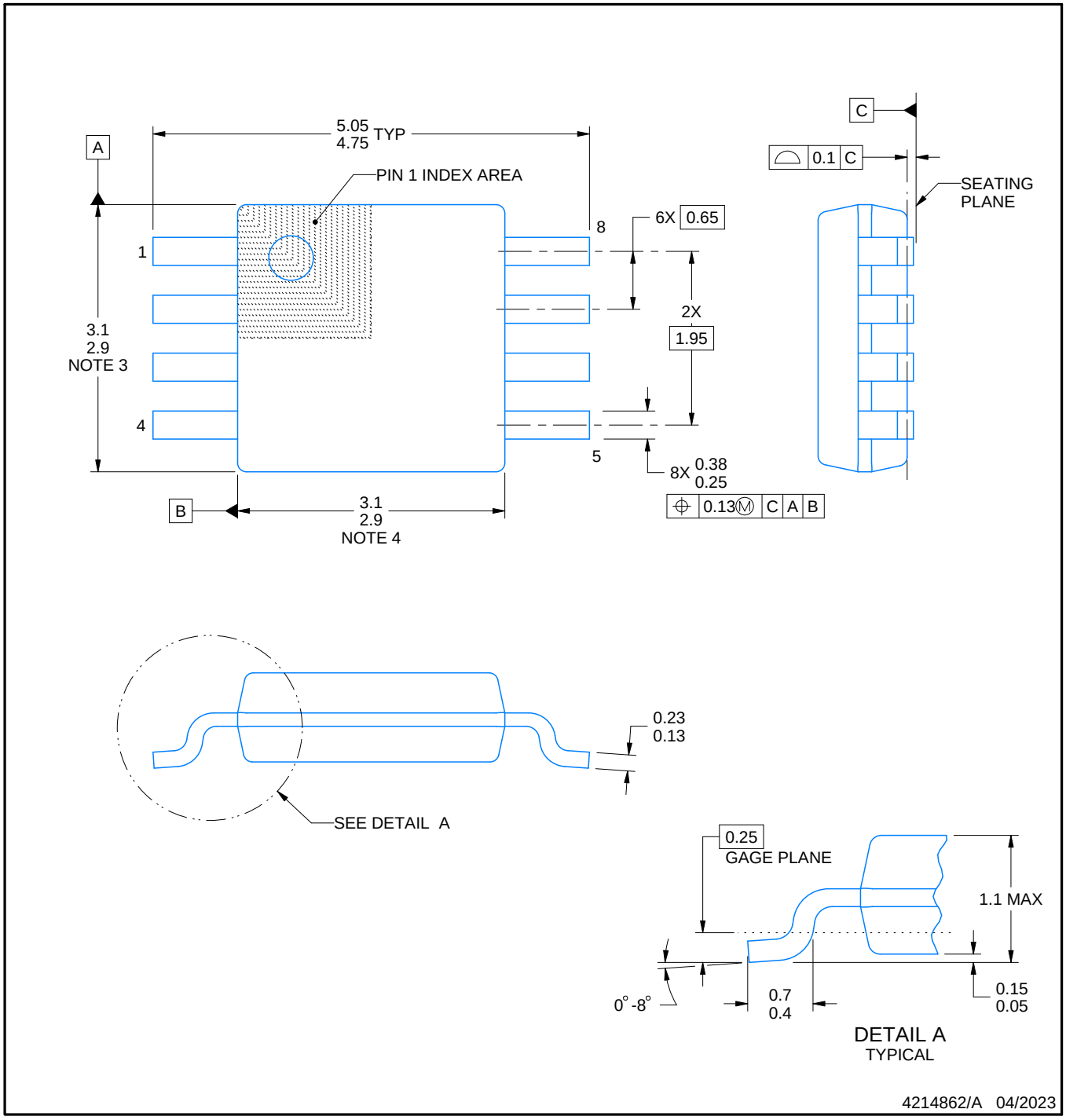
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

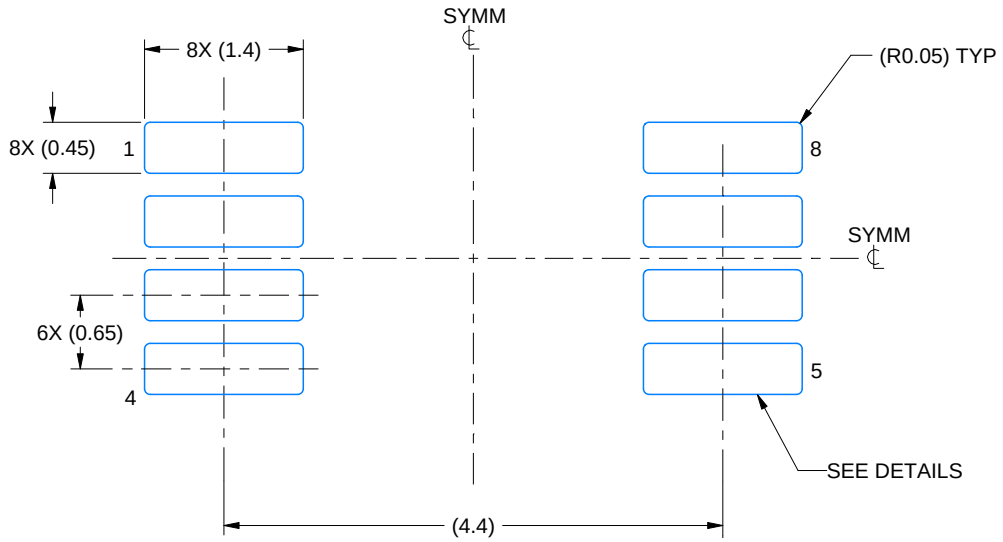
SMALL OUTLINE PACKAGE



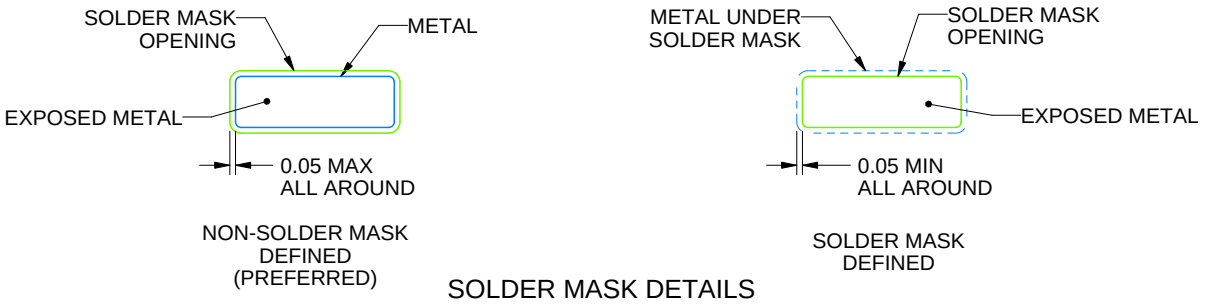
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

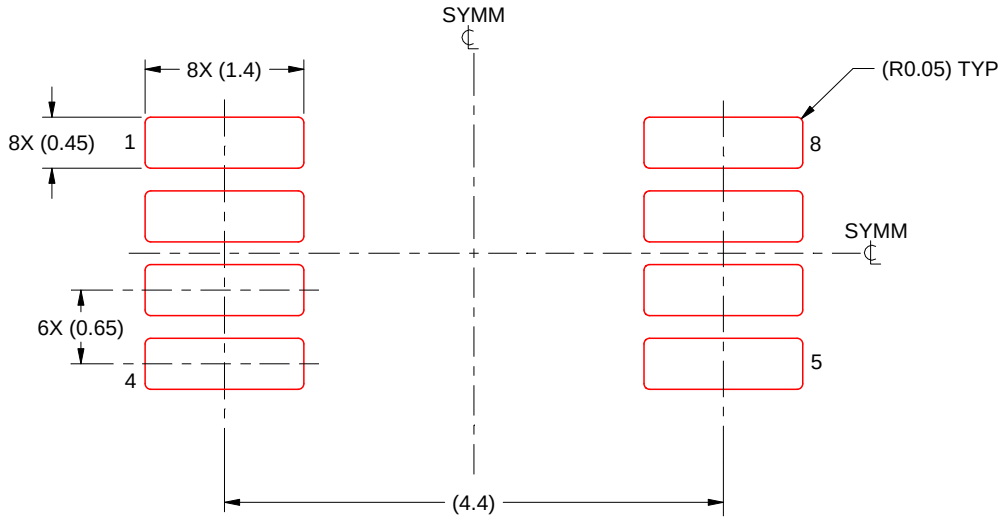


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated