

- 低電源電圧範囲：1.8 V ~ 3.6 V
- 超低消費電力：
 - アクティブ・モード：200 μ A (1 MHz、2.2 V)
 - スタンバイ・モード：0.7 μ A
 - オフ・モード (RAM データ保持)：0.1 μ A
- 5 つの消費電力節約モード
- スタンバイ・モードから 6 μ s 以下でウェークアップ
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- Basic Clock モジュール構成：
 - 色々な内部抵抗
 - 1 つの外部抵抗
 - 32 kHz クリスタル
 - 高周波数クリスタル
 - レゾネータ
 - 外部クロック源
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- アナログ信号コンペア機能又はスロープ A/D 変換のためのオン・チップ・コンパレータ
- シリアル・コミュニケーション・インタフェース (USARTO)
 - ソフトウェアにより非同期 UART 又は同期 SPI インタフェースを選択
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- ファミリー製品：
 - MSP430F122：4KB + 256B フラッシュ・メモリ、256B RAM
 - MSP430F123：8KB + 256B フラッシュ・メモリ、256B RAM
- 28 ピン プラスチック SOWB、28 ピン プラスチック TSSOP、及び 32 ピン QFN パッケージ
- モジュールの詳細は、MSP430x1xx ファミリー ユーザーズ・ガイド 資料番号 SLAU049 を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリーは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430F12x シリーズは、16 ビット タイマ及び 22 個の I/O 端子を内蔵した超低消費電力ミックスト・シグナル・マイクロコントローラです。MSP430F12x シリーズはまた、多用途アナログ・コンパレータだけでなく非同期 UART 及び同期 SPI プロトコルを使用したコミュニケーション機能も搭載しています。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、表示のため又はホスト・システムへの送信のためにデータを処理するセンサ・システムがあります。もう 1 つのアプリケーションの分野では、スタンド・アロン RF センサがあります。I/O ポート入力により、抵抗センサを用いたシングル・スロープ A/D 変換機能を提供します。

製品オプション

T _A	パッケージ・デバイス		
	プラスチック 28 ピン SOWB (DW)	プラスチック 28 ピン TSSOP (PW)	プラスチック 32 ピン QFN (RHB)
-40°C ~ 85°C	MSP430F122IDW MSP430F123IDW	MSP430F122IPW MSP430F123IPW	MSP430F122IRHB MSP430F123IRHB



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましても如何なる責任も負いません。



著作権 © 2005 日本テキサス・インスツルメンツ株式会社

1

SLAS312C 翻訳版

最新の英語版資料

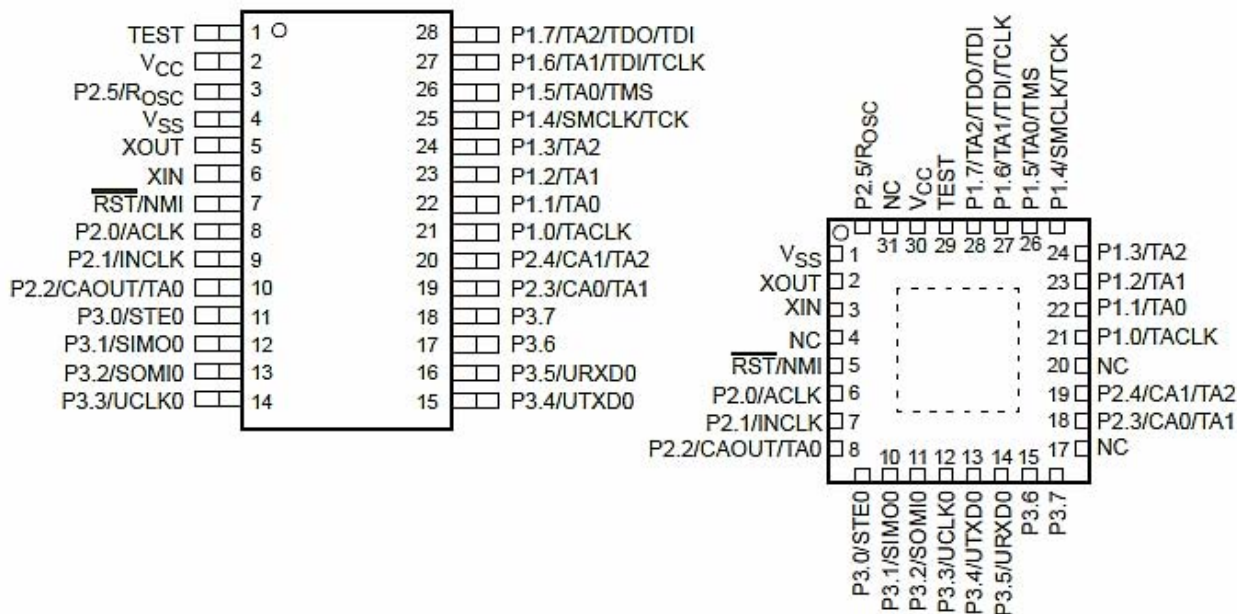
<http://focus.ti.com/lit/ds/symlink/msp430f122.pdf>

MSP430x12x
 ミックスド・シグナル・マイクロコントローラ

SLAS471 - 2005年6月

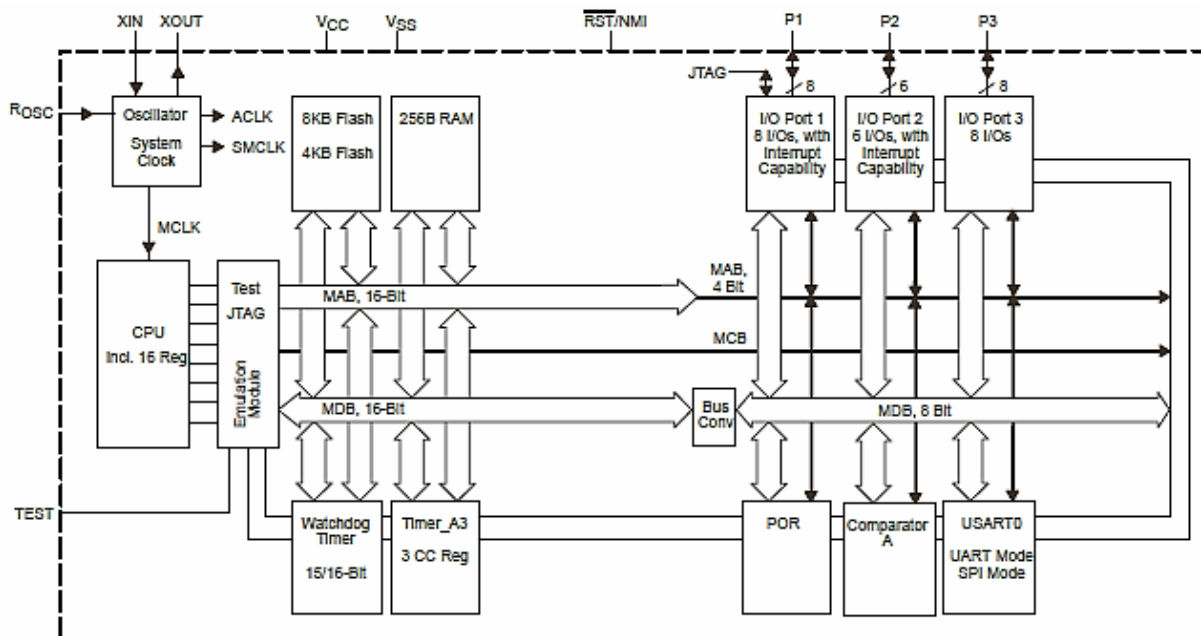
ピン配置、MSP430x12x

DW 又は PW パッケージ
 (上面図)



(注) NC 端子は内部で接続されていません。
 放熱パッドは V_{SS} に接続することを推奨します。

機能ブロック図



端子機能表

名 前	端 子			機 能
	DW、PW 番号	RHB 番号	I/O	
P1.0/TACLK	21	21	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	22	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	23	23	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	24	24	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	25	25	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	26	26	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	27	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	28	28	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK	8	6	I/O	汎用デジタル I/O / ACLK 出力
P2.1/INCLK	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号
P2.2/CAOUT/TA0	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信
P2.3/CA0/TA1	19	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力
P2.4/CA1/TA2	20	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力
P2.5/R _{osc}	3	32	I/O	汎用デジタル I/O / DCO 公称周波数を定める外部抵抗入力
P3.0/STEO	11	9	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード
P3.1/SIM00	12	10	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ入力 / マスタ出力
P3.2/SOMIO	13	11	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ出力 / マスタ入力
P3.3/UCLK0	14	12	I/O	汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード クロック入力
P3.4/UTXDO	15	13	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P3.5/URXDO	16	14	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P3.6	17	15	I/O	汎用デジタル I/O
P3.7	18	16	I/O	汎用デジタル I/O
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	29	I	ポート1 JTAG 端子のテスト・モードの選択入力
V _{cc}	2	30		電源電圧
V _{ss}	4	1		グラウンド基準
XIN	6	3	I	クリスタル・オシレータ入力
XOUT	5	2	O	クリスタル・オシレータ出力
NC		4、17、20、31		内部接続なし
QFN パッド	NA	パッケージ・パッド	NA	QFN パッケージのパッドは V _{ss} に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モードの記述

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェイクアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG (注 1) KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1, 4) OFIFG (注 1, 4) ACCVIFG (注 1, 4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
			0FFFAh	13
			0FFF8h	12
コンパレータ_A	CAIFG	マスク可能	0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
タイマ_A3	TACCRO CCIIFG (注 2)	マスク可能	0FFF2h	9
タイマ_A3	TACCR1 及び TACCR2 CCIIFG, TAIFG (注 1, 2)	マスク可能	0FFF0h	8
USART0 受信	URXIFGO	マスク可能	0FFEEh	7
USART0 送信	UTXIFGO	マスク可能	0FFEC h	6
			0FFEAh	5
			0FFE8h	4
I/O ポート P2 (8 つのフラグ、注 3)	P2IFG.0 ~ P2IFG.7 (注 1, 2)	マスク可能	0FFE6h	3
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1, 2)	マスク可能	0FFE4h	2
			0FFE2h	1
			0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

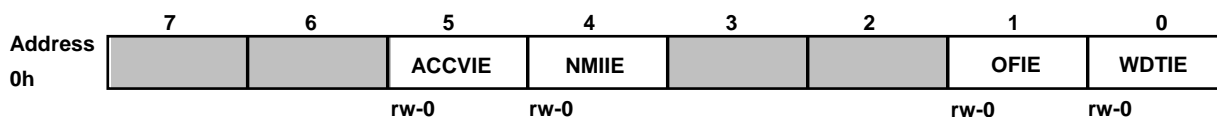
(注 3) ポート P2 割り込みフラグは 8 つありますが、`12x デバイスには 6 つのポート P2 I/O 端子(P2.0 ~ 5) しかありません。

(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタは、実際のデバイスにも内蔵されておりません。これによって、容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2



WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な (不可能な) 割り込みイネーブル

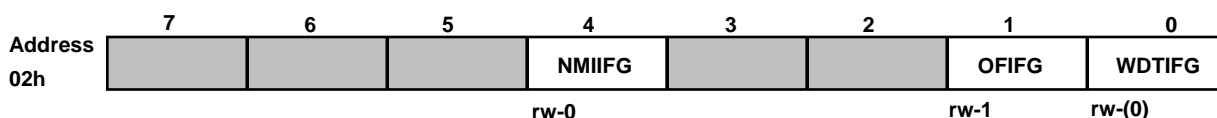
ACCVIE : フラッシュ・アクセス違反割り込みイネーブル



URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル

UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル

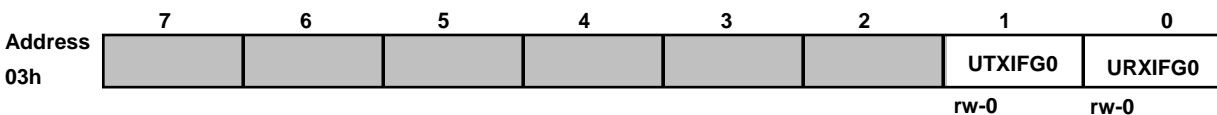
割り込みフラグ・レジスタ 1、2



WDTIFG : ウォッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード) 又はセキュリティ・キー違反でセットされます。
 V_{CC} パワー・アップ又はリセット・モードでの \overline{RST}/NMI 端子のリセット条件でリセットされます。

OFIFG : オシレータ障害でフラグがセットされます。

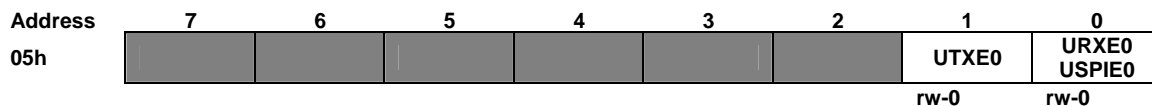
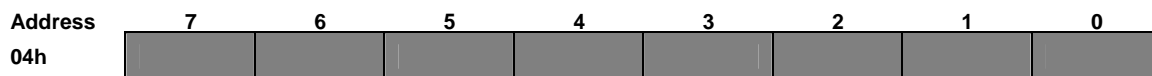
NMIIFG : \overline{RST}/NMI 端子でセットされます。



URXIFG0 : USART0 : UART 及び SPI 受信フラグ

UTXIFG0 : USART0 : UART 及び SPI 送信フラグ

モジュール・イネーブル・レジスタ 1、2



URXE0 : USART0 : UART 受信イネーブル
 UTXE0 : USART0 : UART 送信イネーブル
 USPIE0 : USART0 : SPI (同期式ペリフェラル・インタフェース) 送信及び受信イネーブル

説明 : rw : ビットは、読み出し及び書き込みをすることができます。
 rw-0, 1 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。
 rw-(0, 1) : ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。
 ■ デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F122	MSP430F123
メモリ	サイズ	4KB フラッシュ	8KB フラッシュ
メイン: 割り込みベクタ	フラッシュ	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
メイン: コード・メモリ	フラッシュ	0FFFFh - 0F000h	0FFFFh - 0E000h
情報メモリ	サイズ	256 バイト	256 バイト
	フラッシュ	010FFh - 01000h	010FFh - 01000h
起動メモリ	サイズ	1KB	1KB
	ROM	0FFFh - 0C00h	0FFFh - 0C00h
RAM	サイズ	256 バイト	256 バイト
		02FFh - 0200h	02FFh - 0200h
ペリフェラル	16 ビット	01FFh - 0100h	01FFh - 0100h
	8 ビット	0FFh - 010h	0FFh - 010h
	8 ビット SFR	0Fh - 00h	0Fh - 00h

ブートストラップ・ローダ (BSL)

MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 "Features of the MSP430 Bootstrap Loader"* (資料番号 SLAA089) を参照して下さい。

BSL 機能	DW, PW パッケージ端子	RHB パッケージ端子
データ送信	22 - P1.1	22 - P1.1
データ受信	10 - P2.2	8 - P2.2

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 セグメントのそれぞれ 128 バイトの情報メモリ (A 及び B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A 及び B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A 及び B は、*情報メモリ*とも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx ファミリー ユーザーズ・ガイド* 資料番号 SLAU049 を参照して下さい。

オシレータ及びシステム・クロック

クロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータのサポートを含む basic clock モジュールで構成されています。basic clock モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。basic clock モジュールは次のクロック信号を提供します:

- 補助クロック (ACLK): 32768 Hz の時計用クリスタル又は高周波数クリスタルから供給
- メイン・クロック (MCLK): CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK): ペリフェラル・モジュールによって使用されるサブ・システム・クロック

デジタル I/O

3 つの 8 ビット I/O ポート内蔵: ポート P1、P2、及び P3 (外部端子には 6 つの P2 I/O 信号のみが使用できます。)

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 の 6 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

(注)

ポート P2 の P2.0 ~ P2.5 の 6 ビットは、外部端子で使用できます。しかし、すべての制御及びデータ・ビットはポート P2 に内蔵されています。ポート P3 には割り込み機能はありません。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生させることができます。

USART0

MSP430x12x デバイスは、シリアル・データ通信のために使用される 1 つのハードウェア USART パリフェラル・モジュール (USART0) を持っています。USART は、同期式 SPI (3 又は 4 ピン) 及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャンネルを使用します。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続							
入力端子番号		デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
DW、PW	RHB					DW、PW	RHB
21 - P1.0	21 - P1.0	TACLK	TACLK	タイマ	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
9 - P2.1	7 - P2.1	INCLK	INCLK				
22 - P1.1	22 - P1.1	TA0	CCIOA	CCR0	TA0	22 - P1.1	22 - P1.1
10 - P2.2	8 - P2.2	TA0	CCIOB			26 - P1.5	26 - P1.5
		DV _{ss}	GND				
		DV _{cc}	V _{cc}				
23 - P1.2	23 - P1.2	TA1	CCI1A	CCR1	TA1	19 - P2.3	18 - P2.3
		CAOUT (内部)	CCI1B			23 - P1.2	23 - P1.2
		DV _{ss}	GND			27 - P1.6	27 - P1.6
		DV _{cc}	V _{cc}				
24 - P1.3	24 - P1.3	TA2	CCI2A	CCR2	TA2	20 - P2.4	19 - P2.4
		ACLK (内部)	CCI2B			24 - P1.3	24 - P1.3
		DV _{ss}	GND			28 - P1.7	28 - P1.7
		DV _{cc}	V _{cc}				

コンパレータ_A

コンパレータ_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
タイマ_A	予約されています		017Eh
	予約されています		017Ch
	予約されています		017Ah
	予約されています		0178h
	キャプチャ/コンペア・レジスタ	TACCR2	0176h
	キャプチャ/コンペア・レジスタ	TACCR1	0174h
	キャプチャ/コンペア・レジスタ	TACCRO	0172h
	タイマ_A レジスタ	TAR	0170h
	予約されています		016Eh
	予約されています		016Ch
	予約されています		016Ah
	予約されています		0168h
	キャプチャ/コンペア制御	TACCTL2	0166h
	キャプチャ/コンペア制御	TACCTL1	0164h
	キャプチャ/コンペア制御	TACCTL0	0162h
	タイマ_A 制御	TACTL	0160h
タイマ_A 割り込みベクタ	TAIV	012Eh	
フラッシュ・メモリ	フラッシュ制御 3	FCTL3	012Ch
	フラッシュ制御 2	FCTL2	012Ah
	フラッシュ制御 1	FCTL1	0128h
ウォッチドッグ	ウォッチドッグ/タイマ制御	WDTCTL	0120h
バイト・アクセスによるペリフェラル			
USART0	送信バッファ	UOTXBUF	077h
	受信バッファ	UORXBUF	076h
	ボー・レート	UOBR1	075h
	ボー・レート	UOBRO	074h
	変調制御	UOMCTL	073h
	受信制御	UORCTL	072h
	送信制御	UOTCTL	071h
	USART制御	UOCTL	070h
	コンパレータ_A	コンパレータ_A ポート ディスエーブル	CAPD
コンパレータ_A 制御 2		CACTL2	05Ah
コンパレータ_A 制御 1		CACTL1	059h
Basic Clock	Basic clock システム制御 2	BCSCTL2	058h
	Basic clock システム制御 1	BCSCTL1	057h
	DCO クロック周波数制御	DCOCTL	056h
Port P3	ポート P3 選択	P3SEL	01Bh
	ポート P3 方向	P3DIR	01Ah
	ポート P3 出力	P3OUT	019h
	ポート P3 入力	P3IN	018h
ポート P3	ポート P2 選択	P2SEL	02Eh
	ポート P2 割り込みイネーブル	P2IE	02Dh
	ポート P2 割り込みエッジ選択	P2IES	02Ch
	ポート P2 割り込みフラグ	P2IFG	02Bh
	ポート P2 方向	P2DIR	02Ah
	ポート P2 出力	P2OUT	029h
	ポート P2 入力	P2IN	028h
ポート P1	ポート P1 選択	P1SEL	026h
	ポート P1 割り込みイネーブル	P1IE	025h
	ポート P1 割り込みエッジ選択	P1IES	024h
	ポート P1 割り込みフラグ	P1IFG	023h
	ポート P1 方向	P1DIR	022h
	ポート P1 出力	P1OUT	021h
	ポート P1 入力	P1IN	020h

ペリフェラル・ファイル・マップ

バイト・アクセスによるペリフェラル (続き)			
スペシャル・ファンクション	モジュール・イネーブル 2	ME2	005h
	モジュール・イネーブル 1	ME1	004h
	SFR 割り込み フラグ 2	IFG2	003h
	SFR 割り込み フラグ 1	IFG1	002h
	SFR 割り込み イネーブル 2	IE2	001h
	SFR 割り込み イネーブル 1	IE1	000h

絶対最大定格 (特記無き場合) †

印加電圧 ($V_{CC} \sim V_{SS}$ 間)		-0.3 ~ 4.1	V
印加電圧 (全端子) (注 1)		-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)		± 2	mA
保存温度範囲	未プログラムのデバイス	T_{stg}	-55 ~ 150
保存温度範囲	プログラム済みデバイス	T_{stg}	-40 ~ 85

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

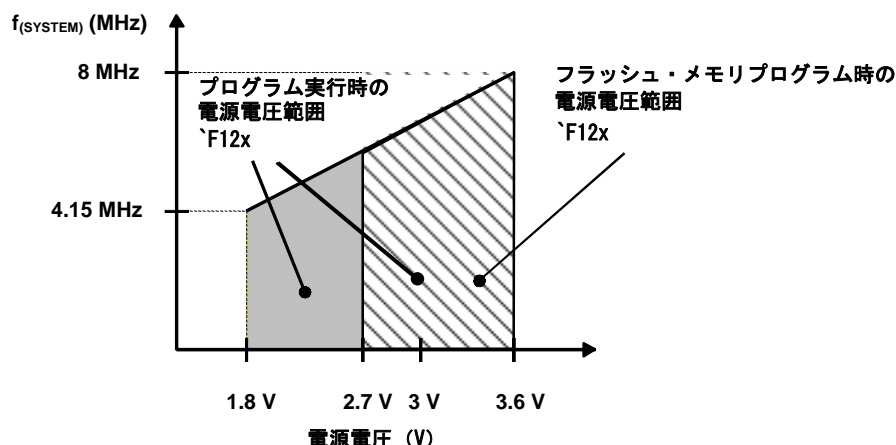
(注 1) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

推奨動作条件

項 目		最小	標準	最大	単位
電源電圧 (プログラム実行時)、 V_{CC} (注 1)		1.8		3.6	V
電源電圧 (フラッシュ・メモリ プログラム/消去時)、 V_{CC}		2.7		3.6	V
電源電圧、 V_{SS}			0		V
動作周囲温度、 T_A		-40		85	°C
LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 1、2)	LF モード選択時、XTS = 0	時計用クリスタル		32768	kHz
	XT1 モード選択時、XTS = 1	セラミック・レゾネータ		450 ~ 8000	
		クリスタル		1000 ~ 8000	
プロセッサ周波数 $f_{(SYSTEM)}$ (MCLK 信号)		$V_{CC} = 1.8$ V	dc	4.15	MHz
		$V_{CC} = 3.6$ V	dc	8	

(注 1) $V_{CC} < 2.5$ V の時、LF モードの LFXT1 オシレータには、 $XOUT \sim V_{SS}$ 間に 5.1 M Ω の抵抗が必要です。 $V_{CC} \geq 2.2$ V の時、XT1 モードの LFXT1 オシレータには 4 MHz のセラミック・レゾネータ又はクリスタルが使用できます。 $V_{CC} \geq 2.8$ V の時、XT1 モードの LFXT1 オシレータには 8 MHz のセラミック・レゾネータ又はクリスタルが使用できます。

(注 2) LF モードの LFXT1 オシレータには時計用クリスタルが必要です。XT1 モードの LFXT1 オシレータにはセラミック・レゾネータ又はクリスタルが使用できます。



(注) 最小プロセッサ周波数は、システム・クロックにより決まります。フラッシュ・メモリのプログラム又は消去には 2.7 V の最小 V_{CC} が必要です。

図 1. 電源電圧対周波数、MSP430F12x

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

電源電流 (V_{CC}) (外部電流を除く)

項 目		測定条件		最小	標準	最大	単位
$I_{(AM)}$	アクティブ・モード	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = 1\text{ MHz}$ 、 $f_{(ACLK)} = 32,768\text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2\text{ V}$	200	250	μA	
			$V_{CC} = 3\text{ V}$	300	350		
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = f_{(ACLK)} = 4096\text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2\text{ V}$	3	5		
			$V_{CC} = 3\text{ V}$	11	18		
$I_{(CPUOFF)}$	ロー・パワー・モード (LPM0)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = 0\text{ Hz}$ 、 $f_{(SMCLK)} = 1\text{ MHz}$ 、 $f_{(ACLK)} = 32,768\text{ Hz}$	$V_{CC} = 2.2\text{ V}$	32	45	μA	
			$V_{CC} = 3\text{ V}$	55	70		
$I_{(LPM2)}$	ロー・パワー・モード (LPM2)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = 0\text{ MHz}$ 、 $f_{(ACLK)} = 32,768\text{ Hz}$ 、 $SCGO = 0$	$V_{CC} = 2.2\text{ V}$	11	14	μA	
			$V_{CC} = 3\text{ V}$	17	22		
$I_{(LPM3)}$	ロー・パワー・モード (LPM3)	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$ $T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.8	1.2	μA	
				0.7	1		
				1.6	2.3		
			$V_{CC} = 3\text{ V}$	1.8	2.2		
				1.6	1.9		
				2.3	3.4		
$I_{(LPM4)}$	ロー・パワー・モード (LPM4)	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}/3\text{ V}$	0.1	0.5	μA	
				0.1	0.5		
				0.8	1.9		

(注) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

アクティブ・モードのシステム周波数 対 消費電流

$$I_{AM} = I_{AM [1\text{ MHz}]} \times f_{\text{system}} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流

$$I_{AM} = I_{AM [3\text{ V}]} + 120\ \mu\text{A/V} \times (V_{CC} - 3\text{ V})$$

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

シュミット・トリガ入力 - ポート P1 ~ P3 (P1.0 ~ P1.7, P2.0 ~ P2.5, P3.0 ~ P3.7)

項	目	V _{CC}	最小	標準	最大	単位
V _{IT+}	立ち上がり入力スレッシュホールド電圧	2.2 V	1.1		1.5	V
		3 V	1.5		1.9	
V _{IT-}	立ち下がり入力スレッシュホールド電圧	2.2 V	0.4		0.9	V
		3 V	0.9		1.3	
V _{hys}	入力電圧ヒステリシス (V _{IT+} - V _{IT-})	2.2 V	0.3		1.1	V
		3 V	0.5		1	

標準入力 - $\overline{\text{RST/NMI}}$, TEST ; JTAG : TCK, TMS, TDI/TCLK

項	目	V _{CC}	最小	標準	最大	単位
V _{IL}	ロー・レベル入力電圧	2.2 V / 3 V	V _{SS}		V _{SS} + 0.6	V
V _{IH}	ハイ・レベル入力電圧		0.8 x V _{CC}		V _{CC}	V

入力 P_{x.x}, TA_x

項	目	測定条件	V _{CC}	最小	標準	最大	単位
t _(int)	外部割り込みタイミング	ポート P1, P2: P1.x ~ P2.x, 割り込みフラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
			2.2 V	62			ns
			3 V	50			
t _(cap)	タイマ_A キャプチャ・タイミ ング	TA0, TA1, TA2	2.2 V	62			ns
			3 V	50			
f _(TAext)	外部から印加するタイマ_A ク ロック周波数	TACLK, INCLK: t _(H) = t _(L)	2.2 V			8	MHz
			3 V			10	
f _(TAint)	タイマ_A クロック周波数	SMCLK 又は ACLK 信号選択時	2.2 V			8	MHz
			3 V			10	

(注 1) 外部信号は、最小 t_(int) サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が t_(int) より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。t_(int) は MCLK サイクルで測定します。

リーク電流 (注 1、2)

項	目	測定条件	V _{CC}	最小	標準	最大	単位
I _{lkg(Px.x)}	ハイ・インピーダンス リーク電流	ポート P1: P1.x, 0 ≤ x ≤ 7	2.2 V/3 V			±50	nA
		ポート P2: P2.x, 0 ≤ x ≤ 5				±50	

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1 ~ P3 (P1.0 ~ P1.7, P2.0 ~ P2.5, P3.0 ~ P3.7)

項 目		測定条件		最小	標準	最大	単位
V_{OH}	ハイ・レベル出力電圧	$I_{(OHmax)} = -1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	$V_{CC} - 0.25$	V_{CC}	V
		$I_{(OHmax)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$	V_{CC}	
		$I_{(OHmax)} = -1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	$V_{CC} - 0.25$	V_{CC}	
		$I_{(OHmax)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$	V_{CC}	
V_{OL}	ロー・レベル出力電圧	$I_{(OLmax)} = 1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	V_{SS}	$V_{SS} + 0.25$	V
		$I_{(OLmax)} = 6 \text{ mA}$		(注 2)	V_{SS}	$V_{SS} + 0.6$	
		$I_{(OLmax)} = 1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	V_{SS}	$V_{SS} + 0.25$	
		$I_{(OLmax)} = 6 \text{ mA}$		(注 2)	V_{SS}	$V_{SS} + 0.6$	

(注 1) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 12 \text{ mA}$ を越えてはいけません。

(注 2) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 48 \text{ mA}$ を越えてはいけません。

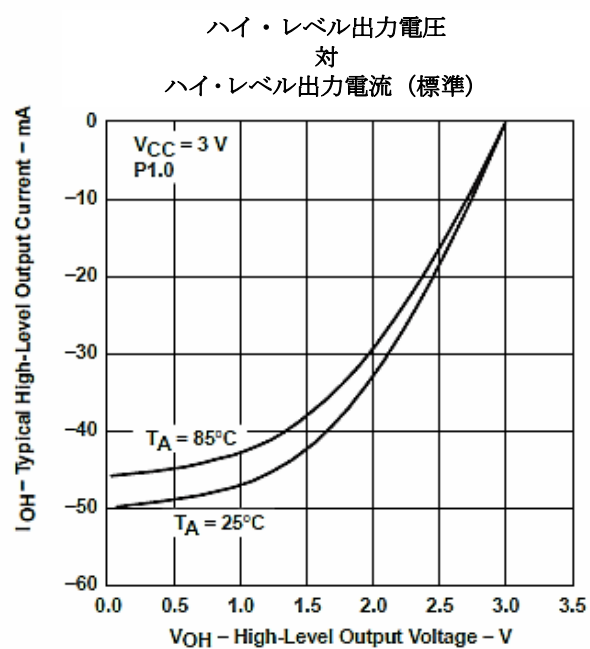
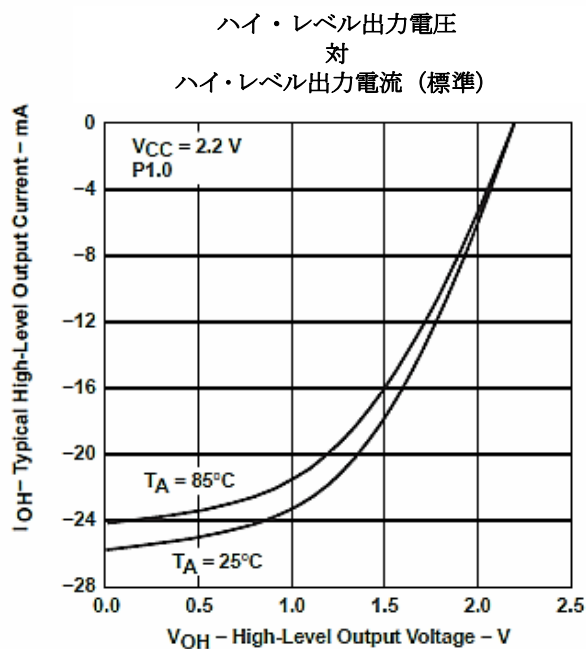
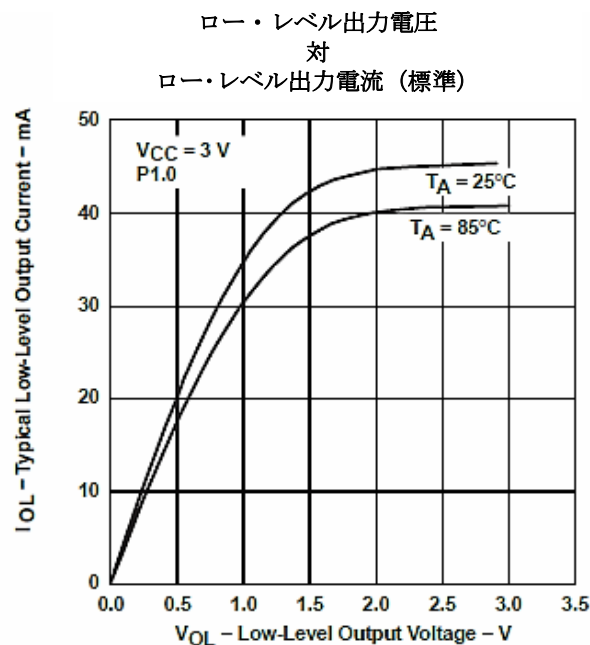
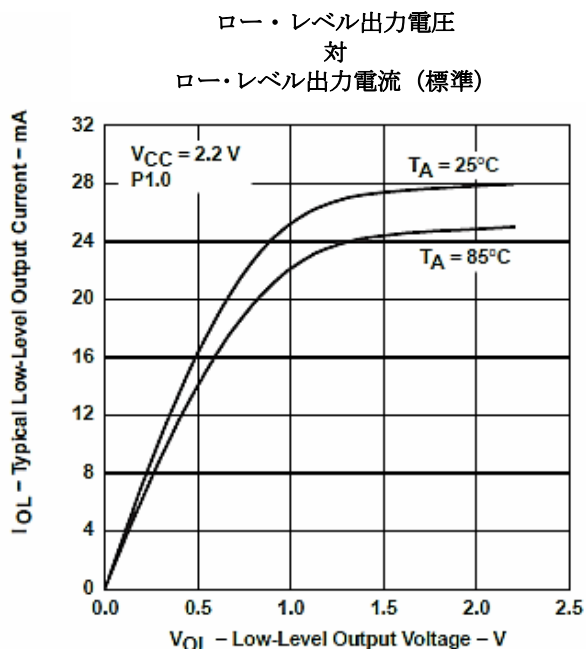
出力 - P1.x, P2.x, P3.x, TA_x

項 目		測定条件		V_{CC}	最小	標準	最大	単位
$f_{(P20)}$	出力周波数	P2.0/ACLK、 $C_L = 20 \text{ pF}$		2.2 V/3 V	f_{System}			MHz
$f_{(TAx)}$		TA0, TA1, TA2、 $C_L = 20 \text{ pF}$ 、 内部クロック・ソース、SMCLK 信号印加 (注 1)			dc	f_{System}		
$t_{(Xdc)}$	出力周波数デューティ比	P1.4/SMCLK、 $C_L = 20 \text{ pF}$	$f_{SMCLK} = f_{LFXT1} = f_{XT1}$	2.2 V/3 V	40%	60%		
			$f_{SMCLK} = f_{LFXT1} = f_{LF}$		35%	65%		
			$f_{SMCLK} = f_{LFXT1/n}$	50% - 15 ns	50%	50% + 15 ns		
			$f_{SMCLK} = f_{DCOCLK}$	2.2 V/3 V	50% - 15 ns	50%	50% + 15 ns	
$t_{(TAdc)}$	デューティ比 = 50%	TA0, TA1, TA2、 $C_L = 20 \text{ pF}$ 、 デューティ比 = 50%	$f_{P20} = f_{LFXT1} = f_{XT1}$	2.2 V/3 V	40%	60%		ns
			$f_{P20} = f_{LFXT1} = f_{LF}$		30%	70%		
			$f_{P20} = f_{LFXT1/n}$	50%				

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1、P2、及び P3 (続き)



(注) 同時に 1 出力のみ負荷をかけます。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

USART（注 1）

項 目	測定条件	最小	標準	最大	単位
$t_{(\tau)}$ USART : デグリッチ時間	$V_{CC} = 2.2 \text{ V}$	200	430	800	ns
	$V_{CC} = 3 \text{ V}$	150	280	500	

(注 1) USART 受信信号/端子 (URXD) に印加される信号は、URXS フリップ・フロップがセットされることを保証するために、タイミング $t_{(\tau)}$ の要求を満たしていなければなりません。URXS フリップ・フロップは、 $t_{(\tau)}$ の最小タイミング条件に合致した反転パルスによってセットされます。フラグをセットするための動作条件は、このタイミング制限とは別に満たさなければなりません。デグリッチ回路は、URXD ライン上の立ち下がりでのみアクティブになります。

ロー・パワー・モードからのウェーク・アップ (LPMx)

項 目	測定条件	最小	標準	最大	単位	
$t_{(LPM0)}$	遅延時間 (注 1)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$		100	ns	
$t_{(LPM2)}$		$V_{CC} = 2.2 \text{ V}/3 \text{ V}$		100		
$t_{(LPM3)}$		$f_{(MCLK)} = 1 \text{ MHz}$, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	μs
		$f_{(MCLK)} = 2 \text{ MHz}$, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	
		$f_{(MCLK)} = 3 \text{ MHz}$, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	
$t_{(LPM4)}$		$f_{(MCLK)} = 1 \text{ MHz}$, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	μs
		$f_{(MCLK)} = 2 \text{ MHz}$, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	
		$f_{(MCLK)} = 3 \text{ MHz}$, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$			6	

(注 1) このパラメータは、DCOCLK が MCLK として使用される場合のみに適用します。

RAM

項 目	最小	標準	最大	単位
$V_{(RAM)}$ CPU 停止 (HALT) 時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

コンパレータ_A (注 1)

項目	測定条件	最小	標準	最大	単位	
$I_{(DD)}$	CAON = 1、CARSEL = 0、CAREF = 0	$V_{CC} = 2.2 \text{ V}$	25	40	μA	
		$V_{CC} = 3 \text{ V}$	45	60		
$I_{(\text{RefLadder/RefDiode})}$	CAON = 1、CARSEL = 0、 CAREF = 1/2/3、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	$V_{CC} = 2.2 \text{ V}$	30	50	μA	
		$V_{CC} = 3 \text{ V}$	45	71		
$V_{(IC)}$ 同相入力電圧	CAON = 1	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$		0	$V_{CC} - 1$	V
$V_{(\text{Ref}025)}$	$\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$ PCAO = 1、CARSEL = 1、 CAREF = 1、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.23	0.24	0.25	
$V_{(\text{Ref}050)}$	$\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$ PCAO = 1、CARSEL = 1、CAREF = 2、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.47	0.48	0.5	
$V_{(\text{Ref}VT)}$ (図 6、7 参照)	PCAO = 1、CARSEL = 1、CAREF = 3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷、 $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	390	480	540	mV
		$V_{CC} = 3 \text{ V}$	400	490	550	
$V_{(\text{offset})}$ オフセット電圧	(注 2)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	-30		30	mV
V_{hys} 入力ヒステリシス	CAON = 1	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	0.7	1.4	mV
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	160	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	

(注 1) コンパレータ_A 端子のリーク電流は、 $I_{\text{lk}(P_{x,x})}$ 規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

代表特性

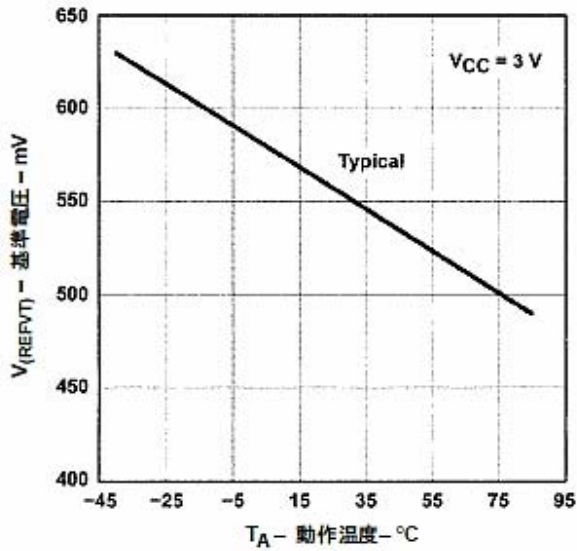


図 6. 温度対 $V_{(REFVT)}$ 、 $V_{CC} = 3V$

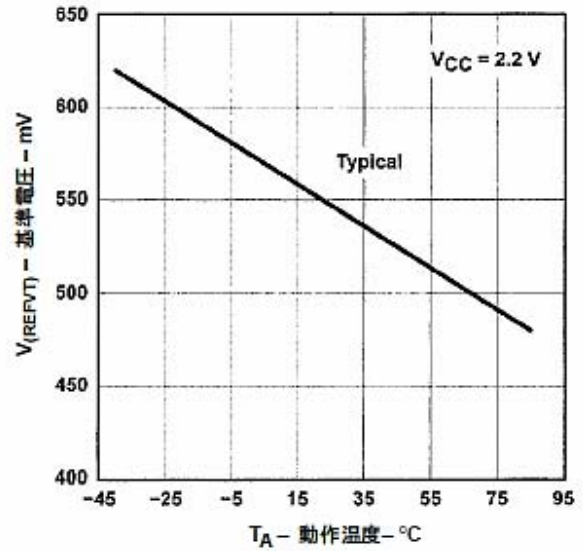


図 7. 温度対 $V_{(REFVT)}$ 、 $V_{CC} = 2.2V$

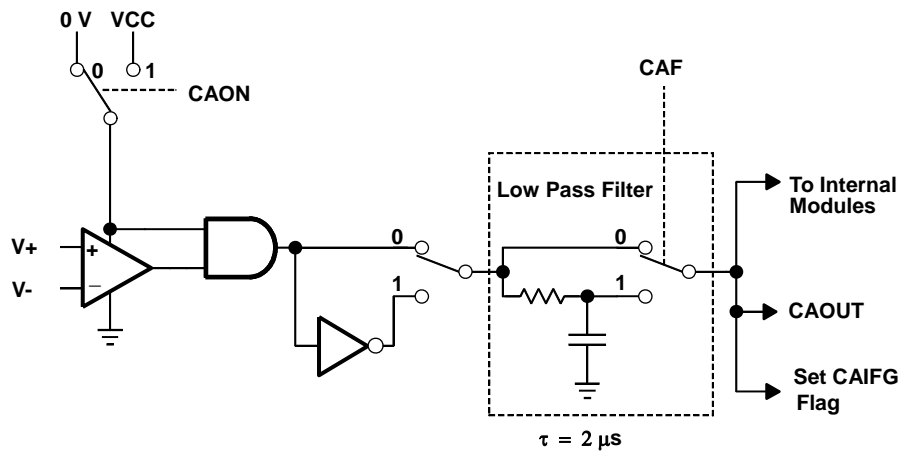


図 8. コンパレータ_A モジュール ブロック図

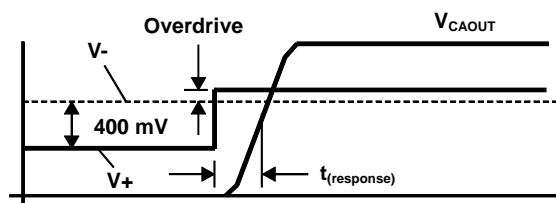


図 9. オーバードライブの定義

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

PUC/POR

項目	測定条件	最小	標準	最大	単位	
$t_{(POR_Delay)}$	POR を解除する内部遅延時間		150	250	μs	
V_{POR}	POR 解除遅延時間が始まる V_{CC} スレッシュホールド (注 1)	$T_A = -40^\circ C$		1.4	1.8	V
		$T_A = 25^\circ C$		1.1	1.5	
		$T_A = 85^\circ C$		0.8	1.2	
$V_{(min)}$	POR を生成するために必要な V_{CC} スレッシュホールド (注 2)	$V_{CC} dV/dt \geq 1V/ms$		0.2	V	
$t_{(reset)}$	PUC/POR のための \overline{RST}/NMI ロー・レベル時間	リセットは内部で受け付けられます。		2	μs	

(注 1) V_{CC} 立ち上がり時間 $dV/dt \geq 1 V/ms$

(注 2) POR 条件を発生させるため V_{CC} をロー・レベルにする場合は、 V_{CC} は $dV/dt \leq -1 V/ms$ で 200 mV 以下にしなければなりません。一方、立ち上がり V_{CC} は $dV/dt \geq +1 V/ms$ にしなければなりません。

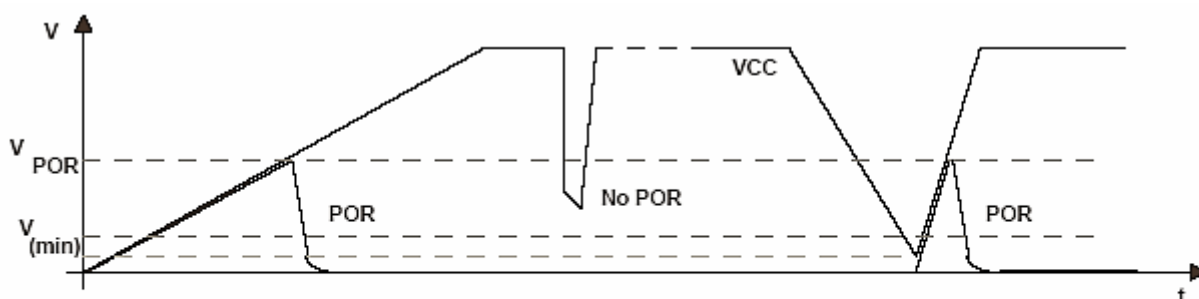


図 10. 電源電圧対パワー・オン・リセット (POR)

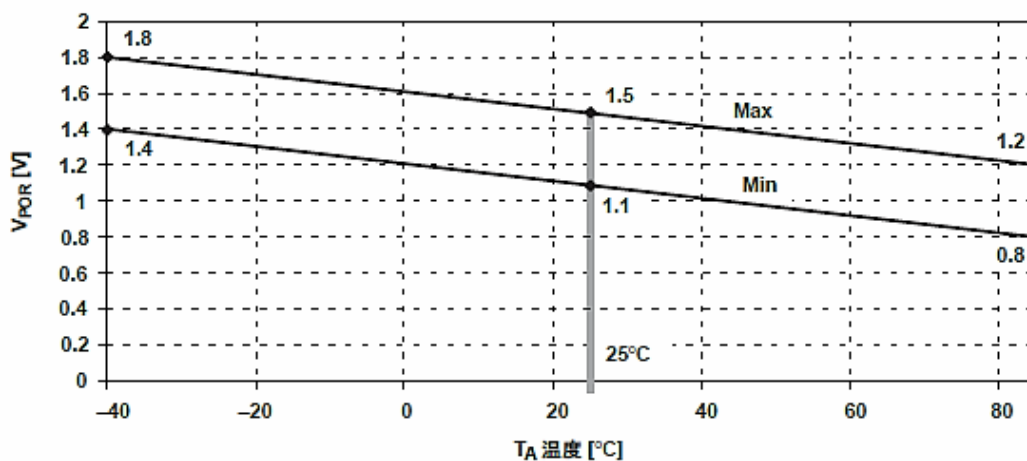


図 11. 温度対 V_{POR}

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

DCO

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _(DC003)	R _{sel} = 0、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	0.08	0.12	0.15	MHz
		3 V	0.08	0.13	0.16	
f _(DC013)	R _{sel} = 1、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	0.14	0.19	0.23	MHz
		3 V	0.14	0.18	0.22	
f _(DC023)	R _{sel} = 2、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	0.22	0.3	0.36	MHz
		3 V	0.22	0.28	0.34	
f _(DC033)	R _{sel} = 3、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	0.37	0.49	0.59	MHz
		3 V	0.37	0.47	0.56	
f _(DC043)	R _{sel} = 4、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	0.61	0.77	0.93	MHz
		3 V	0.61	0.75	0.9	
f _(DC053)	R _{sel} = 5、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	1	1.2	1.5	MHz
		3 V	1	1.3	1.5	
f _(DC063)	R _{sel} = 6、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	1.6	1.9	2.2	MHz
		3 V	1.69	2	2.29	
f _(DC073)	R _{sel} = 7、DCO = 3、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	2.4	2.9	3.4	MHz
		3 V	2.7	3.2	3.65	
f _(DC077)	R _{sel} = 7、DCO = 7、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V	4	4.5	4.9	MHz
		3 V	4.4	4.9	5.4	
f _(DC047)	R _{sel} = 4、DCO = 7、MOD = 0、DCOR = 0、T _A = 25°C	2.2 V/3 V	f _{DC040} x 1.7	f _{DC040} x 2.1	f _{DC040} x 2.5	MHz
S _(Rsel)	S _R = f _{Rsel+1} / f _{Rsel}	2.2 V/3 V	1.35	1.65	2	
S _(DCO)	S _{DCO} = f _{DCO+1} / f _{DCO}	2.2 V/3 V	1.07	1.12	1.16	
D _t	温度ドリフト、R _{sel} = 4、DCO = 3、MOD = 0 (注 1)	2.2 V	-0.31	-0.36	-0.4	%/°C
		3 V	-0.33	-0.38	-0.43	
D _v	V _{CC} 変動によるドリフト、R _{sel} = 4、DCO = 3、MOD = 0 (注 1)	2.2 V/3 V	0	5	10	%/V

(注 1) これらのパラメータは、量産テストは実施していません。

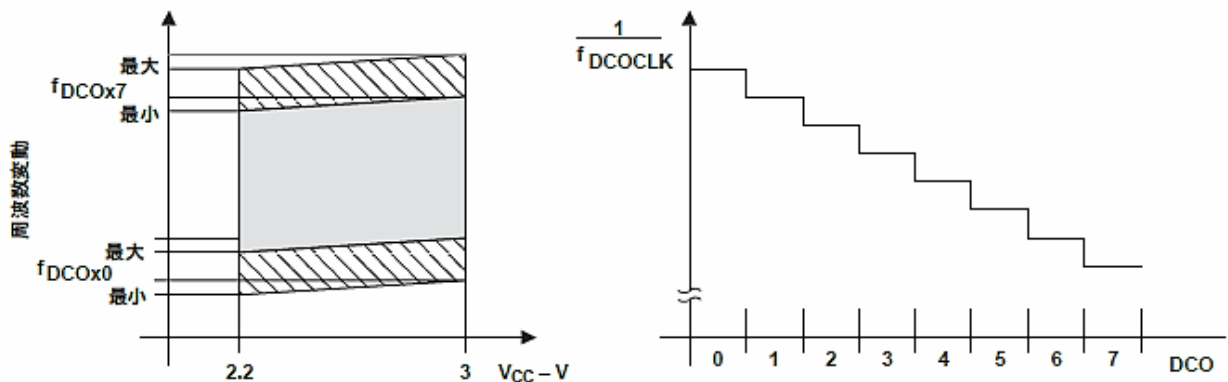


図 12. DCO 特性

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

主要 DCO 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DC0x0)} \sim f_{(DC0x7)}$ の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel (n) によって選択されるすべての範囲は、Rsel (n+1) と重なります： Rsel0 は Rsel1 と重なります、... Rsel16 は Rsel17 と重なります。
- DCO コントロール・ビット DC00、DC01、及び DC02 は、パラメータ S_{DC0} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DC0CLK サイクルの期間で $f_{(DC0+1)}$ が使用される頻度を選択します。周波数 $f_{(DC0+1)}$ は、残りのサイクルのために使用されます。この平均周波数は：

$$f_{average} = \frac{32 \times f_{(DC0)} \times f_{(DC0+1)}}{MOD \times f_{(DC0)} + (32 - MOD) \times f_{(DC0+1)}}$$

R_{OSC} 使用時の DCO（注 1）

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{DC0} 、DCO 出力周波数	R _{sel} = 4、DCO = 3、MOD = 0、DCOR = 1、 T _A = 25°C	2.2 V 3 V	1.8 ± 15%			MHz
D _t 、温度ドリフト	R _{sel} = 4、DCO = 3、MOD = 0、DCOR = 1	2.2 V/3 V	±0.1			%/°C
D _v 、V _{CC} 変動によるドリフト	R _{sel} = 4、DCO = 3、MOD = 0、DCOR = 1	2.2 V/3 V	10			%/V

(注 1) R_{OSC} = 100 kΩ、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、T_K = ±50 ppm/°C

クリスタル・オシレータ、LFXT1

項目	測定条件	最小	標準	最大	単位
C _{XIN} 入力容量	XTS = 0; LF モード選択時、 V _{CC} = 2.2 V / 3 V	12			pF
	XTS = 1; XT1 モード選択時、 V _{CC} = 2.2 V / 3 V (注 1)	2			
C _{XOUT} 出力容量	XTS = 0; LF モード選択時、 V _{CC} = 2.2 V / 3 V	12			pF
	XTS = 1; XT1 モード選択時、 V _{CC} = 2.2 V / 3 V (注 1)	2			
V _{IL} V _{IH}	XIN 入力レベル V _{CC} = 2.2 V / 3 V (注 2)	V _{SS}	0.2 x V _{CC}		V
		0.8 x V _{CC}	V _{CC}		

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はレゾネータを使用する場合は適用されません。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項 目		測定条件	V _{CC}	最小	標準	最大	単位	
V _{CC(PGM/ERASE)}	プログラム及び消去時電源電圧			2.7		3.6	V	
f _{FTG}	フラッシュ・タイミング発生器周波数			257		476	kHz	
I _{PGM}	プログラム時消費電流 (V _{CC})		2.7 V/3.6 V		3	5	mA	
I _{ERASE}	消去時消費電流 (V _{CC})		2.7 V/3.6 V		3	7	mA	
t _{CPT}	累積プログラム時間	(注 1)	2.7 V/3.6 V			4	ms	
t _{CErase}	累積一括消去時間	(注 2)	2.7 V/3.6 V	200			ms	
	プログラム/消去回数			10 ⁴	10 ⁵		cycles	
t _{Retention}	データ保持期間	T _J = 25°C		100			years	
t _{Word}	ワード又はバイト・プログラム時間	(注 3)					t _{FTG}	
t _{Block, 0}	先頭バイト又はワードのブロック・プログラム時間							35
t _{Block, 1-63}	各後続バイト又はワードのブロック・プログラム時間							30
t _{Block, End}	ブロック・プログラム終了シーケンスのウェイト時間							21
t _{Mass Erase}	一括消去時間							6
t _{Seg Erase}	セグメント消去時間							5297
						4819		

- (注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。
- (注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG, max} = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)
- (注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = 1/f_{FTG})

JTAG インタフェース

項 目		測定条件	V _{CC}	最小	標準	最大	単位
f _{TCK}	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
R _{Internal}	内部プルダウン抵抗 (TEST)	(注 2)	2.2 V/3 V	25	60	90	kΩ

- (注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。
- (注 2) TEST プルダウン抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ (注 1)

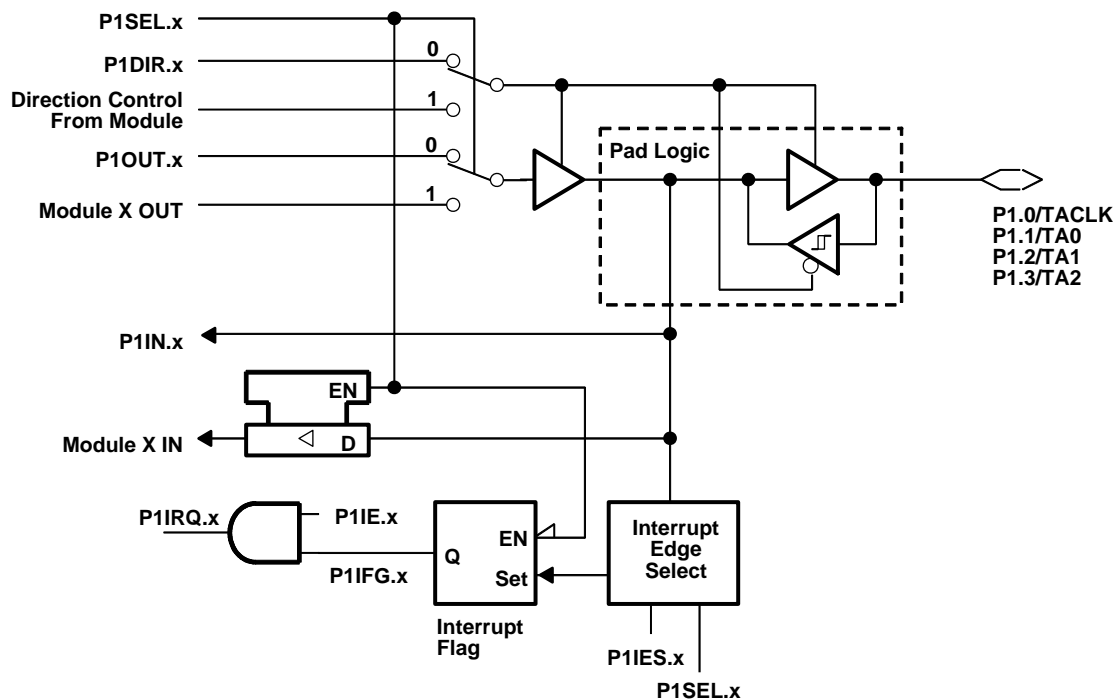
項 目		測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(FB)}	ヒューズ切断時の電源電圧	T _A = 25°C		2.5			V
V _{FB}	ヒューズ切断電圧 (TEST)			6		7	V
I _{FB}	ヒューズ切断時の消費電流 (TEST)					100	mA
t _{FB}	ヒューズ切断時間					1	ms

- (注 1) ヒューズが切断されると、二度と MSP430 の JTAG/テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.3、シュミット・トリガ入力/出力



(注) x = ビット識別記号、ポート P1 は 0 ~ 3

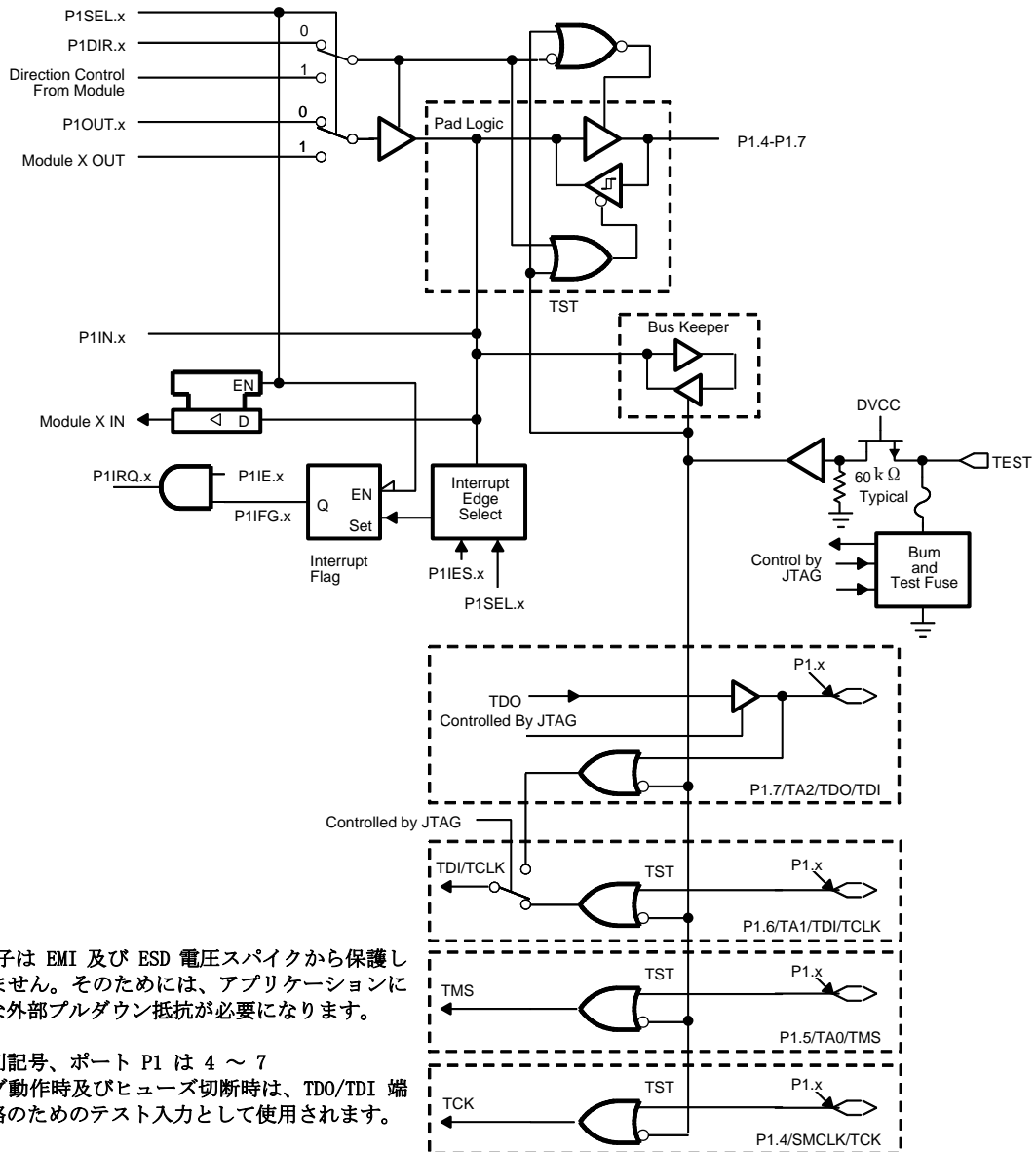
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	V _{SS}	P1IN.0	TACLK †	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal †	P1IN.1	CCI0A †	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal †	P1IN.2	CCI1A †	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal †	P1IN.3	CCI2A †	P1IE.3	P1IFG.3	P1IES.3

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P1、P1.4 ~ P1.7、シュミット・トリガ及びイン・システム・アクセス機能入力/出力



(注) TEST 端子は EMI 及び ESD 電圧スパイクから保護しなければなりません。そのためには、アプリケーションによっては小さな外部プルダウン抵抗が必要になります。

x = ビット識別記号、ポート P1 は 4 ~ 7
 プログラミング動作時及びヒューズ切断時は、TDO/TDI 端子は JTAG 回路のためのテスト入力として使用されます。

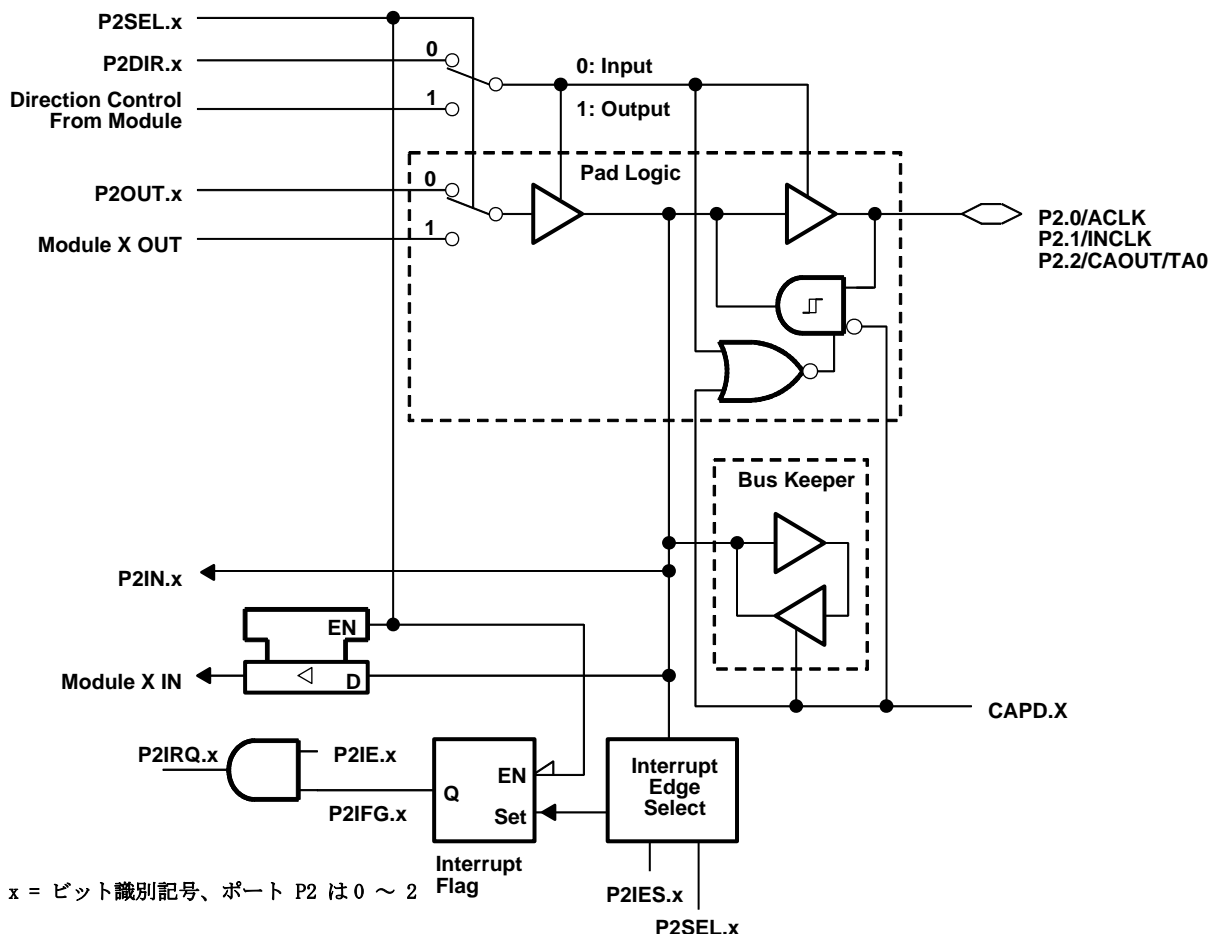
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal †	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal †	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal †	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.0 ~ P2.2、シュミット・トリガ入力/出力



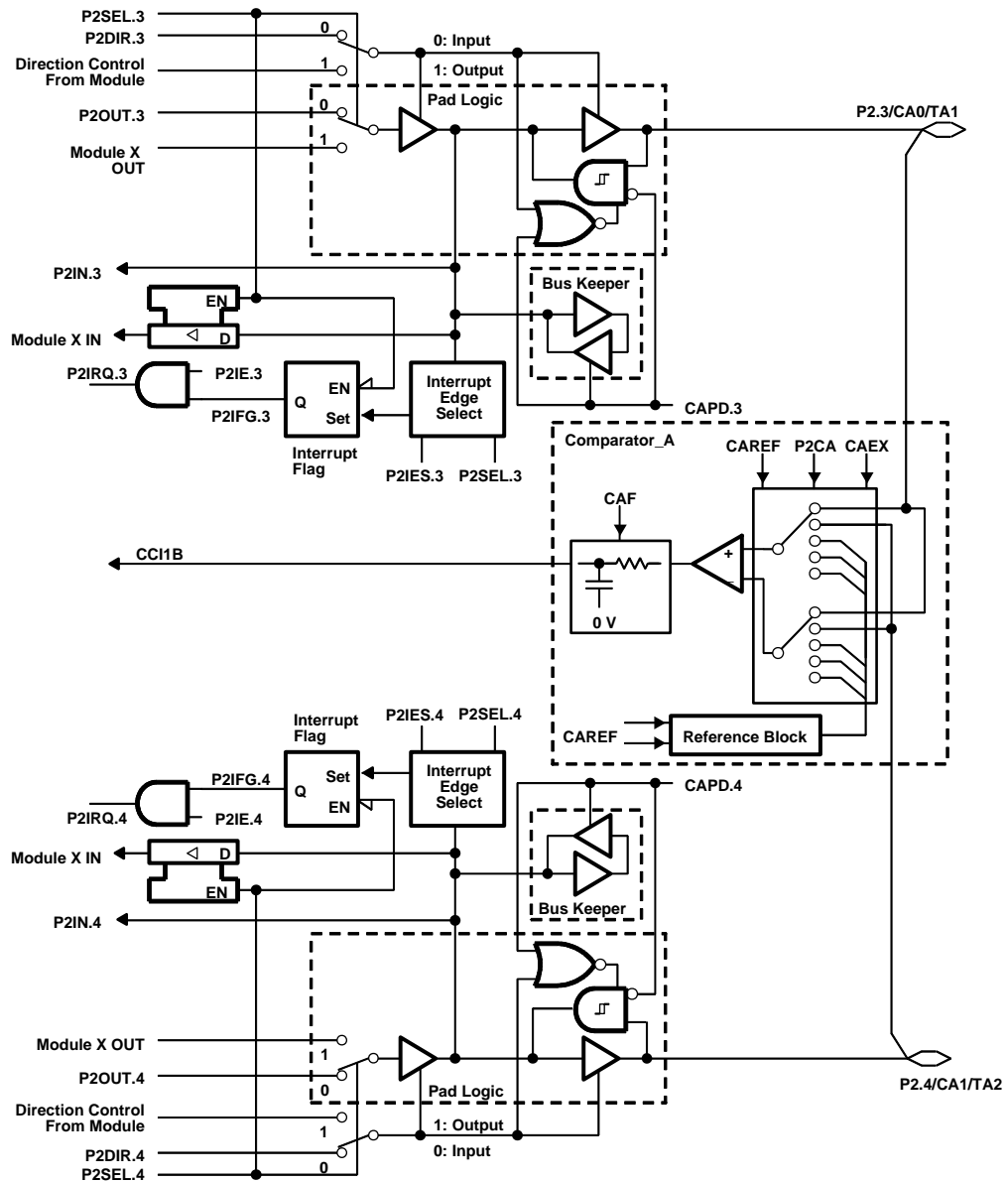
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P1IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	V _{SS}	P2IN.1	INCLK †	P2IE.1	P2IFG.1	P1IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT	P2IN.2	CCI0B †	P2IE.2	P2IFG.2	P1IES.2

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力/出力



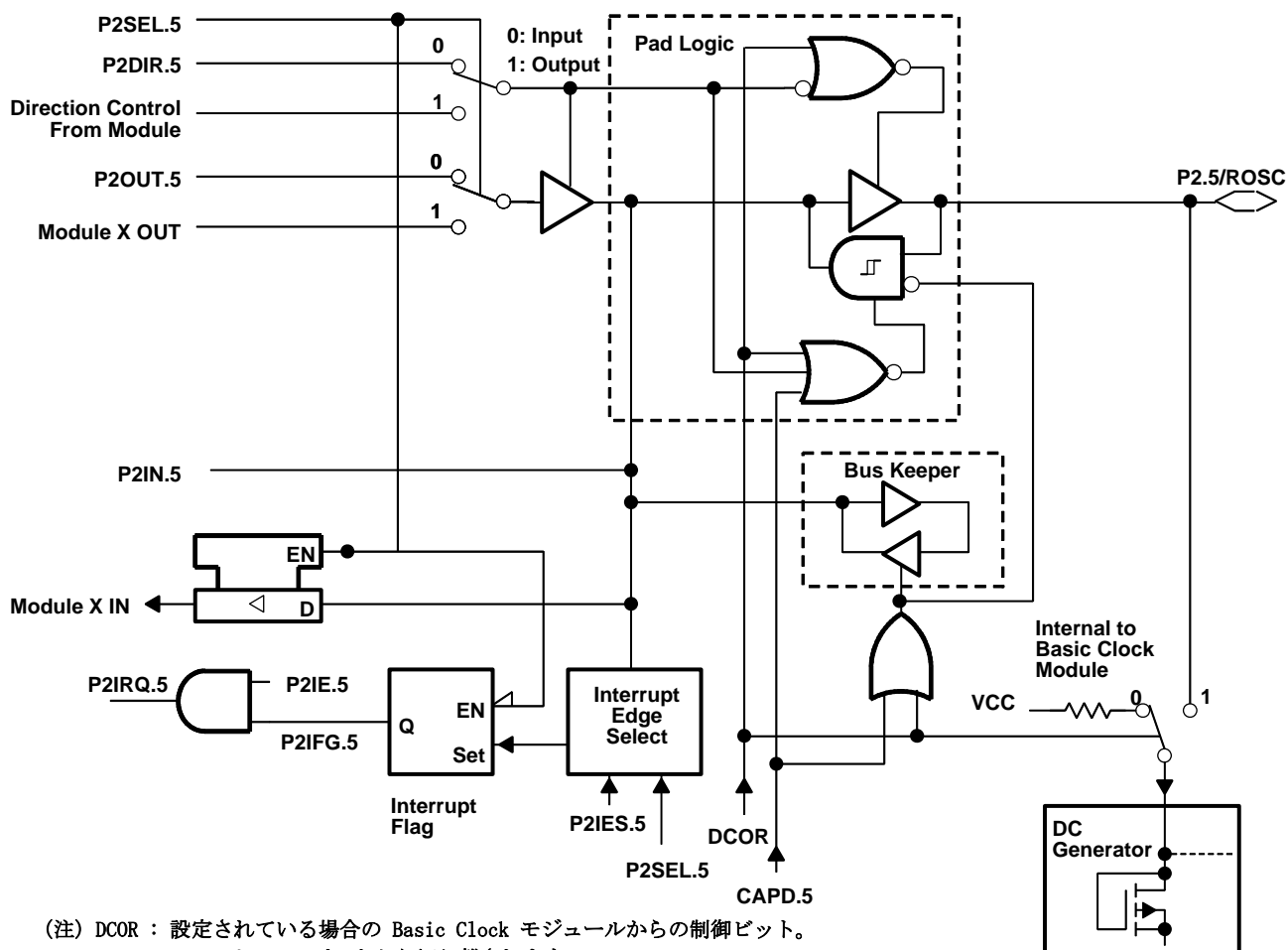
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out1 signal †	P2IN.3	unused	P2IE.3	P2IFG.3	P1IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	Out2 signal †	P2IN.4	unused	P2IE.4	P2IFG.4	P1IES.4

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.5、シュミット・トリガ入力/出力及び Basic Clock モジュール用 R_{osc} 機能

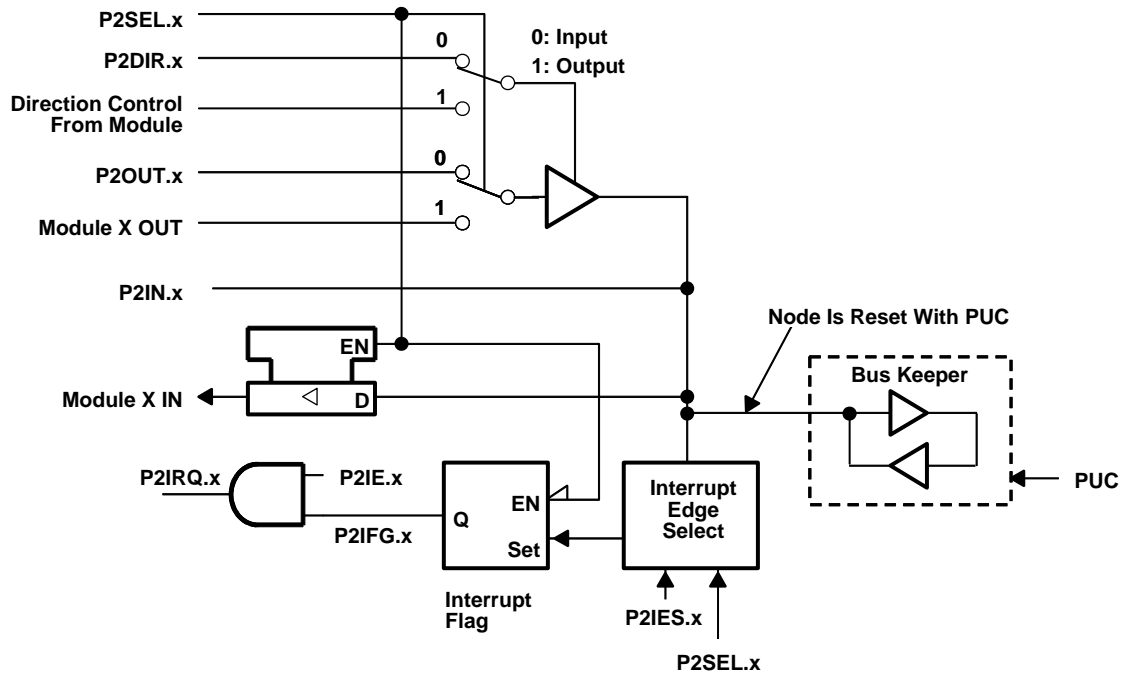


PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	V _{SS}	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

アプリケーション情報

入力/出力図 (続き)

ポート P2、ボンドされていないビット P2.6 及び P2.7



(注) x = ビット識別記号、ポート P2 は 6 ~ 7 で、外部端子はありません。

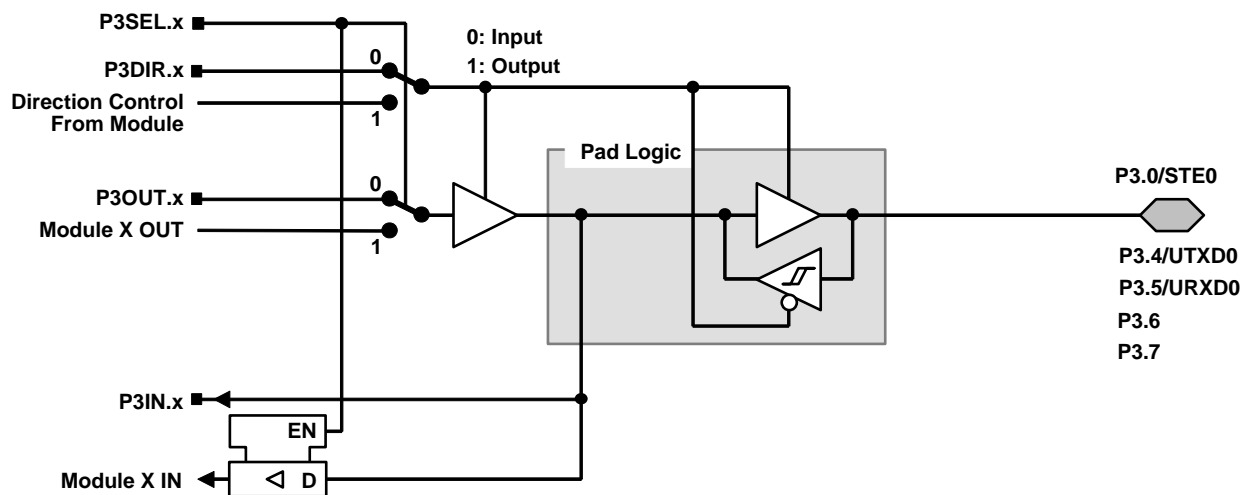
P2Sel.x	P2DIR.x	DIRECTION CONTROL FROM MODULE	P2OUT.x	MODULE X OUT	P2IN.x	MODULE X IN	P2IE.x	P2IFG.x	P2IES.x
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	V _{SS}	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	V _{SS}	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

(注 1) ポート P2 のボンドされていないビット 6 及び 7 は、ソフトウェア割り込みフラグとして使用することができます。割り込みフラグはソフトウェアのみによって制御され、ソフトウェア割り込みとして動作します。

アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.0 及び P3.4 ~ P3.7、シュミット・トリガ入力/出力



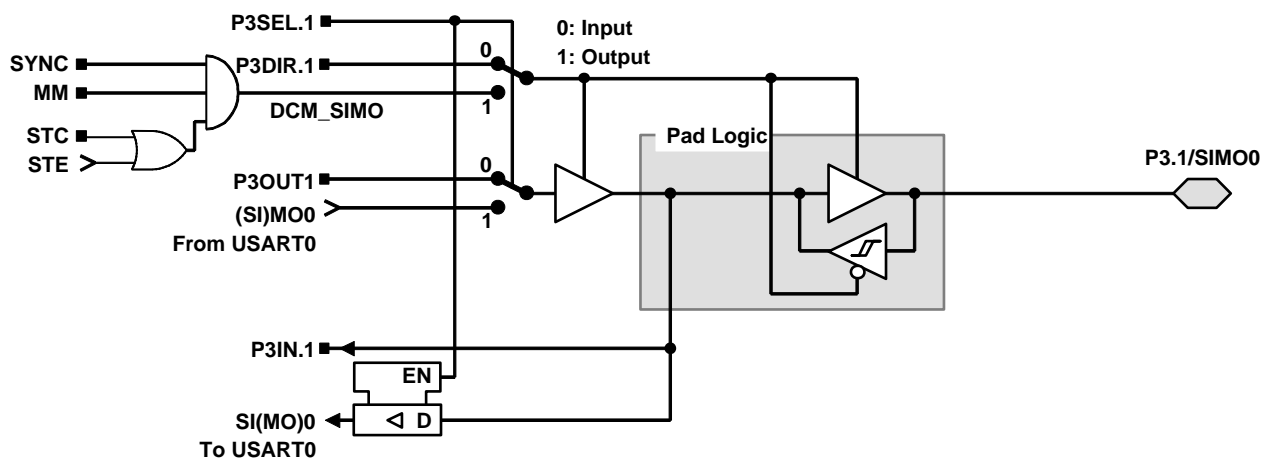
x: Bit Identifier, 0 and 4 to 7 for Port P3

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P3Sel.0	P3DIR.0	V _{SS}	P3OUT.0	V _{SS}	P3IN.0	STE0
P3Sel.4	P3DIR.4	V _{CC}	P3OUT.4	UTXD0 †	P3IN.4	Unused
P3Sel.5	P3DIR.5	V _{SS}	P3OUT.5	V _{SS}	P3IN.5	URXD0 ‡
P3Sel.6	P3DIR.6	V _{SS}	P3OUT.6	V _{SS}	P3IN.6	Unused
P3Sel.7	P3DIR.7	V _{SS}	P3OUT.7	V _{SS}	P3IN.7	Unused

† USART0 モジュールからの出力

‡ USART0 モジュールへの入力

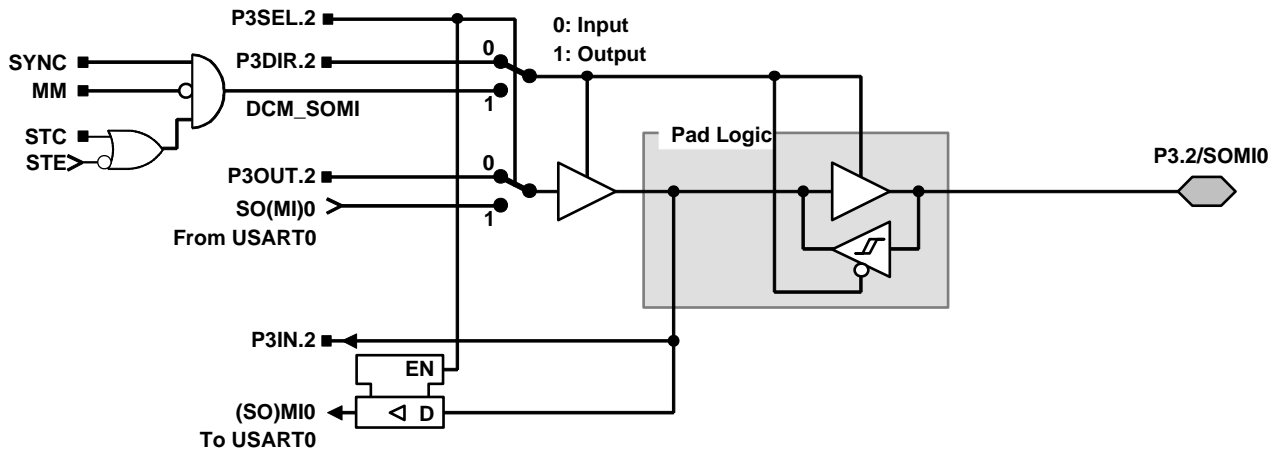
ポート P3、P3.1、シュミット・トリガ入力/出力



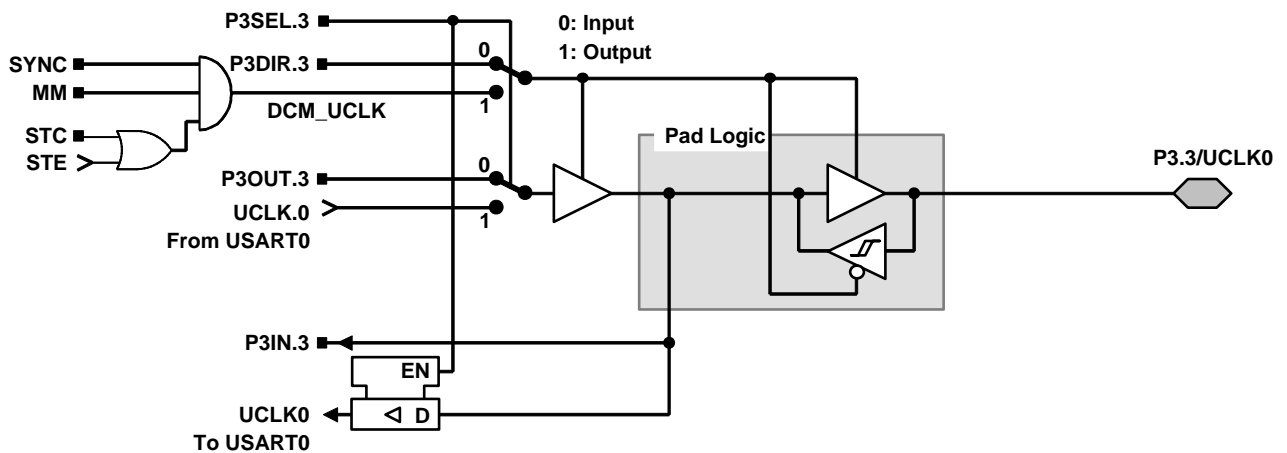
アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.2、シュミット・トリガ入力/出力



ポート P3、P3.3、シュミット・トリガ入力/出力



- (注) : UART モード: UART クロックは入力のみになることができます。UART モード 及び UART 機能が選択された場合は、P3.3/UCLK0 は常に入力です。
- SPI、スレーブ・モード: UCLK0 に印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- SPI、マスタ・モード: データをシフト・イン及びシフト・アウトするためのクロックは、接続されたデバイスの P3.3/UCLK0 端子に供給されます。(スレーブ・モード)

アプリケーション情報

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TEST 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち上がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 13 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

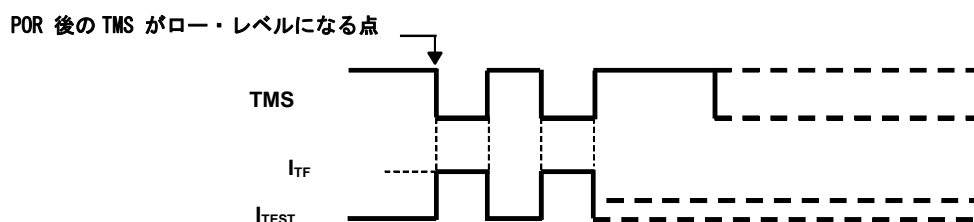


図 13. ヒューズ・チェック・モード電流、MSP430F12x

(注)

JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
MSP430F122IDW	ACTIVE	SOIC	DW	28	20	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
MSP430F122IDWR	ACTIVE	SOIC	DW	28	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
MSP430F122IPW	ACTIVE	TSSOP	PW	28	50	TBD	CU NIPDAU	Level-2-220C-1 YEAR
MSP430F122IPWR	ACTIVE	TSSOP	PW	28	2000	TBD	CU NIPDAU	Level-2-220C-1 YEAR
MSP430F122IRHBR	ACTIVE	QFN	RHB	32	3000	TBD	Call TI	Level-1-235C-UNLIM
MSP430F122IRHBT	ACTIVE	QFN	RHB	32	250	TBD	Call TI	Level-1-235C-UNLIM
MSP430F123IDW	ACTIVE	SOIC	DW	28	20	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
MSP430F123IDWR	ACTIVE	SOIC	DW	28	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
MSP430F123IPW	ACTIVE	TSSOP	PW	28	50	TBD	CU NIPDAU	Level-2-220C-1 YEAR
MSP430F123IPWR	ACTIVE	TSSOP	PW	28	2000	TBD	CU NIPDAU	Level-2-220C-1 YEAR
MSP430F123IRHBR	ACTIVE	QFN	RHB	32	3000	TBD	Call TI	Level-1-235C-UNLIM
MSP430F123IRHBT	ACTIVE	QFN	RHB	32	250	TBD	Call TI	Level-1-235C-UNLIM

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

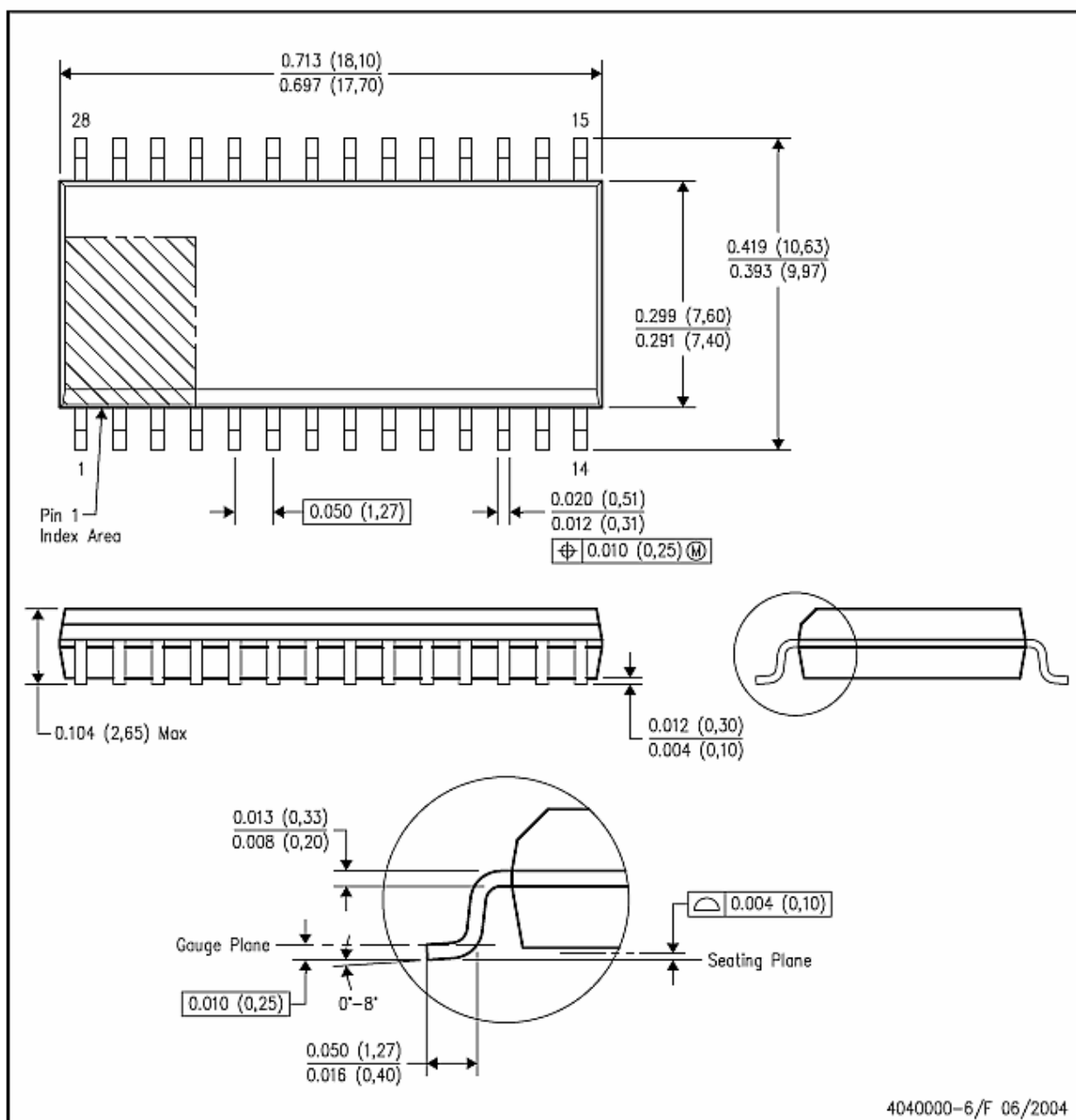
⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DW (R-PDSO-G28)

PLASTIC SMALL-OUTLINE PACKAGE



(注 A) すべての寸法の単位は inch (mm) とします。

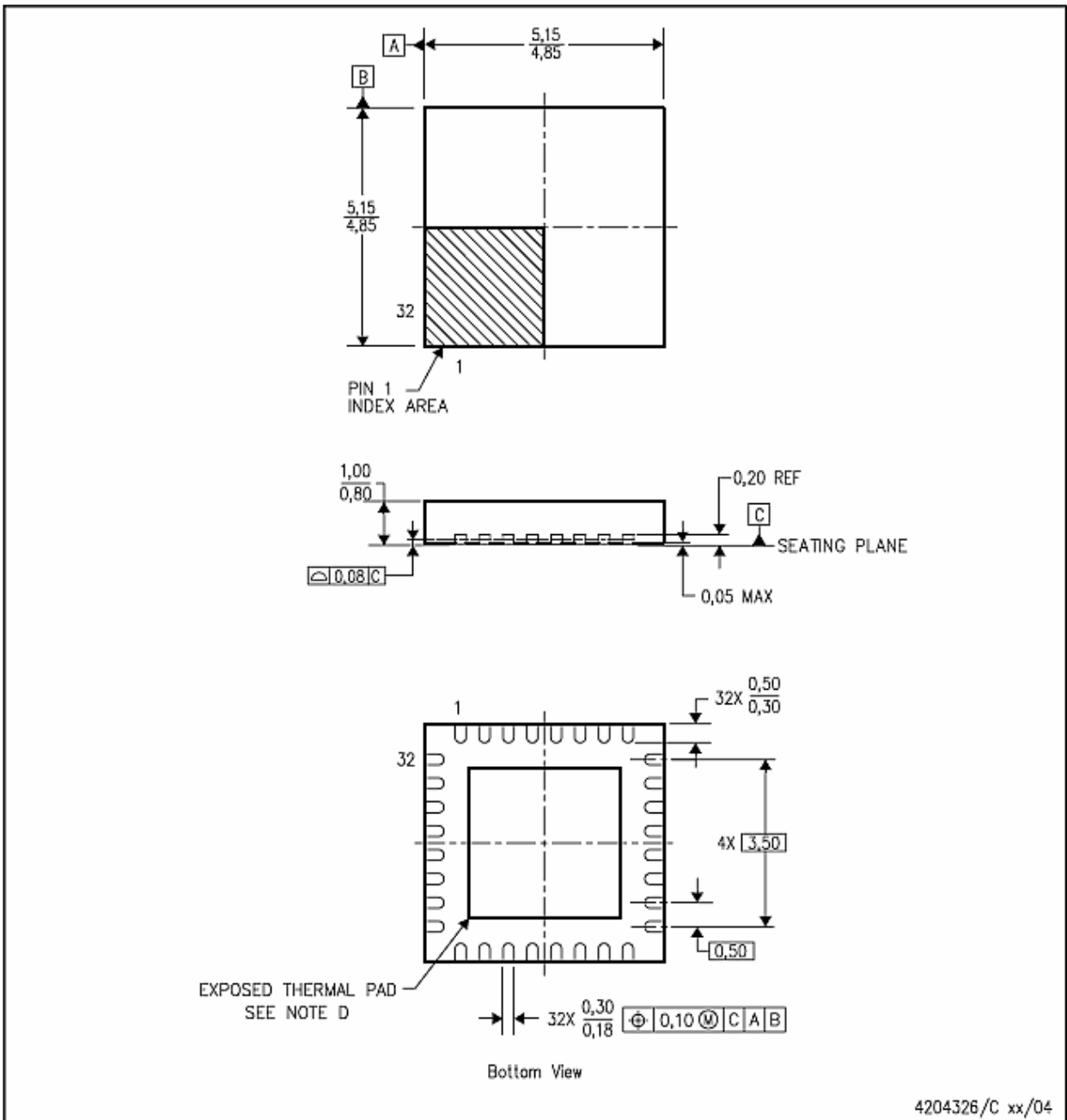
(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MS-013 variation AE に相当します。

RHB (S-PQFP-N32)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) Quad Flatpack No-leads (QFN) パッケージ

(注 D) 熱的及び機械的性能のため、パッケージの放熱パッドはプリント基板にはんだ付けしなければなりません。
 露出した放熱パッドの寸法の詳細は、製品のデータ・シートを参照して下さい。

(注 E) JEDEC MO-220 に相当します。

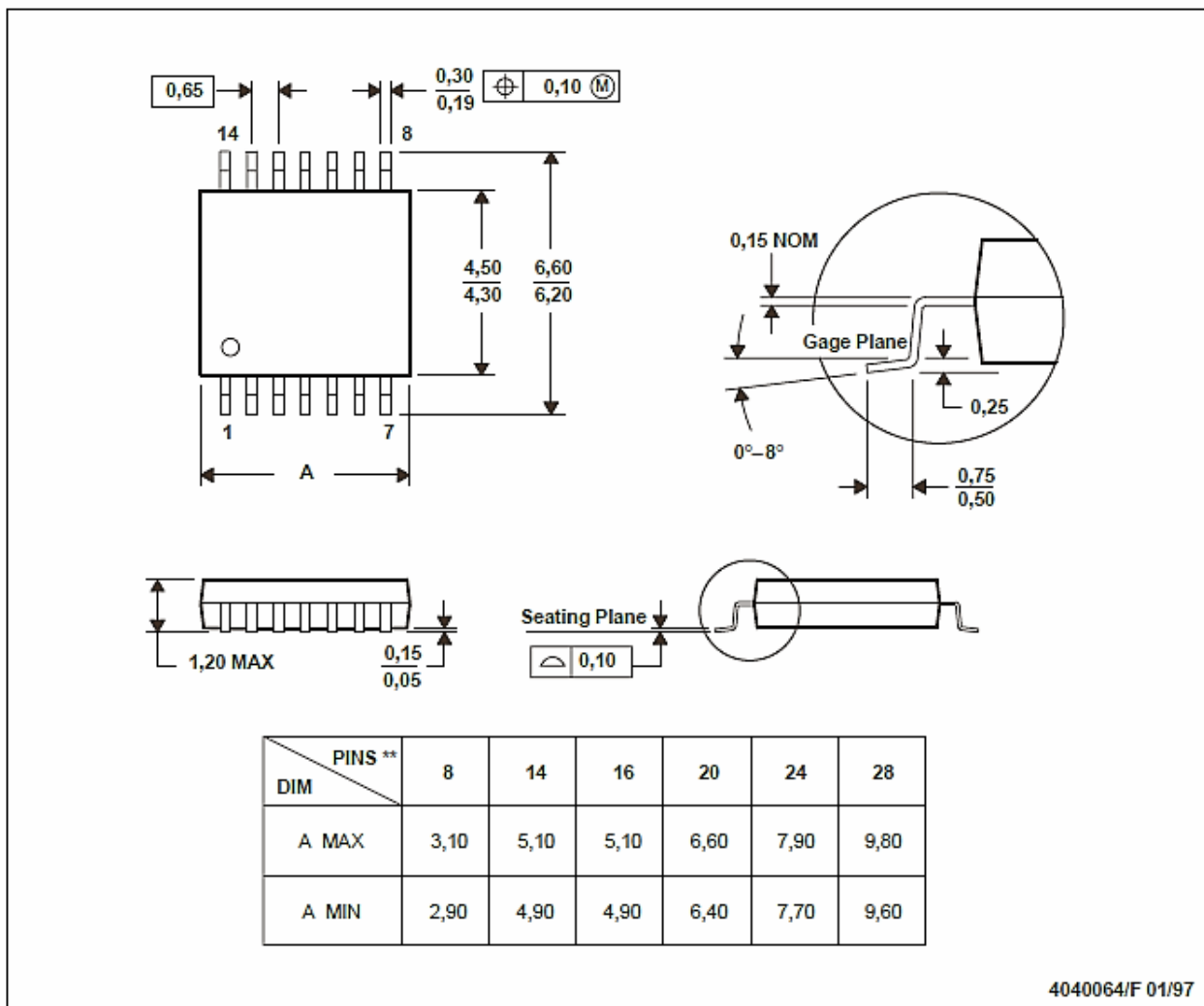
MSP430x12x
 ミックスド・シグナル・マイクロコントローラ

SLAS471 - 2005 年 6 月

PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) ボディ寸法は 0,15 以下のモールド・フラッシュ又は突起を含みません。
- (注 D) JEDEC MO-153 に相当します。

(SLAS312C - JULY 2001 - REVISED SEPTEMBER 2004)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上