

TMS320F2833x、TMS320F2823x リアルタイム・マイクロコントローラ

1 特長

- 高性能スタティック CMOS テクノロジー
 - 最大 150MHz (サイクル・タイム 6.67ns)
 - コア 1.9V/1.8V、I/O 3.3V の設計
- 高性能の 32 ビット CPU (TMS320C28x)
 - IEEE 754 単精度浮動小数点ユニット (FPU) (F2833x のみ)
 - 16 ビット × 16 ビットおよび 32 ビット × 32 ビットの MAC 演算
 - 16 ビット × 16 ビットのデュアル MAC
 - ハード・バス・アーキテクチャ
 - 高速な割り込み応答とプロセッシング
 - 統合メモリ・プログラミング・モデル
 - 高いコード効率 (C/C++ およびアセンブリ)
- 6 チャンネル DMA コントローラ (ADC、McBSP、ePWM、XINTF、SARAM 用)
- 16 ビットまたは 32 ビットの外部インターフェイス (XINTF)
 - 2M × 16 を超えるアドレスを使用可能
- オンチップ・メモリ
 - F28335、F28333、F28235:
フラッシュ: 256K × 16、SARAM: 34K × 16
 - F28334、F28234:
フラッシュ: 128K × 16、SARAM: 34K × 16
 - F28332、F28232:
フラッシュ: 64K × 16、SARAM: 26K × 16
 - OTP ROM: 1K × 16
- ブート ROM (8K × 16)
 - ソフトウェア・ブート・モード搭載 (SCI、SPI、CAN、I2C、McBSP、XINTF、パラレル I/O 経由)
 - 標準演算テーブル
- クロックおよびシステム制御
 - オンチップ発振器
 - ウォッチドッグ・タイマ・モジュール
- GPIO0～GPIO63 ピンは、8 つの外部コア割り込みのいずれかに接続可能
- 58 のペリフェラル割り込みすべてをサポートする、ペリフェラル割り込み拡張 (PIE) ブロック
- 128 ビットのセキュリティ・キー / ロック
 - フラッシュ / OTP / RAM ブロックを保護
 - ファームウェアのリバース・エンジニアリングを防止
- 拡張制御ペリフェラル
 - 最大 18 の PWM 出力
 - 150ps MEP 分解能を持つ、最大 6 つの HRPWM 出力
 - 最大 6 つのイベント・キャプチャ入力
 - 最大 2 つの直交エンコーダ・インターフェイス
- 最大 8 つの 32 ビット・タイマ (eCAP 用に 6 つ、eQEP 用に 2 つ)
- 最大 9 つの 16 ビット・タイマ (ePWM 用に 6 つ、XINTCTR 用に 3 つ)
- 3 つの 32 ビット CPU タイマ
- シリアル・ポート・ペリフェラル
 - 最大 2 つの CAN モジュール
 - 最大 3 つの SCI (UART) モジュール
 - 最大 2 つの McBSP モジュール (SPI として構成可能)
 - 1 つの SPI モジュール
 - 1 つの I2C (Inter-Integrated Circuit) バス
- 12 ビット ADC、16 チャンネル
 - 80ns の変換速度
 - 2 × 8 チャンネルの入力マルチプレクサ
 - 2 つのサンプル・アンド・ホールド
 - 単独 / 同時変換
 - 内部または外部のリファレンス
- 最大 88 の個別にプログラム可能な、多重化された、入力フィルタリング付き GPIO ピン
- JTAG バウンダリ・スキャンをサポート
 - IEEE 規格 1149.1-1990 標準テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャ
- 高度なデバッグ機能
 - 分析およびブレイクポイント機能
 - ハードウェアによるリアルタイム・デバッグ
- 開発サポート
 - ANSI C/C++ コンパイラ / アセンブラ / リンカ
 - Code Composer Studio™ IDE
 - DSP/BIOS™ および SYS/BIOS
 - デジタル・モータ制御およびデジタル電源のソフトウェア・ライブラリ
- 低消費電力モードとパワー・セービング
 - アイドル、スタンバイ、ホールド・モードをサポート
 - 個別のペリフェラル・クロックの無効化
- エンディアンネス: リトル・エンディアン
- パッケージ・オプション:
 - 鉛フリー、グリーン・パッケージ
 - 176 ボールのプラスチック・ボール・グリッド・アレイ (BGA) [ZJZ]
 - 179 ボールの MicroStar BGA [ZHH]™
 - 179 ボールの新ファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) [ZAY]
 - 176 ピンの薄型クワッド・フラットパック (LQFP) [PGF]
 - 176 ピンの熱的に強化された薄型クワッド・フラットパック (HLQFP) [PTP]



- 温度オプション:
 - A: -40°C~85°C (PGF, ZHH, ZAY, ZJZ)
 - S: -40°C~125°C (PTP, ZJZ)
 - Q: -40°C~125°C (PTP, ZJZ)
(車載アプリケーション向けに AEC Q100 認定)

2 アプリケーション

- 先進運転支援システム (ADAS)
 - 中距離 / 短距離レーダー
- ビル・オートメーション
 - HVAC (空調) モーター制御
 - トラクション・インバータ・モーター制御
- ファクトリ・オートメーションおよび制御
 - 自動仕分け機器
 - CNC 制御
- グリッド・インフラ
 - セントラル・インバータ
 - ストリング・インバータ
- ハイブリッド、電動、パワートレイン・システム
 - インバータおよびモーター制御
 - オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
- モータ・ドライブ
 - AC 入力 BLDC モーター・ドライブ
 - サーボ・ドライブ制御モジュール
- パワー・デリバリー
 - 産業用 AC-DC

3 概要

C2000™ 32 ビット・マイクロコントローラは、処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モーター・ドライブ、ソーラー・インバータおよびデジタル電源、電気自動車および輸送、モーター制御、センシングおよび信号処理などにおける閉ループ性能が向上しています。C2000 ラインには最高性能の MCU とエン트리性能の MCU があります。

TMS320F28335, TMS320F28334, TMS320F28333, TMS320F28332, TMS320F28235, TMS320F28234 および TMS320F28232 デバイスは、要求の厳しい制御アプリケーション向けの高集積、高性能ソリューションです。

このデータシート全体を通して、これらのデバイスは、それぞれ F28335、F28334、F28333、F28332、F28235、F28234、F28232 と略記されます。F2833x のデバイス比較 と F2823x のデバイス比較 には、各デバイスの機能の概要が記載されています。

「C2000™ リアルタイム制御マイクロコントローラ (MCU) 入門ガイド」は、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

C2000 MCU の詳細については、C2000™ リアルタイム制御 MCU のページをご覧ください。

パッケージ情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ
TMS320F28335ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28334ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28234ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28232ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28335ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28334ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28332ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28235ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28234ZHH	BGA MicroStar (179)	12.0mm × 12.0mm

パッケージ情報 (continued)

部品番号 ⁽¹⁾	パッケージ	本体サイズ
TMS320F28232ZHH	BGA MicroStar (179)	12.0mm×12.0mm
TMS320F28335ZJZ	BGA (176)	15.0mm×15.0mm
TMS320F28334ZJZ	BGA (176)	15.0mm×15.0mm
TMS320F28332ZJZ	BGA (176)	15.0mm×15.0mm
TMS320F28235ZJZ	BGA (176)	15.0mm×15.0mm
TMS320F28234ZJZ	BGA (176)	15.0mm×15.0mm
TMS320F28232ZJZ	BGA (176)	15.0mm×15.0mm
TMS320F28335PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28334PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28333PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28332PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28235PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28234PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28232PGF	LQFP (176)	24.0mm×24.0mm
TMS320F28335PTP	HLQFP (176)	24.0mm×24.0mm
TMS320F28334PTP	HLQFP (176)	24.0mm×24.0mm
TMS320F28332PTP	HLQFP (176)	24.0mm×24.0mm
TMS320F28235PTP	HLQFP (176)	24.0mm×24.0mm
TMS320F28234PTP	HLQFP (176)	24.0mm×24.0mm
TMS320F28232PTP	HLQFP (176)	24.0mm×24.0mm

(1) これらのデバイスの詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。

3.1 機能ブロック図

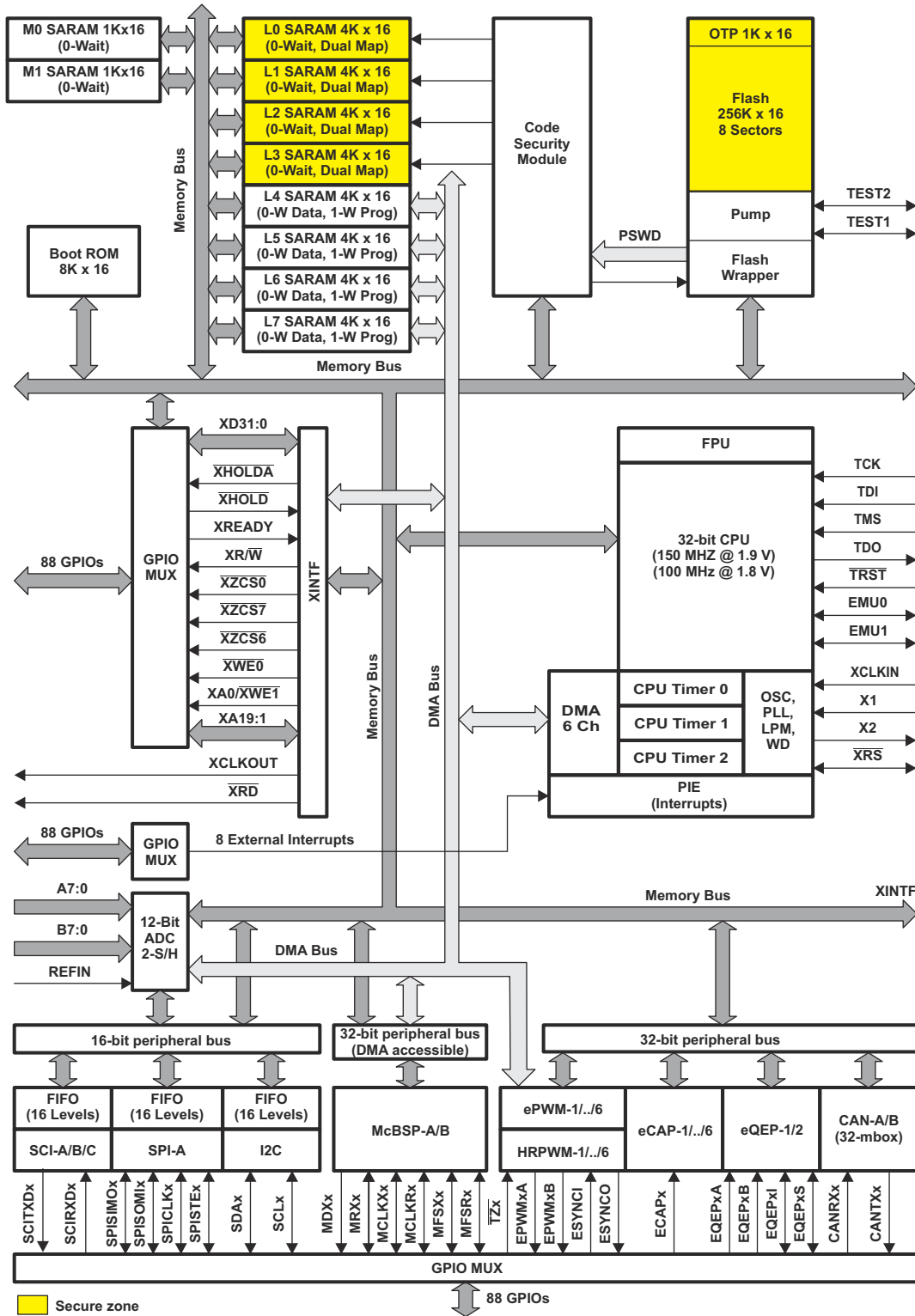


図 3-1. 機能ブロック図

目次

1 特長	1	8 詳細説明	112
2 アプリケーション	2	8.1 概要.....	112
3 概要	2	8.2 ペリフェラル.....	120
3.1 機能ブロック図.....	4	8.3 メモリ・マップ.....	167
4 改訂履歴	6	8.4 レジスタ・マップ.....	174
5 デバイスの比較	8	8.5 割り込み.....	178
5.1 関連製品.....	11	8.6 システム制御.....	183
6 端子構成および機能	12	8.7 低消費電力モード・ブロック.....	189
6.1 ピン配置図.....	12	9 アプリケーション、実装、およびレイアウト	190
6.2 信号の説明.....	22	9.1 TI リファレンス・デザイン.....	190
7 仕様	34	10 デバイスおよびドキュメントのサポート	191
7.1 絶対最大定格.....	34	10.1 使い始めと次の手順.....	191
7.2 ESD 定格 - 車載用.....	35	10.2 デバイスおよび開発ツールの命名規則.....	191
7.3 ESD 定格 - 民生用.....	35	10.3 ツールとソフトウェア.....	193
7.4 推奨動作条件.....	36	10.4 ドキュメントのサポート.....	195
7.5 消費電力の概略.....	37	10.5 サポート・リソース.....	196
7.6 電気的特性.....	43	10.6 商標.....	197
7.7 熱抵抗特性.....	44	10.7 Electrostatic Discharge Caution.....	197
7.8 熱設計の検討事項.....	48	10.8 Glossary.....	197
7.9 タイミングおよびスイッチング特性.....	49	11 メカニカル、パッケージ、および注文情報	198
7.10 オンチップ A/D コンバータ.....	104	11.1 パッケージ再設計の詳細.....	198
7.11 F2833x デバイスと F2823x デバイス間の移行.....	111	11.2 パッケージ情報.....	198

4 改訂履歴

Changes from FEBRUARY 2, 2021 to AUGUST 8, 2022 (from Revision P (February 2021) to Revision Q (August 2022))

Page

• グローバル:ドキュメントのタイトルを <i>TMS320F2833x, TMS320F2823x デジタル・シグナル・コントローラ (DSC)</i> から <i>TMS320F2833x, TMS320F2823x リアルタイム・マイクロコントローラ</i> に変更。.....	1
• グローバル:「デジタル・シグナル・コントローラ」を「リアルタイム・マイクロコントローラ」に変更。「DSC」を「MCU」に変更。.....	1
• グローバル:サブストレート・サプライヤからの機器の寿命終了に関する通知により、一部の MicroStar BGA™ パッケージ・デバイスを段階的に廃止しています。これらのデバイスは、新ファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) パッケージに変更されました。詳細については、「 パッケージの再設計の詳細 」セクションを参照してください。.....	1
• グローバル:179 ボールの ZAY 新ファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) を追加。.....	1
• グローバル:エラッタのタイトルを『 <i>TMS320F2833x, TMS320F2823x DSC シリコン・エラッタ</i> 』から『 <i>TMS320F2833x, TMS320F2823x リアルタイム MCU シリコン・エラッタ</i> 』に変更。.....	1
• グローバル:ペリフェラル・リファレンス・ガイドへの参照を、『 <i>TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル</i> 』への参照に更新。.....	1
• グローバル:「エミュレータ」を「JTAG デバッグ・プローブ」に置き換え。.....	1
• セクション 1 (特長):「高度なエミュレーション機能」を「高度なデバッグ機能」に変更。.....	1
• セクション 1:「パッケージ・オプション」に「179 ボールの新ファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) [ZAY]」を追加。.....	1
• セクション 1:温度オプション「A」に「ZAY」を追加。.....	1
• セクション 2 (アプリケーション):セクションを更新。.....	2
• セクション 3 (概要):セクションを更新。「製品情報」表を「パッケージ情報」表に変更。「パッケージ情報」表に ZAY nFBGA を追加。.....	2
• 表 5-1 (F2833x デバイスの比較):「シリアル通信インターフェイス (SCI)」に「(UART 互換)」を追加。.....	8
• 表 5-1:「パッケージ」セクションに「179 ボール ZAY」を追加。「A」温度オプションに ZAY を追加。.....	8
• 表 5-2 (F2823x デバイスの比較):「シリアル通信インターフェイス (SCI)」に「(UART 互換)」を追加。.....	8
• 表 5-2:「パッケージ」セクションに「179 ボール ZAY」を追加。「A」温度オプションに ZAY を追加。.....	8
• セクション 5.1 (関連製品):セクションを更新。.....	11
• セクション 6.1 (ピン配置図):179 ボール ZAY 新しいファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) を追加。....	12
• 表 6-1 (信号の説明):ZAY パッケージを追加。.....	22
• 表 6-1:EMU0、EMU1、XRS の説明を更新。.....	22
• セクション 7.3 (ESD 定格 - 民生用):ZAY パッケージのデータを追加。.....	35
• セクション 7.5.3 (消費電流の低減):消費電力を低減する方法の一覧を更新。.....	40
• セクション 7.7.4 (ZAY パッケージ):表を追加。.....	47
• セクション 7.9.2 (電源シーケンス):「パワーアップおよびパワーダウン・シーケンスに...要件はありません」の段落を更新。.....	51
• セクション 7.9.5:セクションのタイトルを「DSP へのエミュレータ接続 (信号バッファなし)」から「MCU への JTAG デバッグ・プローブ接続 (信号バッファなし)」に変更。.....	82
• 図 7-27:図のタイトルを「DSP へのエミュレータ接続 (信号バッファなし)」から「MCU への JTAG デバッグ・プローブ接続 (信号バッファなし)」に変更。.....	82
• 図 7-27 (MCU への JTAG デバッグ・プローブ接続 (信号バッファなし)):「DSC」を「MCU」に変更。.....	82
• セクション 7.9.6.8.2 (同期 XREADY のタイミング要件 (書き込み時のレディ、1 つのウェイト状態)):脚注を復元。...	95
• 表 8-14 (SCI-C レジスタ):脚注を復元。.....	146
• 図 8-15 (シリアル通信インターフェイス (SCI) モジュールのブロック図):図を更新。.....	146
• 図 8-34 (ウォッチドッグ・モジュール):図を更新。.....	188
• セクション 9.1:タイトルを「TI デザインまたはリファレンス・デザイン」から「TI リファレンス・デザイン」に変更。.....	190
• セクション 9.1 (TI リファレンス・デザイン):セクションを更新。.....	190
• セクション 10 (デバイスおよびドキュメントのサポート):セクションを更新。.....	191
• セクション 10.1:タイトルを「はじめに」から「使い始めと次の手順」に変更。セクションを更新。.....	191

- [図 10-1](#) (F2833x、F2823x デバイスの命名規則): パッケージ・タイプに 179 ボール ZAY パッケージを追加。..... 191
- [セクション 10.3](#) (ツールとソフトウェア): セクションを更新。「設計キットと評価モジュール」セクションを更新。「モデル」セクションを更新。「トレーニング」セクションを追加。..... 193
- [セクション 10.4](#) (ドキュメントのサポート): *nFBGA* パッケージ・アプリケーション・レポートを追加。..... 195
- [セクション 10.4](#): 「テクニカル・リファレンス・マニュアル」セクションを追加。..... 195
- [セクション 10.4](#): 「ペリフェラル・ガイド」セクションを更新。ほとんどのペリフェラル・リファレンス・ガイドは、現在、『TMS320x2833x、TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』に置き換えられているため削除。..... 195
- [セクション 11.1](#) (パッケージ再設計の詳細): セクションを追加。..... 198

5 デバイスの比較

表 5-1. F2833x デバイスの比較

機能	タイプ ⁽¹⁾	F28335 F28335-Q1 (150MHz)	F28334 (150MHz)	F28333 (100MHz)	F28332 (100MHz)	
命令サイクル	–	6.67ns	6.67ns	10ns	10ns	
浮動小数点ユニット	–	あり	あり	あり	あり	
3.3V オンチップ・フラッシュ (16 ビット・ワード)	–	256K	128K	256K	64K	
シングル・アクセス RAM (SARAM) (16 ビット・ワード)	–	34K	34K	34K	26K	
ワンタイム・プログラマブル (OTP) ROM (16 ビット・ワード)	–	1K	1K	1K	1K	
オンチップ・フラッシュ/ SARAM / OTP プロ ックのコード・セキュリティ	–	あり	あり	あり	あり	
ブート ROM (8K × 16)	–	あり	あり	あり	あり	
16 ビットまたは 32 ビットの外部インターフェ イス (XINTF)	1	あり	あり	あり	あり	
6 チャンネルのダイレクト・メモリ・アクセス (DMA)	0	あり	あり	あり	あり	
PWM チャンネル	0	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	
HRPWM チャンネル	0	ePWM1A/2A/3A/4A/ 5A/6A	ePWM1A/2A/3A/4A/ 5A/6A	ePWM1A/2A/3A/4A/ 5A/6A	ePWM1A/2A/3A/4A	
32 ビットのキャプチャ入力または補助 PWM 出力	0	eCAP1/2/3/4/5/6	eCAP1/2/3/4	eCAP1/2/3/4/5/6	eCAP1/2/3/4	
32 ビット QEP チャンネル (4 入力/チャンネル)	0	eQEP1/2	eQEP1/2	eQEP1/2	eQEP1/2	
ウォッチドッグ・タイマ	–	あり	あり	あり	あり	
12 ビット ADC	チャンネル数	16	16	16	16	
	MSPS	12.5	12.5	12.5	12.5	
	変換時間	80ns	80ns	80ns	80ns	
32 ビット CPU タイマ	–	3	3	3	3	
マルチチャンネルのバッファ付きシリアル・ポ ート (McBSP)/SPI	1	2 (A/B)	2 (A/B)	2 (A/B)	1 (A)	
シリアル・ペリフェラル・インターフェイス (SPI)	0	1	1	1	1	
シリアル通信インターフェイス (SCI) (UART 互換)	0	3 (A/B/C)	3 (A/B/C)	3 (A/B/C)	2 (A/B)	
拡張コントローラ・エリア・ネットワーク (eCAN)	0	2 (A/B)	2 (A/B)	2 (A/B)	2 (A/B)	
I2C (Inter-Integrated Circuit)	0	1	1	1	1	
汎用 I/O (GPIO) (共有)	–	88	88	88	88	
外部入力	–	8	8	8	8	
パッケージ	176 ピン PGF	–	あり	あり	あり	あり
	176 ピン PTP	–	あり	あり	–	あり
	179 ボール ZHH	–	あり	あり	–	あり
	179 ボール ZAY	–	あり	あり	–	–
	176 ボール ZJZ	–	あり	あり	–	あり

表 5-1. F2833x デバイスの比較 (continued)

機能		タイプ ⁽¹⁾	F28335 F28335-Q1 (150MHz)	F28334 (150MHz)	F28333 (100MHz)	F28332 (100MHz)
温度オプション	A: -40°C~85°C	–	PGF, ZHH, ZAY, ZJZ	PGF, ZHH, ZAY, ZJZ	PGF	PGF, ZHH, ZJZ
	S: -40°C~125°C	–	PTP, ZJZ	PTP, ZJZ	–	PTP, ZJZ
	Q: -40°C~125°C (AEC Q100 認定)	–	PTP, ZJZ	PTP, ZJZ	–	PTP, ZJZ

- (1) タイプの違いは、ペリフェラル・モジュールの機能上の主要な相違を表します。同じペリフェラルのタイプの中でも、モジュールの基本的な機能に影響を与えない、わずかな相違がデバイス間に存在することがあります。これらのデバイス固有の相違点は、『C2000 リアルタイム制御 MCU ペリフェラル・リファレンス・ガイド』および『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』に記載されています。

表 5-2. F2823x デバイスの比較

機能		タイプ ⁽¹⁾	F28235 F28235-Q1 (150MHz)	F28234 F28234-Q1 (150MHz)	F28232 F28232-Q1 (100MHz)
命令サイクル		–	6.67ns	6.67ns	10ns
浮動小数点ユニット		–	なし	なし	なし
3.3V オンチップ・フラッシュ (16 ビット・ワード)		–	256K	128K	64K
シングル・アクセス RAM (SARAM) (16 ビット・ワード)		–	34K	34K	26K
ワンタイム・プログラマブル (OTP) ROM (16 ビット・ワード)		–	1K	1K	1K
オンチップ・フラッシュ/ SARAM / OTP ブロックのコード・セキュリティ		–	あり	あり	あり
ブート ROM (8K × 16 ビット)		–	あり	あり	あり
16 ビットまたは 32 ビットの外部インターフェイス (XINTF)		1	あり	あり	あり
6 チャンネルのダイレクト・メモリ・アクセス (DMA)		0	あり	あり	あり
PWM チャンネル		0	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6
HRPWM チャンネル		0	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A
32 ビットのキャプチャ入力または補助 PWM 出力		0	eCAP1/2/3/4/5/6	eCAP1/2/3/4	eCAP1/2/3/4
32 ビット QEP チャンネル (4 入力/チャンネル)		0	eQEP1/2	eQEP1/2	eQEP1/2
ウォッチドッグ・タイマ		–	あり	あり	あり
12 ビット ADC	チャンネル数	2	16	16	16
	MSPS		12.5	12.5	12.5
	変換時間		80ns	80ns	80ns
32 ビット CPU タイマ		–	3	3	3
マルチチャンネルのバッファ付きシリアル・ポート (McBSP)/SPI		1	2 (A/B)	2 (A/B)	1 (A)
シリアル・ペリフェラル・インターフェイス (SPI)		0	1	1	1
シリアル通信インターフェイス (SCI) (UART 互換)		0	3 (A/B/C)	3 (A/B/C)	2 (A/B)
拡張コントローラ・エリア・ネットワーク (eCAN)		0	2 (A/B)	2 (A/B)	2 (A/B)
I2C (Inter-Integrated Circuit)		0	1	1	1
汎用 I/O (GPIO) (共有)		–	88	88	88
外部入力		–	8	8	8
パッケージ	176 ピン PGF	–	あり	あり	あり
	176 ピン PTP	–	あり	あり	あり
	179 ボール ZHH	–	あり	あり	あり
	179 ボール ZAY	–	–	あり	あり
	176 ボール ZJZ	–	あり	あり	あり
温度オプション	A: -40°C~85°C	–	PGF, ZHH, ZJZ	PGF, ZHH, ZAY, ZJZ	PGF, ZHH, ZAY, ZJZ
	S: -40°C~125°C	–	PTP, ZJZ	PTP, ZJZ	PTP, ZJZ
	Q: -40°C~125°C (AEC Q100 認定)	–	PTP, ZJZ	PTP, ZJZ	PTP, ZJZ

(1) タイプの違いは、ペリフェラル・モジュールの機能上の主要な相違を表します。同じペリフェラルのタイプの中でも、モジュールの基本的な機能に影響を与えない、わずかな相違がデバイス間に存在することがあります。これらのデバイス固有の相違点は、『C2000 リアルタイム制御 MCU ペリフェラル・リファレンス・ガイド』および『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』に記載されています。

5.1 関連製品

類似製品の詳細については、以下のリンクを参照してください。

[TMS320F2833x リアルタイム・マイクロコントローラ](#)

F2833x シリーズは、浮動小数点ユニット (FPU) 付きで提供される初の C2000™ MCU です。第 1 世代の ePWM タイマを搭載しています。12.5MSPS、12 ビット ADC は、内蔵 A/D コンバータとして引き続きクラス最高の性能を発揮します。F2833x は、150MHz CPU および最大 512KB のオンチップ・フラッシュを搭載しています。176 ピン QFP または 179 ボール BGA パッケージで供給されます。

[TMS320C2834x リアルタイム・マイクロコントローラ](#)

C2834x シリーズは、オンチップ・フラッシュ・メモリと内蔵 ADC を取り除いて、最高 300MHz の最速クロック速度を実現しています。179 ボールの nFBGA または 256 ボール BGA パッケージで供給されます。

[TMS320F2837xD リアルタイム・マイクロコントローラ](#)

F2837xD シリーズは、デュアル・サブシステムの性能に関する新しい標準を確立します。各サブシステムは、C28x CPU および並列制御補償器アクセラレータ (CLA) で構成され、それぞれが 200MHz で動作します。性能を強化するものとして、TMU および VCU アクセラレータがあります。新しい機能としては、複数の 16 ビット / 12 ビット・モード ADC、DAC、デルタ・シグマ・フィルタ、USB、コンフィギュラブル・ロジック・ブロック (CLB)、オンチップ発振器、すべてのペリフェラルの拡張バージョンがあります。F2837xD は、最大 1MB のフラッシュを搭載しています。176 ピン QFP または 337 ピン BGA パッケージで供給されます。

[TMS320F2837xS リアルタイム・マイクロコントローラ](#)

F2837xS シリーズは、F2837xD のピン互換バージョンですが、C28x-CPU-CLA サブシステムが 1 つのみ有効です。また、TMS320F2807x シリーズとの互換性を確保するために、100 ピン QFP も用意されています。

6 端子構成および機能

6.1 ピン配置図

図 6-1 に、176 ピン PGF/PTP 薄型クワッド・フラットパック (LQFP) のピン配置を示します。図 6-2～図 6-5 に、179 ボール ZHH ボール・グリッド・アレイ (BGA) および 179 ボール ZAY 新しいファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) の端子割り当てを示します。図 6-6～図 6-9 に、176 ボール ZJZ プラスチック BGA の端子割り当てを示します。表 6-1 に、各ピンの機能を示します。

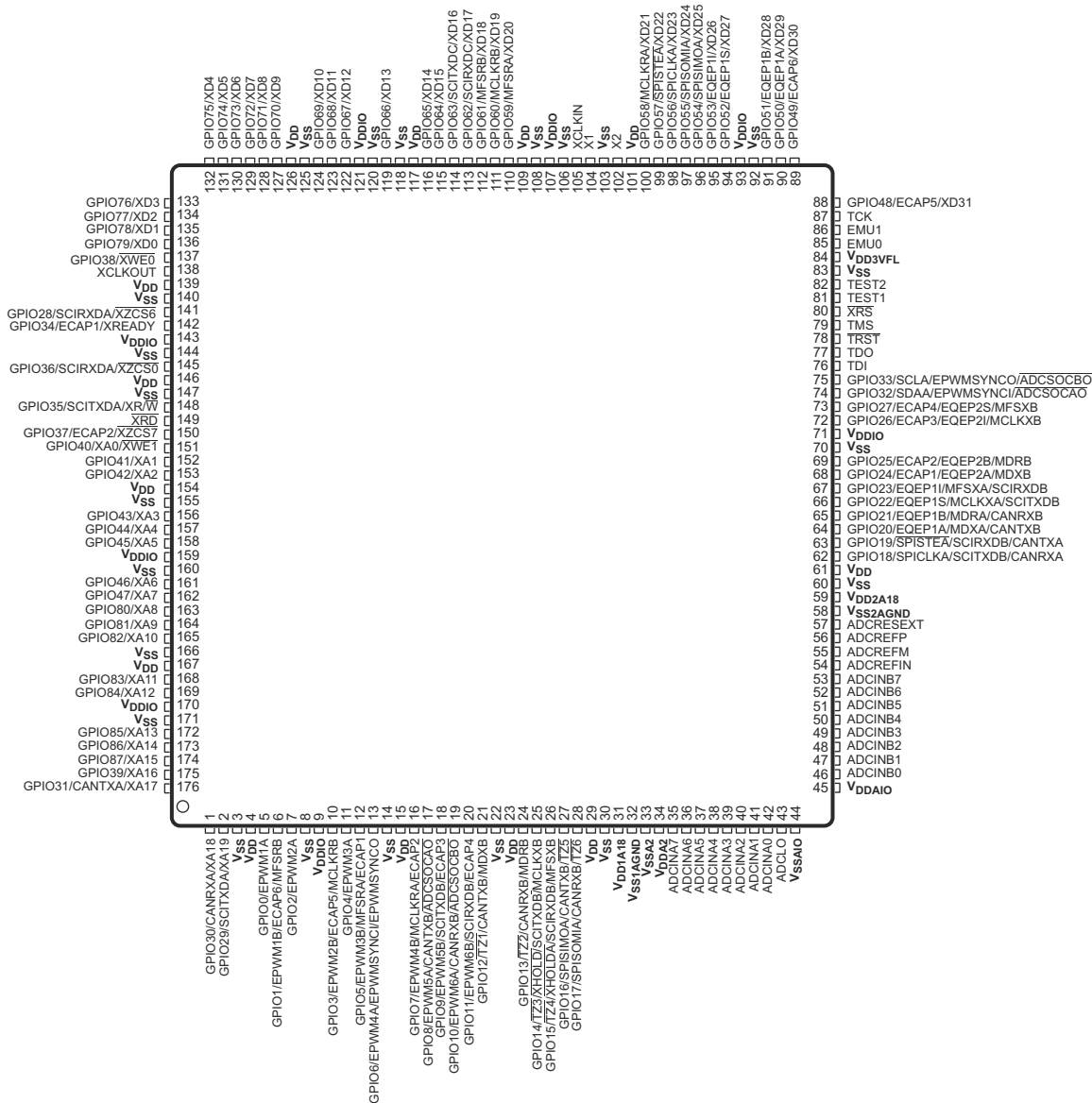


図 6-1. F2833x、F2823x 176 ピン PGF/PTP LQFP (上面図)

注

サーマル・パッドは、最良の熱伝導パスを得るため、PCB のグランド (GND) プレーンに半田付けする必要があります。このデバイスでは、サーマル・パッドが内部ダイ V_{SS} に電氣的に短絡していないので、サーマル・パッドは、PCB グランドへの電氣的接続を提供しません。PowerPAD™ パッケージで設計された熱効率を最適に利用するには、このテクノロジーを考慮して PCB を設計する必要があります。PowerPAD 本体直下の PCB 表面に、サーマル・ランドが必要です。このサーマル・ランドは、サーマル・パッドに半田付けする必要があります。熱を放散するために、必要に応じてサーマル・ランドを大きくする必要があります。サーマル・パッドを基板の内層 GND プレーンに接続するには、複数のサーマル・ビアを使用する必要があります。PowerPAD パッケージの使用法の詳細については、『[PowerPAD™ 熱的に強化されたパッケージ](#)』を参照してください。

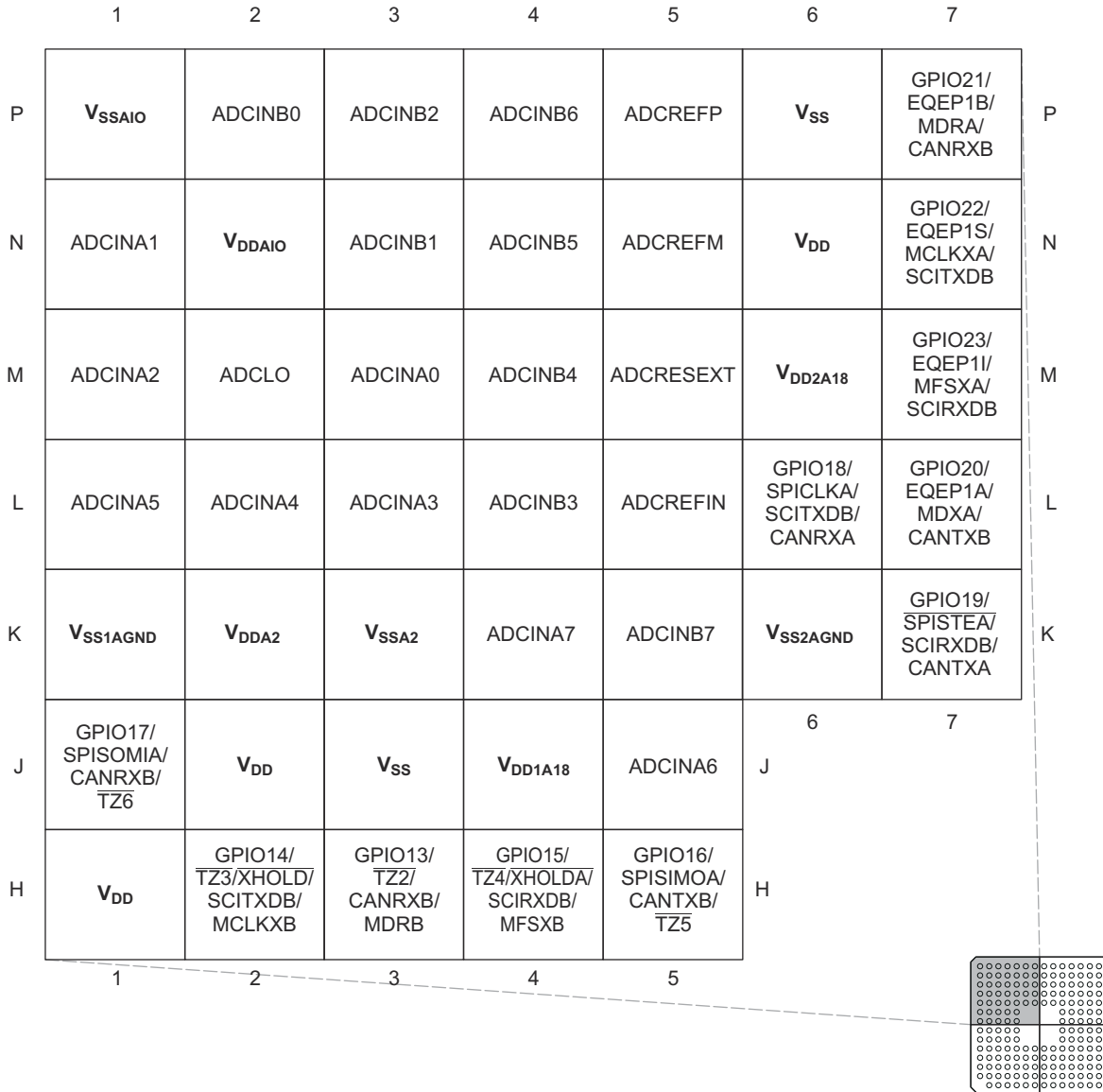


図 6-2. F2833x、F2823x 179 ボール ZHH MicroStar BGA および 179 ボール ZAY nFBGA (左上象限) (底面図)

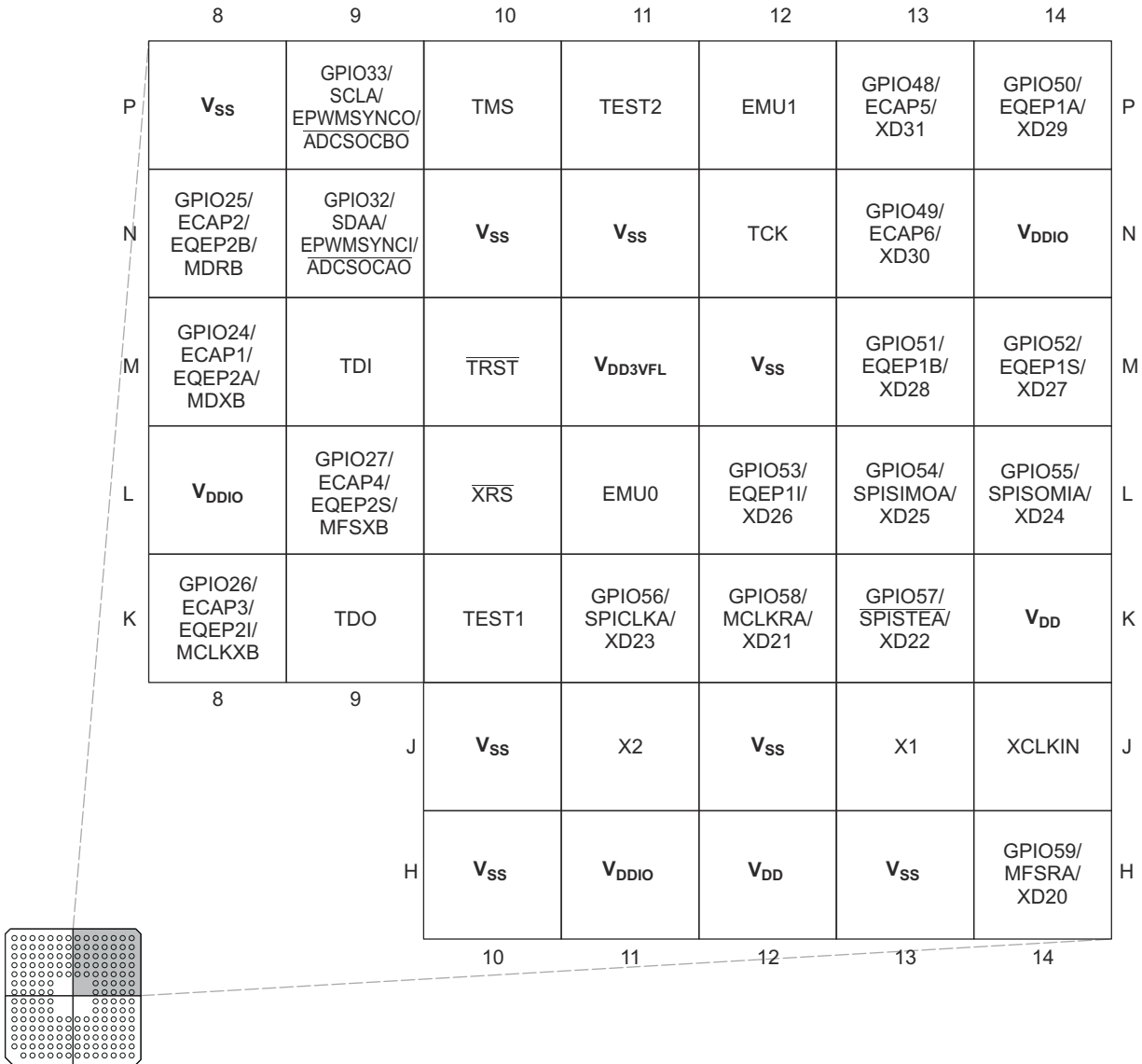


図 6-3. F2833x、F2823x 179 ボール ZHH MicroStar BGA および 179 ボール ZAY nFBGA (右上象限) (底面図)

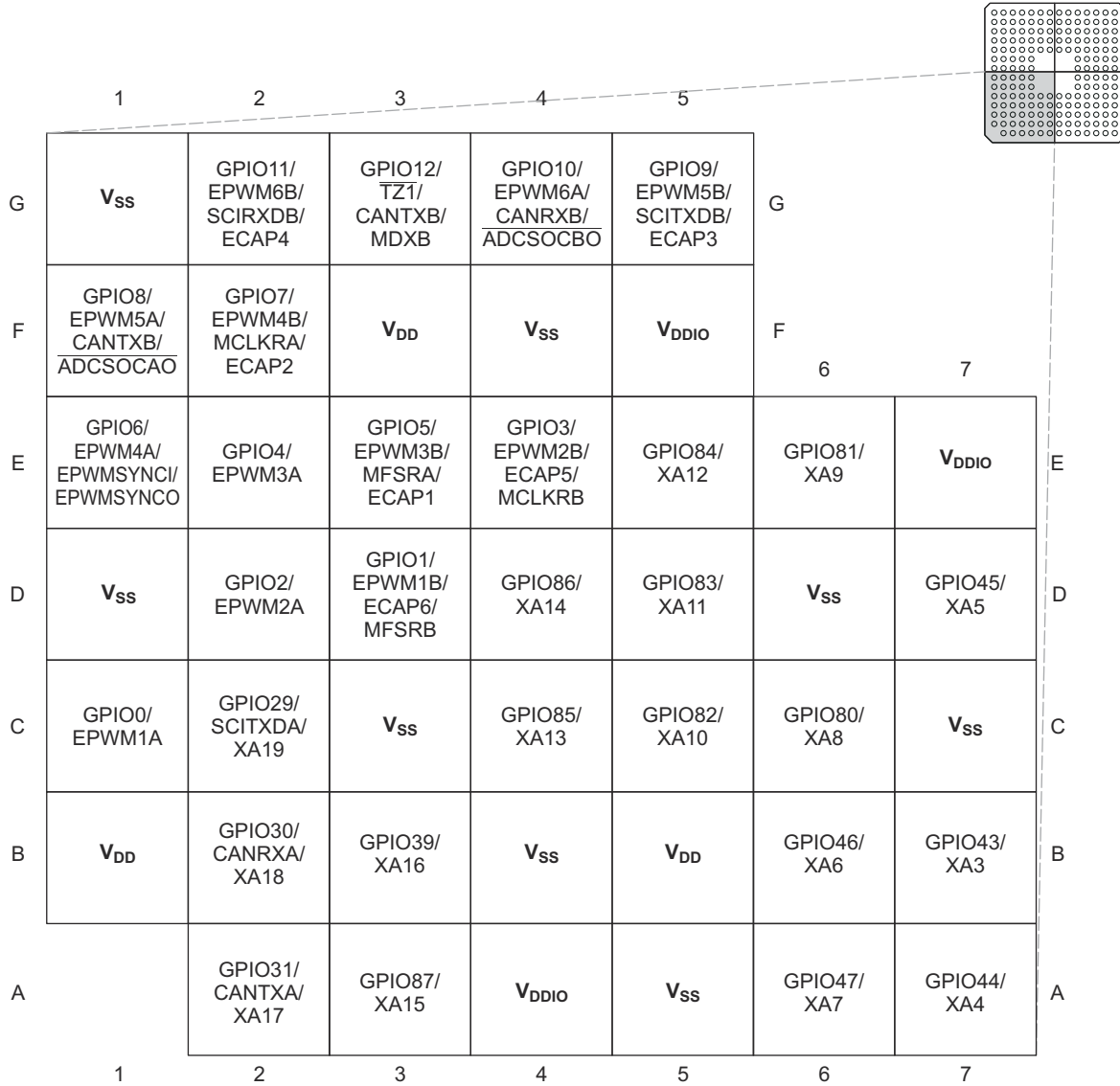


図 6-4. F2833x、F2823x 179 ボール ZHH MicroStar BGA および 179 ボール ZAY nFBGA (左下象限) (底面図)

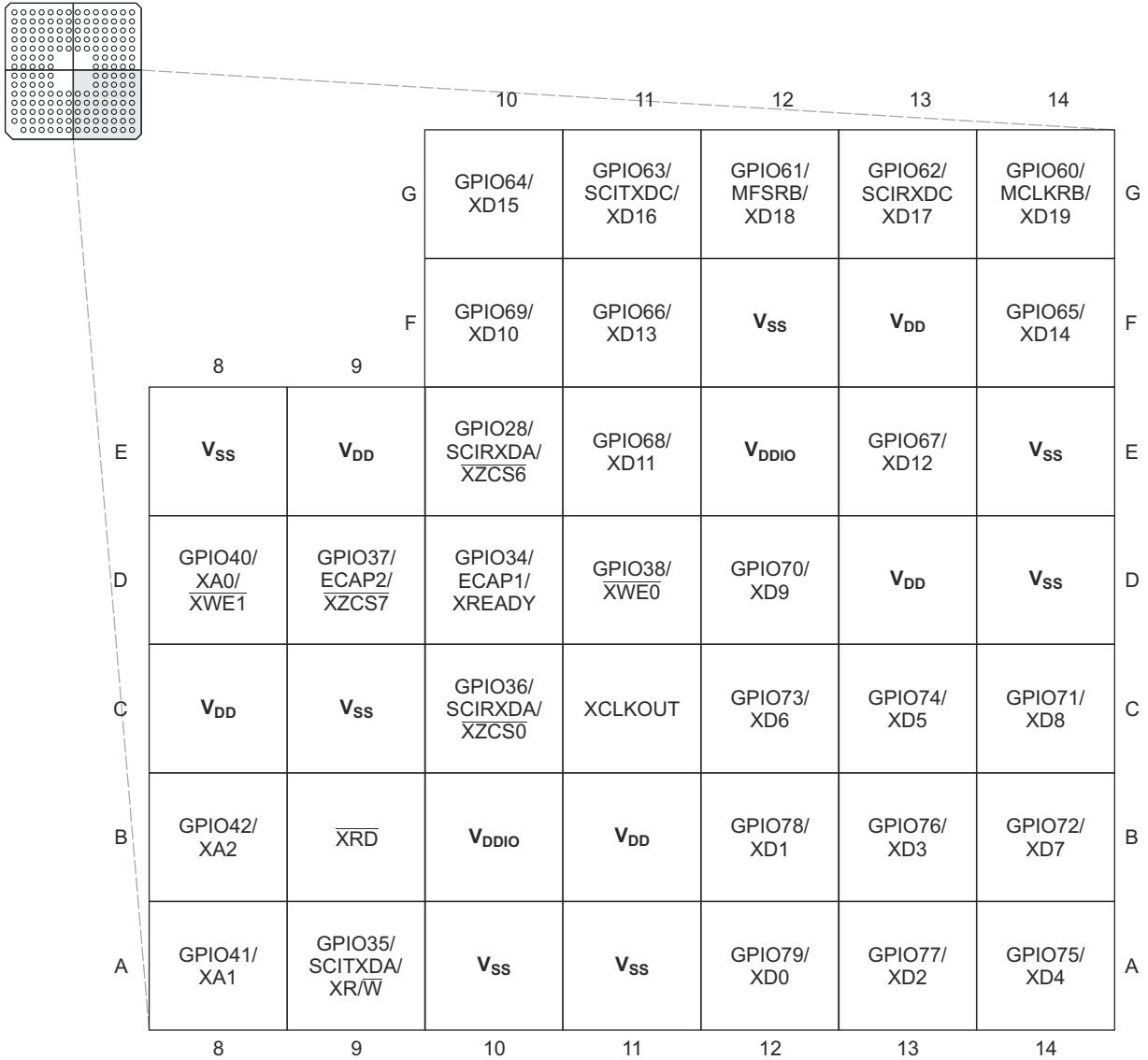


図 6-5. F2833x、F2823x 179 ボール ZHH MicroStar BGA および 179 ボール ZAY nFBGA (右下象限) (底面図)

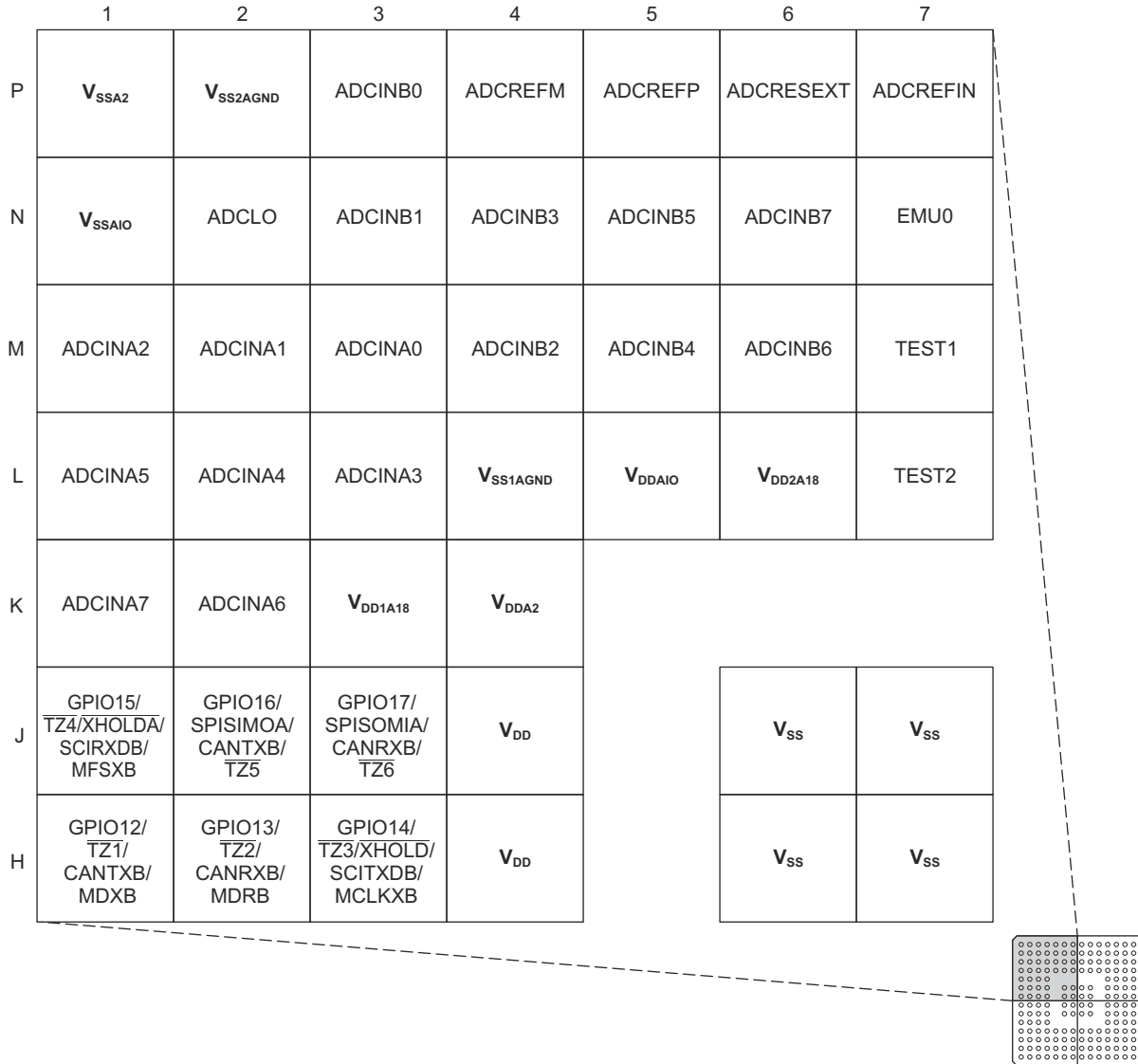


図 6-6. F2833x、F2823x 176 ボール ZJZ プラスチック BGA (左上象限) (底面図)

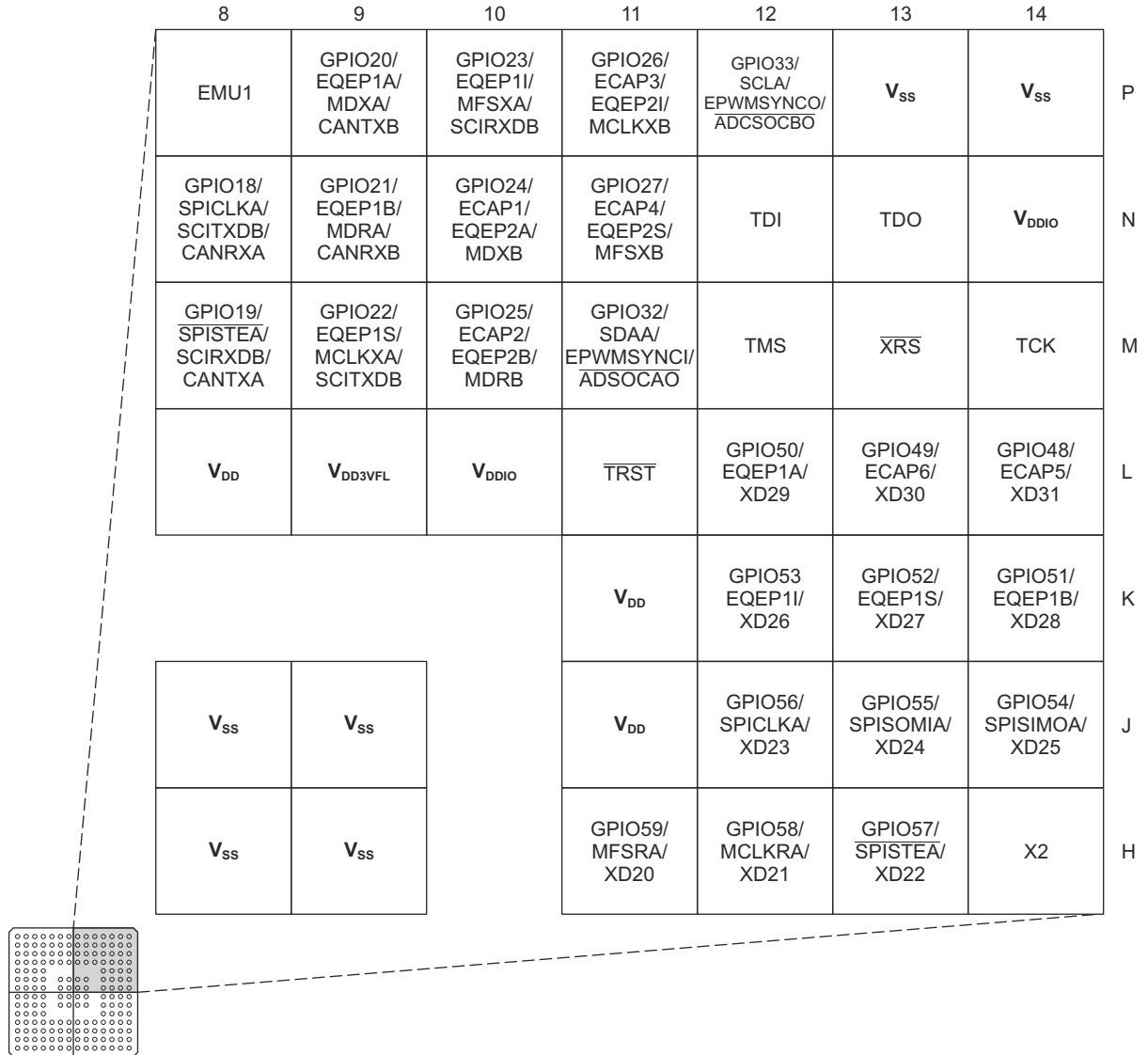


図 6-7. F2833x、F2823x 176 ボール ZJZ プラスチック BGA (右上象限) (底面図)

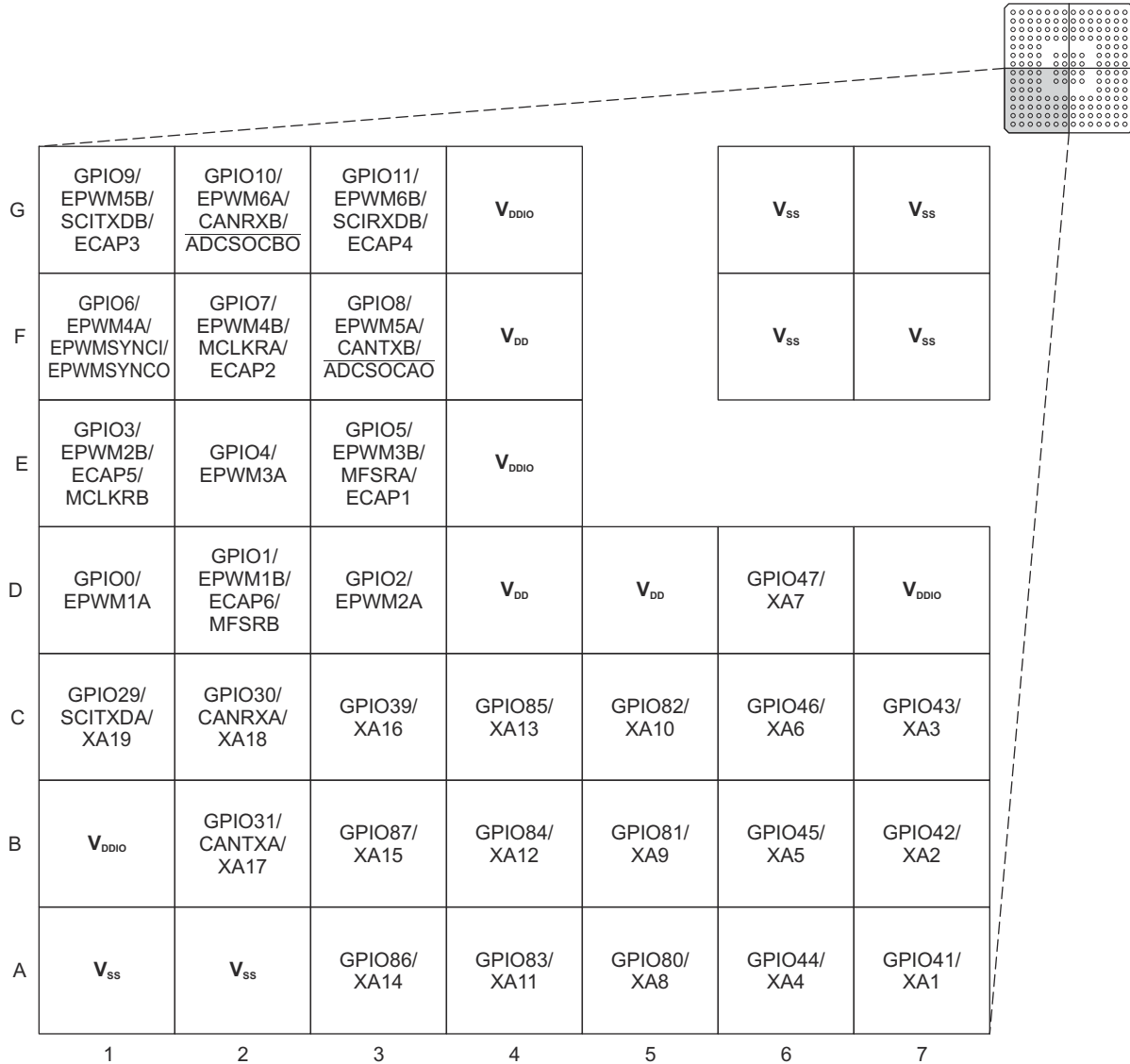


図 6-8. F2833x、F2823x 176 ボール ZJZ プラスチック BGA (左下象限) (底面図)

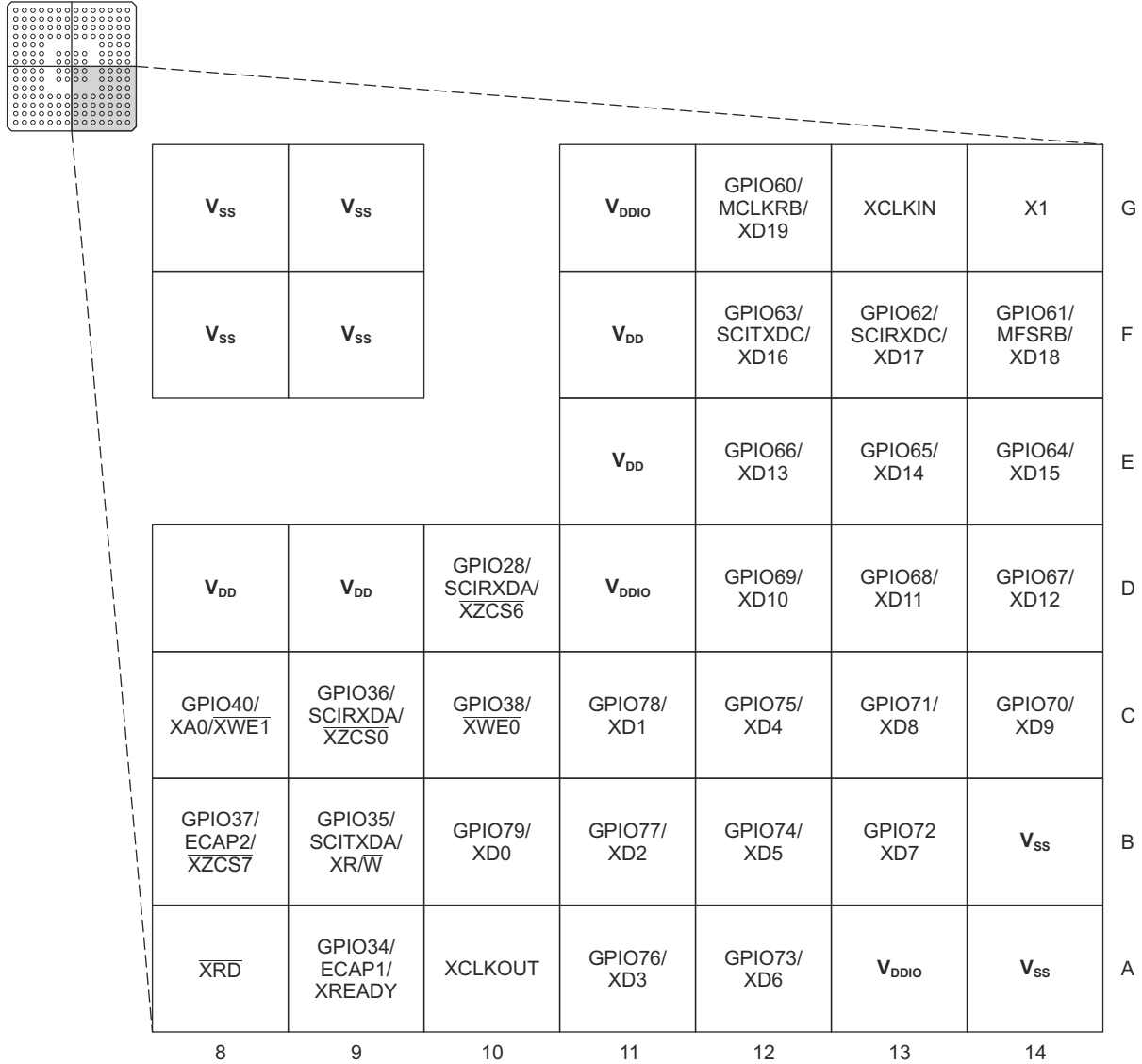


図 6-9. F2833x、F2823x 176 ボール ZJZ プラスチック BGA (右下象限) (底面図)

6.2 信号の説明

表 6-1 では、信号について説明します。GPIO 機能 (斜体で表示) がリセット時のデフォルトです。その下に表示されているペリフェラル信号は、代替機能です。一部のペリフェラル機能は、すべてのデバイスで利用できるわけではありません。詳細は表 5-1 および表 5-2 を参照してください。入力は、5V 許容ではありません。XINTF 出力機能を生成できるすべてのピンの駆動能力は 8mA (標準値) です。これは、ピンが XINTF 機能用に設定されていない場合でも同様です。他のすべてのピンの駆動能力は、特に記述のない限り、4mA (標準値) です。すべての GPIO ピンは I/O であり、内部プルアップを備えており、ピンごとにイネーブルまたはディセーブルを選択できます。この機能は、GPIO ピンにのみ適用されません。GPIO0～GPIO11 ピンのプルアップは、リセット時にはイネーブルされていません。GPIO12～GPIO87 のプルアップは、リセット時にイネーブルされます。

表 6-1. 信号の説明

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
JTAG				
TRST	78	M10	L11	内部プルダウン付きの JTAG テスト・リセット。 $\overline{\text{TRST}}$ を HIGH に駆動すると、スキャン・システムがデバイスの動作を制御ようになります。この信号が接続されていない場合、または LOW に駆動されている場合、デバイスは機能モードで動作し、テスト・リセット信号は無視されます。 注: $\overline{\text{TRST}}$ は、アクティブ HIGH のテスト・ピンであり、通常のデバイス動作中は常に LOW に維持する必要があります。このピンには外付けプルダウン抵抗が必要です。この抵抗の値は、設計に適用されるデバッグ・ボードの駆動能力に基づいて決定する必要があります。一般的には、2.2k Ω の抵抗を使用すれば、適切な保護が得られます。この抵抗の値は、アプリケーションによって決まるので、デバッグおよびアプリケーションが適切に動作するように、各ターゲット・ボードを検証することを推奨します。(I, ↓)
TCK	87	N12	M14	内部プルアップ付き JTAG テスト・クロック (I, ↑)
TMS	79	P10	M12	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされます。(I, ↑)
TDI	76	M9	N12	内部プルアップ付き JTAG テスト・データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。(I, ↑)
TDO	77	K9	N13	JTAG スキャンアウト、テスト・データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。(O/Z 8mA 駆動)
EMU0	85	L11	N7	エミュレータ・ピン 0。 $\overline{\text{TRST}}$ が HIGH に駆動されているとき、このピンは、JTAG デバッグ・プローブ・システムに対する割り込み、または同システムからの割り込みとして使用され、JTAG スキャンによって入力または出力として定義されます。このピンは、デバイスをバウンダリ・スキャン・モードにするためにも使用されます。EMU0 ピンがロジック HIGH 状態、EMU1 ピンがロジック LOW 状態のとき、 $\overline{\text{TRST}}$ ピンの立ち上がりエッジによって、デバイスがバウンダリ・スキャン・モードにラッチされます。(I/O/Z, 8mA 駆動 ↑) 注: このピンには外付けプルアップ抵抗が必要です。この抵抗の値は、設計に適用されるデバッグ・ボードの駆動能力に基づいて決定する必要があります。一般的には、2.2k Ω ～4.7k Ω の抵抗が適切です。この抵抗の値は、アプリケーションによって決まるので、デバッグおよびアプリケーションが適切に動作するように、各ターゲット・ボードを検証することを推奨します。
EMU1	86	P12	P8	エミュレータ・ピン 1。 $\overline{\text{TRST}}$ が HIGH に駆動されているとき、このピンは、JTAG デバッグ・プローブ・システムに対する割り込み、または同システムからの割り込みとして使用され、JTAG スキャンによって入力または出力として定義されます。このピンは、デバイスをバウンダリ・スキャン・モードにするためにも使用されます。EMU0 ピンがロジック HIGH 状態、EMU1 ピンがロジック LOW 状態のとき、 $\overline{\text{TRST}}$ ピンの立ち上がりエッジによって、デバイスがバウンダリ・スキャン・モードにラッチされます。(I/O/Z, 8mA 駆動 ↑) 注: このピンには外付けプルアップ抵抗が必要です。この抵抗の値は、設計に適用されるデバッグ・ボードの駆動能力に基づいて決定する必要があります。一般的には、2.2k Ω ～4.7k Ω の抵抗が適切です。この抵抗の値は、アプリケーションによって決まるので、デバッグおよびアプリケーションが適切に動作するように、各ターゲット・ボードを検証することを推奨します。
フラッシュ				
V _{DD3VFL}	84	M11	L9	3.3V フラッシュ・コア電源ピン。このピンは、常時 3.3V に接続する必要があります。
TEST1	81	K10	M7	テスト・ピン。TI で使用のため予約済み。未接続のままにする必要があります。(I/O)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
TEST2	82	P11	L7	テスト・ピン。TI で使用のため予約済み。未接続のままにする必要があります。(I/O)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
クロック				
XCLKOUT	138	C11	A10	SYSCLOCKOUT から生成される出力クロック。XCLKOUT は、SYSCLOCKOUT と同じ周波数、1/2 の周波数、または 1/4 の周波数のいずれかです。これは、XINTCNF2 レジスタのビット 18:16 (XTIMCLK) およびビット 2 (CLKMODE) によって制御されます。リセット時は、XCLKOUT = SYSCLOCKOUT/4 です。XCLKOUT 信号は、XINTCNF2[CLKOFF] を 1 に設定するとオフにできます。他の GPIO ピンとは異なり、XCLKOUT ピンはリセット時に高インピーダンス状態になりません。(O/Z, 8mA 駆動)。
XCLKIN	105	J14	G13	外部発振器入力。このピンは、外部 3.3V 発振器からクロックを供給するためのものです。この場合、X1 ピンを GND に接続する必要があります。水晶振動子 / 発振子を使用する場合 (または、外付けの 1.9V 発振器を使用して X1 ピンにクロックを供給する場合)、このピンを GND に接続する必要があります。(I)
X1	104	J13	G14	内部 / 外部発振器入力。内部発振器を使用するには、X1 と X2 の間に水晶振動子またはセラミック発振子を接続します。X1 ピンは、1.9V/1.8V コア・デジタル電源を基準としています。1.9V/1.8V の外部発振器を X1 ピンに接続することもできます。この場合、XCLKIN ピンをグラウンドに接続する必要があります。XCLKIN ピンで 3.3V の外部発振器を使用する場合は、X1 を GND に接続する必要があります。(I)
X2	102	J11	H14	内蔵発振器出力。X1 と X2 の間に水晶振動子またはセラミック共振器を接続できます。X2 を使用しない場合は、未接続のままにする必要があります。(O)
RESET				
XRS	80	L10	M13	デバイス・リセット (IN) およびウォッチドッグ・リセット (OUT)。 デバイス・リセット。XRS は、デバイスの実行を終了させます。PC は、0x3FFFC0 の位置にあるアドレスを指します。XRS を HIGH レベルに駆動すると、PC が指しているアドレスから実行が開始されます。ウォッチドッグ・リセットが発生すると、MCU によってこのピンが LOW に駆動されます。ウォッチドッグ・リセット中、ウォッチドッグ・リセット期間である 512 OSCCLK サイクルにわたって、XRS ピンが LOW に駆動されます。(I/OD, ↑) このピンの出力バッファは、内部プルアップ付きのオープン・ドレインです。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。パワーダウン時のタイミング要件が満たされるようにするために、このピンに外部 R-C 回路を使うこともできます。
ADC 信号				
ADCINA7	35	K4	K1	ADC グループ A、チャンネル 7 入力 (I)
ADCINA6	36	J5	K2	ADC グループ A、チャンネル 6 入力 (I)
ADCINA5	37	L1	L1	ADC グループ A、チャンネル 5 入力 (I)
ADCINA4	38	L2	L2	ADC グループ A、チャンネル 4 入力 (I)
ADCINA3	39	L3	L3	ADC グループ A、チャンネル 3 入力 (I)
ADCINA2	40	M1	M1	ADC グループ A、チャンネル 2 入力 (I)
ADCINA1	41	N1	M2	ADC グループ A、チャンネル 1 入力 (I)
ADCINA0	42	M3	M3	ADC グループ A、チャンネル 0 入力 (I)
ADCINB7	53	K5	N6	ADC グループ B、チャンネル 7 入力 (I)
ADCINB6	52	P4	M6	ADC グループ B、チャンネル 6 入力 (I)
ADCINB5	51	N4	N5	ADC グループ B、チャンネル 5 入力 (I)
ADCINB4	50	M4	M5	ADC グループ B、チャンネル 4 入力 (I)
ADCINB3	49	L4	N4	ADC グループ B、チャンネル 3 入力 (I)
ADCINB2	48	P3	M4	ADC グループ B、チャンネル 2 入力 (I)
ADCINB1	47	N3	N3	ADC グループ B、チャンネル 1 入力 (I)
ADCINB0	46	P2	P3	ADC グループ B、チャンネル 0 入力 (I)
ADCLO	43	M2	N2	低い基準電圧 (アナログ・グラウンドに接続) (I)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
ADCRESEXT	57	M5	P6	ADC 外部電流バイアス抵抗。22kΩ の抵抗をアナログ・グランドに接続します。
ADCREFIN	54	L5	P7	外部基準電圧入力ピン (I)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
ADCREFP	56	P5	P5	内部基準電圧正出力。アナログ・グラウンドに対して、2.2μF の低 ESR (1.5Ω 未満) セラミック・バイパス・コンデンサが必要です。(O) 注:ADC クロック・レートを使って、システムで使用されているコンデンサのデータシートから ESR 仕様を導出します。
ADCREFM	55	N5	P4	内部基準電圧中間出力。アナログ・グラウンドに対して、2.2μF の低 ESR (1.5Ω 未満) セラミック・バイパス・コンデンサが必要です。(O) 注:ADC クロック・レートを使って、システムで使用されているコンデンサのデータシートから ESR 仕様を導出します。
CPU および I/O の電源ピン				
V _{DDA2}	34	K2	K4	ADC アナログ電源ピン
V _{SSA2}	33	K3	P1	ADC アナログ・グラウンド・ピン
V _{DDAIO}	45	N2	L5	ADC アナログ I/O 電源ピン
V _{SSAIO}	44	P1	N1	ADC アナログ I/O グラウンド・ピン
V _{DD1A18}	31	J4	K3	ADC アナログ電源ピン
V _{SS1AGND}	32	K1	L4	ADC アナログ・グラウンド・ピン
V _{DD2A18}	59	M6	L6	ADC アナログ電源ピン
V _{SS2AGND}	58	K6	P2	ADC アナログ・グラウンド・ピン
V _{DD}	4	B1	D4	CPU およびロジックのデジタル電源ピン
V _{DD}	15	B5	D5	
V _{DD}	23	B11	D8	
V _{DD}	29	C8	D9	
V _{DD}	61	D13	E11	
V _{DD}	101	E9	F4	
V _{DD}	109	F3	F11	
V _{DD}	117	F13	H4	
V _{DD}	126	H1	J4	
V _{DD}	139	H12	J11	
V _{DD}	146	J2	K11	
V _{DD}	154	K14	L8	
V _{DD}	167	N6		
V _{DDIO}	9	A4	A13	
V _{DDIO}	71	B10	B1	
V _{DDIO}	93	E7	D7	
V _{DDIO}	107	E12	D11	
V _{DDIO}	121	F5	E4	
V _{DDIO}	143	L8	G4	
V _{DDIO}	159	H11	G11	
V _{DDIO}	170	N14	L10	
V _{DDIO}			N14	

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
V _{SS}	3	A5	A1	デジタル・グラウンド・ピン
V _{SS}	8	A10	A2	
V _{SS}	14	A11	A14	
V _{SS}	22	B4	B14	
V _{SS}	30	C3	F6	
V _{SS}	60	C7	F7	
V _{SS}	70	C9	F8	
V _{SS}	83	D1	F9	
V _{SS}	92	D6	G6	
V _{SS}	103	D14	G7	
V _{SS}	106	E8	G8	
V _{SS}	108	E14	G9	
V _{SS}	118	F4	H6	
V _{SS}	120	F12	H7	
V _{SS}	125	G1	H8	
V _{SS}	140	H10	H9	
V _{SS}	144	H13	J6	
V _{SS}	147	J3	J7	
V _{SS}	155	J10	J8	
V _{SS}	160	J12	J9	
V _{SS}	166	M12	P13	
V _{SS}	171	N10	P14	
V _{SS}		N11		
V _{SS}		P6		
V _{SS}		P8		
GPIO およびペリフェラル信号				
GPIO0 EPWM1A - -	5	C1	D1	汎用入出力 0 (I/O/Z) 拡張 PWM1 出力 A および HRPWM チャネル (O) - -
GPIO1 EPWM1B ECAP6 MFSRB	6	D3	D2	汎用入出力 1 (I/O/Z) 拡張 PWM1 出力 B (O) 拡張キャプチャ 6 入出力 (I/O) McBSP-B 受信フレーム 同期 (I/O)
GPIO2 EPWM2A - -	7	D2	D3	汎用入出力 2 (I/O/Z) 拡張 PWM2 出力 A および HRPWM チャネル (O) - -
GPIO3 EPWM2B ECAP5 MCLKRB	10	E4	E1	汎用入出力 3 (I/O/Z) 拡張 PWM2 出力 B (O) 拡張キャプチャ 5 入出力 (I/O) McBSP-B 受信クロック (I/O)
GPIO4 EPWM3A - -	11	E2	E2	汎用入出力 4 (I/O/Z) 拡張 PWM3 出力 A および HRPWM チャネル (O) - -

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
GPIO5 EPWM3B MFSRA ECAP1	12	E3	E3	汎用入出力 5 (I/O/Z) 拡張 PWM3 出力 B (O) McBSP-A 受信フレーム同期 (I/O) 拡張キャプチャ入出力 1 (I/O)
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	13	E1	F1	汎用入出力 6 (I/O/Z) 拡張 PWM4 出力 A および HRPWM チャネル (O) 外部 ePWM 同期パルス入力 (I) 外部 ePWM 同期パルス出力 (O)
GPIO7 EPWM4B MCLKRA ECAP2	16	F2	F2	汎用入出力 7 (I/O/Z) 拡張 PWM4 出力 B (O) McBSP-A 受信クロック (I/O) 拡張キャプチャ入出力 2 (I/O)
GPIO8 EPWM5A CANTXB ADCSOCAO	17	F1	F3	汎用入出力 8 (I/O/Z) 拡張 PWM5 出力 A および HRPWM チャネル (O) 拡張 CAN-B 送信 (O) ADC 変換開始 A (O)
GPIO9 EPWM5B SCITXDB ECAP3	18	G5	G1	汎用入出力 9 (I/O/Z) 拡張 PWM5 出力 B (O) SCI-B 送信データ (O) 拡張キャプチャ入出力 3 (I/O)
GPIO10 EPWM6A CANRXB ADCSOCBO	19	G4	G2	汎用入出力 10 (I/O/Z) 拡張 PWM6 出力 A および HRPWM チャネル (O) 拡張 CAN-B 受信 (I) ADC 変換開始 B (O)
GPIO11 EPWM6B SCIRXDB ECAP4	20	G2	G3	汎用入出力 11 (I/O/Z) 拡張 PWM6 出力 B (O) SCI-B 受信データ (I) 拡張 CAP 入出力 4 (I/O)
GPIO12 TZ1 CANTXB MDXB	21	G3	H1	汎用入出力 12 (I/O/Z) トリップ・ゾーン入力 1 (I) 拡張 CAN-B 送信 (O) McBSP-B 送信シリアル・データ (O)
GPIO13 TZ2 CANRXB MDRB	24	H3	H2	汎用入出力 13 (I/O/Z) トリップ・ゾーン入力 2 (I) 拡張 CAN-B 受信 (I) McBSP-B 受信シリアル・データ (I)
GPIO14 TZ3/ XHOLD SCITXDB MCLKXB	25	H2	H3	汎用入出力 14 (I/O/Z) トリップ・ゾーン入力 3 / 外部ホールド要求。XHOLD は、アクティブ (LOW) のとき、外部インターフェイス (XINTF) に対して、外部バスを解放して、すべてのバスおよびストロブを高インピーダンス状態にするよう要求します。TZ3 信号がアクティブになったときにこの動作が発生しないようにするためには、XINTCNF2[HOLD] = 1 を書き込んでこの機能を無効にします。これを行わなければ、TZ3 が LOW になると、いつでも INTF バスが高インピーダンスになります。ePWM 側では、コードによってイネーブルにされない限り、TZn 信号は、デフォルトで無視されます。現在のアクセスが完了し、XINTF に保留中のアクセスがない場合、XINTF はバスを解放します。(I) SCI-B 送信 (O) McBSP-B 送信クロック (I/O)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
GPIO15 TZ4/ XHOLDA SCIRXDB MFSXB	26	H4	J1	汎用入出力 15 (I/O/Z) トリップ・ゾーン入力 4 / 外部ホールド・アクリッジ。このピン機能の選択は、GPADIR レジスタで選択した方向によって決まります。このピンが入力として構成されている場合は、TZ4 機能が選択されます。このピンが出力として構成されている場合は、XHOLDA 機能が選択されます。XHOLDA は、XINTF が XHOLD 要求を許可したときにアクティブ (LOW) に駆動されます。すべての XINTF バスおよびストロブ信号は高インピーダンス状態になります。XHOLD 信号が解放されると、XHOLDA が解放されます。外部デバイスは、XHOLDA がアクティブ (LOW) のときのみ外部バスを駆動するようにします。(I/O)
GPIO16 SPISIMOA CANTXB TZ5	27	H5	J2	汎用入出力 16 (I/O/Z) SPI スレーブ入力、マスタ出力 (I/O) 拡張 CAN-B 送信 (O) トリップ・ゾーン入力 5 (I)
GPIO17 SPISOMIA CANRXB TZ6	28	J1	J3	汎用入出力 17 (I/O/Z) SPI-A スレーブ出力、マスタ入力 (I/O) 拡張 CAN-B 受信 (I) トリップ・ゾーン入力 6 (I)
GPIO18 SPICLKA SCITXDB CANRXA	62	L6	N8	汎用入出力 18 (I/O/Z) SPI-A クロック入出力 (I/O) SCI-B 送信 (O) 拡張 CAN-A 受信 (I)
GPIO19 SPISTEÅ SCIRXDB CANTXA	63	K7	M8	汎用入出力 19 (I/O/Z) SPI-A スレーブ送信イネーブル入出力 (I/O) SCI-B 受信 (I) 拡張 CAN-A 送信 (O)
GPIO20 EQEP1A MDXA CANTXB	64	L7	P9	汎用入出力 20 (I/O/Z) 拡張 QEP1 入力 A (I) McBSP-A 送信シリアル・データ (O) 拡張 CAN-B 送信 (O)
GPIO21 EQEP1B MDRA CANRXB	65	P7	N9	汎用入出力 21 (I/O/Z) 拡張 QEP1 入力 B (I) McBSP-A 受信シリアル・データ (I) 拡張 CAN-B 受信 (I)
GPIO22 EQEP1S MCLKXA SCITXDB	66	N7	M9	汎用入出力 22 (I/O/Z) 拡張 QEP1 ストロブ (I/O) McBSP-A 送信クロック (I/O) SCI-B 送信 (O)
GPIO23 EQEP1I MFSXA SCIRXDB	67	M7	P10	汎用入出力 23 (I/O/Z) 拡張 QEP1 インデックス (I/O) McBSP-A 送信フレーム同期 (I/O) SCI-B 受信 (I)
GPIO24 ECAP1 EQEP2A MDXB	68	M8	N10	汎用入出力 24 (I/O/Z) 拡張キャプチャ 1 (I/O) 拡張 QEP2 入力 A (I) McBSP-B 送信シリアル・データ (O)
GPIO25 ECAP2 EQEP2B MDRB	69	N8	M10	汎用入出力 25 (I/O/Z) 拡張キャプチャ 2 (I/O) 拡張 QEP2 入力 B (I) McBSP-B 受信シリアル・データ (I)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
GPIO26 ECAP3 EQEP2I MCLKXB	72	K8	P11	汎用入出力 26 (I/O/Z) 拡張キャプチャ 3 (I/O) 拡張 QEP2 インデックス (I/O) McBSP-B 送信クロック (I/O)
GPIO27 ECAP4 EQEP2S MFSXB	73	L9	N11	汎用入出力 27 (I/O/Z) 拡張キャプチャ 4 (I/O) 拡張 QEP2 ストロープ (I/O) McBSP-B 送信フレーム同期 (I/O)
GPIO28 SCIRXDA XZCS6	141	E10	D10	汎用入出力 28 (I/O/Z) SCI 受信データ (I) 外部インターフェイス・ゾーン 6 チップ・セレクト (O)
GPIO29 SCITXDA XA19	2	C2	C1	汎用入出力 29(I/O/Z) SCI 送信データ (O) 外部インターフェイス・アドレス・ライン 19 (O)
GPIO30 CANRXA XA18	1	B2	C2	汎用入出力 30 (I/O/Z) 拡張 CAN-A 受信 (I) 外部インターフェイス・アドレス・ライン 18 (O)
GPIO31 CANTXA XA17	176	A2	B2	汎用入出力 31 (I/O/Z) 拡張 CAN-A 送信 (O) 外部インターフェイス・アドレス・ライン 17 (O)
GPIO32 SDAA EPWMSYNCI ADCSOCAO	74	N9	M11	汎用入出力 32 (I/O/Z) I2C データ・オープン・ドレイン双方向ポート (I/OD) 拡張 PWM 外部同期パルス入力 (I) ADC 変換開始 A (O)
GPIO33 SCLA EPWMSYNCO ADCSOCBO	75	P9	P12	汎用入出力 33 (I/O/Z) I2C クロック・オープン・ドレイン双方向ポート (I/OD) 拡張 PWM 外部同期パルス出力 (O) ADC 変換開始 B (O)
GPIO34 ECAP1 XREADY	142	D10	A9	汎用入出力 34 (I/O/Z) 拡張キャプチャ入出力 1 (I/O) 外部インターフェイス・レディ信号。このピンは常に (直接) XINTF に接続されていることに注意してください。XINTF を使用するとともに、アプリケーションがこのピンを GPIO として使用する場合は、XINTF がレディ信号を無視するように構成する必要があります。
GPIO35 SCITXDA XR/W	148	A9	B9	汎用入出力 35 (I/O/Z) SCI-A 送信データ (O) 外部インターフェイス読み取り、非書き込みストロープ
GPIO36 SCIRXDA XZCS0	145	C10	C9	汎用入出力 36 (I/O/Z) SCI 受信データ (I) 外部インターフェイス・ゾーン 0 チップ・セレクト (O)
GPIO37 ECAP2 XZCS7	150	D9	B8	汎用入出力 37 (I/O/Z) 拡張キャプチャ入出力 2 (I/O) 外部インターフェイス・ゾーン 7 チップ・セレクト (O)
GPIO38 - XWE0	137	D11	C10	汎用入出力 38 (I/O/Z) - 外部インターフェイス書き込みイネーブル 0 (O)
GPIO39 - XA16	175	B3	C3	汎用入出力 39 (I/O/Z) - 外部インターフェイス・アドレス・ライン 16 (O)
GPIO40 - XA0/ XWE1	151	D8	C8	汎用入出力 40 (I/O/Z) - 外部インターフェイス・アドレス・ライン 0 / 外部インターフェイス書き込みイネーブル 1 (O)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
GPIO41 - XA1	152	A8	A7	汎用入出力 41 (I/O/Z) - 外部インターフェイス・アドレス・ライン 1 (O)
GPIO42 - XA2	153	B8	B7	汎用入出力 42 (I/O/Z) - 外部インターフェイス・アドレス・ライン 2 (O)
GPIO43 - XA3	156	B7	C7	汎用入出力 43 (I/O/Z) - 外部インターフェイス・アドレス・ライン 3 (O)
GPIO44 - XA4	157	A7	A6	汎用入出力 44 (I/O/Z) - 外部インターフェイス・アドレス・ライン 4 (O)
GPIO45 - XA5	158	D7	B6	汎用入出力 45 (I/O/Z) - 外部インターフェイス・アドレス・ライン 5 (O)
GPIO46 - XA6	161	B6	C6	汎用入出力 46 (I/O/Z) - 外部インターフェイス・アドレス・ライン 6 (O)
GPIO47 - XA7	162	A6	D6	汎用入出力 47 (I/O/Z) - 外部インターフェイス・アドレス・ライン 7 (O)
GPIO48 ECAP5 XD31	88	P13	L14	汎用入出力 48 (I/O/Z) 拡張キャプチャ入出力 5 (I/O) 外部インターフェイス・データ・ライン 31 (I/O/Z)
GPIO49 ECAP6 XD30	89	N13	L13	汎用入出力 49 (I/O/Z) 拡張キャプチャ入出力 6 (I/O) 外部インターフェイス・データ・ライン 30 (I/O/Z)
GPIO50 EQEP1A XD29	90	P14	L12	汎用入出力 50 (I/O/Z) 拡張 QEP1 入力 A (I) 外部インターフェイス・データ・ライン 29 (I/O/Z)
GPIO51 EQEP1B XD28	91	M13	K14	汎用入出力 51 (I/O/Z) 拡張 QEP1 入力 B (I) 外部インターフェイス・データ・ライン 28 (I/O/Z)
GPIO52 EQEP1S XD27	94	M14	K13	汎用入出力 52 (I/O/Z) 拡張 QEP1 ストローブ (I/O) 外部インターフェイス・データ・ライン 27 (I/O/Z)
GPIO53 EQEP1I XD26	95	L12	K12	汎用入出力 53 (I/O/Z) 拡張 QEP1 インデックス (I/O) 外部インターフェイス・データ・ライン 26 (I/O/Z)
GPIO54 SPISIMOA XD25	96	L13	J14	汎用入出力 54 (I/O/Z) SPI-A スレーブ入力、マスタ出力 (I/O) 外部インターフェイス・データ・ライン 25 (I/O/Z)
GPIO55 SPISOMIA XD24	97	L14	J13	汎用入出力 55 (I/O/Z) SPI-A スレーブ出力、マスタ入力 (I/O) 外部インターフェイス・データ・ライン 24 (I/O/Z)
GPIO56 SPICLKA XD23	98	K11	J12	汎用入出力 56 (I/O/Z) SPI-A クロック (I/O) 外部インターフェイス・データ・ライン 23 (I/O/Z)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
GPIO57 SPISTEAXD22	99	K13	H13	汎用入出力 57 (I/O/Z) SPI-A スレーブ送信イネーブル (I/O) 外部インターフェイス・データ・ライン 22 (I/O/Z)
GPIO58 MCLKRAXD21	100	K12	H12	汎用入出力 58 (I/O/Z) McBSP-A 受信クロック (I/O) 外部インターフェイス・データ・ライン 21 (I/O/Z)
GPIO59 MFSRAXD20	110	H14	H11	汎用入出力 59 (I/O/Z) McBSP-A 受信フレーム同期 (I/O) 外部インターフェイス・データ・ライン 20 (I/O/Z)
GPIO60 MCLKRBDX19	111	G14	G12	汎用入出力 60 (I/O/Z) McBSP-B 受信クロック (I/O) 外部インターフェイス・データ・ライン 19 (I/O/Z)
GPIO61 MFSRBDX18	112	G12	F14	汎用入出力 61 (I/O/Z) McBSP-B 受信フレーム同期 (I/O) 外部インターフェイス・データ・ライン 18 (I/O/Z)
GPIO62 SCIRXDCXD17	113	G13	F13	汎用入出力 62 (I/O/Z) SCI-C 受信データ (I) 外部インターフェイス・データ・ライン 17 (I/O/Z)
GPIO63 SCITXDCXD16	114	G11	F12	汎用入出力 63 (I/O/Z) SCI-C 送信データ (O) 外部インターフェイス・データ・ライン 16 (I/O/Z)
GPIO64 - XD15	115	G10	E14	汎用入出力 64 (I/O/Z) - 外部インターフェイス・データ・ライン 15 (I/O/Z)
GPIO65 - XD14	116	F14	E13	汎用入出力 65 (I/O/Z) - 外部インターフェイス・データ・ライン 14 (I/O/Z)
GPIO66 - XD13	119	F11	E12	汎用入出力 66 (I/O/Z) - 外部インターフェイス・データ・ライン 13 (I/O/Z)
GPIO67 - XD12	122	E13	D14	汎用入出力 67 (I/O/Z) - 外部インターフェイス・データ・ライン 12 (I/O/Z)
GPIO68 - XD11	123	E11	D13	汎用入出力 68 (I/O/Z) - 外部インターフェイス・データ・ライン 11 (I/O/Z)
GPIO69 - XD10	124	F10	D12	汎用入出力 69 (I/O/Z) - 外部インターフェイス・データ・ライン 10 (I/O/Z)
GPIO70 - XD9	127	D12	C14	汎用入出力 70 (I/O/Z) - 外部インターフェイス・データ・ライン 9 (I/O/Z)
GPIO71 - XD8	128	C14	C13	汎用入出力 71 (I/O/Z) - 外部インターフェイス・データ・ライン 8 (I/O/Z)
GPIO72 - XD7	129	B14	B13	汎用入出力 72 (I/O/Z) - 外部インターフェイス・データ・ライン 7 (I/O/Z)

表 6-1. 信号の説明 (continued)

名称	ピン番号			説明 ⁽¹⁾
	PGF、PTP ピン番号	ZHH、ZAY ボール番号	ZJZ ボール番号	
GPI073 - XD6	130	C12	A12	汎用入出力 73 (I/O/Z) - 外部インターフェイス・データ・ライン 6 (I/O/Z)
GPI074 - XD5	131	C13	B12	汎用入出力 74 (I/O/Z) - 外部インターフェイス・データ・ライン 5 (I/O/Z)
GPI075 - XD4	132	A14	C12	汎用入出力 75 (I/O/Z) - 外部インターフェイス・データ・ライン 4 (I/O/Z)
GPI076 - XD3	133	B13	A11	汎用入出力 76 (I/O/Z) - 外部インターフェイス・データ・ライン 3 (I/O/Z)
GPI077 - XD2	134	A13	B11	汎用入出力 77 (I/O/Z) - 外部インターフェイス・データ・ライン 2 (I/O/Z)
GPI078 - XD1	135	B12	C11	汎用入出力 78 (I/O/Z) - 外部インターフェイス・データ・ライン 1 (I/O/Z)
GPI079 - XD0	136	A12	B10	汎用入出力 79 (I/O/Z) - 外部インターフェイス・データ・ライン 0 (I/O/Z)
GPI080 - XA8	163	C6	A5	汎用入出力 80 (I/O/Z) - 外部インターフェイス・アドレス・ライン 8 (O)
GPI081 - XA9	164	E6	B5	汎用入出力 81 (I/O/Z) - 外部インターフェイス・アドレス・ライン 9 (O)
GPI082 - XA10	165	C5	C5	汎用入出力 82 (I/O/Z) - 外部インターフェイス・アドレス・ライン 10 (O)
GPI083 - XA11	168	D5	A4	汎用入出力 83 (I/O/Z) - 外部インターフェイス・アドレス・ライン 11 (O)
GPI084 - XA12	169	E5	B4	汎用入出力 84 (I/O/Z) 外部インターフェイス・アドレス・ライン 12 (O)
GPI085 - XA13	172	C4	C4	汎用入出力 85 (I/O/Z) - 外部インターフェイス・アドレス・ライン 13 (O)
GPI086 - XA14	173	D4	A3	汎用入出力 86 (I/O/Z) - 外部インターフェイス・アドレス・ライン 14 (O)
GPI087 - XA15	174	A3	B3	汎用入出力 87 (I/O/Z) - 外部インターフェイス・アドレス・ライン 15 (O)
XRD	149	B9	A8	外部インターフェイス読み取りイネーブル

(1) I = 入力、O = 出力、Z = 高インピーダンス、OD = オープン・ドレイン、↑ = プルアップ、↓ = プルダウン

7 仕様

このセクションでは、絶対最大定格と推奨動作条件について説明します。

7.1 絶対最大定格

特に記述のない限り、絶対最大定格のリストは動作温度範囲全体にわたって規定されています。(1) (2)

		最小値	最大値	単位
電源電圧	V_{SS} に対する V_{DDIO} 、 V_{DD3VFL}	-0.3	4.6	V
	V_{SSA} に対する V_{DDA2} 、 V_{DDAIO}	-0.3	4.6	
	V_{SS} に対する V_{DD}	-0.3	2.5	
	V_{SSA} に対する V_{DD1A18} 、 V_{DD2A18}	-0.3	2.5	
	V_{SS} に対する V_{SSA2} 、 V_{SSAIO} 、 $V_{SS1AGND}$ 、 $V_{SS2AGND}$	-0.3	0.3	
入力電圧	V_{IN}	-0.3	4.6	V
出力電圧	V_O	-0.3	4.6	V
入力クランプ電流	I_{IK} ($V_{IN} < 0$ または $V_{IN} > V_{DDIO}$) ⁽³⁾	-20	20	mA
出力クランプ電流	I_{OK} ($V_O < 0$ または $V_O > V_{DDIO}$)	-20	20	mA
動作時周囲温度、 T_A	A バージョン ⁽⁴⁾	-40	85	°C
	S バージョン	-40	125	
	Q バージョン	-40	125	
接合部温度	T_J ⁽⁴⁾	-40	150	°C
保存温度	T_{stg} ⁽⁴⁾	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「セクション 7.4」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしています。
- (3) ピンごとの連続クランプ電流は $\pm 2\text{mA}$ です。これには、 V_{DDA2} を上回る電圧または V_{SSA2} を下回る電圧を、ダイオードの電圧降下にまでクランプする内部クランプ回路を備えたアナログ入力が含まれます。
- (4) 以下の条件のいずれかまたは両方が原因で、デバイス全体の寿命が短くなる可能性があります。
- 長期的な高温保存
 - 最大温度での長時間使用

詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。

7.2 ESD 定格 - 車載用

			値	単位
TMS320F2833x, TMS320F2823x (PTP パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		176 ピン PTP のコーナー・ピン: 1、44、45、88、89、132、133、176	±750	
TMS320F2833x, TMS320F2823x (ZJZ パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		176 ボール ZJZ のコーナー・ピン: A1、A14、P1、P14	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示します。

7.3 ESD 定格 - 民生用

			値	単位
TMS320F2833x, TMS320F2823x (PGF パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾		±500	
TMS320F2833x, TMS320F2823x (ZHH パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾		±500	
TMS320F2833x, TMS320F2823x (ZAY パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾		±500	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

7.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
デバイス電源電圧、I/O、V _{DDIO}		3.135	3.3	3.465	V
デバイス電源電圧 CPU、V _{DD}	150MHz でのデバイス動作	1.805	1.9	1.995	V
	100MHz でのデバイス動作	1.71	1.8	1.89	
電源グラウンド、V _{SS} 、V _{SSIO} 、V _{SSAIO} 、 V _{SSA2} 、V _{SS1AGND} 、V _{SS2AGND}			0		V
ADC 電源電圧 (3.3V)、 V _{DDA2} 、V _{DDAIO}		3.135	3.3	3.465	V
ADC 電源電圧、 V _{DD1A18} 、V _{DD2A18}	150MHz でのデバイス動作	1.805	1.9	1.995	V
	100MHz でのデバイス動作	1.71	1.8	1.89	
フラッシュ電源電圧、V _{DD3VFL}		3.135	3.3	3.465	V
デバイス・クロック周波数 (システム・クロック)、 f _{sysclkout}	F28335/F28334/F28235/F28234	2		150	MHz
	F28333/F28332/F28232	2		100	
HIGH レベル入力電圧、V _{IH}	X1 を除くすべての入力	2		V _{DDIO}	V
	X1	0.7 * V _{DD} - 0.05		V _{DD}	
LOW レベル入力電圧、V _{IL}	X1 を除くすべての入力			0.8	V
	X1			0.3 * V _{DD} + 0.05	
HIGH レベル出力ソース電流、 V _{OH} = 2.4V、I _{OH}	グループ 2 を除くすべての I/O			-4	mA
	グループ 2 ⁽¹⁾			-8	
LOW レベル出力シンク電流、 V _{OL} = V _{OL} MAX、I _{OL}	グループ 2 を除くすべての I/O			4	mA
	グループ 2 ⁽¹⁾			8	
周囲温度、T _A	A バージョン	-40		85	°C
	S バージョン	-40		125	
	Q バージョン	-40		125	
接合部温度、T _J				125	°C

(1) グループ 2 のピンは次のとおりです。GPIO28、GPIO29、GPIO30、GPIO31、TDO、XCLKOUT、EMU0、EMU1、XINTF ピン、GPIO35～87、XRD。

7.5 消費電力の概略

7.5.1 TMS320F28335/F28235 電源ピンでの消費電流 (150MHz SYSCLKOUT)

モード	テスト条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DD3VFL} ⁽⁹⁾		I _{DDA18} ⁽²⁾		I _{DDA33} ⁽³⁾	
		標準値 ⁽⁴⁾	最大値	標準値 ⁽⁴⁾	最大値	標準値	最大値	標準値 ⁽⁴⁾	最大値	標準値 ⁽⁴⁾	最大値
動作時 (フラッシュ) ⁽⁶⁾	以下のペリフェラル・クロックがイネーブル。 <ul style="list-style-type: none"> ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6 eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, eCAP6 eQEP1, eQEP2 eCAN-A SCI-A, SCI-B (FIFO モード) SPI-A (FIFO モード) ADC I2C CPU タイマ 0, CPU タイマ 1, CPU タイマ 2 すべての PWM ピンは 150kHz でトグル。 すべての I/O ピンは未接続のまま。 ⁽⁵⁾	290mA	315mA	30mA	50mA	35mA	40mA	30mA	35mA	1.5mA	2mA
アイドル	フラッシュは電源オフ。 XCLKOUT はオフ。 以下のペリフェラル・クロックがイネーブル。 <ul style="list-style-type: none"> eCAN-A SCI-A SPI-A I2C 	100mA	120mA	60μA	120μA	2μA	10μA	5μA	60μA	15μA	20μA
スタンバイ	フラッシュは電源オフ。 ペリフェラル・クロックはオフ。	8mA	15mA	60μA	120μA	2μA	10μA	5μA	60μA	15μA	20μA
ホールド ⁽⁸⁾	フラッシュは電源オフ。 ペリフェラル・クロックはオフ。 入力クロックはディセーブル。 ⁽⁷⁾	150μA		60μA	120μA	2μA	10μA	5μA	60μA	15μA	20μA

- I_{DDIO} 電流は、I/O ピンの電氣的負荷に依存します。
- I_{DDA18} には、V_{DD1A18} および V_{DD2A18} ピンへの電流が含まれます。アイドル、スタンバイ、およびホールド・モードで表示された I_{DDA18} 電流を実現するためには、PCLKCR0 レジスタに書き込むことにより、ADC モジュールへのクロックを明示的にオフにする必要があります。
- I_{DDA33} には、V_{DDA2} および V_{DDAIO} ピンへの電流が含まれます。
- 標準値は、室温および公称電圧に適用されます。最大値は、125°C、最大電圧 (V_{DD} = 2.0V、V_{DDIO}、V_{DD3VFL}、V_{DDA} = 3.6V) での値です。
- ループ内で以下を実行します。
 - データは、SCI-A、SCI-B、SPI-A、McBSP-A、eCAN-A ポートから連続的に送信されます。
 - 積和演算を実行します。
 - ウォッチドッグ・タイマをリセットします。
 - ADC は連続変換を実行しています。ADC からのデータは、DMA 経由で SARAM に転送されます。
 - XINTF の 32 ビット読み取り/書き込みを実行します。
 - GPIO19 をトグルします。
- 同一のコードを SARAM から実行すると、コードがゼロ・ウェイト状態で動作するため、I_{DD} は大きくなります。
- クロック・ソースとして水晶振動子またはセラミック発振子を使用する場合、ホールド・モードでは、内部発振器がシャットダウンされます。
- ホールド・モードの I_{DD} 電流は、温度に対して非線形に増加します。
- この表に示す I_{DD3VFL} 電流は、フラッシュの読み取り電流であり、消去/書き込み動作のために増加する電流は含まれていません。フラッシュ・プログラム中は、[セクション 7.9.7.3](#) に示すように、V_{DD} および V_{DD3VFL} レールから追加の電流が消費されます。ユーザー・アプリケーションにオンボードのフラッシュ・プログラミングが含まれる場合、電源段の設計時にこの追加電流を考慮する必要があります。

注

デバイスに実装されているペリフェラル I/O 多重化により、利用可能なすべてのペリフェラルを同時には使用できません。これは、複数のペリフェラル機能が 1 つの I/O ピンを共有していることがあるからです。ただし、すべてのペリフェラルへのクロックを同時にオンにすることは可能ですが、このような構成は役に立ちません。この場合、デバイスが消費する電流は、消費電流表に指定されている値を超えます。

7.5.2 TMS320F2834/F28234 電源ピンでの消費電流 (150MHz SYSCLKOUT)

モード	テスト条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DD3VFL} ⁽⁹⁾		I _{DDA18} ⁽²⁾		I _{DDA33} ⁽³⁾	
		標準値 ⁽⁴⁾	最大値	標準値 ⁽⁴⁾	最大値	標準値	最大値	標準値 ⁽⁴⁾	最大値	標準値 ⁽⁴⁾	最大値
動作時 (ブラッシュ) ⁽⁶⁾	以下のペリフェラル・クロックがイネーブル。 <ul style="list-style-type: none"> • ePWM1、ePWM2、ePWM3、ePWM4、ePWM5、ePWM6 • eCAP1、eCAP2、eCAP3、eCAP4、eCAP5、eCAP6 • eQEP1、eQEP2 • eCAN-A • SCI-A、SCI-B (FIFO モード) • SPI-A (FIFO モード) • ADC • I2C • CPU タイマ 0、CPU タイマ 1、CPU タイマ 2 すべての PWM ピンは 150kHz でトグル。 すべての I/O ピンは未接続のまま。 ⁽⁵⁾	290mA	315mA	30mA	50mA	35mA	40mA	30mA	35mA	1.5mA	2mA

7.5.2 TMS320F2834/F28234 電源ピンでの消費電流 (150MHz SYSCLKOUT) (continued)

モード	テスト条件	I _{DD}		I _{DDIO} (1)		I _{DD3VFL} (9)		I _{DDA18} (2)		I _{DDA33} (3)	
		標準値(4)	最大値	標準値(4)	最大値	標準値	最大値	標準値(4)	最大値	標準値(4)	最大値
アイドル	フラッシュは電源オフ。 XCLKOUT はオフ。 以下のペリフェラル・クロックがイ ネーブル。 • eCAN-A • SCI-A • SPI-A • I2C	100mA	120mA	60μA	120mA	2μA	10μA	5μA	60μA	15μA	20μA
スタンバイ	フラッシュは電源オフ。 ペリフェラル・クロックはオフ。	8mA	15mA	60μA	120μA	2μA	10μA	5μA	60μA	15μA	20μA
ホールド(8)	フラッシュは電源オフ。 ペリフェラル・クロックはオフ。 入力クロックはディセーブル。(7)	150μA		60μA	120μA	2μA	10μA	5μA	60μA	15μA	20μA

- (1) I_{DDIO} 電流は、I/O ピンの電氣的負荷に依存します。
- (2) I_{DDA18} には、V_{DD1A18} および V_{DD2A18} ピンへの電流が含まれます。アイドル、スタンバイ、およびホールド・モードで表示された I_{DDA18} 電流を実現するためには、PCLKCR0 レジスタに書き込むことにより、ADC モジュールへのクロックを明示的にオフにする必要があります。
- (3) I_{DDA33} には、V_{DDA2} および V_{DDAIO} ピンへの電流が含まれます。
- (4) 標準値は、室温および公称電圧に適用されます。最大値は、125°C、最大電圧 (V_{DD} = 2.0V、V_{DDIO}、V_{DD3VFL}、V_{DDA} = 3.6V) での値です。
- (5) ループ内で以下を実行します。
 - データは、SCI-A、SCI-B、SPI-A、McBSP-A、eCAN-A ポートから連続的に送信されます。
 - 積和演算を実行します。
 - ウォッチドッグをリセットします。
 - ADC は連続変換を実行しています。ADC からのデータは、DMA 経由で SARAM に転送されます。
 - XINTF の 32 ビット読み取り/書き込みを実行します。
 - GPIO19 をトグルします。
- (6) 同一のコードを SARAM から実行すると、コードがゼロ・ウェイト状態で動作するため、I_{DD} は大きくなります。
- (7) クロック・ソースとして水晶振動子またはセラミック発振子を使用する場合、ホールド・モードでは、内部発振器がシャットダウンされます。
- (8) ホールド・モードの I_{DD} 電流は、温度に対して非線形に増加します。
- (9) この表に示す I_{DD3VFL} 電流は、フラッシュの読み取り電流であり、消去/書き込み動作のために増加する電流は含まれていません。フラッシュ・プログラミング中は、セクション 7.9.7.3 に示すように、V_{DD} および V_{DD3VFL} レールから追加の電流が消費されます。ユーザー・アプリケーションにオンボードのフラッシュ・プログラミングが含まれる場合、電源段の設計時にこの追加電流を考慮する必要があります。

7.5.3 消費電流の低減

2833x および 2823x MCU は、デバイスの消費電流を低減する方法を備えています。各ペリフェラル・ユニットには個別のクロック・イネーブル・ビットがあるので、特定のアプリケーションで使用されていないペリフェラル・モジュールについて、クロックをオフにすることにより、消費電流を低減できます。その他に、3 つの低消費電力モードのいずれかを活用して、消費電流をさらに低減することもできます。表 7-1 は、クロックをオフにすることによる消費電流低減の標準値を示しています。

**表 7-1. 各種ペリフェラルごとの消費電流の標準値
(150MHz 時)**

ペリフェラル・モジュール ⁽¹⁾	I _{DD} 電流 低減 / モジュール (mA) ⁽²⁾
ADC	8 ⁽³⁾
I2C	2.5
eQEP	5
ePWM	5
eCAP	2
SCI	5
SPI	4
eCAN	8
McBSP	7
CPU タイマ	2
XINTF	10 ⁽⁴⁾
DMA	10
FPU	15

- (1) すべてのペリフェラル・クロックは、リセット時にディセーブルになります。ペリフェラル・レジスタへの書き込みまたは読み出しは、ペリフェラル・クロックがオンになった後でのみ実行できます。
- (2) 複数のインスタンスを持つペリフェラルの場合、ここに記載された電流は、単一のモジュールのもので、たとえば、ePWM に記載された 5mA という値は、1 つの ePWM モジュールに対するものです。
- (3) この数値は、ADC モジュールのデジタル部分で消費される電流を示しています。ADC モジュールへのクロックをオフにすると、ADC のアナログ部分 (I_{DDA18}) で消費される電流も除去されます。
- (4) XINTF バスの動作は、IDDIO 電流に大きな影響を及ぼします。以下の条件によって大幅に増加します。
 - あるサイクルから次のサイクルへの遷移において、値が変化するアドレス / データ・ピンの数
 - 値の変化速度
 - 16 ビットと 32 ビットのどちらのインターフェイスを使用するか
 - これらのピンの負荷。

消費電力をさらに低減する他の方法を以下に示します。

- コードが SARAM から実行されている場合は、フラッシュ・モジュールの電源をオフにすることができます。その結果、V_{DD3VFL} レールの電流は、35mA (標準値) 減少します。
- XCLKOUT をオフにすると、IDDIO の消費電流は、15mA (標準値) 減少します。
- 出力機能を想定したピンおよび XINTF ピンに対するプルアップを無効にすることで、IDDIO を大幅に節約できます。これにより、35mW (標準値) の節約が可能になります。
- 低消費電力モード (LPM) で最小の V_{DDA} 消費電流を実現するには、『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の該当するアナログの章を参照して、各モジュールの電源が確実にオフになるようにしてください。

ベースライン I_{DD} 電流 (ペリフェラルをイネーブルにしている状態、コアがダミー・ループを実行しているときの電流) は、165mA (標準値) です。特定のアプリケーションでの I_{DD} 電流を得るには、(そのアプリケーションでイネーブルにされる) ペリフェラルが消費する電流をベースライン I_{DD} 電流に加算する必要があります。

7.5.4 消費電流のグラフ

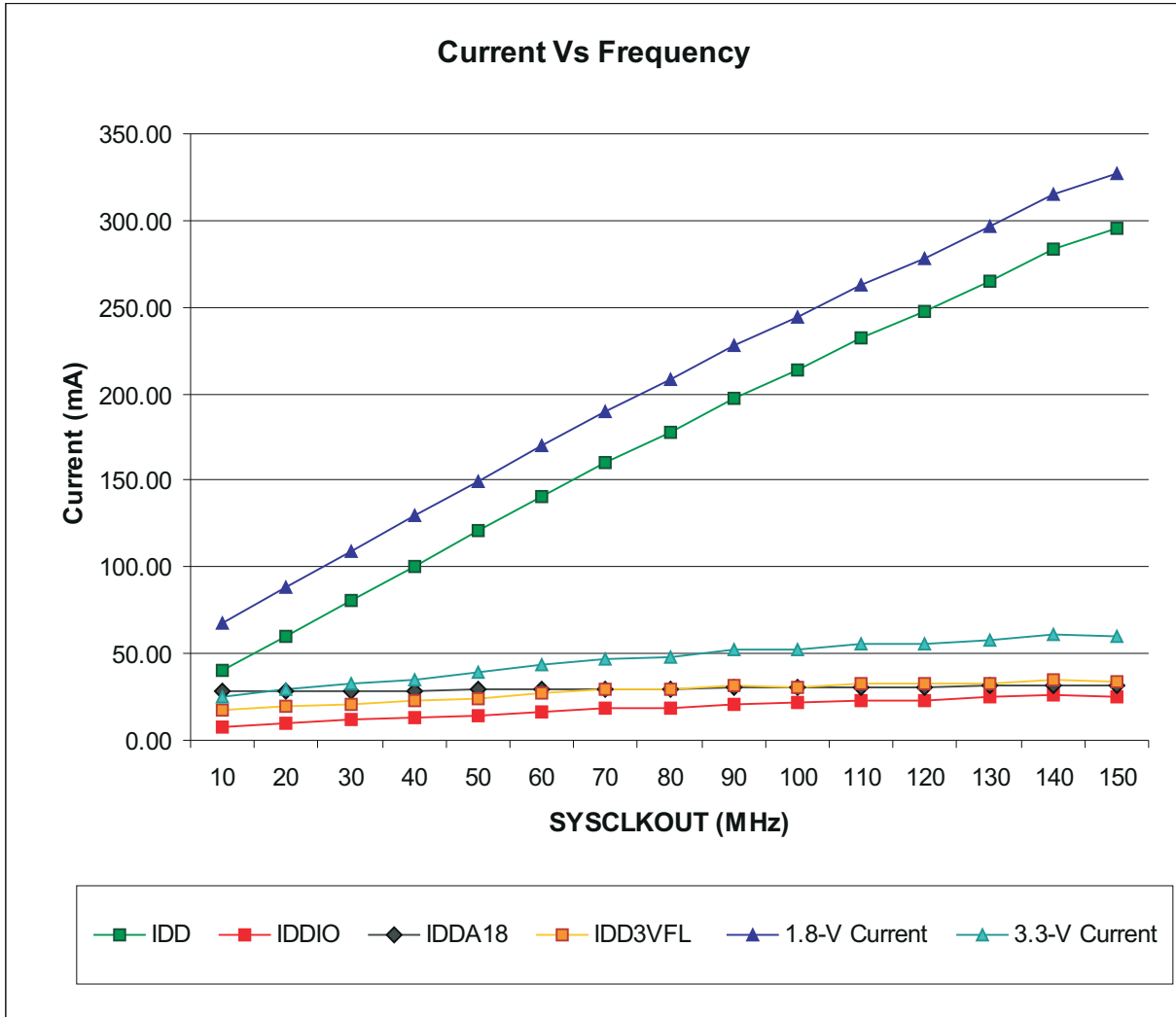


図 7-1. 代表的な動作電流と周波数との関係 (F28335、F28235、F28334、F28234)

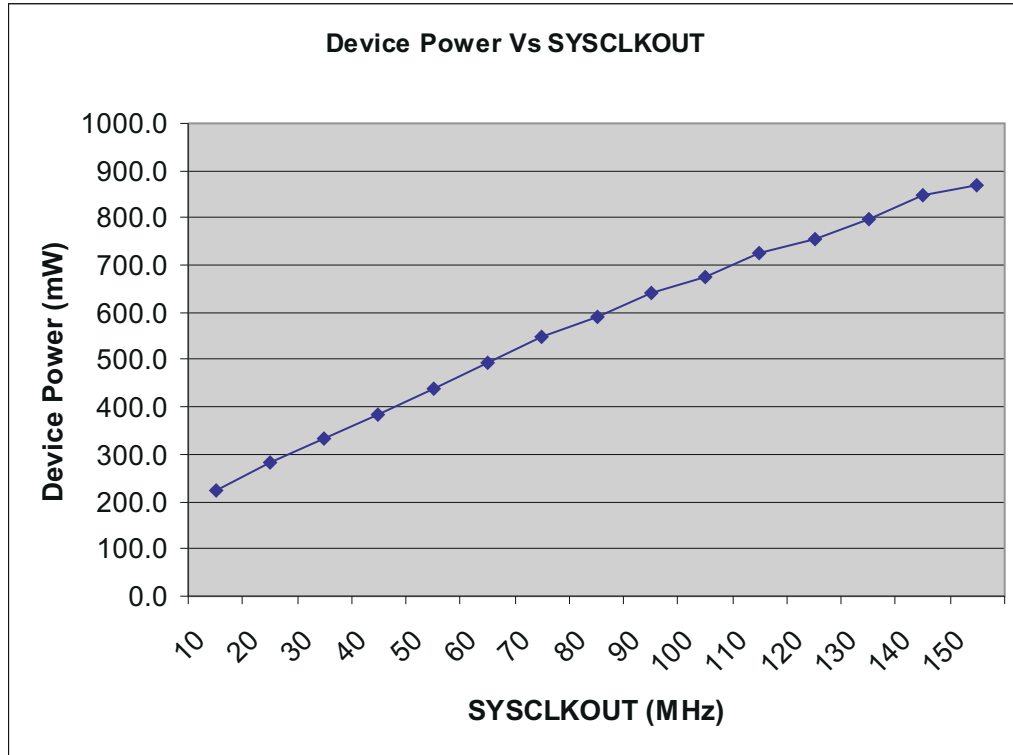


図 7-2. 代表的な動作電力と周波数との関係 (F28335、F28235、F28334、F28234)

注

100MHz デバイス (28x32) の代表的な動作電流は、図 7-1 から推定できます。150MHz デバイスと比較して、アナログ・モジュールとフラッシュ・モジュールの電流は変化しません。ペリフェラル・ピンの外部アクティビティが減少することから、IDDIO 電流のわずかな減少が予想されますが、電流の減少は主に I_{DD} で発生します。

7.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OH}	HIGH レベル出力電圧	$I_{OH} = I_{OH}$ 最大値		2.4			V
		$I_{OH} = 50\mu A$		$V_{DDIO} - 0.2$			
V_{OL}	LOW レベル出力電圧	$I_{OL} = I_{OL}$ 最大値		0.4			V
I_{IL}	入力電流 (LOW レベル)	プルアップがイネーブルされたピン	$V_{DDIO} = 3.3V, V_{IN} = 0V$	すべての I/O (XRS を含む)			μA
		プルダウンがイネーブルされたピン	$V_{DDIO} = 3.3V, V_{IN} = 0V$				
I_{IH}	入力電流 (HIGH レベル)	プルアップがイネーブルされたピン	$V_{DDIO} = 3.3V, V_{IN} = V_{DDIO}$	28			μA
		プルダウンがイネーブルされたピン	$V_{DDIO} = 3.3V, V_{IN} = V_{DDIO}$				
I_{OZ}	出力電流、プルアップまたはプルダウンがディセーブル	$V_O = V_{DDIO}$ または $0V$		± 2			μA
C_i	入力容量			2			pF

7.7 熱抵抗特性

7.7.1 PGF パッケージ

		°C/W ^{(1) (2)}	空気流 (lfm) ⁽³⁾
RO _{JC}	接合部とケースとの間	8.2	0
RO _{JB}	接合部と基板との間	28.1	0
RO _{JA} (High k PCB)	接合部と周囲空気との間	44	0
		34.5	150
		33	250
		31	500
Psi _{JT}	接合部とパッケージ上面との間	0.12	0
		0.48	150
		0.57	250
		0.74	500
Psi _{JB}	接合部と基板との間	28.1	0
		26.3	150
		25.9	250
		25.2	500

(1) °C/W = 摂氏温度 / ワット

(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『TC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エアアレイ表面実装パッケージの熱測定用テスト基板』

(3) lfm = linear feet per minute (リニア・フィート毎分)

7.7.2 PTP パッケージ

		°C/W ^{(1) (2)}	空気流 (lfm) ⁽³⁾
RO _{JC}	接合部とケースとの間	12.1	0
RO _{JB}	接合部と基板との間	5.1	0
RO _{JA} (High k PCB)	接合部と周囲空気との間	17.4	0
		11.7	150
		10.1	250
Psi _{JT}	接合部とパッケージ上面との間	8.8	500
		0.2	0
		0.3	150
Psi _{JB}	接合部と基板との間	0.4	250
		0.5	500
		5.0	0
		4.7	150
		4.7	250
		4.6	500

(1) °C/W = 摂氏温度 / ワット

(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(3) lfm = linear feet per minute (リニア・フィート毎分)

7.7.3 ZHH パッケージ

		°C/W ^{(1) (2)}	空気流 (lfm) ⁽³⁾
RO _{JC}	接合部とケースとの間	8.8	0
RO _{JB}	接合部と基板との間	12.5	0
RO _{JA} (High k PCB)	接合部と周囲空気との間	32.8	0
		24.1	150
		22.9	250
		20.9	500
Psi _{JT}	接合部とパッケージ上面との間	0.09	0
		0.3	150
		0.36	250
		0.48	500
Psi _{JB}	接合部と基板との間	12.4	0
		11.8	150
		11.7	250
		11.5	500

(1) °C/W = 摂氏温度 / ワット

(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(3) lfm = linear feet per minute (リニア・フィート毎分)

7.7.4 ZAY パッケージ

		°C/W ^{(1) (2)}	空気流 (m/s) ⁽³⁾
RO _{JC}	接合部とケースとの間	9.4	0
RO _{JB}	接合部と基板との間	13.5	0
RO _{JA} (High k PCB)	接合部と周囲空気との間	28.5	0
		22.8	1
		21.6	2
		20.8	3
Psi _{JT}	接合部とパッケージ上面との間	0.27	0
		0.5	1
		0.7	2
		0.8	3
Psi _{JB}	接合部と基板との間	13.3	0
		13.2	1
		13	2
		12.9	3

(1) °C/W = 摂氏温度 / ワット

(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(3) m/s =メートル/秒

7.7.5 ZJZ パッケージ

		°C/W ^{(1) (2)}	空気流 (lfm) ⁽³⁾
RO _{JC}	接合部とケースとの間	11.4	0
RO _{JB}	接合部と基板との間	12	0
RO _{JA} (High k PCB)	接合部と周囲空気との間	29.6	0
		20.9	150
		19.7	250
		18	500
Psi _{JT}	接合部とパッケージ上面との間	0.2	0
		0.78	150
		0.91	250
		1.11	500
Psi _{JB}	接合部と基板との間	12.2	0
		11.6	150
		11.5	250
		11.3	500

- (1) °C/W = 摂氏温度 / ワット
(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
 - JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
 - JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
 - JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
 - JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』
(3) lfm = linear feet per minute (リニア・フィート毎分)

7.8 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。消費電力が 1W を超えるシステムでは、製品レベルで熱設計が必要になる場合があります。規定された制限範囲内に T_j を維持するように注意する必要があります。最終アプリケーションにおいて、動作接合部温度 T_j を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージの上面の中央で測定します。サーマル・アプリケーション・ノート『[半導体および IC パッケージの熱評価基準](#)』は、熱評価基準および定義の理解に役立ちます。

7.9 タイミングおよびスイッチング特性

7.9.1 タイミング・パラメータの記号説明

使用するタイミング・パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を以下のように短縮しました。

小文字のサブスクリプトおよびその意味:	文字と記号およびその意味:
a アクセス時間	H HIGH
c サイクル時間 (周期)	L LOW
d 遅延時間	V 有効
f 立ち下がり時間	X 不明、変更、またはドント・ケア・レベル
h ホールド時間	Z 高インピーダンス
r 立ち上がり時間	
su セットアップ時間	
t 遷移時間	
v 有効時間	
w パルス幅	

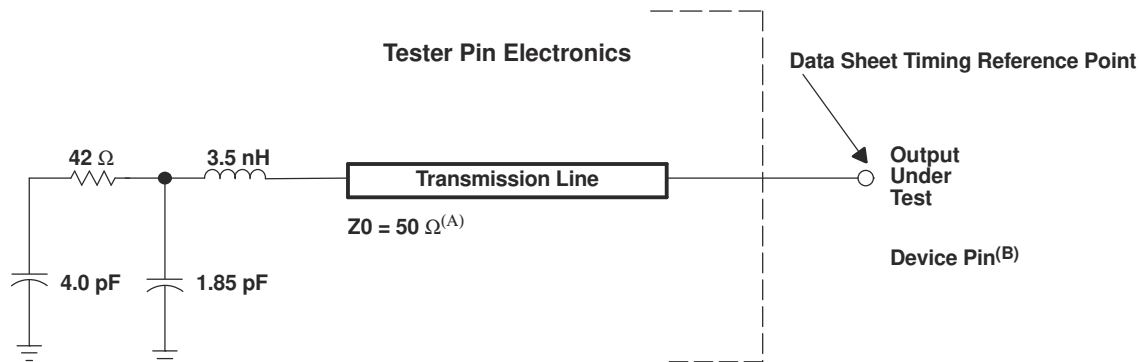
7.9.1.1 タイミング・パラメータに関する一般的注意事項

28x デバイスからのすべての出力信号 (XCLKOUT を含む) は内部クロックから生成されるため、いずれかの半サイクルに対するすべての出力遷移は、互いに相対的に最小のスキューで発生します。

以下のタイミング図に示す信号の組み合わせは、実際のサイクルを表しているとは限りません。実際のサイクル例については、このドキュメントの該当するサイクルの説明セクションを参照してください。

7.9.1.2 テスト負荷回路

このテスト負荷回路を使って、本書に記載されているすべてのスイッチング特性を測定しています。



- このデータシートの入力要件は、デバイスのピンにおいて 4V 毎ナノ秒 (4V/ns) 未満の入カスルーレートでテストされています。
- データシートには、デバイス・ピンでのタイミングが記載されています。出力タイミング解析では、テスタ・ピンの電子回路およびその伝送ラインの影響を考慮する必要があります。2ns 以上の遅延を持つ伝送ラインを使用すれば、適切な伝送ラインの効果が得られます。この伝送ラインは、負荷としてのみ使用することを意図しています。データシートのタイミングから伝送ライン遅延 (2ns 以上) を加算または減算する必要はありません。

図 7-3. 3.3V テスト負荷回路

7.9.1.3 デバイス・クロック表

このセクションでは、使用可能な各種クロック・オプションのタイミング要件とスイッチング特性について説明します。セクション 7.9.1.3.1 および セクション 7.9.1.3.2 に、各種クロックのサイクル時間を示します。

7.9.1.3.1 クロックおよび命名規則 (150MHz デバイス)

		最小値	公称値	最大値	単位
オンチップ発振器クロック	$t_{c(OSC)}$ 、サイクル時間	28.6		50	ns
	周波数	20		35	MHz
XCLKIN ⁽¹⁾	$t_{c(CI)}$ 、サイクル時間	6.67		250	ns
	周波数	4		150	MHz
SYSCLKOUT	$t_{c(SCO)}$ 、サイクル時間	6.67		500	ns
	周波数	2		150	MHz
XCLKOUT	$t_{c(XCO)}$ 、サイクル時間	6.67		2000	ns
	周波数	0.5		150	MHz
HSPCLK ⁽²⁾	$t_{c(HCO)}$ 、サイクル時間	6.67	13.3 ⁽³⁾		ns
	周波数		75 ⁽³⁾	150	MHz
LSPCLK ⁽²⁾	$t_{c(LCO)}$ 、サイクル時間	13.3	26.7 ⁽³⁾		ns
	周波数		37.5 ⁽³⁾	75 ⁽⁴⁾	MHz
ADC クロック	$t_{c(ADCCLK)}$ 、サイクル時間	40			ns
	周波数			25	MHz

- (1) これは、1.9V 発振器を使用する場合の X1 ピンにも適用されます。
(2) LSPCLK および HSPCLK を低くすると、デバイスの消費電力が低減されます。
(3) これは、SYSCLKOUT = 150MHz の場合のデフォルト値です。
(4) LSPCLK は 100MHz まで高くすることが可能ですが、150MHz デバイスでは「低速ペリフェラル・クロック・プリスケアラ・レジスタ」の有効な最小値が「1」であるため、この仕様は 75MHz となっています。

7.9.1.3.2 クロックおよび命名規則 (100MHz デバイス)

		最小値	公称値	最大値	単位
オンチップ発振器クロック	$t_{c(OSC)}$ 、サイクル時間	28.6		50	ns
	周波数	20		35	MHz
XCLKIN ⁽¹⁾	$t_{c(CI)}$ 、サイクル時間	10		250	ns
	周波数	4		100	MHz
SYSCLKOUT	$t_{c(SCO)}$ 、サイクル時間	10		500	ns
	周波数	2		100	MHz
XCLKOUT	$t_{c(XCO)}$ 、サイクル時間	10		2000	ns
	周波数	0.5		100	MHz
HSPCLK ⁽²⁾	$t_{c(HCO)}$ 、サイクル時間	10	20 ⁽³⁾		ns
	周波数		50 ⁽³⁾	100	MHz
LSPCLK ⁽²⁾	$t_{c(LCO)}$ 、サイクル時間	10	40 ⁽³⁾		ns
	周波数		25 ⁽³⁾	100	MHz
ADC クロック	$t_{c(ADCCLK)}$ 、サイクル時間	40			ns
	周波数			25	MHz

- (1) これは、1.8V 発振器を使用する場合の X1 ピンにも適用されます。
(2) LSPCLK および HSPCLK を低くすると、デバイスの消費電力が低減されます。
(3) これは、SYSCLKOUT = 100MHz の場合のデフォルト値です。

7.9.2 電源シーケンス

さまざまな電源ピンのパワーアップおよびパワーダウン・シーケンスにおいて、すべてのモジュールで正しいリセット状態を確保するための要件はありません。ただし、I/O ピンのレベル・シフト出力バッファ内の 3.3V トランジスタに対して、1.9V/1.8V トランジスタよりも先に電源が供給された場合、出力バッファがオンになって、電源投入時にそのピンでグリッチが発生する可能性があります。この動作を回避するために、 V_{DDIO} (入力/出力電圧) ピンよりも先または同時に V_{DD} (コア電圧) ピンに電力を供給して、 V_{DDIO} ピンが 0.7V に達するよりも先または同時に V_{DD} ピンが 0.7V に達している状態を確保します。

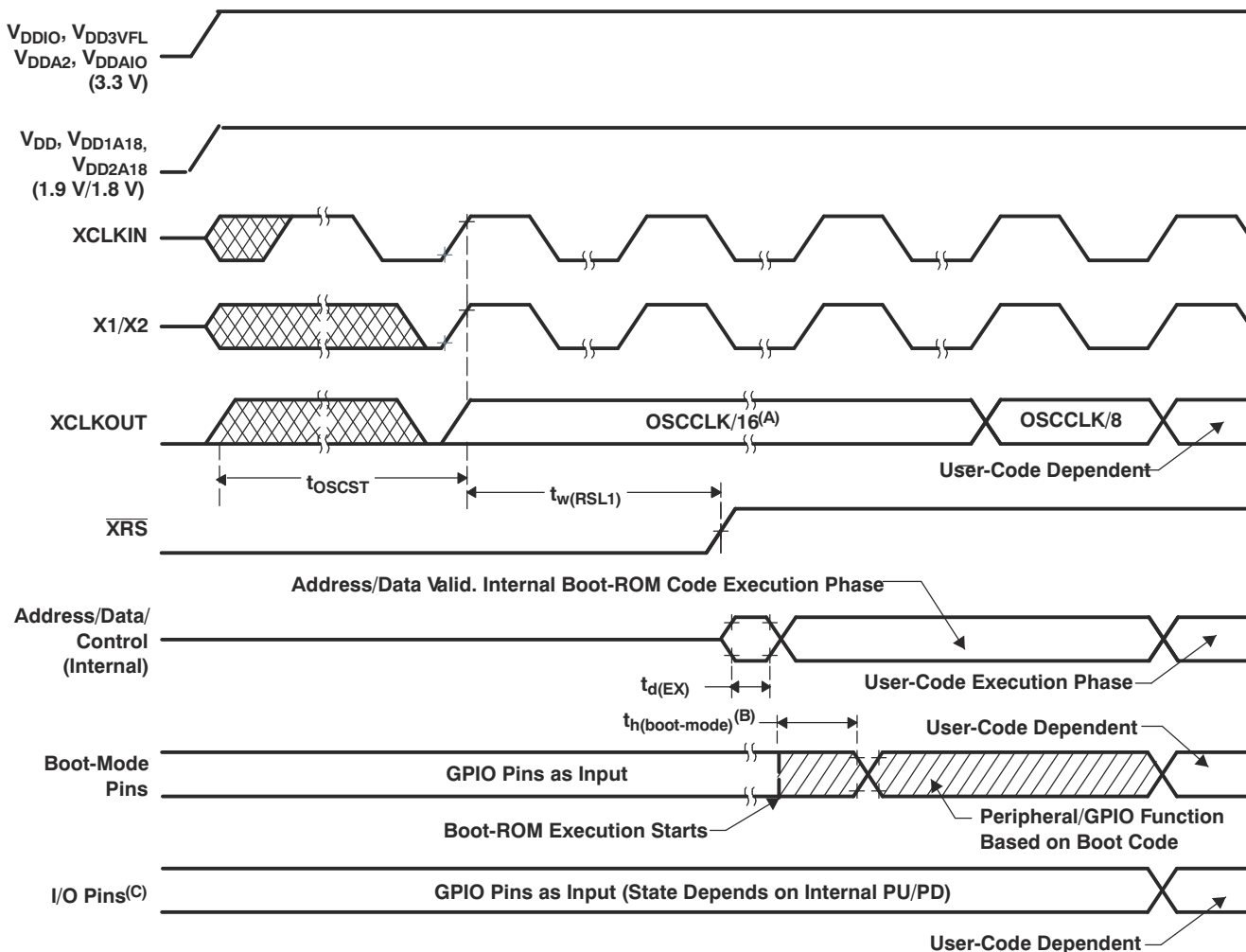
\overline{XRS} ピンにはいくつかの要件があります。

1. 電源投入時、入力クロックが安定した後、 $t_{w(RSL1)}$ にわたって \overline{XRS} ピンを LOW に保持する必要があります (セクション 7.9.2.2 を参照)。これにより、デバイス全体が既知の状態から動作を開始できるようになります。
2. パワーダウン時に、 V_{DD} が 1.5V に達するよりも 8 μ s 以上前に、 \overline{XRS} ピンを LOW にする必要があります。この要件を満たすことは、意図しないフラッシュの書き込みや消去を防止するために重要です。

デバイスに電源を供給する前に、 V_{DDIO} よりもダイオード電圧降下 (0.7V) 以上高い電圧をいずれかのデジタル・ピンに印加しないでください (アナログ・ピンについては、この値は、 V_{DDA} よりも 0.7V 以上高い電圧)。さらに、 V_{DDIO} と V_{DDA} は、常に互いに 0.3V 以内にする必要があります。電源が供給されていないデバイスのピンに電圧を印加すると、意図しない状態で内部の P-N 接合部がバイアスされ、予測不能な結果が生じる可能性があります。

7.9.2.1 パワー・マネージメントおよび監視回路ソリューション

LDO の選択は、最終アプリケーションで消費される合計電力に依存します。TI のパワー・マネージメント IC のリストについては、[パワー・マネージメント](#)のページを参照してください。具体的なパワー・マネージメント・リファレンス・デザインについては、「[リファレンス・デザイン](#)」タブをクリックしてください。



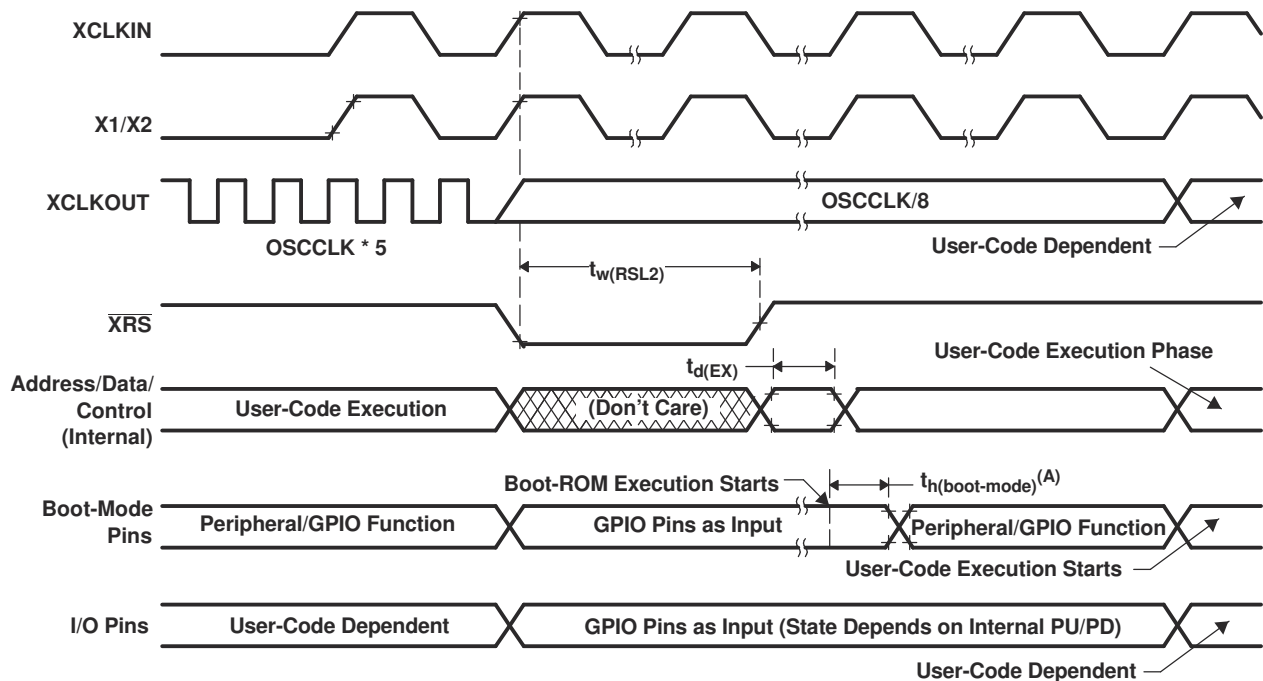
- A. 電源投入時、SYSCLKOUT は、OSCCLK/4 です。XINTCNF2 レジスタの XTIMCLK ビットと CLKMODE ビットの両方が 1 のリセット状態で起動するため、SYSCLKOUT は XCLKOUT に出力される前にさらに 4 分周されます。この理由により、この状況では XCLKOUT = OSCCLK/16 になっています。その後、ブート ROM が SYSCLKOUT を OSCCLK/2 に変更します。XTIMCLK レジスタは、ブート ROM によって変更されないため、この状況では XCLKOUT は OSCCLK/8 です。
- B. リセット後、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、宛先メモリまたはブート・コード機能に分岐します。(デバッグ環境で) 電源オン状態の後にブート ROM コードを実行する場合、ブート・コードの実行時間は、現在の SYSCLKOUT 速度に基づいています。SYSCLKOUT は、ユーザー環境によって決まるものであり、PLL 有効の場合と無効場合があります。
- C. 電源投入時に GPIO ピンの高インピーダンス状態を確保するための要件については、[セクション 7.9.2](#) を参照してください。

図 7-4. パワーオン・リセット

7.9.2.2 リセット (\overline{XRS}) のタイミング要件

		最小値	公称値	最大値	単位
$t_{w(RSL1)}$ (1)	パルス幅、安定したクロック入力から \overline{XRS} HIGH まで	$32t_{c(OSCCLK)}$			サイクル
$t_{w(RSL2)}$	パルス幅、 \overline{XRS} LOW	ウォーム・リセット			サイクル
$t_{w(WDRS)}$	パルス幅、ウォッチドッグによって生成されるリセット・パルス		$512t_{c(OSCCLK)}$		サイクル
$t_{d(EX)}$	遅延時間、 \overline{XRS} HIGH からアドレス / データ有効まで		$32t_{c(OSCCLK)}$		サイクル
t_{OSCST} (2)	発振器の起動時間	1	10		ms
$t_{h(boot-mode)}$	ブート・モード・ピンのホールド時間	$200t_{c(OSCCLK)}$			サイクル

- (1) $t_{w(RSL1)}$ 要件に加えて、 \overline{XRS} は、 V_{DD} が 1.5V に達した後、1ms 以上 LOW である必要があります。
 (2) 水晶振動子 / 発振器およびボード設計に依存します。



- A. リセット後、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、宛先メモリまたはブート・コード機能に分岐します。(デバッグ環境で) 電源オン状態の後にブート ROM コードを実行する場合、ブート・コードの実行時間は、現在の SYSCLKOUT 速度に基づいています。SYSCLKOUT は、ユーザー環境によって決まるものであり、PLL 有効の場合と無効の場合があります。

図 7-5. ウォーム・リセット

図 7-6 に、PLLCR レジスタへの書き込みの影響の例を示します。最初のフェーズでは、 $PLL_{CR} = 0x0004$ 、 $SYSCLKOUT = OSCCLK \times 2$ です。その後、PLLCR に $0x0008$ が書き込まれます。PLLCR レジスタへの書き込み直後に、PLL のロックアップ・フェーズが開始されます。このフェーズでは、 $SYSCLKOUT = OSCCLK/2$ となります。PLL のロックアップ (所要時間 131072 OSCCLK サイクル) が完了した後、SYSCLKOUT は、新しい動作周波数を反映して $OSCCLK \times 4$ となります。

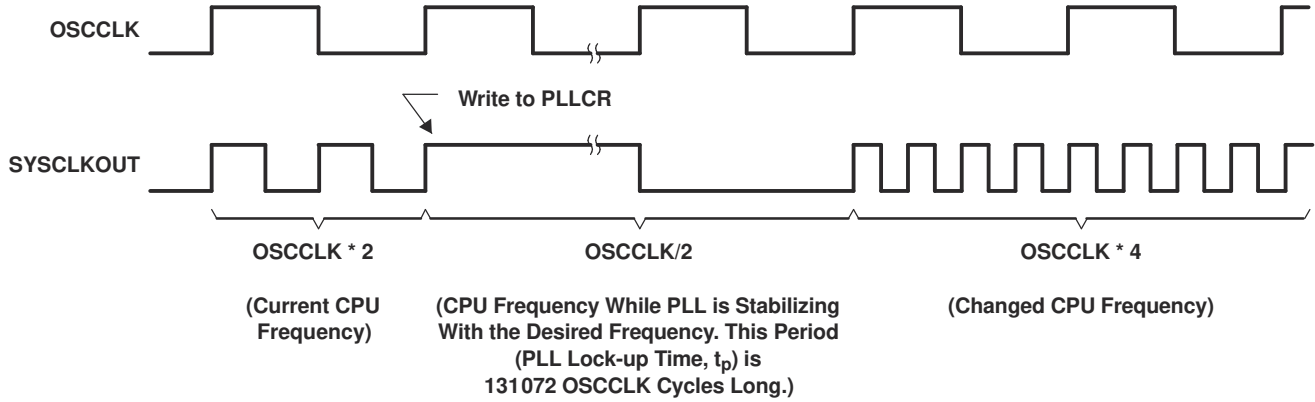


図 7-6. PLLCR レジスタへの書き込みの影響の例

7.9.3 クロックの要件および特性

7.9.3.1 入力クロック周波数

パラメータ		最小値	標準値	最大値	単位	
f_x	入力クロック周波数	発振子 (X1/X2)		20	35	MHz
		水晶振動子 (X1/X2)		20	35	
		外部発振器 / クロック・ソース (XCLKIN または X1 ピン)	150MHz デバイス	4	150	
			100MHz デバイス	4	100	
f_l	リンプ・モード SYSCLKOUT 周波数範囲 (/2 有効)	1~5			MHz	

7.9.3.2 XCLKIN のタイミング要件 – PLL イネーブル

番号	パラメータ	説明	最小値	最大値	単位
C8	$t_{c(CI)}$	サイクル時間、XCLKIN	33.3	200	ns
C9	$t_{f(CI)}$	立ち下がり時間、XCLKIN ⁽¹⁾		6	ns
C10	$t_{r(CI)}$	立ち上がり時間、XCLKIN ⁽¹⁾		6	ns
C11	$t_{w(CIL)}$	パルス幅、 $t_{c(CI)}$ のうち XCLKIN が LOW の割合 ⁽¹⁾	45%	55%	
C12	$t_{w(CIH)}$	パルス幅、 $t_{c(CI)}$ のうち XCLKIN が HIGH の割合 ⁽¹⁾	45%	55%	jj

(1) これは X1 ピンにも適用されます。

7.9.3.3 XCLKIN のタイミング要件 – PLL ディセーブル

番号	パラメータ	説明	最小値	最大値	単位	
C8	$t_{c(CI)}$	サイクル時間、XCLKIN	150MHz デバイス	6.67	250	ns
			100MHz デバイス	10	250	
C9	$t_{f(CI)}$	立ち下がり時間、XCLKIN ⁽¹⁾	最大 30MHz		6	ns
			30MHz~150MHz		2	
C10	$t_{r(CI)}$	立ち上がり時間、XCLKIN ⁽¹⁾	最大 30MHz		6	ns
			30MHz~150MHz		2	
C11	$t_{w(CIL)}$	パルス幅、 $t_{c(CI)}$ のうち XCLKIN が LOW の割合 ⁽¹⁾	45%	55%		
C12	$t_{w(CIH)}$	パルス幅、 $t_{c(CI)}$ のうち XCLKIN が HIGH の割合 ⁽¹⁾	45%	55%		

(1) これは X1 ピンにも適用されます。

使用可能な構成モードを [表 8-38](#) に示します。

7.9.3.4 XCLKOUT のスイッチング特性 (PLL バイパスまたはイネーブル)

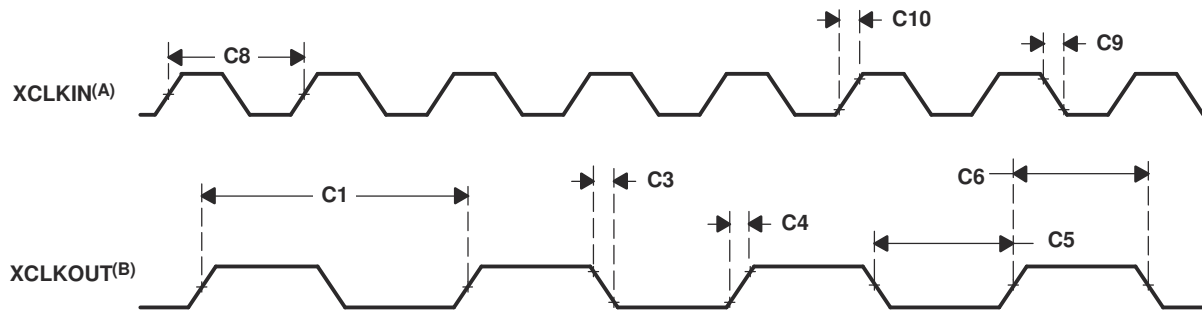
番号	パラメータ ^{(1) (2)}	説明	最小値	標準値	最大値	単位
C1	$t_{c(XCO)}$	サイクル時間、XCLKOUT	150MHz デバイス	6.67		ns
			100MHz デバイス	10		
C3	$t_{f(XCO)}$	立ち下がり時間、XCLKOUT		2		ns
C4	$t_{r(XCO)}$	立ち上がり時間、XCLKOUT		2		ns
C5	$t_{w(XCOL)}$	パルス幅、XCLKOUT LOW	H - 2		H + 2	ns
C6	$t_{w(XCOH)}$	パルス幅、STEP HIGH	H - 2		H + 2	ns
	t_p	PLL ロック時間			131072 $t_{c(OSCCLK)}$ ⁽³⁾	サイクル

(1) これらのパラメータでは、40pF の負荷を想定しています。

(2) $H = 0.5t_{c(XCO)}$

(3) OSCCLK は、オンチップ発振器の出力、または外部発振器からの出力です。

7.9.3.5 タイミング図



- A. XCLKIN と XCLKOUT の関係は、選択した分周係数によって異なります。ここに示す波形の関係は、タイミング・パラメータの説明を目的とするものであり、実際の構成によって異なる場合があります。
- B. SYSCLKOUT を反映して構成された XCLKOUT。

図 7-7. クロックのタイミング

7.9.4 ペリフェラル

7.9.4.1 汎用入出力 (GPIO)

7.9.4.1.1 GPIO - 出力タイミング

7.9.4.1.1.1 汎用出力のスイッチング特性

パラメータ		最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が LOW から HIGH へ変化		8	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が HIGH から LOW へ変化		8	ns
f_{rGPO}	切り替え周波数、GPO ピン		25	MHz

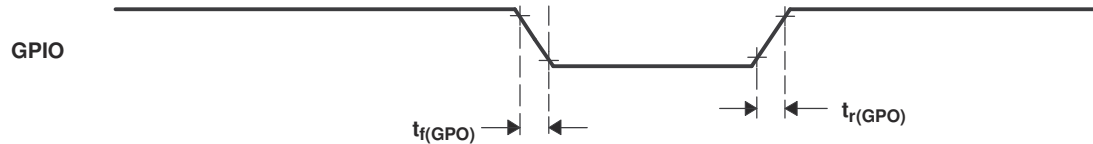


図 7-8. 汎用出力のタイミング

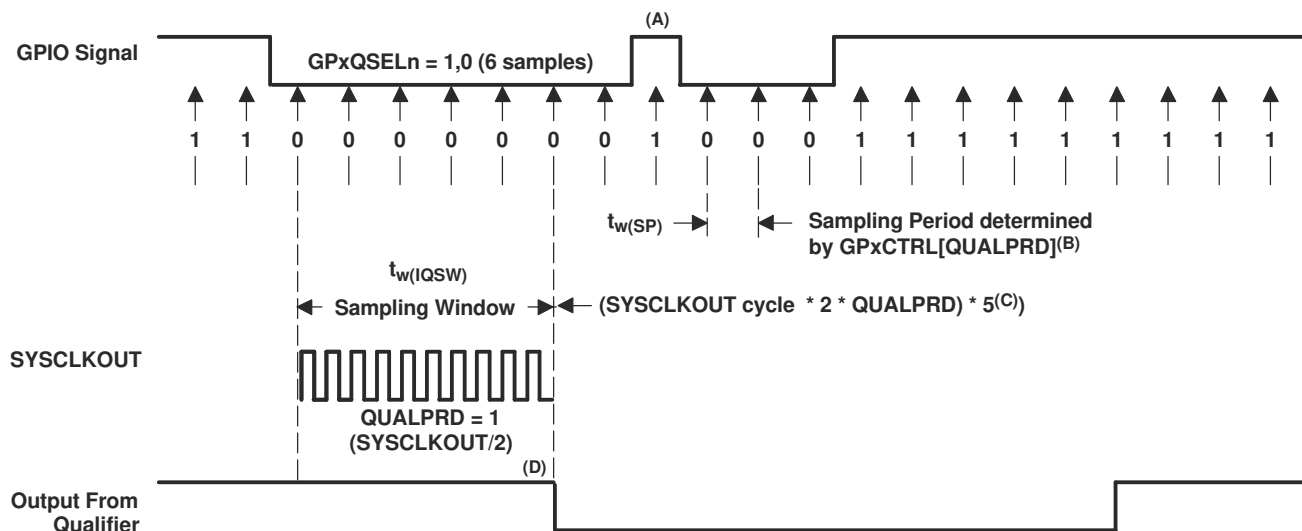
7.9.4.1.2 GPIO - 入力タイミング

7.9.4.1.2.1 汎用入力のタイミング要件

		最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SCO)}$	サイクル
		QUALPRD \neq 0	$2t_{c(SCO)} * QUALPRD$	
$t_{w(IQSW)}$	入力フィルタ・サンプリング・ウィンドウ	$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}^{(2)}$	パルス幅、GPIO LOW/HIGH	非同期モード	$2t_{c(SCO)}$	サイクル
		入力フィルタあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$	

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ・サンプルの数を表します。

(2) $t_{w(GPI)}$ のパルス幅は、アクティブ LOW 信号については V_{IL} から V_{IL} まで、アクティブ HIGH 信号については V_{IH} から V_{IH} までを測定します。



- A. このグリッチは、入力フィルタによって無視されます。フィルタ・サンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00 ~ 0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLKOUT サイクルです。その他の値「n」である場合、フィルタ・サンプリング期間は、2n SYSCLKOUT サイクルになります (すなわち、2n SYSCLKOUT サイクルごとに GPIO ピンがサンプリングされます)。
- B. GPxCTRL レジスタで選択したフィルタ期間は、8 つの GPIO ピンのグループに適用されます。
- C. フィルタ・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
- D. ここに示す例では、フィルタで変化を検出するためには、入力が 10 SYSCLKOUT サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCLKOUT サイクルにわたって安定している必要があります。これにより、5 サンプル期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLKOUT 幅のパルスであれば信頼性の高い認識が保証されます。

図 7-9. サンプリング・モード

7.9.4.1.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力フィルタ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

「サンプリング周波数」は、SYSCLKOUT を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = $\text{SYSCLKOUT} / (2 * \text{QUALPRD})$

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLKOUT

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLKOUT サイクル × 2 × QUALPRD

上記の式で、「SYSCLKOUT サイクル」は、SYSCLKOUT の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLKOUT サイクル

1 つのサンプリング・ウィンドウでは、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したフィルタリング

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLKOUT サイクル} * 2 * \text{QUALPRD}) * 2$

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLKOUT サイクル}) * 2$

ケース 2:

6 つのサンプルを使用したフィルタリング

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLKOUT サイクル} * 2 * \text{QUALPRD}) * 5$

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLKOUT サイクル}) * 5$

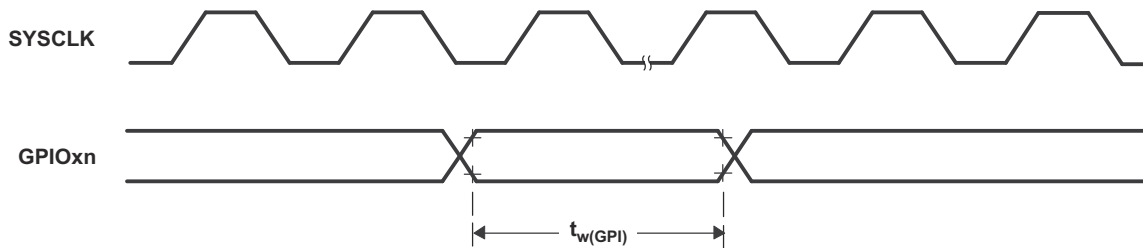


図 7-10. 汎用入力のタイミング :

7.9.4.1.4 低消費電力モードのウェークアップ・タイミング

セクション 7.9.4.1.4.1 にタイミング要件を示し、セクション 7.9.4.1.4.2 にスイッチング特性を示します。また、図 7-11 にアイドル・モードのタイミング図を示します。

7.9.4.1.4.1 アイドル・モードのタイミング要件

		最小値	最大値	単位
$t_w(\text{WAKE-INT})$	パルス幅、外部ウェークアップ信号	入力フィルタなし ⁽¹⁾	$2t_{c(\text{SCO})}$	サイクル
		入力フィルタあり ⁽¹⁾	$5t_{c(\text{SCO})} + t_w(\text{IQSW})$	

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.4.1.2.1 を参照してください。

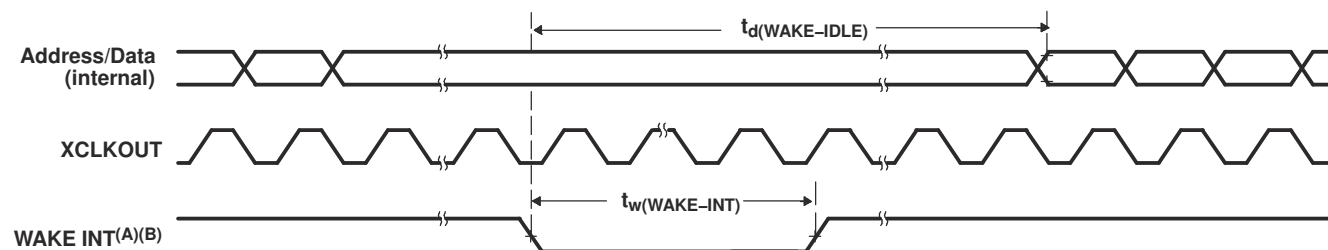
7.9.4.1.4.2 アイドル・モードのスイッチング特性

パラメータ		テスト条件	最小値	最大値	単位
$t_d(\text{WAKE-IDLE})$	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽²⁾				
	フラッシュからのウェークアップ • アクティブ状態のフラッシュモジュール	入力フィルタなし ⁽¹⁾		$20t_{c(\text{SCO})}$	サイクル
		入力フィルタあり ⁽¹⁾		$20t_{c(\text{SCO})} + t_w(\text{IQSW})$	
	フラッシュからのウェークアップ • スリープ状態のフラッシュモジュール	入力フィルタなし ⁽¹⁾		$1050t_{c(\text{SCO})}$	サイクル
		入力フィルタあり ⁽¹⁾		$1050t_{c(\text{SCO})} + t_w(\text{IQSW})$	
	SARAM からのウェークアップ	入力フィルタなし ⁽¹⁾		$20t_{c(\text{SCO})}$	サイクル
入力フィルタあり ⁽¹⁾			$20t_{c(\text{SCO})} + t_w(\text{IQSW})$		

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.4.1.2.1 を参照してください。

(2) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

7.9.4.1.4.3 アイドル・モードのタイミング図



A. WAKE INT には、イネーブルになっている任意の割り込み、 $\overline{\text{WDINT}}$ 、 $\overline{\text{XRS}}$ を使用できます。

B. デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令を実行した時点から、少なくとも 4 OSCCLK サイクルが経過するまでウェークアップを開始しないでください。

図 7-11. アイドル開始および終了タイミング

7.9.4.1.4.4 スタンバイ・モードのタイミング要件

			最小値	最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	入力フィルタなし	$3t_{c(OSCCLK)}$		サイクル
		入力フィルタあり ⁽¹⁾	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$		

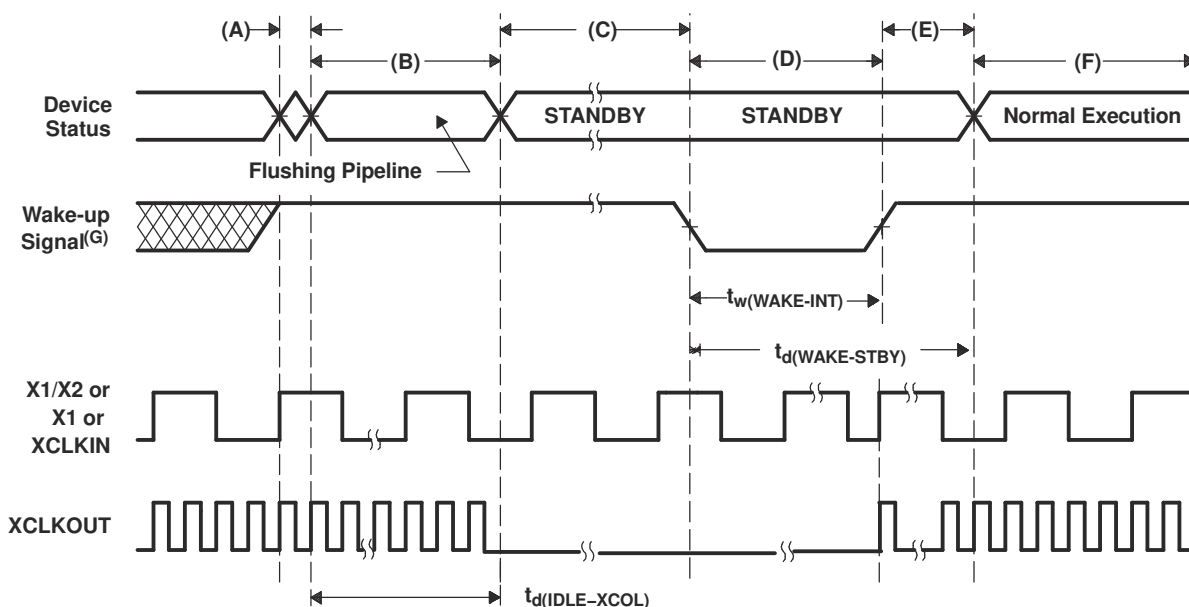
(1) QUALSTDBY は、LPMCR0 レジスタの 6 ビット・フィールドです。

7.9.4.1.4.5 スタンバイ・モードのスイッチング特性

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(IDLE-XCOL)}$	遅延時間、IDLE 命令実行から XCLKOUT LOW まで	$32t_{c(SCO)}$	$45t_{c(SCO)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽¹⁾			
	<ul style="list-style-type: none"> フラッシュからのウェークアップ – アクティブ状態のフラッシュモジュール 	入力フィルタなし	$100t_{c(SCO)}$	サイクル
		入力フィルタあり	$100t_{c(SCO)} + t_{w(WAKE-INT)}$	
	<ul style="list-style-type: none"> フラッシュからのウェークアップ – スリープ状態のフラッシュモジュール 	入力フィルタなし	$1125t_{c(SCO)}$	サイクル
		入力フィルタあり	$1125t_{c(SCO)} + t_{w(WAKE-INT)}$	
	<ul style="list-style-type: none"> SARAM からのウェークアップ 	入力フィルタなし	$100t_{c(SCO)}$	サイクル
入力フィルタあり		$100t_{c(SCO)} + t_{w(WAKE-INT)}$		

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

7.9.4.1.4.6 スタンバイ・モードのタイミング図



- A. IDLE 命令が実行され、デバイスがスタンバイ・モードに移行します。
- B. PLL ブロックが STANDBY 信号にตอบสนองします。SYSCLOCKOUT は、以下に示すサイクル数にわたって保持された後、オフになります。
- DIVSEL = 00 または 01 の場合、16 サイクル
 - DIVSEL = 10 の場合、32 サイクル
 - DIVSEL = 11 の場合、64 サイクル

この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。XINTF へのアクセスが進行中で、そのアクセス時間がこの値よりも長い場合、アクセスは失敗します。SARAM からスタンバイ・モードに移行するのは、XINTF アクセスを実行していない状態で行うことを推奨します。

- C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ・モードになっています。
- D. 外部ウェークアップ信号がアクティブに駆動されます。
- E. 遅延時間が経過すると、スタンバイ・モードが終了します。
- F. 通常動作を再開します。デバイスは割り込みにตอบสนองします(割り込みイネーブルの場合)。
- G. デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令を実行した時点から、少なくとも 4 OSCCLK サイクルが経過するまでウェークアップを開始しないでください。

図 7-12. スタンバイ開始および終了タイミング図

7.9.4.1.4.7 ホールト・モードのタイミング要件

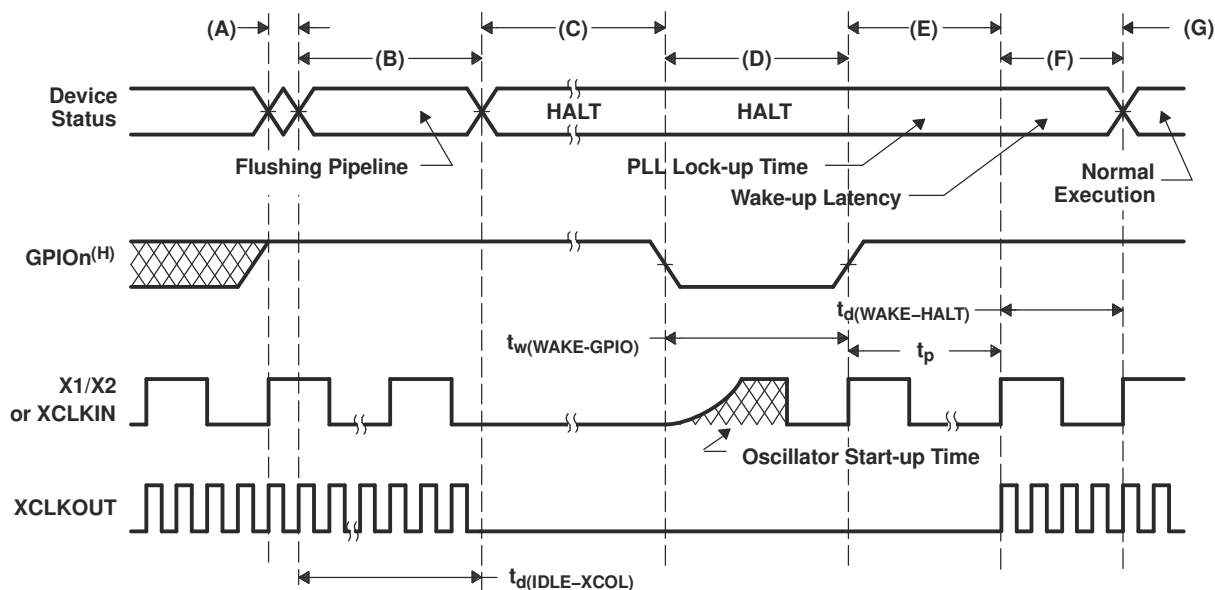
		最小値	最大値	単位
$t_{w(WAKE-GPIO)}$	パルス幅、GPIO ウェークアップ信号	$t_{oscst} + 2t_{c(OSCCLK)}$ ⁽¹⁾		サイクル
$t_{w(WAKE-XRS)}$	パルス幅、 \overline{XRS} ウェークアップ信号	$t_{oscst} + 8t_{c(OSCCLK)}$		サイクル

(1) t_{oscst} の説明については、[セクション 7.9.2.2](#) を参照してください。

7.9.4.1.4.8 ホールト・モードのスイッチング特性

パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOL)}$	遅延時間、IDLE 命令実行から XCLKOUT LOW まで	$32t_{c(SCO)}$	$45t_{c(SCO)}$	サイクル
t_p	PLL ロックアップ時間	$131072t_{c(OSCCLK)}$		サイクル
$t_{d(WAKE-HALT)}$	遅延時間、PLL ロックからプログラム実行再開まで	$1125t_{c(SCO)}$		サイクル
	<ul style="list-style-type: none"> • フラッシュからのウェークアップ <ul style="list-style-type: none"> – スリープ状態のフラッシュモジュール • SARAM からのウェークアップ 			

7.9.4.1.4.9 ホールト・モードのタイミング図



- A. IDLE 命令が実行され、デバイスがホールト・モードに移行します。
- B. PLL ブロックが HALT 信号に応答します。以下に示すサイクル数にわたって SYSCLKOUT が保持された後、発振器がオフになり、コアへの CLKIN が停止します。
- DIVSEL = 00 または 01 の場合、16 サイクル
 - DIVSEL = 10 の場合、32 サイクル
 - DIVSEL = 11 の場合、64 サイクル

この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。XINTF へのアクセスが進行中で、そのアクセス時間がこの値よりも長い場合、そのアクセスは失敗します。SARAM から ホールト・モードに移行するのは、XINTF アクセスを実行していない状態で行うことを推奨します。

- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック・ソースとして水晶振動子またはセラミック発振子を使用する場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールト・モードに移行しており、消費電力は絶対最小電力になっています。
- D. GPIO pin (デバイスのホールトを解除するために使用) を LOW にすると、発振器がオンになり、発振器ウェークアップ・シーケンスが開始されます。GPIO pin を HIGH に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック・シーケンス時にクリーンなクロック信号を供給できます。GPIO pin の立ち下がりエッジによって非同期にウェークアップ手順が開始されるので、ホールト・モードに移行する前およびホールト・モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
- E. 発振器が安定すると、PLL ロック・シーケンスが開始されます。このシーケンスは、131,072 OSCCLK (X1/X2 または X1 または XCLKIN) サイクルかかります。この 131,072 クロック・サイクルは、PLL がディセーブルの場合でも適用されることに注意してください (すなわち、PLL がディセーブルされていても、コードの実行はこの期間だけ遅延されます)。
- F. コアおよびペリフェラルへのクロックがイネーブルになります。これで、ホールト・モードが終了します。デバイスは、いくらかのレイテンシの後、割り込みに応答します (割り込みイネーブルの場合)。
- G. 通常動作を再開します。
- H. デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令を実行した時点から、少なくとも 4 OSCCLK サイクルが経過するまでウェークアップを開始しないでください。

図 7-13. GPIO pin を使用したホールト・ウェークアップ

7.9.4.2 拡張制御ペリフェラル

7.9.4.2.1 拡張パルス幅変調器 (ePWM) タイミング

PWM とは、ePWM1–6 上の PWM 出力のことです。セクション 7.9.4.2.1.1 に ePWM のタイミング要件、セクション 7.9.4.2.1.2 に ePWM のスイッチング特性を示します。

7.9.4.2.1.1 ePWM のタイミング要件

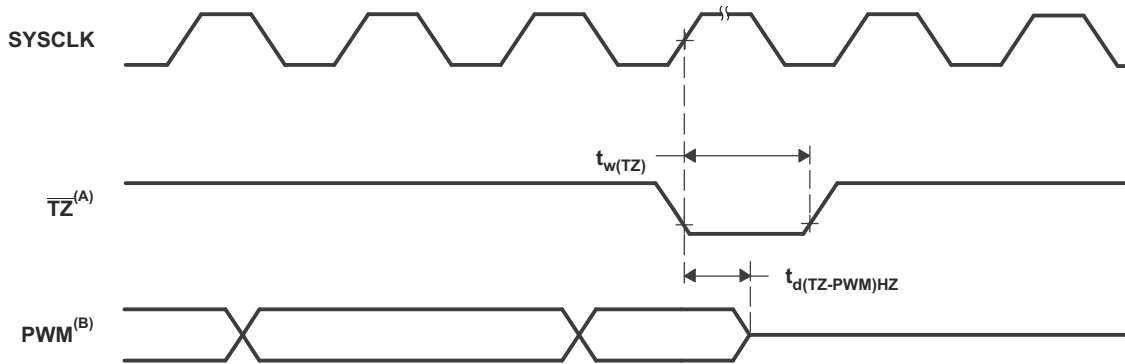
		最小値	最大値	単位
$t_w(\text{SYCIN})$	同期入力パルス幅	非同期	$2t_{c(\text{SCO})}$	サイクル
		同期	$2t_{c(\text{SCO})}$	
		入力フィルタあり ⁽¹⁾	$1t_{c(\text{SCO})} + t_w(\text{IQSW})$	

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.4.1.2.1 を参照してください。

7.9.4.2.1.2 ePWM のスイッチング特性

パラメータ	テスト条件	最小値	最大値	単位
$t_w(\text{PWM})$	パルス幅、PWMx 出力 HIGH/LOW	20		ns
$t_w(\text{SYNCOUT})$	同期出力パルス幅	$8t_{c(\text{SCO})}$		サイクル
$t_d(\text{PWM})_{\text{TZA}}$	遅延時間、トリップ入力アクティブから PWM 強制 HIGH まで 遅延時間、トリップ入力アクティブから PWM 強制 LOW まで	ピン負荷なし	25	ns
$t_d(\text{TZ-PWM})_{\text{HZ}}$	遅延時間、トリップ入力アクティブから PWM ハイ・インピーダンスまで		20	ns

7.9.4.2.2 トリップ・ゾーン入力のタイミング



A. $\overline{\text{TZ}} - \overline{\text{TZ}}1, \overline{\text{TZ}}2, \overline{\text{TZ}}3, \overline{\text{TZ}}4, \overline{\text{TZ}}5, \overline{\text{TZ}}6$

B. PWM は、デバイスのすべての PWM ピンのことです。 $\overline{\text{TZ}}$ が HIGH になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 7-14. PWM Hi-Z 特性

7.9.4.2.2.1 トリップ・ゾーン入力のタイミング要件

		最小値	最大値	単位
$t_w(\text{TZ})$	パルス幅、 $\overline{\text{TZ}}x$ 入力が LOW	非同期	$1t_{c(\text{SCO})}$	サイクル
		同期	$2t_{c(\text{SCO})}$	
		入力フィルタあり ⁽¹⁾	$1t_{c(\text{SCO})} + t_w(\text{IQSW})$	

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.4.1.2.1 を参照してください。

7.9.4.2.3 高分解能 PWM のタイミング

セクション 7.9.4.2.3.1 に、高分解能 PWM スイッチング特性を示します。

7.9.4.2.3.1 SYSCLKOUT = (60~150MHz) での高分解能 PWM 特性

	最小値	標準値	最大値	単位
マイクロ・エッジ・ポジショニング (MEP) ステップ・サイズ ⁽¹⁾		150	310	ps

(1) MEP ステップ・サイズは、高温かつ V_{DD} の最小電圧で、最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ・サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、TI のソフトウェア・ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

7.9.4.2.4 拡張キャプチャ (eCAP) タイミング

セクション 7.9.4.2.4.1 に、eCAP タイミング要件を示し、セクション 7.9.4.2.4.2 に、eCAP スイッチング特性を示します。

7.9.4.2.4.1 拡張キャプチャ (eCAP) タイミング要件

		最小値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅			サイクル
	非同期	$2t_{c(SCO)}$		
	同期	$2t_{c(SCO)}$		
	入力フィルタあり ⁽¹⁾	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.4.1.2.1 を参照してください。

7.9.4.2.4.2 eCAP のスイッチング特性

パラメータ	テスト条件	最小値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 HIGH/LOW	20		ns

7.9.4.2.5 拡張直交エンコーダ・パルス (eQEP) モジュールのタイミング

セクション 7.9.4.2.5.1 に、eQEP のタイミング要件を示し、セクション 7.9.4.2.5.2 に、eQEP のスイッチング特性を示します。

7.9.4.2.5.1 拡張直交エンコーダ・パルス (eQEP) モジュールのタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP インデックス入力 HIGH 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP インデックス入力 LOW 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP ストロープ HIGH 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP ストロープ LOW 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		

(1) 非同期モードの制限については、『TMS320F2833x, TMS320F2823x リアルタイム MCU シリコン・エラッタ』を参照してください。

(2) 入力フィルタ・パラメータの説明については、セクション 7.9.4.1.2.1 を参照してください。

7.9.4.2.5.2 eQEP のスイッチング特性

パラメータ		テスト条件	最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ・インクリメントまで			$4t_{c(SCO)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで			$6t_{c(SCO)}$	サイクル

7.9.4.2.6 ADC の変換開始タイミング

7.9.4.2.6.1 外部 ADC 変換開始のスイッチング特性

パラメータ	最小値	最大値	単位
$t_{w(ADCSOCL)}$ パルス幅、ADCSOCxO LOW	$32t_{c(HCO)}$		サイクル

7.9.4.2.6.2 ADCSOCAO または ADCSOCBO タイミング



図 7-15. ADCSOCAO または ADCSOCBO タイミング

7.9.4.3 外部割り込みのタイミング要件

7.9.4.3.1 外部割り込みのタイミング要件

パラメータ	同期	最小値	最大値	単位
$t_{w(INT)}$ (1) パルス幅、INT 入力 LOW/HIGH	同期	$1t_{c(SCO)}$		サイクル
	フィルタあり(2)	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) このタイミングは、ADCSOC 機能用に構成されたすべての GPIO ピンに適用できます。

(2) 入力フィルタ・パラメータの説明については、[セクション 7.9.4.1.2.1](#) を参照してください。

7.9.4.3.2 外部割り込みのスイッチング特性

パラメータ(1)	最小値	最大値	単位
$t_{d(INT)}$ 遅延時間、INT LOW / HIGH から割り込みベクタのフェッチまで		$t_{w(IQSW)} + 12t_{c(SCO)}$	サイクル

(1) 入力フィルタ・パラメータの説明については、[セクション 7.9.4.1.2.1](#) を参照してください。

7.9.4.3.3 外部割り込みのタイミング図

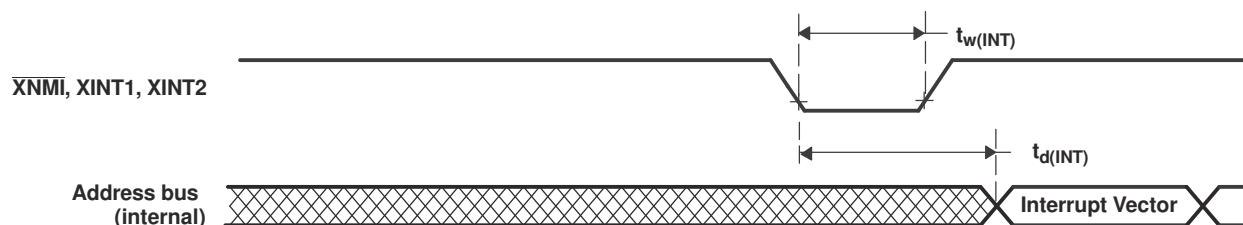


図 7-16. 外部割り込みのタイミング

7.9.4.4 I2C の電氣的仕様およびタイミング

7.9.4.4.1 I2C のタイミング

		テスト条件	最小値	最大値	単位
f _{SCL}	SCL クロック周波数	I2C クロック・モジュールの周波数は 7MHz～12MHz で、I2C プリスケアラおよびクロック・デバイダ・レジスタは適切に構成されている状態		400	kHz
V _{il}	LOW レベル入力電圧			0.3V _{DDIO}	V
V _{ih}	HIGH レベル入力電圧		0.7V _{DDIO}		V
V _{hys}	入力ヒステリシス		0.05V _{DDIO}		V
V _{ol}	LOW レベル出力電圧	3mA のシンク電流	0	0.4	V
t _{LOW}	SCL クロックの LOW 期間	I2C クロック・モジュールの周波数は 7MHz～12MHz で、I2C プリスケアラおよびクロック・デバイダ・レジスタは適切に構成されている状態	1.3		μs
t _{HIGH}	SCL クロックの HIGH 期間	I2C クロック・モジュールの周波数は 7MHz～12MHz で、I2C プリスケアラおよびクロック・デバイダ・レジスタは適切に構成されている状態	0.6		μs
I _I	入力電圧が 0.1V _{DDIO} ～最大 0.9V _{DDIO} の入力電流		-10	10	μA

7.9.4.5 シリアル・ペリフェラル・インターフェイス (SPI) のタイミング

このセクションには、マスタ・モードおよびスレーブ・モードの両方のタイミング・データが含まれています。

7.9.4.5.1 マスタ・モードのタイミング

セクション 7.9.4.5.1.1 に、マスタ・モードのタイミング (クロック位相 = 0) を示し、セクション 7.9.4.5.1.2 に、マスタ・モードのタイミング (クロック位相 = 1) を示します。図 7-17 および 図 7-18 に、タイミング波形を示します。

7.9.4.5.1.1 SPI マスタ・モードの外部タイミング (クロック位相 = 0)

番号	パラメータ ^{(1) (2) (3) (4) (5)}	BRR 偶数		BRR 奇数		単位
		最小値	最大値	最小値	最大値	
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ パルス幅、SPICLK の最初のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ パルス幅、SPICLK の 2 番目のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
4	$t_{d(SIMO)M}$ 遅延時間、SPICLK から SPISIMO 有効まで		10		10	ns
5	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
8	$t_{su(SOMI)M}$ セットアップ時間、SPISOMI 有効から SPICLK まで	35		35		ns
9	$t_{h(SOMI)M}$ ホールド時間、SPICLK から SPISOMI 有効の間	0		0		ns
23	$t_{d(SPC)M}$ 遅延時間、SPISTE 有効から SPICLK まで	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$ 遅延時間、SPICLK から SPISTE 無効まで	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns

- (1) マスタ / スレーブ・ビット (SPICTL.2) セット、クロック位相ビット (SPICTL.3) クリア。
- (2) $t_{c(SPC)} = \text{SPI クロック} \cdot \text{サイクル時間} = \text{LSPCLK}/4$ または $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK}$ サイクル時間
- (4) 内部クロック・プリスケアラは、SPI クロック速度が以下に示す SPI クロック・レートに制限されるように調整する必要があります。
マスタ・モード送信 25MHz 最大、マスタ・モード受信 12.5MHz 最大
スレーブ・モード送信 12.5MHz 最大、スレーブ・モード受信 12.5MHz 最大。
- (5) 基準となる SPICLK 信号のどちらのエッジが有効になるかは、クロック極性ビット (SPICCR.6) によって制御されます。

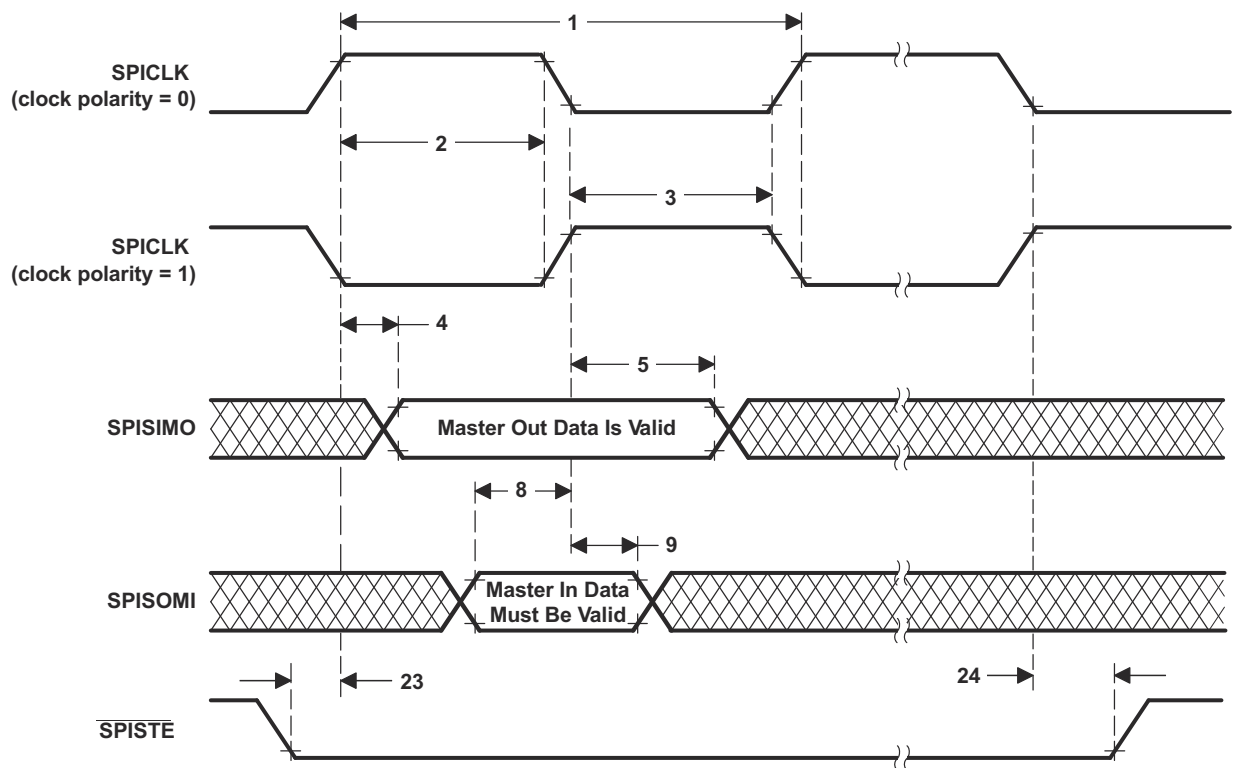


図 7-17. SPI マスタ・モードの外部タイミング (クロック位相 = 0)

7.9.4.5.1.2 SPI マスタ・モードの外部タイミング(クロック位相 = 1)

番号	パラメータ(1) (2) (3) (4) (5)	BRR 偶数		BRR 奇数		単位
		最小値	最大値	最小値	最大値	
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ パルス幅、SPICLK の最初のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ パルス幅、SPICLK の 2 番目のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$ 遅延時間、SPISIMO 有効から SPICLK まで	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$		ns
7	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
10	$t_{su(SOMI)M}$ セットアップ時間、SPISOMI 有効から SPICLK まで	35		35		ns
11	$t_{h(SOMI)M}$ ホールド時間、SPICLK から SPISOMI 有効の間	0		0		ns
23	$t_{d(SPC)M}$ 遅延時間、 \overline{SPISTE} 有効から SPICLK まで	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$ 遅延時間、SPICLK から \overline{SPISTE} 無効まで	$0.5t_{c(SPC)} - 10$		$0.5t_{c(SPC)} - 0.5t_{c(LSPCLK)} - 10$		ns

- (1) マスタ / スレーブ・ビット (SPICTL.2) セット、クロック位相ビット (SPICTL.3) セット。
- (2) $t_{c(SPC)} = \text{SPI クロック} \cdot \text{サイクル時間} = \text{LSPCLK} / 4$ または $\text{LSPCLK} / (\text{SPIBRR} + 1)$
- (3) 内部クロック・プリスケアラは、SPI クロック速度が以下に示す SPI クロック・レートに制限されるように調整する必要があります。
 マスタ・モード送信 25MHz 最大、マスタ・モード受信 12.5MHz 最大
 スレーブ・モード送信 12.5MHz 最大、スレーブ・モード受信 12.5MHz 最大。
- (4) $t_{c(LCO)} = \text{LSPCLK サイクル時間}$
- (5) 基準となる SPICLK 信号のどちらのエッジが有効になるかは、クロック極性ビット (SPICCR.6) によって制御されます。

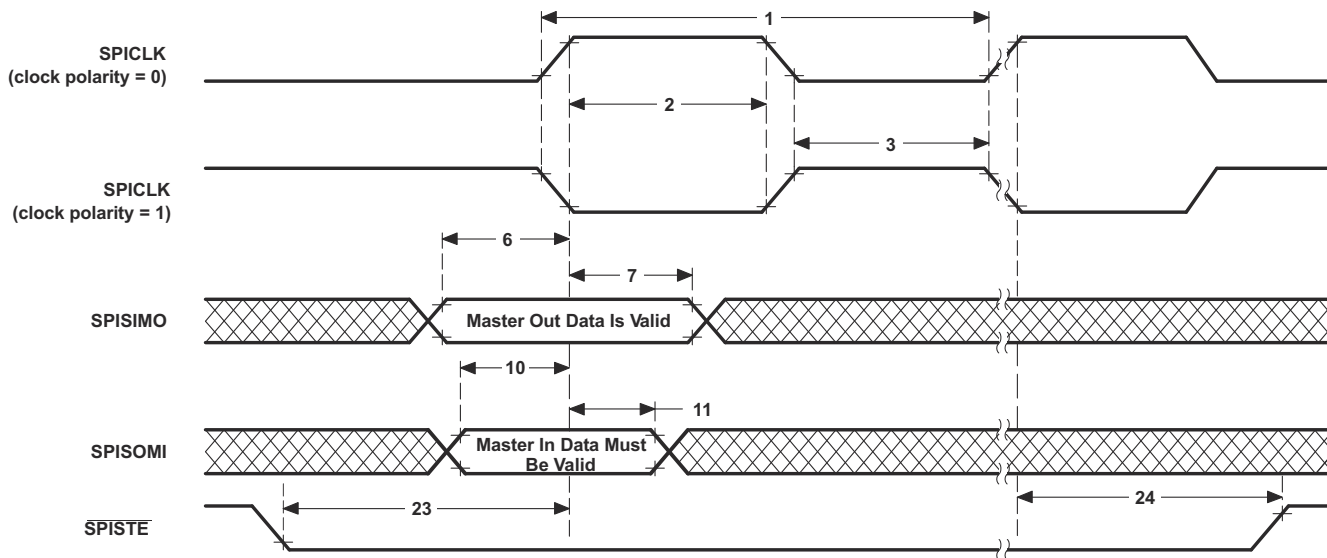


図 7-18. SPI マスタ・モードの外部タイミング(クロック位相 = 1)

7.9.4.5.2 スレーブ・モードのタイミング

セクション 7.9.4.5.2.1 にスレーブ・モードのタイミング (クロック位相 = 0) を示し、セクション 7.9.4.5.2.2 にスレーブ・モードのタイミング (クロック位相 = 1) を示します。図 7-19 および 図 7-20 に、タイミング波形を示します。

7.9.4.5.2.1 SPI スレーブ・モードの外部タイミング (クロック位相 = 0)

番号	パラメータ ^{(1) (2) (3) (4) (5)}	最小値	最大値	単位
12	$t_{c(SPC)S}$ サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ パルス幅、SPICLK の最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ パルス幅、SPICLK の 2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
15	$t_{d(SOMI)S}$ 遅延時間、SPICLK から SPISIMO 有効まで		35	ns
16	$t_{v(SOMI)S}$ 有効時間、SPICLK から SPISOMI データ有効の間	0		ns
19	$t_{su(SIMO)S}$ セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$ ホールド時間、SPICLK から SPISIMO 有効の間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$ セットアップ時間、SPISTE 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$ ホールド時間、SPICLK から SPISTE 無効まで	$1.5t_{c(SYSCLK)}$		ns

- (1) マスタ / スレーブ・ビット (SPICTL.2) クリア、クロック位相ビット (SPICTL.3) クリア。
- (2) $t_{c(SPC)} = \text{SPI クロック} \cdot \text{サイクル時間} = \text{LSPCLK}/4$ または $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK}$ サイクル時間
- (4) 内部クロック・プリスケアラは、SPI クロック速度が以下に示す SPI クロック・レートに制限されるように調整する必要があります。
マスタ・モード送信 25MHz 最大、マスタ・モード受信 12.5MHz 最大
スレーブ・モード送信 12.5MHz 最大、スレーブ・モード受信 12.5MHz 最大。
- (5) 基準となる SPICLK 信号のどちらのエッジが有効になるかは、クロック極性ビット (SPICCR.6) によって制御されます。

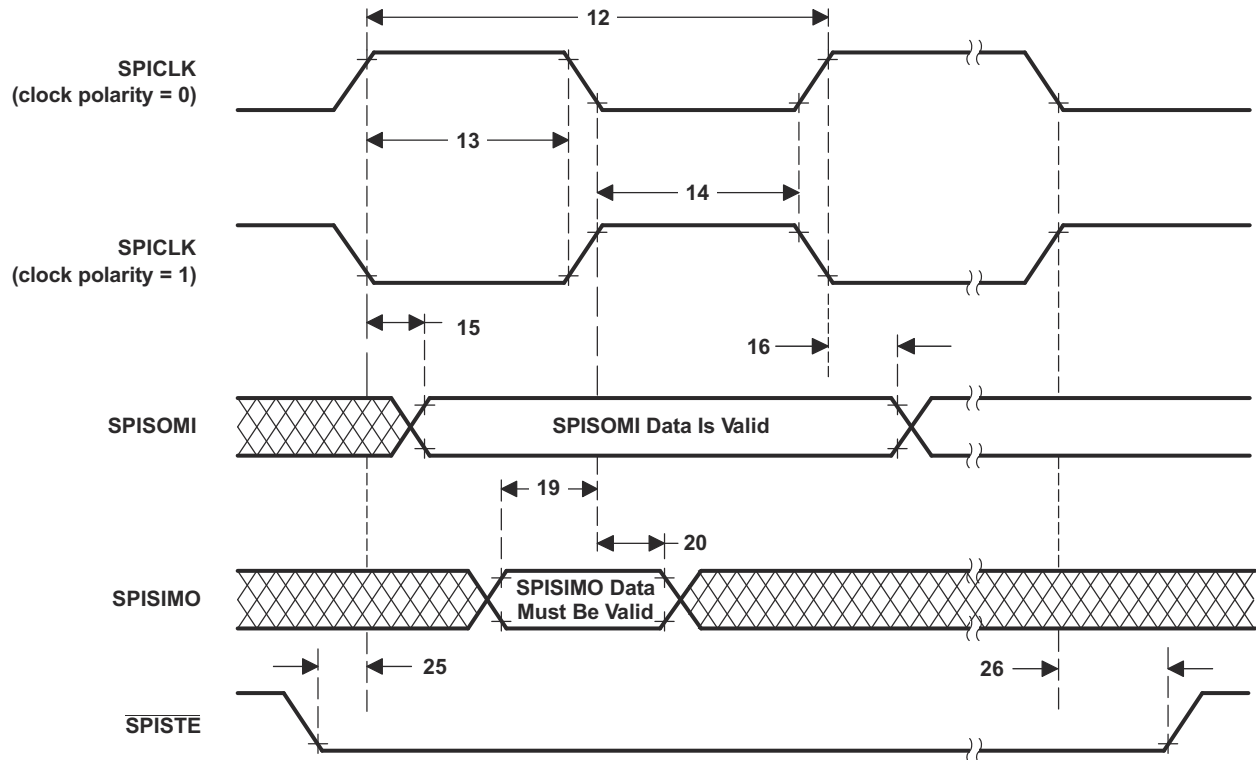


図 7-19. SPI スレーブ・モードの外部タイミング (クロック位相 = 0)

7.9.4.5.2.2 SPI スレーブ・モードの外部タイミング(クロック位相 = 1)

NO.	パラメータ(1) (2) (3) (4)	最小値	最大値	単位
12	$t_{c(SPC)S}$ サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ パルス幅、SPICLK の最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ パルス幅、SPICLK の 2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
17	$t_{d(SOMI)S}$ 遅延時間、SPICLK から SPISIMO 有効まで		35	ns
18	$t_{v(SOMI)S}$ 有効時間、SPICLK から SPISOMI データ有効の間	0		ns
21	$t_{su(SIMO)S}$ セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
22	$t_{h(SIMO)S}$ ホールド時間、SPICLK から SPISIMO 有効の間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$ セットアップ時間、 \overline{SPISTE} 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$ ホールド時間、SPICLK から \overline{SPISTE} 無効まで	$1.5t_{c(SYSCLK)}$		ns

- (1) マスタ / スレーブ・ビット (SPICTL.2) クリア、クロック位相ビット (SPICTL.3) クリア。
- (2) $t_{c(SPC)} = \text{SPI クロック} \cdot \text{サイクル時間} = \text{LSPCLK}/4$ または $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) 内部クロック・プリスケアラは、SPI クロック速度が以下に示す SPI クロック・レートに制限されるように調整する必要があります。
マスタ・モード送信 25MHz 最大、マスタ・モード受信 12.5MHz 最大
スレーブ・モード送信 12.5MHz 最大、スレーブ・モード受信 12.5MHz 最大。
- (4) 基準となる SPICLK 信号のどちらのエッジが有効になるかは、クロック極性ビット (SPICCR.6) によって制御されます。

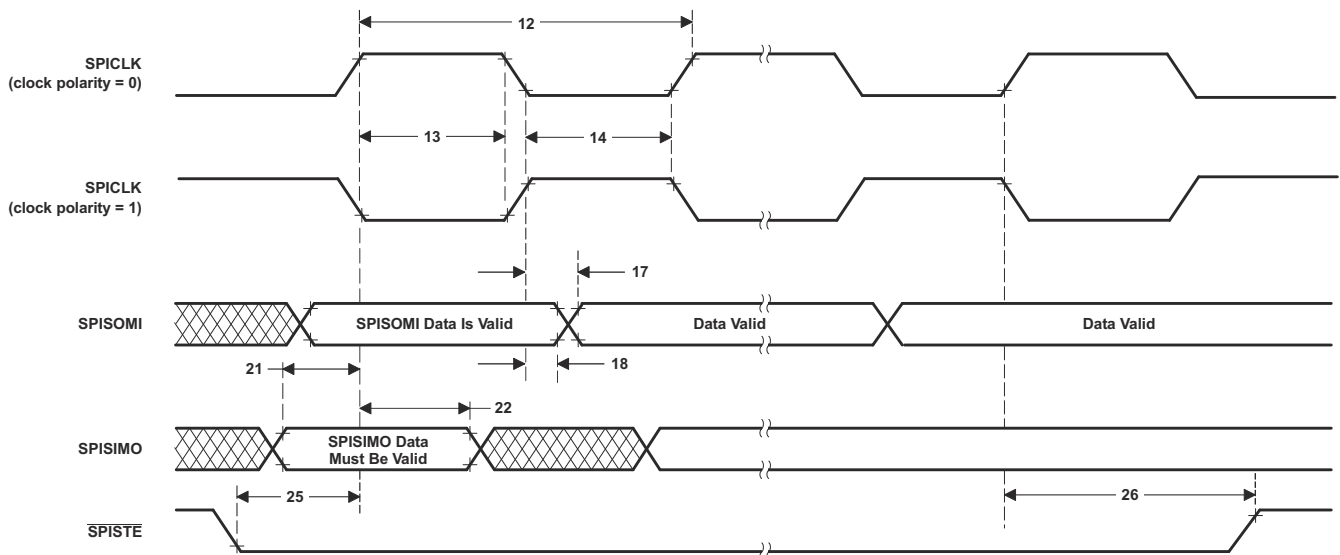


図 7-20. SPI スレーブ・モードの外部タイミング(クロック位相 = 1)

7.9.4.6 マルチチャンネル・バッファ付きシリアル・ポート (McBSP) のタイミング

7.9.4.6.1 McBSP の送信および受信タイミング

7.9.4.6.1.1 McBSP のタイミング要件

番号			最小値	最大値	単位
		McBSP モジュールのクロック (CLKG, CLKX, CLKR) 範囲 ⁽¹⁾	1		kHz
				25 ⁽³⁾	MHz
		McBSP モジュールのサイクル時間 (CLKG, CLKX, CLKR) の範囲 ⁽¹⁾	40		ns
				1	ms
M11	$t_{c}(\text{CKRX})$	サイクル時間、CLKR/X ⁽¹⁾	CLKR/X 外部	2P ⁽²⁾	ns
M12	$t_{w}(\text{CKRX})$	パルス幅、CLKR/X HIGH または CLKR/X LOW ⁽¹⁾	CLKR/X 外部	P-7	ns
M13	$t_{r}(\text{CKRX})$	立ち上がり時間、CLKR/X ⁽¹⁾	CLKR/X 外部	7	ns
M14	$t_{f}(\text{CKRX})$	立ち下がり時間、CLKR/X ⁽¹⁾	CLKR/X 外部	7	ns
M15	$t_{su}(\text{FRH-CKRL})$	セットアップ時間、外部 FSR HIGH から CLKR LOW まで ⁽¹⁾	CLKR 内部	18	ns
			CLKR 外部	2	
M16	$t_{h}(\text{CKRL-FRH})$	ホールド時間、CLKR LOW から外部 FSR HIGH の間 ⁽¹⁾	CLKR 内部	0	ns
			CLKR 外部	6	
M17	$t_{su}(\text{DRV-CKRL})$	セットアップ時間、DR 有効から CLKR LOW まで ⁽¹⁾	CLKR 内部	18	ns
			CLKR 外部	2	
M18	$t_{h}(\text{CKRL-DRV})$	ホールド時間、CLKR LOW から DR 有効の間 ⁽¹⁾	CLKR 内部	0	ns
			CLKR 外部	6	
M19	$t_{su}(\text{FXH-CKXL})$	セットアップ時間、外部 FSX HIGH から CLKX LOW まで ⁽¹⁾	CLKX 内部	18	ns
			CLKX 外部	2	
M20	$t_{h}(\text{CKXL-FXH})$	ホールド時間、CLKX LOW から外部 FSX HIGH の間 ⁽¹⁾	CLKX 内部	0	ns
			CLKX 外部	6	

(1) 極性ビット CLKRP = CLKXP = FSRP = FSXP = 0。いずれかの信号の極性が反転した場合、その信号のタイミング基準も反転します。

- (2) $2P = 1/\text{CLKG}$ (ns 単位)。CLKG は、サンプル・レート・ジェネレータ MUX の出力です。 $\text{CLKG} = \frac{\text{CLKSRG}}{(1 + \text{CLKGDV})}$ CLKSRG は、LSPCLK、CLKX、CLKR をソースにすることができます。CLKSRG \leq (SYSCLKOUT/2)。McBSP の性能は、I/O バッファのスイッチング速度によって制限されます。
- (3) 内部クロック・プリスケーラは、McBSP クロック (CLKG, CLKX, CLKR) の速度が I/O バッファの速度制限 (25MHz) を超えないように調整する必要があります。

7.9.4.6.1.2 McBSP のスイッチング特性

番号	パラメータ ⁽¹⁾		最小値	最大値	単位	
M1	$t_{c}(CKRX)$	サイクル時間、CLKR/X	CLKR/X 内部	2P ⁽²⁾	ns	
M2	$t_{w}(CKRXH)$	パルス幅、CLKR/X HIGH	CLKR/X 内部	D - 5 ⁽³⁾ D + 5 ⁽³⁾	ns	
M3	$t_{w}(CKRXL)$	パルス幅、CLKR/X LOW	CLKR/X 内部	C - 5 ⁽³⁾ C + 5 ⁽³⁾	ns	
M4	$t_{d}(CKRH-FRV)$	遅延時間、CLKR HIGH から内部 FSR 有効まで	CLKR 内部	0 4	ns	
			CLKR 外部	3 27		
M5	$t_{d}(CKXH-FXV)$	遅延時間、CLKX HIGH から内部 FSX 有効まで	CLKX 内部	0 4	ns	
			CLKX 外部	3 27		
M6	$t_{dis}(CKXH-DXHZ)$	ディセーブル時間、CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	CLKX 内部	8	ns	
			CLKX 外部	14		
M7	$t_{d}(CKXH-DXV)$	遅延時間、CLKX HIGH から DX 有効まで。 これは、最初に送信されたビットを除くすべてのビットに適用されます。	CLKX 内部	9	ns	
			遅延時間、CLKX HIGH から DX 有効まで DXENA = 0	CLKX 内部		8
				CLKX 外部		14
			データ遅延 1 または 2 (XDATDLY = 01b または 10b) モードで送信される最初のビットにのみ適用されます	CLKX 内部		P + 8
CLKX 外部	P + 14					
M8	$t_{en}(CKXH-DX)$	イネーブル時間、CLKX HIGH から DX 駆動まで データ遅延 1 または 2 (XDATDLY = 01b または 10b) モードで送信される最初のビットにのみ適用されます	DXENA = 0	CLKX 内部	0	ns
				CLKX 外部	6	
			DXENA = 1	CLKX 内部	P	
				CLKX 外部	P + 6	
M9	$t_{d}(FXH-DXV)$	遅延時間、FSX HIGH から DX 有効まで データ遅延 0 (XDATDLY = 00b) モードで送信される最初のビットにのみ適用されます。	DXENA = 0	FSX 内部	8	ns
				FSX 外部	14	
			DXENA = 1	FSX 内部	P + 8	
				FSX 外部	P + 14	
M10	$t_{en}(FXH-DX)$	イネーブル時間、FSX HIGH から DX 駆動まで データ遅延 0 (XDATDLY = 00b) モードで送信される最初のビットにのみ適用されます。	DXENA = 0	FSX 内部	0	ns
				FSX 外部	6	
			DXENA = 1	FSX 内部	P	
				FSX 外部	P + 6	

- (1) 極性ビット CLKRP = CLKXP = FSRP = FSXP = 0。いずれかの信号の極性が反転した場合、その信号のタイミング基準も反転します。
(2) 2P = 1/CLKG (ns 単位)。
(3) C = CLKRX LOW パルス幅 = P
D = CLKRX HIGH パルス幅 = P

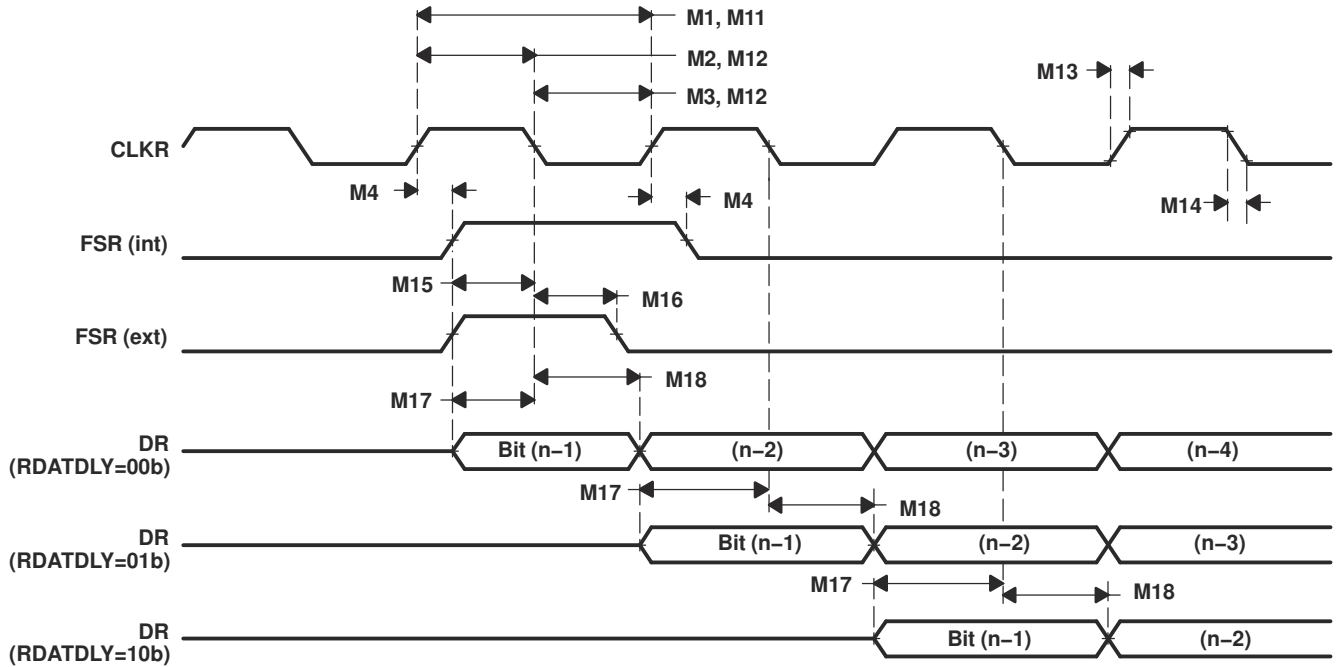


図 7-21. McBSP 受信タイミング

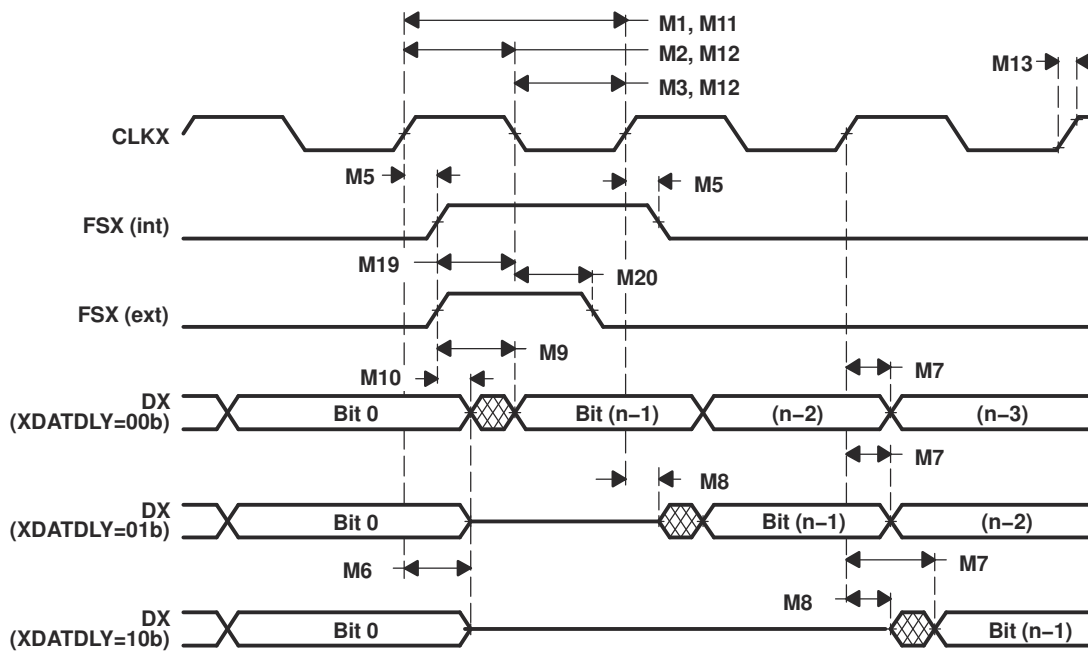


図 7-22. McBSP 送信タイミング

7.9.4.6.2 SPI マスタまたはスレーブとしての McBSP タイミング

7.9.4.6.2.1 SPI マスタまたはスレーブとしての McBSP タイミング要件 (CLKSTP = 10b, CLKXP = 0)

番号			マスタ		スレーブ		単位
			最小値	最大値	最小値	最大値	
M30	$t_{su}(DRV-CKXL)$	セットアップ時間、DR 有効から CLKX LOW まで ⁽¹⁾	30		8P – 10		ns
M31	$t_h(CKXL-DRV)$	ホールド時間、CLKX LOW から DR 有効の間 ⁽¹⁾	1		8P – 10		ns
M32	$t_{su}(BFXL-CKXH)$	セットアップ時間、FSX LOW から CLKX HIGH まで ⁽¹⁾			8P + 10		ns
M33	$t_c(CKX)$	サイクル時間、CLKX ⁽¹⁾	2P ⁽²⁾		16P		ns

(1) すべての SPI スレーブ・モードにおいて、CLKX は最小 8 CLKG サイクルにする必要があります。また、CLKSM = CLKGDV = 1 に設定することにより、CLKG を LSPCLK/2 にする必要があります。

(2) 2P = 1/CLKG

7.9.4.6.2.2 SPI マスタまたはスレーブとしての McBSP スイッチング特性 (CLKSTP = 10b, CLKXP = 0)

番号	パラメータ	マスタ		スレーブ		単位
		最小値	最大値	最小値	最大値	
M24	$t_h(CKXL-FXL)$	ホールド時間、CLKX LOW から FSX LOW の間	2P ⁽¹⁾			ns
M25	$t_d(FXL-CKXH)$	遅延時間、FSX LOW から CLKX HIGH まで	P			ns
M28	$t_{dis}(FXH-DXHZ)$	ディセーブル時間、FSX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	6		6P + 6	ns
M29	$t_d(FXL-DXV)$	遅延時間、FSX LOW から DX 有効まで	6		4P + 6	ns

(1) 2P = 1/CLKG

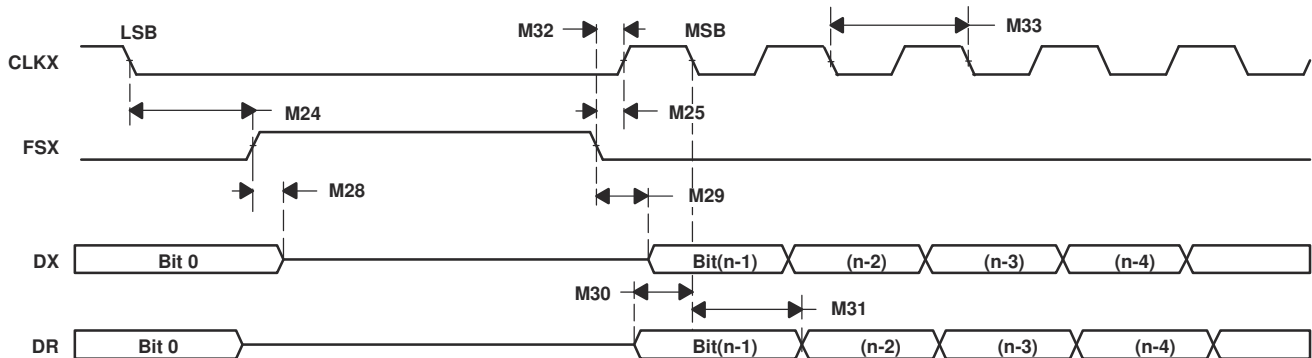


図 7-23. SPI マスタまたはスレーブとしての McBSP タイミング : CLKSTP = 10b, CLKXP = 0

7.9.4.6.2.3 SPI マスタまたはスレーブとしての McBSP タイミング要件 (CLKSTP = 11b, CLKXP = 0)

番号	パラメータ	説明	マスタ		スレーブ		単位
			最小値	最大値	最小値	最大値	
M39	$t_{su}(DRV-CKXH)$	セットアップ時間、DR 有効から CLKX HIGH まで ⁽¹⁾	30		8P – 10		ns
M40	$t_h(CKXH-DRV)$	ホールド時間、CLKX HIGH から DR 有効の間 ⁽¹⁾	1		8P – 10		ns
M41	$t_{su}(FXL-CKXH)$	セットアップ時間、FSX LOW から CLKX HIGH まで ⁽¹⁾			16P + 10		ns
M42	$t_c(CKX)$	サイクル時間、CLKX ⁽¹⁾	2P ⁽²⁾		16P		ns

- (1) すべての SPI スレーブ・モードにおいて、CLKX は最小 8 CLKG サイクルにする必要があります。また、CLKSM = CLKGDV = 1 に設定することにより、CLKG を LSPCLK/2 にする必要があります。
- (2) $2P = 1/CLKG$

7.9.4.6.2.4 SPI マスタまたはスレーブとしての McBSP スイッチング特性 (CLKSTP = 11b, CLKXP = 0)

番号	パラメータ	マスタ		スレーブ		単位
		最小値	最大値	最小値	最大値	
M34	$t_h(CKXL-FXL)$		P			ns
M35	$t_d(FXL-CKXH)$		2P ⁽¹⁾			ns
M37	$t_{dis}(CKXL-DXHZ)$		P + 6		7P + 6	ns
M38	$t_d(FXL-DXV)$		6		4P + 6	ns

- (1) $2P = 1/CLKG$

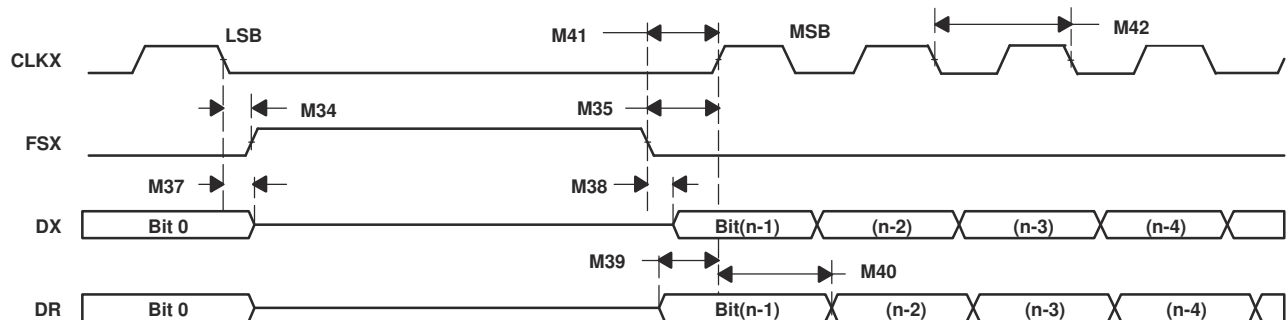


図 7-24. SPI マスタまたはスレーブとしての McBSP タイミング : CLKSTP = 11b, CLKXP = 0

7.9.4.6.2.5 SPI マスタまたはスレーブとしての McBSP タイミング要件 (CLKSTP = 10b, CLKXP = 1)

番号			マスタ		スレーブ		単位
			最小値	最大値	最小値	最大値	
M49	$t_{su}(DRV-CKXH)$	セットアップ時間、DR 有効から CLKX HIGH まで ⁽¹⁾	30		8P – 10		ns
M50	$t_h(CKXH-DRV)$	ホールド時間、CLKX HIGH から DR 有効の間 ⁽¹⁾	1		8P – 10		ns
M51	$t_{su}(FXL-CKXL)$	セットアップ時間、FSX LOW から CLKX LOW まで ⁽¹⁾			8P + 10		ns
M52	$t_c(CKX)$	サイクル時間、CLKX ⁽¹⁾	2P ⁽²⁾		16P		ns

(1) すべての SPI スレーブ・モードにおいて、CLKX は最小 8 CLKG サイクルにする必要があります。また、CLKSM = CLKGDV = 1 に設定することにより、CLKG を LSPCLK/2 にする必要があります。

(2) $2P = 1/CLKG$

7.9.4.6.2.6 SPI マスタまたはスレーブとしての McBSP スイッチング特性 (CLKSTP = 10b, CLKXP = 1)

番号	パラメータ	マスタ		スレーブ		単位
		最小値	最大値	最小値	最大値	
M43	$t_h(CKXH-FXL)$	ホールド時間、CLKX HIGH から FSX LOW の間	2P ⁽¹⁾			ns
M44	$t_d(FXL-CKXL)$	遅延時間、FSX LOW から CLKX LOW まで	P			ns
M47	$t_{dis}(FXH-DXHZ)$	ディセーブル時間、FSX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	6		6P + 6	ns
M48	$t_d(FXL-DXV)$	遅延時間、FSX LOW から DX 有効まで	6		4P + 6	ns

(1) $2P = 1/CLKG$

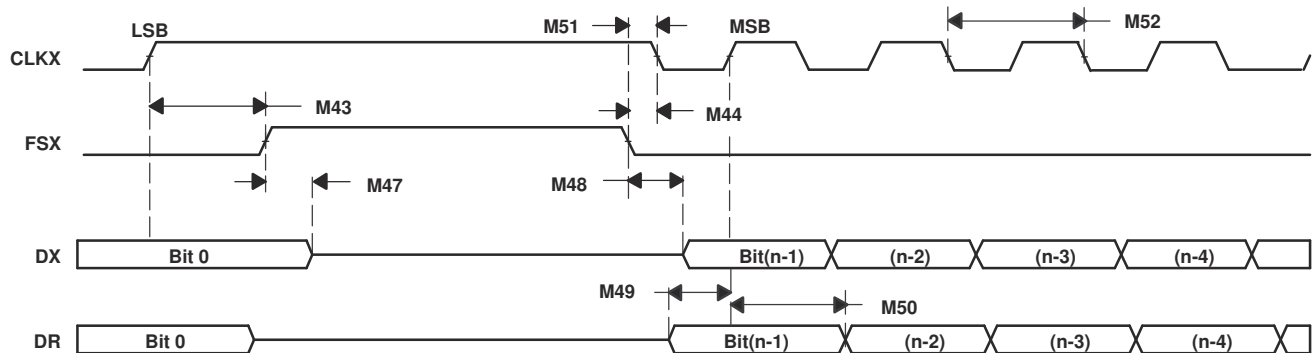


図 7-25. SPI マスタまたはスレーブとしての McBSP タイミング : CLKSTP = 10b, CLKXP = 1

7.9.4.6.2.7 SPI マスタまたはスレーブとしての McBSP タイミング要件 (CLKSTP = 11b, CLKXP = 1)

番号	パラメータ	説明	マスタ		スレーブ		単位
			最小値	最大値	最小値	最大値	
M58	$t_{su}(DRV-CKXL)$	セットアップ時間、DR 有効から CLKX LOW まで ⁽¹⁾	30		8P – 10		ns
M59	$t_h(CKXL-DRV)$	ホールド時間、CLKX LOW から DR 有効の間 ⁽¹⁾	1		8P – 10		ns
M60	$t_{su}(FXL-CKXL)$	セットアップ時間、FSX LOW から CLKX LOW まで ⁽¹⁾			16P + 10		ns
M61	$t_c(CKX)$	サイクル時間、CLKX ⁽¹⁾	2P ⁽²⁾		16P		ns

- (1) すべての SPI スレーブ・モードにおいて、CLKX は最小 8 CLKG サイクルにする必要があります。また、CLKSM = CLKGDV = 1 に設定することにより、CLKG を LSPCLK/2 にする必要があります。
- (2) 2P = 1/CLKG

7.9.4.6.2.8 SPI マスタまたはスレーブとしての McBSP スイッチング特性 (CLKSTP = 11b, CLKXP = 1)

番号	パラメータ	マスタ		スレーブ		単位
		最小値	最大値	最小値	最大値	
M53	$t_h(CKXH-FXL)$	ホールド時間、CLKX HIGH から FSX LOW の間				ns
M54	$t_d(FXL-CKXL)$	遅延時間、FSX LOW から CLKX LOW まで				ns
M55	$t_d(CLKXH-DXV)$	-2	0	3P + 6	5P + 20	ns
M56	$t_{dis}(CKXH-DXH)$	ディセーブル時間、CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで			7P + 6	ns
M57	$t_d(FXL-DXV)$	遅延時間、FSX LOW から DX 有効まで			4P + 6	ns

- (1) 2P = 1/CLKG

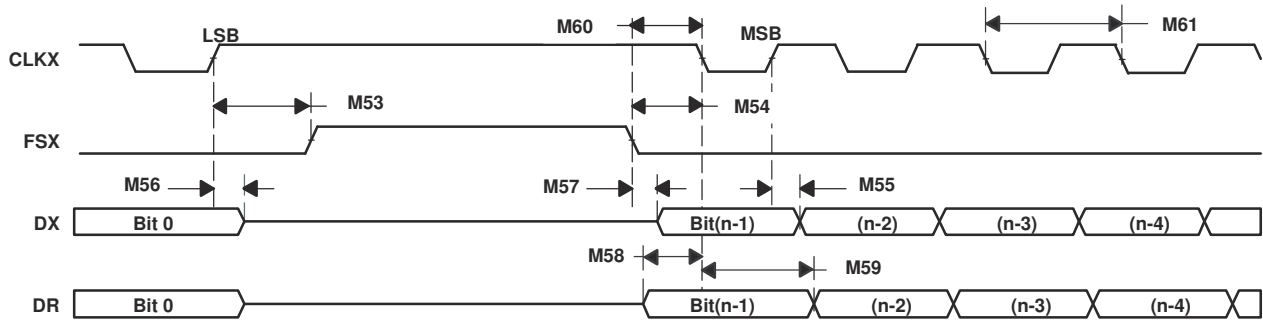


図 7-26. SPI マスタまたはスレーブとしての McBSP タイミング : CLKSTP = 11b, CLKXP = 1

7.9.5 MCU への JTAG デバッグ・プローブ接続 (信号バッファなし)

図 7-27 に、シングル・プロセッサ構成での DSP と JTAG ヘッダーの接続を示します。JTAG ヘッダーと DSP の間の距離が 6 インチ (15.24cm) を超える場合、エミュレーション信号をバッファする必要があります。距離が 6 インチ (15.24cm) 未満の場合、通常はバッファは必要ありません。図 7-27 に、バッファなしのシンプルな状況を示します。プルアップ/プルダウン抵抗の値については、「信号の説明」セクションを参照してください。JTAG 信号のバッファと複数のプロセッサ接続の詳細については、『[TMS320F/C24x DSP コントローラ・リファレンス・ガイド: CPU および命令セット](#)』を参照してください。

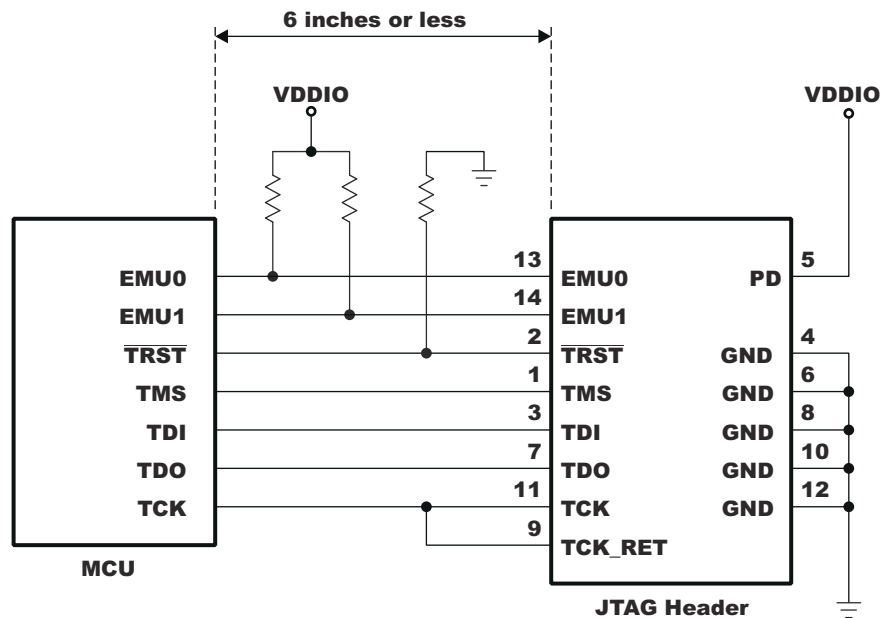


図 7-27. MCU への JTAG デバッグ・プローブ接続 (信号バッファなし)

7.9.6 外部インターフェイス (XINTF) のタイミング

各 XINTF アクセスは、次の 3 つの部分で構成されています。リード (先導)、アクティブ (動作)、トレール (後続) です。ユーザーは、XTIMING レジスタでリード / アクティブ / トレールのウェイト状態を設定します。各 XINTF ゾーンには、それぞれ 1 つの XTIMING レジスタがあります。表 7-2 に、XTIMING レジスタで設定されたパラメータと、XTIMCLK サイクルによるパルス幅との関係を示します。

表 7-2. XTIMING で設定されたパラメータとパルス幅との関係

説明	パルス幅 (ns) ^{(1) (2)}	
	X2TIMING = 0	X2TIMING = 1
LR リード (先導) 期間、読み取りアクセス	$XRDLEAD \times t_{c(XTIM)}$	$(XRDLEAD \times 2) \times t_{c(XTIM)}$
AR アクティブ (動作) 期間、読み取りアクセス	$(XRDACTIVE + WS + 1) \times t_{c(XTIM)}$	$(XRDACTIVE \times 2 + WS + 1) \times t_{c(XTIM)}$
TR トレール (後続) 期間、読み取りアクセス	$XRDTRAIL \times t_{c(XTIM)}$	$(XRDTRAIL \times 2) \times t_{c(XTIM)}$
LW リード期間、書き込みアクセス	$XWRLEAD \times t_{c(XTIM)}$	$(XWRLEAD \times 2) \times t_{c(XTIM)}$
AW アクティブ期間、書き込みアクセス	$(XWRACTIVE + WS + 1) \times t_{c(XTIM)}$	$(XWRACTIVE \times 2 + WS + 1) \times t_{c(XTIM)}$
TW トレール期間、書き込みアクセス	$XWRTRAIL \times t_{c(XTIM)}$	$(XWRTRAIL \times 2) \times t_{c(XTIM)}$

(1) $t_{c(XTIM)}$ – サイクルタイム、XTIMCLK

(2) WS は、XREADY を使用するときハードウェアによって挿入されるウェイト状態の数を表します。ゾーンが XREADY を無視するよう構成されている場合、(USEREADY = 0)、WS = 0 になります。

各ゾーンの XTIMING レジスタを構成するときは、最小のウェイト状態要件を満たす必要があります。これらの要件は、デバイスのデータシートに規定されているタイミング要件に加えて適用されます。不正な設定を検出するための内部デバイス・ハードウェアは含まれていません。

7.9.6.1 USEREADY = 0

XREADY 信号が無視される場合 (USEREADY = 0)、次のようになります。

$$\begin{aligned} \text{リード:} \quad & LR \geq t_{c(XTIM)} \\ & LW \geq t_{c(XTIM)} \end{aligned}$$

これらの要件により、以下のような XTIMING レジスタ構成制限が生じます。

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 1	≥ 0	≥ 0	≥ 1	≥ 0	≥ 0	0, 1

XREADY をサンプリングしない場合の有効タイミングと無効タイミングの例:

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
無効 ⁽¹⁾	0	0	0	0	0	0	0, 1
有効	1	0	0	1	0	0	0, 1

(1) 不適切な XTIMING 構成を検出するハードウェアはありません

7.9.6.2 同期モード (USEREADY = 1, READYMODE = 0)

XREADY 信号が同期モード (USEREADY = 1, READYMODE = 0) でサンプリングされる場合、次のようになります。

- 1 リード: $LR \geq t_{c(XTIM)}$
 $LW \geq t_{c(XTIM)}$
- 2 アクティブ: $AR \geq 2 \times t_{c(XTIM)}$
 $AW \geq 2 \times t_{c(XTIM)}$

注

制約には、外部ハードウェアのウェイト状態は含まれません。

これらの要件により、次のような XTIMING レジスタ構成の制約が生じます。

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 1	≥ 2	≥ 0	≥ 1	≥ 2	≥ 0	0, 1

同期 XREADY 使用時の有効タイミングと無効タイミングの例:

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
無効 ⁽¹⁾	0	0	0	0	0	0	0, 1
無効 ⁽¹⁾	1	0	0	1	0	0	0, 1
有効	1	2	0	1	2	0	0, 1

(1) 不適切な XTIMING 構成を検出するハードウェアはありません

7.9.6.3 非同期モード (USEREADY = 1、READYMODE = 1)

XREADY 信号が非同期モード (USEREADY = 1、READYMODE = 1) でサンプリングされる場合、次のようになります。

- 1 リード: $LR \geq t_{c(XTIM)}$
 $LW \geq t_{c(XTIM)}$
- 2 アクティブ: $AR \geq 2 \times t_{c(XTIM)}$
 $AW \geq 2 \times t_{c(XTIM)}$
- 3 リード+アクティブ: $LR + AR \geq 4 \times t_{c(XTIM)}$
 $LW + AW \geq 4 \times t_{c(XTIM)}$

注

制約には、外部ハードウェアのウェイト状態は含まれません。

これらの要件により、次のような XTIMING レジスタ構成の制約が生じます。

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 1	≥ 2	0	≥ 1	≥ 2	0	0、1

または

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥ 2	≥ 1	0	≥ 2	≥ 1	0	0、1

非同期 XREADY 使用時の有効タイミングと無効タイミングの例:

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
無効 ⁽¹⁾	0	0	0	0	0	0	0、1
無効 ⁽¹⁾	1	0	0	1	0	0	0、1
無効 ⁽¹⁾	1	1	0	1	1	0	0
有効	1	2	0	1	2	0	1
有効	1	2	0	1	2	0	0、1
有効	2	1	0	2	1	0	0、1

(1) 不適切な XTIMING 構成を検出するハードウェアはありません

特に記述のない限り、すべての XINTF タイミングは、表 7-3 に示すクロック構成に適用できます。

表 7-3. XINTF クロック構成

モード	SYSCLKOUT	XTIMCLK	XCLKOUT
1		SYSCLKOUT	SYSCLKOUT
例:	150MHz	150MHz	150MHz
2		SYSCLKOUT	1/2 SYSCLKOUT
例:	150MHz	150MHz	75MHz
3		1/2 SYSCLKOUT	1/2 SYSCLKOUT
例:	150MHz	75MHz	75MHz
4		1/2 SYSCLKOUT	1/4 SYSCLKOUT
例:	150MHz	75MHz	37.5MHz

SYSCLKOUT と XTIMCLK との関係を 図 7-28 に示します。

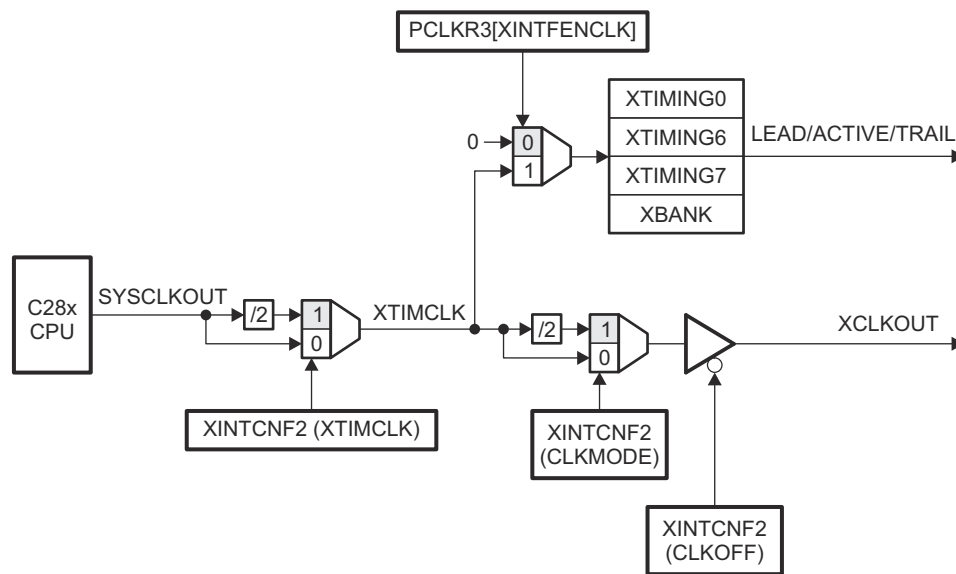


図 7-28. SYSCLKOUT と XTIMCLK との関係

7.9.6.4 XINTF 信号の XCLKOUT への整列

それぞれの XINTF アクセスについて、リード (先導)、アクティブ (動作)、トレール (後続) サイクルの数は、内部クロック XTIMCLK を基準にしています。XR̄D、XWE0、XWE1、ゾーン・チップ・セレクト (XZCS) などのストロブは、XTIMCLK の立ち上がりエッジとの関係で状態が変化します。外部クロック XCLKOUT は、XTIMCLK の周波数と同じ、または 1/2 の周波数に設定できます。

XCLKOUT = XTIMCLK の場合、XINTF ストロブのすべての状態は、XCLKOUT の立ち上がりエッジを基準に変化します。XCLKOUT = 1/2 XTIMCLK の場合、一部のストロブの状態は、XCLKOUT の立ち上がりエッジまたは XCLKOUT の立ち下がりエッジのいずれかで変化します。XINTF タイミング表では、XCOHL という表記を使用して、XCLKOUT 立ち上がりエッジ (HIGH) または XCLKOUT 立ち下がりエッジ (LOW) のいずれかに対するパラメータであることを示します。パラメータが常に XCLKOUT の立ち上がりエッジを基準にしている場合は、XCOH という表記を使用します。

XCLKOUT = 1/2 XTIMCLK の場合、変化を整列させる XCLKOUT エッジは、アクセス開始から信号が変化する時点までの XTIMCLK サイクル数に基づいて決まります。この XTIMCLK サイクル数が偶数の場合、整列は XCLKOUT の立ち上がりエッジを基準に行われます。この値が奇数の場合、信号は XCLKOUT の立ち下がりエッジを基準にして変化します。それらの状況を以下に示します。

- アクセスの開始時に変化するストロブは、常に XCLKOUT の立ち上がりエッジに合わせて整列されます。これは、すべての XINTF アクセスが XCLKOUT の立ち上がりエッジから開始されるためです。

例:	XZCSL	ゾーン・チップセレクト・アクティブ LOW
	XR̄NWL	XR/ \overline{W} アクティブ LOW
- アクティブ期間の開始時に変化するストロブは、アクセスに対するリード (先導) XTIMCLK サイクルの合計数が偶数の場合、XCLKOUT の立ち上がりエッジに整列されます。リード XTIMCLK サイクル数が奇数の場合、整列は XCLKOUT の立ち下がりエッジを基準に行われます。

例:	XRDL	\overline{XR} D アクティブ LOW
	XWEL	$\overline{XWE1}$ または $\overline{XWE0}$ アクティブ LOW
- トレール (後続) 期間の開始時に変化するストロブは、アクセスに対するリード + アクティブ XTIMCLK サイクルの合計数 (ハードウェア・ウェイト状態を含む) が偶数の場合、XCLKOUT の立ち上がりエッジに整列されます。リード + アクティブ XTIMCLK サイクル数 (ハードウェア・ウェイト状態を含む) が奇数の場合、整列は XCLKOUT の立ち下がりエッジを基準に行われます。

例:	XR̄DH	\overline{XR} D 非アクティブ HIGH
	XWEH	$\overline{XWE1}$ または $\overline{XWE0}$ 非アクティブ HIGH
- アクセスの最後に変化するストロブは、リード + アクティブ + トレール XTIMCLK サイクルの合計数 (ハードウェア・ウェイト状態を含む) が偶数の場合、XCLKOUT の立ち上がりエッジに整列されます。リード + アクティブ + トレール XTIMCLK サイクルの数 (ハードウェアの待機状態を含む) が奇数の場合、整列は XCLKOUT の立ち下がりエッジを基準に行われます。

例:	XZCSH	ゾーン・チップ・セレクト、非アクティブ HIGH
	XR̄NWH	XR/ \overline{W} 非アクティブ HIGH

7.9.6.5 外部インターフェイスの読み取りタイミング

7.9.6.5.1 外部インターフェイスの読み取りタイミング要件

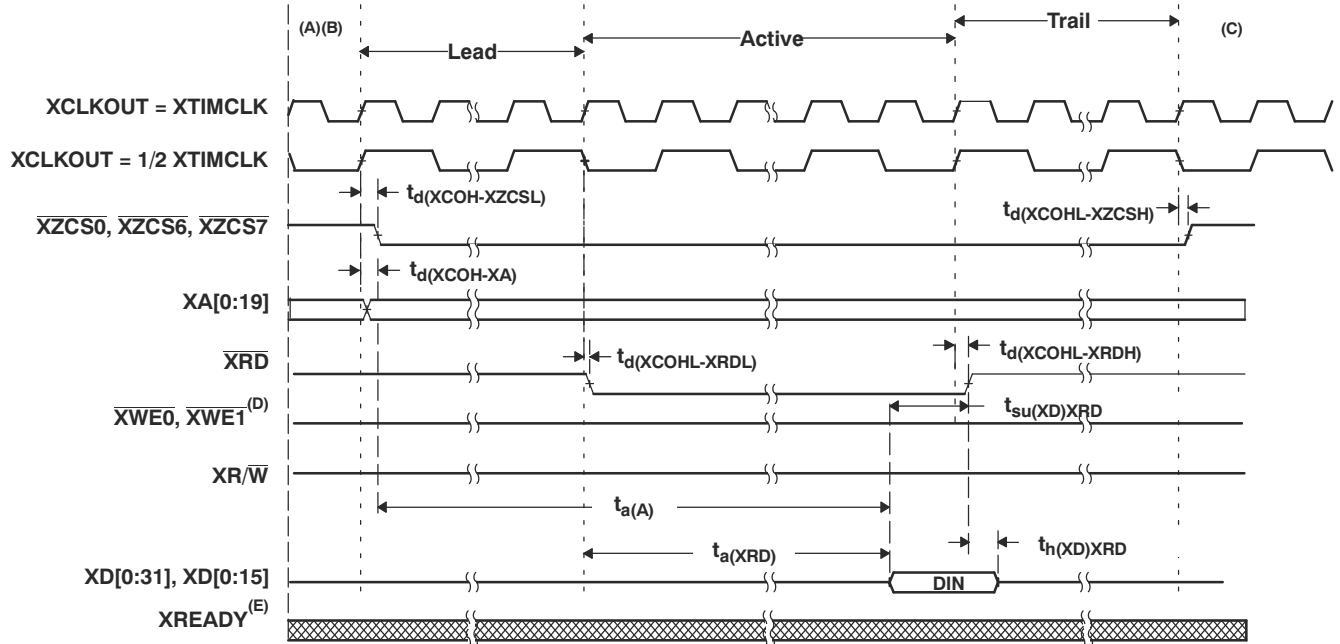
		最小値	最大値	単位
$t_{a(A)}$	アクセス時間、アドレス有効からデータ読み取りまで		$(LR + AR) - 16$ ⁽¹⁾	ns
$t_{a(XRD)}$	アクセス時間、 \overline{XRD} アクティブ LOW から読み取りデータ有効まで		$AR - 14$ ⁽¹⁾	ns
$t_{su(XD)XRD}$	セットアップ時間、読み取りデータ有効から \overline{XRD} ストロープ非アクティブ HIGH まで	14		ns
$t_{h(XD)XRD}$	ホールド時間、 \overline{XRD} 非アクティブ HIGH から読み取りデータ有効の間	0		ns

(1) LR = リード (先導) 期間、読み取りアクセス。AR = アクティブ期間、読み取りアクセス。表 7-2 を参照してください。

7.9.6.5.2 外部インターフェイス読み取りのスイッチング特性

	パラメータ	最小値	最大値	単位
$t_{d(XCOH-XZCSL)}$	遅延時間、XCLKOUT HIGH からゾーン・チップ・セレクトのアクティブ LOW まで		1	ns
$t_{d(XCOHL-XZCSH)}$	遅延時間、XCLKOUT HIGH/LOW からゾーン・チップ・セレクトの非アクティブ HIGH まで	-1	0.5	ns
$t_{d(XCOH-XA)}$	遅延時間、XCLKOUT HIGH からアドレス有効まで		1.5	ns
$t_{d(XCOHL-XRDL)}$	遅延時間、XCLKOUT HIGH/LOW から \overline{XRD} アクティブ LOW まで		0.5	ns
$t_{d(XCOHL-XRDH)}$	遅延時間、XCLKOUT HIGH/LOW から \overline{XRD} 非アクティブ HIGH まで	-1.5	0.5	ns
$t_{h(XA)XZCSH}$	ホールド時間、ゾーン・チップ・セレクトの非アクティブ HIGH からアドレス有効の間	⁽¹⁾		ns
$t_{h(XA)XRD}$	ホールド時間、 \overline{XRD} 非アクティブ HIGH からアドレス有効の間	⁽¹⁾		ns

(1) 非アクティブ・サイクルの間、XINTF アドレス・バスは、バス上で最後に出力されたアドレスを常に保持します。(ただし、XA0 を除きます。このアドレスは HIGH のままです。)これには調整サイクルも含まれます。



- A. すべての XINTF アクセス (リード (先導) 期間) は、XCLKOUT の立ち上がりエッジで開始されます。必要に応じて、デバイスはこの要件を満たすために、アクセスの前に調整サイクルを挿入します。
- B. 調整サイクル中、すべての信号は非アクティブ状態に遷移します。
- C. XA[0:19] は、調整サイクルを含めて、非アクティブ・サイクルの間、バスに最後に出力されたアドレスを保持します。(ただし、XA0 を除きます。このアドレスは HIGH のままです。)
- D. XWE1 は、32 ビット・データ・バス・モードで使用されます。16 ビット・モードでは、この信号は XA0 です。
- E. USERREADY = 0 の場合、外部 XREADY 入力信号は無視されます。

図 7-29. 読み取りアクセスの例

この例で使用している XTIMING レジスタのパラメータ:

XRDLEAD	XRDACTIVE	XRDTRAIL	USERREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	≥ 0	≥ 0	0	0	該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾

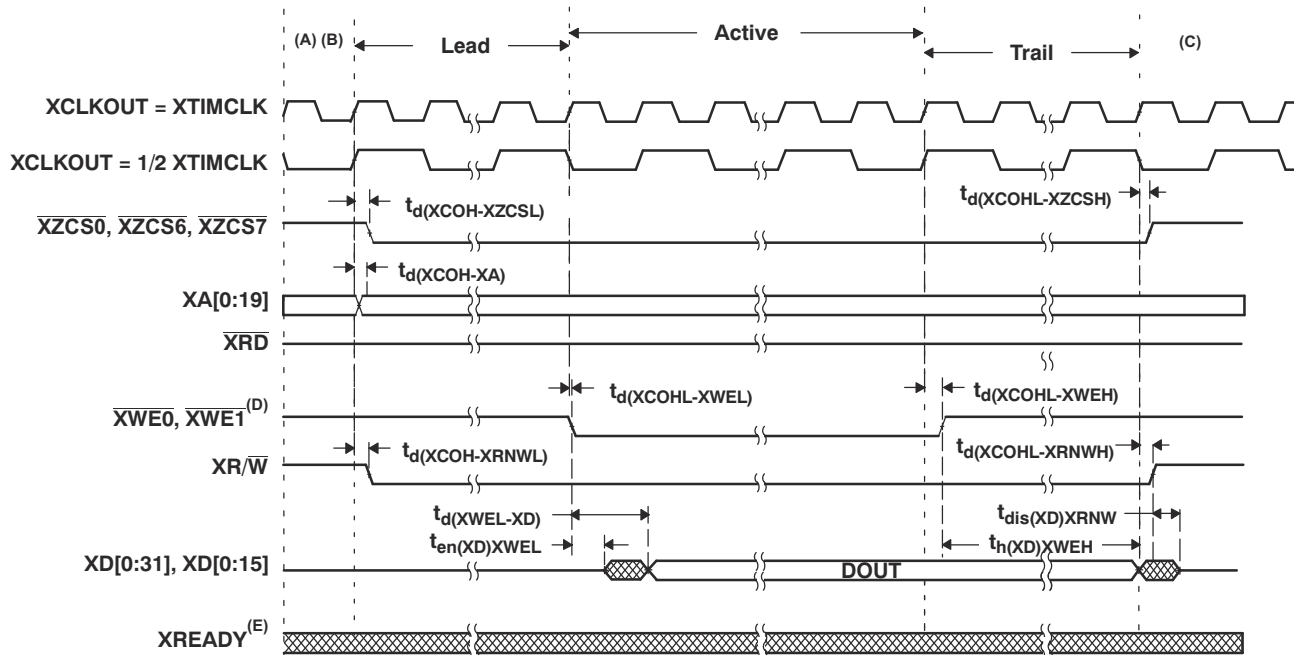
- (1) 該当なし = この例では「Don't care」

7.9.6.6 外部インターフェイスの書き込みタイミング

7.9.6.6.1 外部インターフェイス書き込みのスイッチング特性

パラメータ		最小値	最大値	単位
$t_{d(XCOH-XZCSL)}$	遅延時間、XCLKOUT HIGH からゾーン・チップ・セレクトのアクティブ LOW まで		1	ns
$t_{d(XCOHL-XZCSH)}$	遅延時間、XCLKOUT HIGH または LOW からゾーン・チップ・セレクトの非アクティブ HIGH まで	-1	0.5	ns
$t_{d(XCOH-XA)}$	遅延時間、XCLKOUT HIGH からアドレス有効まで		1.5	ns
$t_{d(XCOHL-XWEL)}$	遅延時間、XCLKOUT HIGH/LOW から $\overline{XWE0}$ 、 $\overline{XWE1}$ ⁽³⁾ LOW まで		2	ns
$t_{d(XCOHL-XWEH)}$	遅延時間、XCLKOUT HIGH/LOW から $\overline{XWE0}$ 、 $\overline{XWE1}$ HIGH まで		2	ns
$t_{d(XCOH-XRNWL)}$	遅延時間、XCLKOUT HIGH から $\overline{XR\overline{W}}$ LOW まで		1	ns
$t_{d(XCOHL-XRNWH)}$	遅延時間、XCLKOUT HIGH/LOW から $\overline{XR\overline{W}}$ HIGH まで	-1	0.5	ns
$t_{en(XD)XWEL}$	イネーブル時間、 $\overline{XWE0}$ 、 $\overline{XWE1}$ LOW からデータ・バス駆動まで	0		ns
$t_{d(XWEL-XD)}$	遅延時間、 $\overline{XWE0}$ 、 $\overline{XWE1}$ アクティブ LOW からデータ有効まで		1	ns
$t_{h(XA)XZCSH}$	ホールド時間、ゾーン・チップ・セレクトの非アクティブ HIGH からアドレス有効の間	⁽¹⁾		ns
$t_{h(XD)XWE}$	ホールド時間、 $\overline{XWE0}$ 、 $\overline{XWE1}$ 非アクティブ HIGH からデータ有効まで	$TW - 2$ ⁽²⁾		ns
$t_{dis(XD)XRNW}$	$\overline{XR\overline{W}}$ が非アクティブ HIGH になった後、DSP がデータ・バスを解放するまでの最大時間		4	ns

- (1) 非アクティブ・サイクルの間、XINTF アドレス・バスは、バスに最後に出力されたアドレスを常に保持します。(ただし、XA0 を除きます。このアドレスは HIGH のままです。)これには調整サイクルも含まれます。
- (2) TW = トレール期間、書き込みアクセス。表 7-2 を参照してください。
- (3) $\overline{XWE1}$ は、32 ビット・データ・バス・モードでのみ使用されます。16 ビット・モードでは、この信号は XA0 です。



- A. すべての XINTF アクセス (リード (先導) 期間) は、XCLKOUT の立ち上がりエッジで開始されます。必要に応じて、デバイスはこの要件を満たすために、アクセスの前に調整サイクルを挿入します。
- B. 調整サイクル中、すべての信号は非アクティブ状態に移ります。
- C. XA[0:19] は、調整サイクルを含めて、非アクティブ・サイクルの間、バスに最後に出力されたアドレスを保持します。(ただし、XA0 を除きます。このアドレスは HIGH のままです。)
- D. XWE1 は、32 ビット・データ・バス・モードで使用されます。16 ビット・モードでは、この信号は XA0 です。
- E. USEREADY = 0 の場合、外部 XREADY 入力信号は無視されます。

図 7-30. 書き込みアクセスの例

この例で使用している XTIMING レジスタのパラメータ:

XRDL	XRDACTIVE	XRDRTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾	0	0	≥ 1	≥ 0	≥ 0	該当なし ⁽¹⁾

(1) 該当なし = この例では「Don't care」

7.9.6.7 外部インターフェイス読み取り時レディのタイミング (1つの外部ウェイト状態)

7.9.6.7.1 外部インターフェイス読み取りのスイッチング特性 (読み取り時のレディ、1つのウェイト状態)

パラメータ	最小値	最大値	単位	
$t_{d(XCOH-XZCSL)}$	遅延時間、XCLKOUT HIGH からゾーン・チップ・セレクトのアクティブ LOW まで	1	ns	
$t_{d(XCOHL-XZCSH)}$	遅延時間、XCLKOUT HIGH/LOW からゾーン・チップ・セレクトの非アクティブ HIGH まで	-1	0.5	ns
$t_{d(XCOH-XA)}$	遅延時間、XCLKOUT HIGH からアドレス有効まで	1.5	ns	
$t_{d(XCOHL-XRDL)}$	遅延時間、XCLKOUT HIGH/LOW から \overline{XRD} アクティブ LOW まで	0.5	ns	
$t_{d(XCOHL-XRDH)}$	遅延時間、XCLKOUT HIGH/LOW から \overline{XRD} 非アクティブ HIGH まで	-1.5	0.5	ns
$t_{h(XA)XZCSH}$	ホールド時間、ゾーン・チップ・セレクトの非アクティブ HIGH からアドレス有効の間	(1)	ns	
$t_{h(XA)XRD}$	ホールド時間、 \overline{XRD} 非アクティブ HIGH からアドレス有効の間	(1)	ns	

(1) 非アクティブ・サイクル中、XINTF アドレス・バスは、バス上で最後に出力されたアドレスを常に保持します。(ただし、XA0 を除きます。このアドレスは HIGH のままです。)これには調整サイクルも含まれます。

7.9.6.7.2 外部インターフェイスの読み取りタイミング要件 (読み取り時のレディ、1つのウェイト状態)

	最小値	最大値	単位
$t_{a(A)}$	アクセス時間、アドレス有効からデータ読み取りまで	$(LR + AR) - 16$ (1)	ns
$t_{a(XRD)}$	アクセス時間、 \overline{XRD} アクティブ LOW から読み取りデータ有効まで	$AR - 14$ (1)	ns
$t_{su(XD)XRD}$	セットアップ時間、読み取りデータ有効から \overline{XRD} ストローブ非アクティブ HIGH まで	14	ns
$t_{h(XD)XRD}$	ホールド時間、 \overline{XRD} 非アクティブ HIGH から読み取りデータ有効の間	0	ns

(1) LR = リード (先導) 期間、読み取りアクセス。AR = アクティブ期間、読み取りアクセス。表 7-2 を参照してください。

7.9.6.7.3 同期 XREADY のタイミング要件 (読み取り時のレディ、1つのウェイト状態)

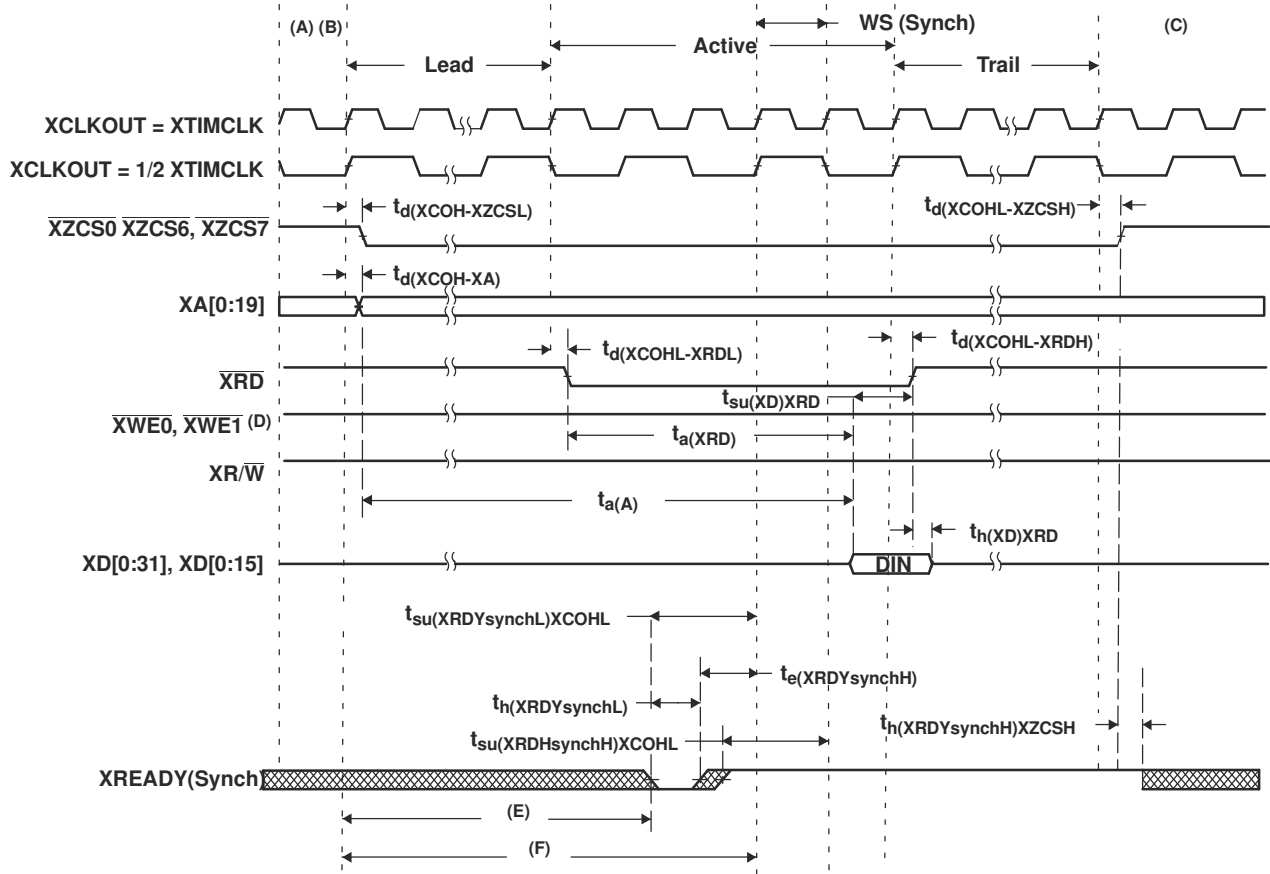
	最小値	最大値	単位
$t_{su(XRDYsynchL)XCOHL}$	セットアップ時間、XREADY (同期) LOW から XCLKOUT HIGH/LOW まで(1)	12	ns
$t_{h(XRDYsynchL)}$	ホールド時間、XREADY (同期) LOW(1)	6	ns
$t_{e(XRDYsynchH)}$	サンプリング XCLKOUT エッジの前に XREADY (同期) を HIGH にすることができる最も早い時間(1)	3	ns
$t_{su(XRDYsynchH)XCOHL}$	セットアップ時間、XREADY (同期) HIGH から XCLKOUT HIGH/LOW まで(1)	12	ns
$t_{h(XRDYsynchH)XZCSH}$	ホールド時間、ゾーン・チップ・セレクト HIGH から XREADY (同期) HIGH の間(1)	0	ns

(1) 最初の XREADY (同期) サンプルは、図 7-31 の E に関して発生します。
 $E = (XRDLEAD + XRDACTIVE) t_{c(XTIM)}$
 最初のサンプリング時に、XREADY (同期) が HIGH であるとわかった場合、アクセスは終了します。XREADY (同期) が LOW の場合、これが HIGH になるまで、 $t_{c(XTIM)}$ ごとに再度サンプリングされます。
 各サンプル (n) について、アクセス開始からのセットアップ時間 (F) は次のように計算できます。
 $F = (XRDLEAD + XRDACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$
 (ここで、n はサンプル番号: n = 1, 2, 3 など)。

7.9.6.7.4 非同期 XREADY のタイミング要件 (読み取り時のレディ、1つのウェイト状態)

	最小値	最大値	単位
$t_{su(XRDYAsynchL)XCOHL}$	セットアップ時間、XREADY (非同期) LOW から XCLKOUT HIGH/LOW まで	11	ns
$t_{h(XRDYAsynchL)}$	ホールド時間、XREADY (非同期) LOW	6	ns
$t_{e(XRDYAsynchH)}$	サンプリング XCLKOUT エッジの前に XREADY (非同期) を HIGH にすることができる最も早い時間	3	ns
$t_{su(XRDYAsynchH)XCOHL}$	セットアップ時間、XREADY (非同期) HIGH から XCLKOUT HIGH/LOW まで	11	ns

		最小値	最大値	単位
$t_{h(XRDYasynch)XZCSH}$	ホールド時間、ゾーン・チップ・セレクト HIGH から XREADY(非同期) HIGH の間	0		ns



Legend:

= Don't care. Signal can be high or low during this time.

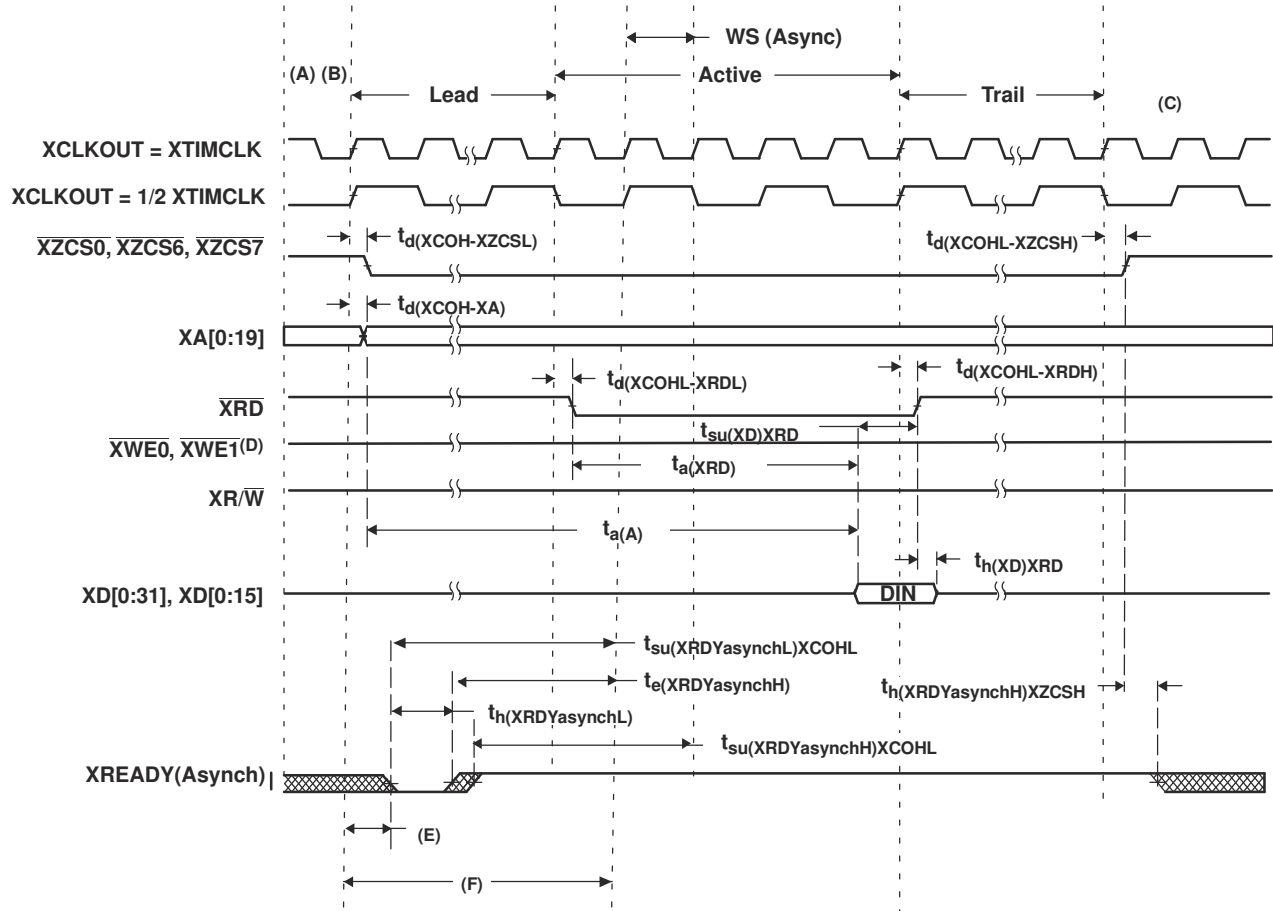
- A. すべての XINTF アクセス (リード (先導) 期間) は、XCLKOUT の立ち上がりエッジで開始されます。必要に応じて、デバイスはこの要件を満たすために、アクセスの前に調整サイクルを挿入します。
- B. 調整サイクル中、すべての信号は非アクティブ状態に移ります。
- C. 非アクティブ・サイクルの間、XINTF アドレス・バスは、XA0 を除いて、バス上で最後に出力されたアドレスを常に保持します。XA0 は、HIGH のままです。これには調整サイクルも含まれます。
- D. XWE1 は、32 ビットのデータ・バス・モードでのみ有効です。16 ビット・モードでは、この信号は XA0 です。
- E. 各サンプルについて、アクセスの開始からのセットアップ時間 (E) は次のように計算できます。D = (XRDLEAD + XRDACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}
- F. 最初のサンプルの基準は、この時点に対するものです。F = (XRDLEAD + XRDACTIVE) t_{c(XTIM)} (ここで、n はサンプル番号: n = 1, 2, 3 など)。

図 7-31. 同期 XREADY アクセスによる読み取りの例

この例で使用している XTIMING レジスタのパラメータ:

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	3	≥ 1	1	0	該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾	0 = XREADY (同期)

(1) 該当なし = この例では「Don't care」



Legend:

 = Don't care. Signal can be high or low during this time.

- A. すべての XINTF アクセス (リード (先導) 期間) は、XCLKOUT の立ち上がりエッジで開始されます。必要に応じて、デバイスはこの要件を満たすために、アクセスの前に調整サイクルを挿入します。
- B. 調整サイクル中、すべての信号は非アクティブ状態に遷移します。
- C. 非アクティブ・サイクルの間、XINTF アドレス・バスは、XA0 を除いて、バス上で最後に出力されたアドレスを常に保持します。XA0 は、HIGH のままです。これには調整サイクルも含まれます。
- D. XWE1 は、32 ビットのデータ・バス・モードでのみ有効です。16 ビット・モードでは、この信号は XA0 です。
- E. 各サンプルについて、アクセス開始からのセットアップ時間は次のように計算できます。E = (XRDLEAD + XRDACTIVE - 3 + n) t_{c(XTIM)} - t_{su(XRDYasynchL)XCOHL} (ここで、n はサンプル番号:n = 1, 2, 3 など)。
- F. 最初のサンプルの基準は、この時点に対するものです。F = (XRDLEAD + XRDACTIVE - 2) t_{c(XTIM)}

図 7-32. 非同期 XREADY アクセスによる読み取りの例

この例で使用している XTIMING レジスタのパラメータ:

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	3	≥ 1	1	0	該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾	1 = XREADY (非同期)

(1) 該当なし = この例では「Don't care」

7.9.6.8 外部インターフェイス書き込み時レディのタイミング (1つの外部ウェイト状態)

7.9.6.8.1 外部インターフェイス書き込みのスイッチング特性 (書き込み時のレディ、1つのウェイト状態)

パラメータ		最小値	最大値	単位
$t_{d(XCOH-XZCSL)}$	遅延時間、XCLKOUT HIGH からゾーン・チップ・セレクトのアクティブ LOW まで		1	ns
$t_{d(XCOHL-XZCSH)}$	遅延時間、XCLKOUT HIGH または LOW からゾーン・チップ・セレクトの非アクティブ HIGH まで	- 1	0.5	ns
$t_{d(XCOH-XA)}$	遅延時間、XCLKOUT HIGH からアドレス有効まで		1.5	ns
$t_{d(XCOHL-XWEL)}$	遅延時間、XCLKOUT HIGH/LOW から $\overline{XWE0}$ 、 $\overline{XWE1}$ LOW まで ⁽³⁾		2	ns
$t_{d(XCOHL-XWEH)}$	遅延時間、XCLKOUT HIGH/LOW から $\overline{XWE0}$ 、 $\overline{XWE1}$ HIGH まで ⁽³⁾		2	ns
$t_{d(XCOH-XRNWL)}$	遅延時間、XCLKOUT HIGH から $\overline{XR\overline{W}}$ LOW まで		1	ns
$t_{d(XCOHL-XRNWH)}$	遅延時間、XCLKOUT HIGH/LOW から $\overline{XR\overline{W}}$ HIGH まで	- 1	0.5	ns
$t_{en(XD)XWEL}$	イネーブル時間、 $\overline{XWE0}$ 、 $\overline{XWE1}$ LOW からデータ・バス駆動まで ⁽³⁾	0		ns
$t_{d(XWEL-XD)}$	遅延時間、 $\overline{XWE0}$ 、 $\overline{XWE1}$ アクティブ LOW からデータ有効まで ⁽³⁾		1	ns
$t_{h(XA)XZCSH}$	ホールド時間、ゾーン・チップ・セレクトの非アクティブ HIGH からアドレス有効の間	(1)		ns
$t_{h(XD)XWE}$	ホールド時間、 $\overline{XWE0}$ 、 $\overline{XWE1}$ 非アクティブ HIGH から書き込みデータ有効の間 ⁽³⁾	TW - 2 ⁽²⁾		ns
$t_{dis(XD)XRNW}$	$\overline{XR\overline{W}}$ が非アクティブ HIGH になった後、DSP がデータ・バスを解放するまでの最大時間		4	ns

- (1) 非アクティブ・サイクルの間、XINTF アドレス・バスは、バス上で最後に出力されたアドレスを常に保持します。(ただし、XA0 を除きます。このアドレスは HIGH のままです。)これには調整サイクルも含まれます。
(2) TW = トレーリング期間、書き込みアクセス (表 7-2 を参照)
(3) $\overline{XWE1}$ は、32 ビット・データ・バス・モードでのみ使用されます。16 ビットでは、この信号は XA0 です。

7.9.6.8.2 同期 XREADY のタイミング要件 (書き込み時のレディ、1つのウェイト状態)

		最小値	最大値	単位
$t_{su(XRDYsynchL)XCOHL}$	セットアップ時間、XREADY (同期) LOW から XCLKOUT HIGH/LOW まで ⁽¹⁾	12		ns
$t_{h(XRDYsynchL)}$	ホールド時間、XREADY (同期) LOW ⁽¹⁾	6		ns
$t_{e(XRDYsynchH)}$	サンプリング XCLKOUT エッジの前に XREADY (同期) を HIGH にすることができる最も早い時間 ⁽¹⁾		3	ns
$t_{su(XRDYsynchH)XCOHL}$	セットアップ時間、XREADY (同期) HIGH から XCLKOUT HIGH/LOW まで ⁽¹⁾	12		ns
$t_{h(XRDYsynchH)XZCSH}$	ホールド時間、ゾーン・チップ・セレクト HIGH から XREADY (同期) HIGH の間 ⁽¹⁾	0		ns

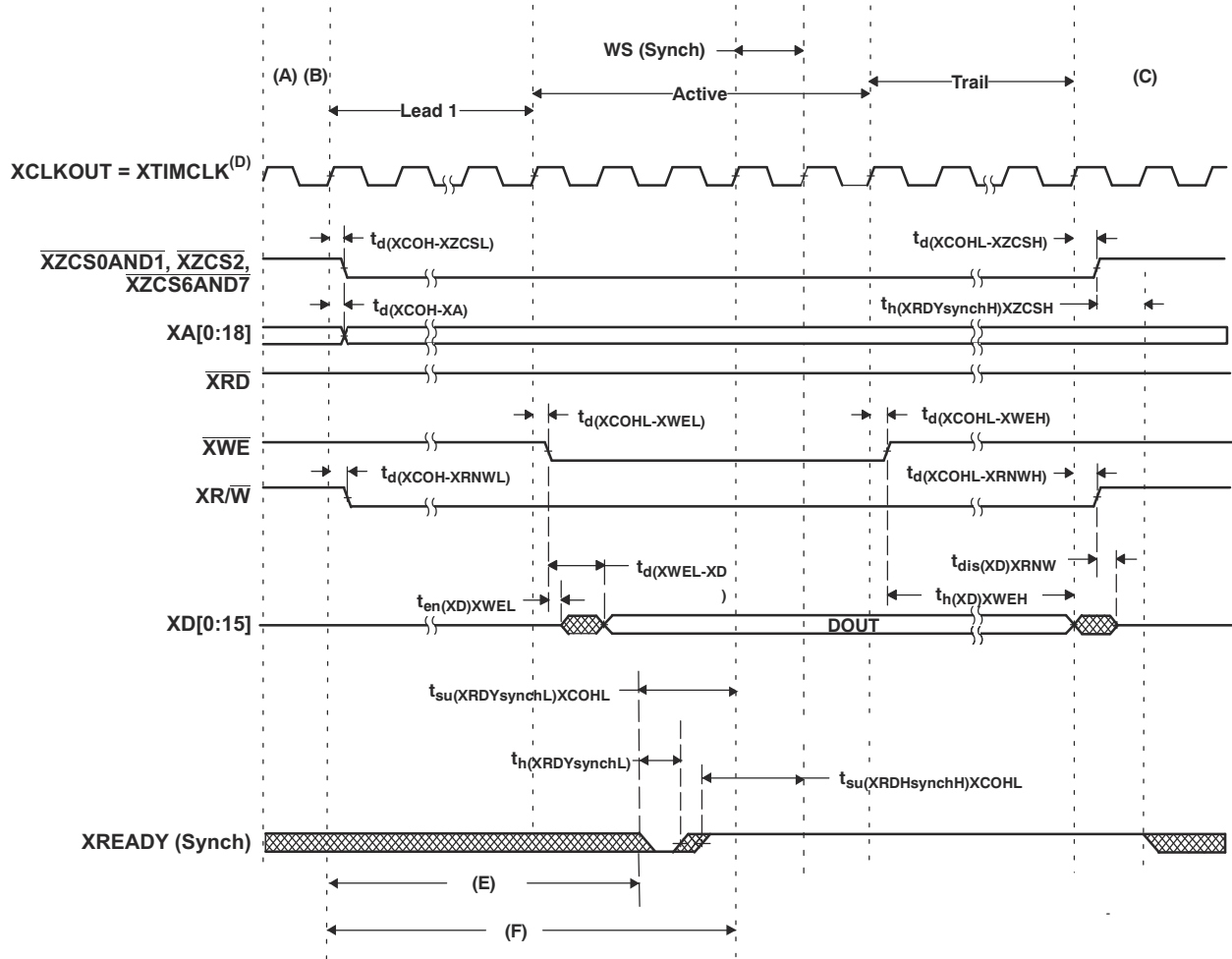
- (1) 最初の XREADY (同期) サンプルは、図 7-33 の E に関して発生します。
 $E = (XWRLEAD + XWRACTIVE) t_{c(XTIM)}$
最初のサンプリング時に、XREADY (同期) が HIGH であった場合、アクセスは終了します。XREADY (同期) が LOW の場合、これが HIGH になるまで、 $t_{c(XTIM)}$ ごとに再度サンプリングされます。
各サンプルについて、アクセス開始からのセットアップ時間は次のように計算できます。
 $F = (XWRLEAD + XWRACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$
(ここで、n はサンプル番号: n = 1, 2, 3 など)。

7.9.6.8.3 非同期 XREADY のタイミング要件 (書き込み時のレディ、1つのウェイト状態)


		最小値	最大値	単位
$t_{su(XRDYasynchL)XCOHL}$	セットアップ時間、XREADY (非同期) LOW から XCLKOUT HIGH/LOW まで ⁽¹⁾	11		ns
$t_{h(XRDYasynchL)}$	ホールド時間、XREADY (非同期) LOW ⁽¹⁾	6		ns
$t_{e(XRDYasynchH)}$	サンプリング XCLKOUT エッジの前に XREADY (非同期) を HIGH にすることができる最も早い時間 ⁽¹⁾		3	ns

		最小値	最大値	単位
$t_{su}(XRDYasynch)XCOHL$	セットアップ時間、XREADY (非同期) HIGH から XCLKOUT HIGH/LOW まで ⁽¹⁾	11		ns
$t_h(XRDYasynch)XZCSH$	ホールド時間、ゾーン・チップ・セレクト HIGH から XREADY(非同期) HIGH の間 ⁽¹⁾	0		ns

- (1) 最初の XREADY (同期) サンプルは、図 7-33 の E に対して発生します。
 $E = (XWRLEAD + XWRACTIVE - 2) t_{c(XTIM)}$ 。最初のサンプリング時に、XREADY (非同期) が HIGH の場合、アクセスは終了します。
 XREADY (非同期) が LOW の場合、これが HIGH になるまで、 $t_{c(XTIM)}$ ごとに再度サンプリングされます。
 各サンプルについて、アクセス開始からのセットアップ時間は次のように計算できます。
 $F = (XWRLEAD + XWRACTIVE - 3 + n) t_{c(XTIM)} - t_{su}(XRDYasynch)XCOHL$
 (ここで、n はサンプル番号:n = 1, 2, 3 など)。



Legend:

 = Don't care. Signal can be high or low during this time.

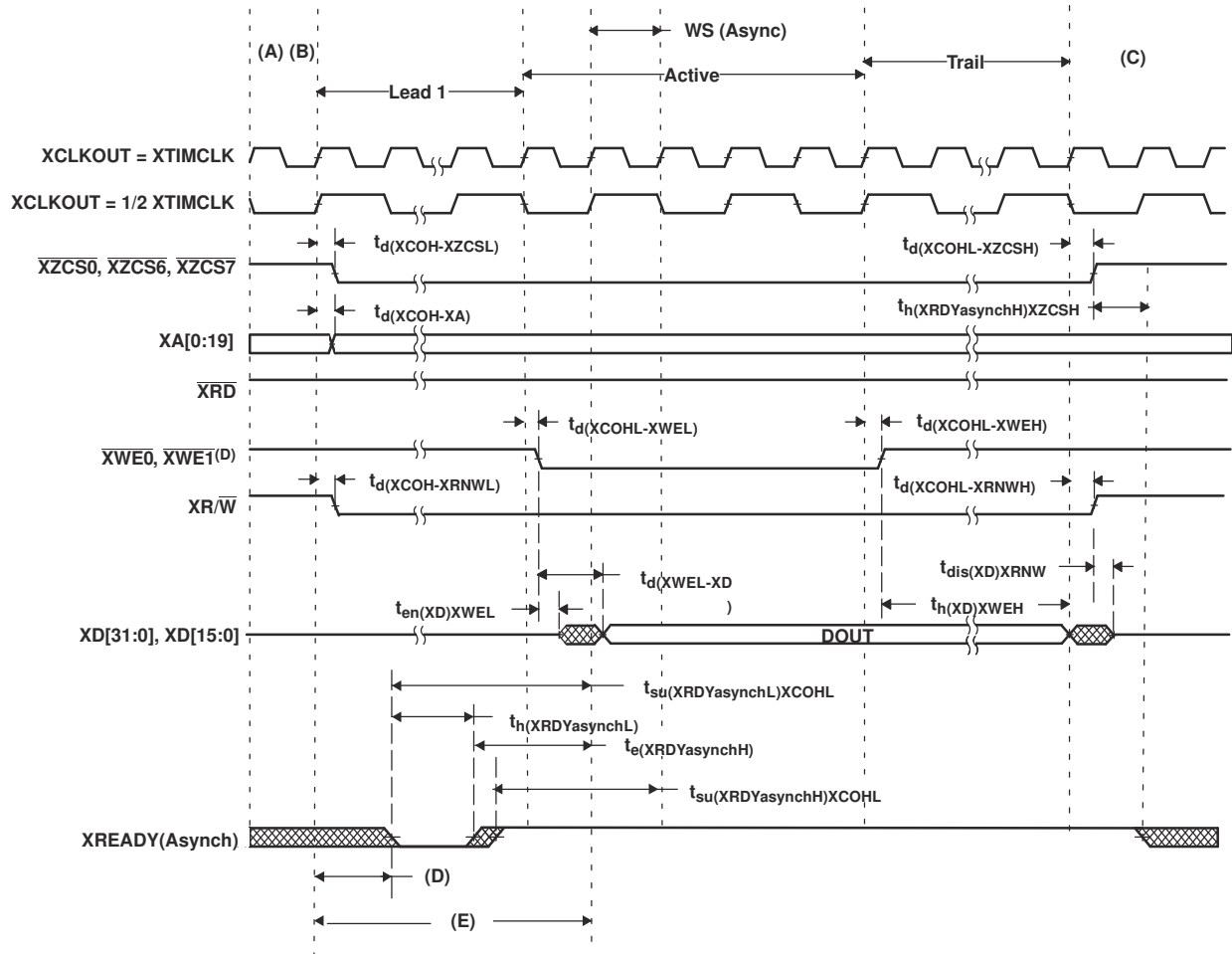
- すべての XINTF アクセス (リード (先導) 期間) は、XCLKOUT の立ち上がりエッジで開始されます。必要に応じて、デバイスはこの要件を満たすために、アクセスの前に調整サイクルを挿入します。
- 調整サイクル中、すべての信号は非アクティブ状態に移ります。
- 非アクティブ・サイクルの間、XINTF アドレス・バスは、XA0 を除いて、バス上で最後に出力されたアドレスを常に保持します。XA0 は、HIGH のままです。これには調整サイクルも含まれます。
- XWE1 は、32 ビット・データ・バス・モードでのみ使用されます。16 ビットでは、この信号は XA0 です。
- 各サンプルについて、アクセスの開始からのセットアップ時間は、 $E = (XWRLEAD + XWRACTIVE + n - 1) t_{c(XTIM)} - t_{su}(XRDYasynchL)XCOHL$ として計算できます (ここで、n はサンプル番号:n = 1, 2, 3 など)。
- 最初のサンプルの基準は、この時点に対するものです。F = (XWRLEAD + XWRACTIVE) $t_{c(XTIM)}$

図 7-33. 同期 XREADY アクセスによる書き込み

この例で使用している XTIMING レジスタのパラメータ:

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾	1	0	≥ 1	3	≥ 1	0 = XREADY (同期)

(1) 該当なし = この例では「Don't care」です。



Legend:

▨ = Don't care. Signal can be high or low during this time.

- A. すべての XINTF アクセス (リード (先導) 期間) は、XCLKOUT の立ち上がりエッジで開始されます。必要に応じて、デバイスはこの要件を満たすために、アクセスの前に調整サイクルを挿入します。
- B. 調整サイクル中、すべての信号は非アクティブ状態に遷移します。
- C. 非アクティブ・サイクルの間、XINTF アドレス・バスは、XA0 を除いて、バス上で最後に出力されたアドレスを常に保持します。XA0 は、HIGH のままです。これには調整サイクルも含まれます。
- D. XWE1 は、32 ビット・データ・バス・モードでのみ使用されます。16 ビットでは、この信号は XA0 です。
- E. 各サンプルについて、アクセス開始からのセットアップ時間は次のように計算できます。E = (XWRLEAD + XWRACTIVE - 3 + n) t_{c(XTIM)} - t_{su(XRDYasynchL)XCOHL} (ここで、n はサンプル番号: n = 1, 2, 3 など)。
- F. 最初のサンプルの基準は、この時点に対するものです。F = (XWRLEAD + XWRACTIVE - 2) t_{c(XTIM)}

図 7-34. 非同期 XREADY アクセスによる書き込み

この例で使用している XTIMING レジスタのパラメータ:

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
該当なし ⁽¹⁾	該当なし ⁽¹⁾	該当なし ⁽¹⁾	1	0	≥ 1	3	≥ 1	1 = XREADY (非同期)

(1) 該当なし = この例では「Don't care」

7.9.6.9 \overline{XHOLD} および \overline{XHOLDA} のタイミング

\overline{XHOLD} および \overline{XHOLDA} の両方が LOW (外部バス・アクセスが許可されている) のときにホールド・モード・ビットが設定されると、(現在のサイクルの最後に) \overline{XHOLDA} 信号は強制的に HIGH になり、外部インターフェイスは高インピーダンス・モードから解除されます。

リセット (\overline{XRS}) 時に、ホールド・モード・ビットは 0 に設定されます。システム・リセット時に \overline{XHOLD} 信号がアクティブ LOW の場合、バスおよびすべての信号ストロブは高インピーダンス・モードになり、 \overline{XHOLDA} 信号もアクティブ LOW に駆動されます。

ホールド・モードがイネーブルで \overline{XHOLDA} がアクティブ LOW (外部バス許可がアクティブ) のとき、CPU は引き続き内部メモリからコードを実行できます。外部インターフェイスへのアクセスがあると、 \overline{XHOLD} 信号が除去されるまで CPU は停止します。

外部 DMA 要求が許可されると、以下に示す信号が高インピーダンス・モードになります。

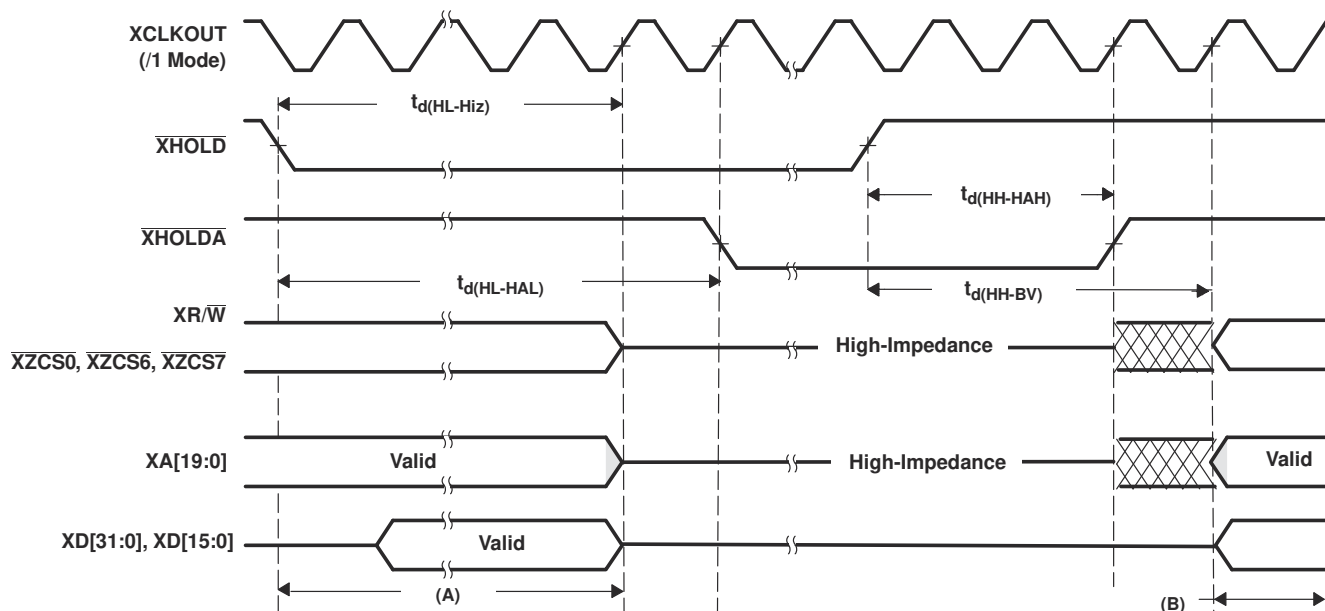
XA[19:0]	$\overline{XZCS0}$
XD[31:0], XD[15:0]	$\overline{XZCS6}$
$\overline{XWE0}$, $\overline{XWE1}$, \overline{XRD}	$\overline{XZCS7}$
XR/ \overline{W}	

このグループに記載されていない他のすべての信号は、これらの信号イベントが発生しても、デフォルトまたは機能動作モードのままです。

7.9.6.9.1 XHOLD/ XHOLDA のタイミング要件 (XCLKOUT = XTIMCLK)

		最小値	最大値	単位
$t_{d(HL-HiZ)}$	遅延時間、XHOLD LOW から、すべてのアドレス、データ、および制御が Hi-Z になるまで ^{(1) (2)}		$4t_{c(XTIM)} + 30$	ns
$t_{d(HL-HAL)}$	遅延時間、XHOLD LOW から XHOLDA LOW まで ^{(1) (2)}		$5t_{c(XTIM)} + 30$	ns
$t_{d(HH-HAH)}$	遅延時間、XHOLD HIGH から XHOLDA HIGH まで ^{(1) (2)}		$3t_{c(XTIM)} + 30$	ns
$t_{d(HH-BV)}$	遅延時間、XHOLD HIGH からバス有効まで ^{(1) (2)}		$4t_{c(XTIM)} + 30$	ns
$t_{d(HL-HAL)}$	遅延時間、XHOLD LOW から XHOLDA LOW まで ^{(1) (2)}		$4t_{c(XTIM)} + 2t_{c(XCO)} + 30$	ns

- (1) XHOLD で LOW 信号が検出されると、保留中の XINTF アクセスがすべて完了してから、バスが高インピーダンス状態になります。
 (2) XHOLD の状態は、XTIMCLK の立ち上がりエッジでラッチされます。



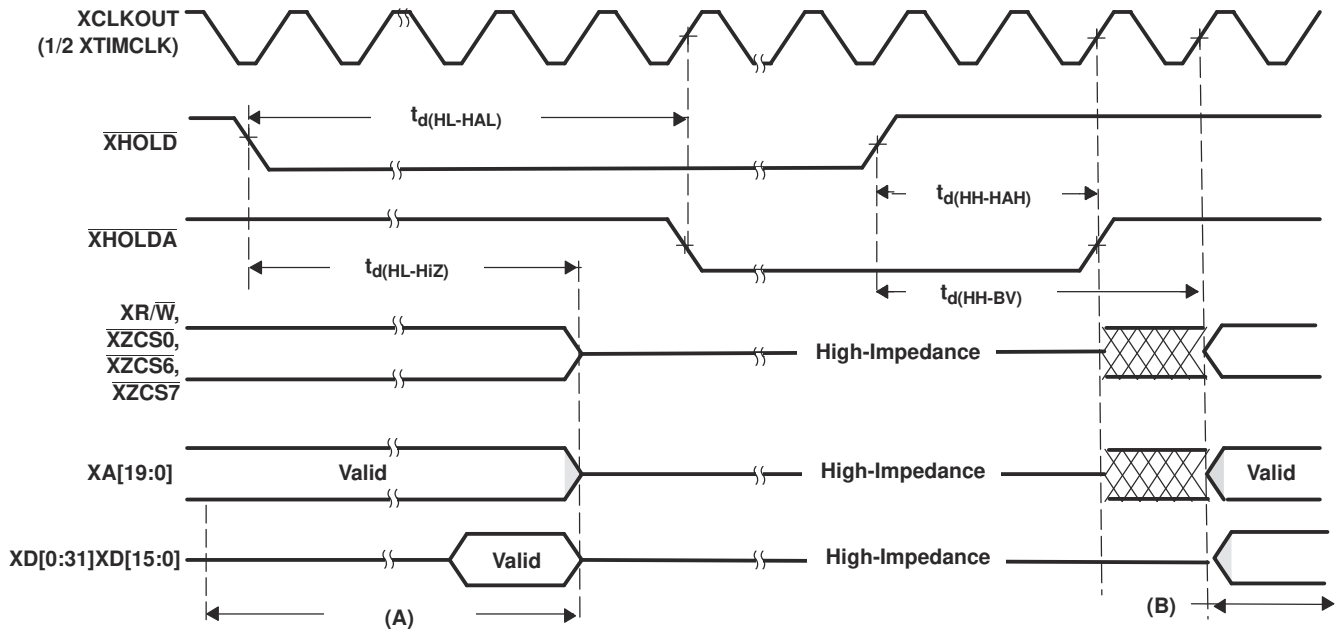
- A. 保留中の XINTF アクセスはすべて完了します。
 B. 通常の XINTF 動作を再開します。

図 7-35. 外部インターフェイス・ホールド波形

7.9.6.9.2 XHOLD/XHOLDA のタイミング要件 (XCLKOUT = 1/2 XTIMCLK)

		最小値	最大値	単位
$t_{d(HL-HiZ)}$	遅延時間、XHOLD LOW から、すべてのアドレス、データ、および制御が Hi-Z になるまで(1) (2) (3)		$4t_{c(XTIM)} + t_{c(XCO)} + 30$	ns
$t_{d(HL-HAL)}$	遅延時間、XHOLD LOW から XHOLDA LOW まで(1) (2) (3)		$4t_{c(XTIM)} + 2t_{c(XCO)} + 30$	ns
$t_{d(HH-HAH)}$	遅延時間、XHOLD HIGH から XHOLDA HIGH まで(1) (2) (3)		$4t_{c(XTIM)} + 30$	ns
$t_{d(HH-BV)}$	遅延時間、XHOLD HIGH からバス有効まで(1) (2) (3)		$6t_{c(XTIM)} + 30$	ns

- (1) XHOLD で LOW 信号が検出されると、保留中の XINTF アクセスがすべて完了してから、バスが高インピーダンス状態になります。
- (2) XHOLD の状態は、XTIMCLK の立ち上がりエッジでラッチされます。
- (3) XHOLD が LOW または HIGH として検出された後、XCLKOUT の立ち上がりエッジに対して、すべてのバス遷移および XHOLDA 遷移が発生します。したがって、XCLKOUT = 1/2 XTIMCLK の場合、このモードでは、仕様を示された最大値よりも最大 1 XTIMCLK サイクル早く遷移が発生する可能性があります。



- A. 保留中の XINTF アクセスはすべて完了します。
- B. 通常の XINTF 動作を再開します。

図 7-36. XHOLD/ XHOLDA のタイミング要件 (XCLKOUT = 1/2 XTIMCLK)

7.9.7 フラッシュのタイミング

7.9.7.1 A および S 温度仕様品のフラッシュ耐久性

		消去 / プログラム 温度	最小値	標準値	最大値	単位
N _F	アレイのフラッシュ耐久性 (書き込み / 消去サイクル) ⁽¹⁾	0°C ~ 85°C (周囲)	20000	50000		サイクル
N _{OTP}	アレイの OTP 耐久性 (書き込みサイクル) ⁽¹⁾	0°C ~ 85°C (周囲)			1	書き込み

(1) 記載されている温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響を及ぼす可能性があります。

7.9.7.2 Q 温度仕様品のフラッシュ耐久性

		消去 / プログラム 温度	最小値	標準値	最大値	単位
N _F	アレイのフラッシュ耐久性 (書き込み / 消去サイクル) ⁽¹⁾	-40°C ~ 125°C (周囲)	20000	50000		サイクル
N _{OTP}	アレイの OTP 耐久性 (書き込みサイクル) ⁽¹⁾	-40°C ~ 125°C (周囲)			1	書き込み

(1) 記載されている温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響を及ぼす可能性があります。

7.9.7.3 150MHz SYSCLKOUT でのフラッシュ・パラメータ

パラメータ		テスト条件	最小値	標準値	最大値	単位
プログラム時間 (3)	16 ビット・ワード			50		μs
	32K セクタ			1000	2000 ⁽²⁾	ms
	16K セクタ			500	2000 ⁽²⁾	ms
消去時間 ⁽¹⁾	32K セクタ	Q グレード		2	12 ⁽²⁾	s
	16K セクタ			2	12 ⁽²⁾	
消去時間 ⁽¹⁾	32K セクタ	A, S グレード		2	15 ⁽²⁾	s
	16K セクタ			2	15 ⁽²⁾	
I _{DD3VFLP} ⁽⁴⁾	消去 / プログラム・サイクル中の V _{DD3VFL} 消費電流	消去		75		mA
		プログラム		35		mA
I _{DDP} ⁽⁴⁾	消去 / プログラム・サイクル中の V _{DD} 消費電流			180		mA
I _{DDIOp} ⁽⁴⁾	消去 / プログラム・サイクル中の V _{DDIO} 消費電流			20		mA

- (1) デバイスが TI から出荷されるとき、オンチップ・フラッシュ・メモリは消去された状態になっています。したがって、デバイスを初めてプログラミングする際に、プログラミングの前にフラッシュ・メモリを消去する必要はありません。ただし、それ以降のすべてのプログラミング操作では、消去操作が必要になります。
- (2) ここで説明した最大フラッシュ・パラメータは、最初の 100 回のプログラムおよび消去サイクルに対するものです。
- (3) プログラム時間は、最大デバイス周波数におけるものですこの表に示すプログラミング時間は、必要なすべてのコード / データがデバイス RAM 内で利用可能になり、プログラミングの準備ができていない場合のみ適用できます。プログラム時間には、フラッシュ・ステート・マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
 - フラッシュ API そのもの
 - プログラムする対象のフラッシュ・データ
- (4) すべてのペリフェラルをオフにした状態で、関数呼び出しのオーバーヘッドを含めて、室温で観測される代表的なパラメータ。フラッシュ・プログラミング・プロセス全体を通して、安定した電源を維持することが重要です。フラッシュ・プログラミング中のデバイスの消費電流は、通常の動作条件よりも大きくなる可能性があります。使用する電源は、データシートの「推奨動作条件」に記載されているように、常に電源レールの V_{MIN} を確保する必要があります。消去 / プログラム中にブラウンアウトや電源切断が発生すると、パスワードの領域が破損してデバイスが永続的にロックされる可能性があります。(フラッシュ・プログラミング時に) USB ポート経由でターゲット・ボードに電力を供給することは推奨されません。これは、USB ポートがプログラミング・プロセス時に発生する電力要求に応答できない可能性があるためです。

7.9.7.4 フラッシュ / OTP アクセス・タイミング

パラメータ		最小値	最大値	単位
$t_{a(fp)}$	ページ・フラッシュ・アクセス時間	37		ns
$t_{a(fr)}$	ランダム・フラッシュ・アクセス時間	37		ns
$t_{a(OTP)}$	OTP アクセス時間	60		ns

7.9.7.5 フラッシュ・データ保持期間

パラメータ		テスト条件	最小値	最大値	単位
$t_{retention}$	データ保持期間	$T_J = 55^\circ\text{C}$	15		年

表 7-4. さまざまな周波数で必要な最小のフラッシュ / OTP ウェイト状態

SYSCLOCKOUT (MHz)	SYSCLOCKOUT (ns)	ページ・ウェイト状態	ランダム・ウェイト状態 ⁽¹⁾	OTP ウェイト状態
150	6.67	5	5	8
120	8.33	4	4	7
100	10	3	3	5
75	13.33	2	2	4
50	20	1	1	2
30	33.33	1	1	1
25	40	1	1	1
15	66.67	1	1	1
4	250	1	1	1

(1) ページおよびランダム・ウェイト状態は 1 以上である必要があります。

表 7-4 で、フラッシュ・ページ・ウェイト状態およびランダム・ウェイト状態を計算する式は、次のとおりです。

$$\text{Flash Page Wait State} = \left[\left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right] \text{ round up to the next highest integer or 1, whichever is larger}$$

$$\text{Flash Random Wait State} = \left[\left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right] \text{ round up to the next highest integer or 1, whichever is larger}$$

表 7-4 で、OTP ウェイト状態を計算する式は、次のとおりです。

$$\text{OTP Wait State} = \left[\left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right] \text{ round up to the next highest integer or 1, whichever is larger}$$

7.10 オンチップ A/D コンバータ

7.10.1 ADC の電気的特性 (推奨動作条件範囲内)

パラメータ ^{(1) (2)}		最小値	標準値	最大値	単位
DC 仕様⁽³⁾					
分解能		12			ビット
ADC クロック		0.001		25	MHz
精度					
INL (積分非直線性)	1~12.5MHz ADC クロック (6.25MSPS)			±1.5	LSB
	12.5~25MHz ADC クロック (12.5MSPS)			±2	LSB
DNL (微分非直線性) ⁽⁴⁾				±1	LSB
オフセット誤差 ^{(5) (3)}		-15		15	LSB
内部基準電圧での総合ゲイン誤差 ^{(6) (3)}		-30		30	LSB
外部基準電圧での総合ゲイン誤差 ⁽³⁾		-30		30	LSB
チャンネル間のオフセット変動				±4	LSB
チャンネル間のゲイン変動				±4	LSB
アナログ入力					
アナログ入力電圧 (ADCLO に対する ADCINx) ⁽⁷⁾		0		3	V
ADCLO		-5	0	5	mV
入力容量			10		pF
入力リーク電流				±5	μA
内部基準電圧⁽⁶⁾					
V _{ADCREFP} - 内部基準電圧に基づく ADCREFP ピンでの出力電圧			1.275		V
V _{ADCREFM} - 内部基準電圧に基づく ADCREFM ピンでの出力電圧			0.525		V
電圧差、ADCREFP - ADCREFM			0.75		V
温度係数			50		PPM/°C
外部基準電圧^{(6) (8)}					
V _{ADCFIN} - ADCREFIN ピンの外部基準電圧入力、0.2% 以内の高精度基準電圧を推奨	ADCFSEL[15:14] = 11b		1.024		V
	ADCFSEL[15:14] = 10b		1.500		V
	ADCFSEL[15:14] = 01b		2.048		V
AC 仕様					
SINAD (100kHz) 信号対雑音比 + 歪み			67.5		dB
SNR (100kHz) 信号対雑音比			68		dB
THD (100kHz) 全高調波歪			-79		dB
ENOB (100kHz) 有効ビット数			10.9		ビット
SFDR (100kHz) スプリアス・フリー・ダイナミック・レンジ			83		dB

- (1) 25MHz ADCCLK でテスト実施。
- (2) この表に記載されているすべての電圧は、V_{SSA2} を基準にしています。
- (3) ゲイン誤差およびオフセット誤差の ADC パラメータは、ADC 較正ルーチンがブート ROM から実行された場合にのみ仕様として有効です。詳細については、「セクション 8.2.7.3」を参照してください。
- (4) TI では、ADC にミッシング・コードがないことを仕様で規定しています。
- (5) 1 LSB の重みは 3.0/4096 = 0.732mV です。
- (6) 単一の内部 / 外部バンドギャップ・リファレンス回路が ADCREFP 信号および ADCREFM 信号の両方に電圧を供給しているため、これら 2 つの電圧は互いに追従します。ADC コンバータは、これら 2 つの差を基準として使用します。内部基準電圧に対して記載されている総合ゲイン誤差は、温度範囲全体での内部バンドギャップの変動を包含しています。外部基準電圧を選択した場合の温度に対するゲイン誤差は、使用する電圧源の温度プロファイルによって異なります。

- (7) $V_{DDA} + 0.3V$ より高い電圧、または $V_{SS} - 0.3V$ より低い電圧がアナログ入力ピンに印加された場合、他のピンの変換に一時的に影響を及ぼす可能性があります。これを避けるため、アナログ入力はこれらの制限内に維持する必要があります。
- (8) 高精度外部基準電圧 (TI 部品番号 REF3020/3120) または同等の 2.048V 基準電圧部品を使用することをお勧めします。

7.10.2 ADC パワーアップ制御ビットのタイミング

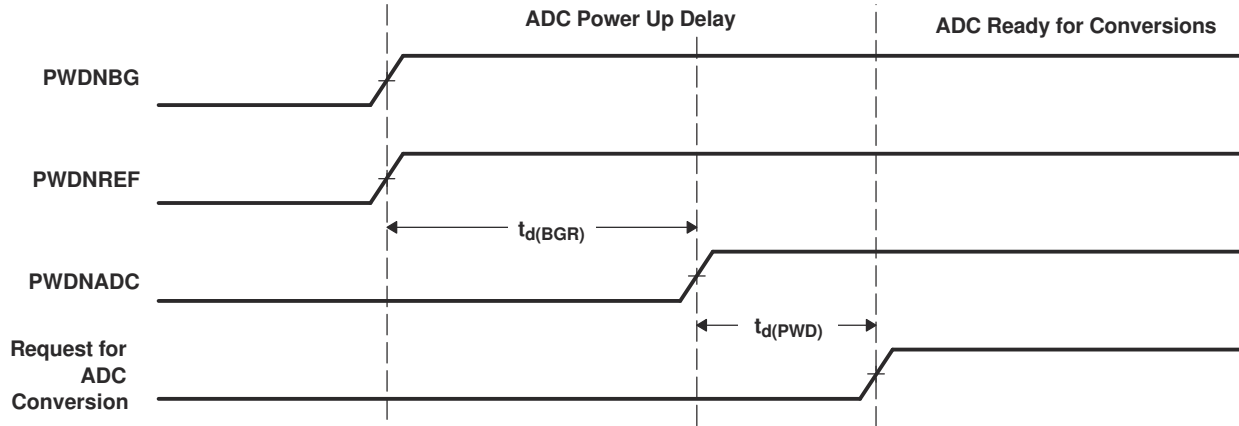


図 7-37. ADC パワーアップ制御ビットのタイミング

7.10.2.1 ADC パワーアップ遅延

パラメータ ⁽¹⁾		最小値	標準値	最大値	単位
$t_{d(BGR)}$	バンドギャップ・リファレンスが安定するまでの遅延時間。PWDNADC ビットをイネーブルにする前に、ADCTRL3 レジスタ (ADCBGRFDN1/0) のビット 7 およびビット 6 を 1 に設定する必要があります。			5	ms
$t_{d(PWD)}$	パワーダウン制御が安定するまでの遅延時間。バンドギャップ・リファレンスが安定するまでのビット遅延時間。PWDNADC ビットをイネーブルにする前に、ADCTRL3 レジスタ (ADCBGRFDN1/0) のビット 7 およびビット 6 を 1 に設定する必要があります。ADC 変換を開始する前に、ADCTRL3 レジスタ (PWDNADC) のビット 5 を 1 に設定する必要があります。	20	50		μ s
				1	ms

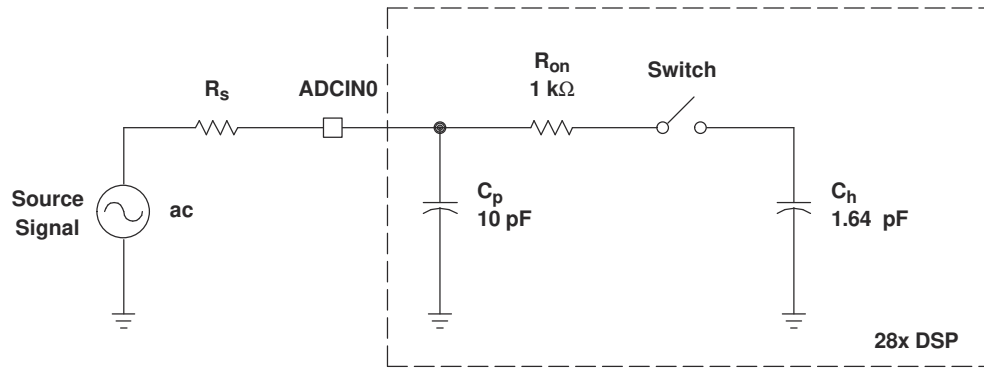
- (1) タイミングは、281x ADC モジュールとの互換性を維持しています。また、2833x/2823x ADC は、3 ビットすべてを同時に駆動し、最初の変換前に $t_{d(BGR)}$ を待機することもサポートしています。

7.10.2.2 各種 ADC 構成での標準消費電流 (25MHz ADCCLK 時)

ADC の動作モード	条件 ^{(1) (2)}	V_{DDA18}	$V_{DDA3.3}$	単位
モード A (動作モード):	<ul style="list-style-type: none"> BG および REF がイネーブル PWD がディセーブル 	30	2	mA
モード B:	<ul style="list-style-type: none"> ADC クロックがイネーブル BG および REF がイネーブル PWD がイネーブル 	9	0.5	mA
モード C:	<ul style="list-style-type: none"> ADC クロックがイネーブル BG および REF がディセーブル PWD がイネーブル 	5	20	μ A
モード D:	<ul style="list-style-type: none"> ADC クロックがディセーブル BG および REF がディセーブル PWD がイネーブル 	5	15	μ A

- (1) テスト条件:
SYSCLKOUT = 150MHz
ADC モジュール・クロック = 25MHz
ADC モード A で 16 チャンネルすべての連続変換を実行

(2) V_{DDA18} には、 V_{DD1A18} および V_{DD2A18} への電流が含まれます。 $V_{DDA3.3}$ には、 V_{DDA2} および V_{DDAIO} への電流が含まれます。



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}):	1 k Ω
Sampling Capacitor (C_h):	1.64 pF
Parasitic Capacitance (C_p):	10 pF
Source Resistance (R_s):	50 Ω

図 7-38. ADC アナログ入力インピーダンス・モデル

7.10.3 定義

基準電圧

オンチップ ADC には基準電圧が内蔵されており、ADC の基準電圧を供給します。

アナログ入力

オンチップ ADC は、16 個のアナログ入力を備えており、一度に 1 つまたは 2 つのチャンネルでサンプリングされます。これらの入力はソフトウェアで選択できます。

コンバータ

オンチップ ADC は、12 ビットの 4 段パイプライン・アーキテクチャを使用しており、高いサンプル・レートと低消費電力を実現しています。

変換モード

変換は、次の 2 種類の変換モードで実行できます。

- 逐次サンプリング・モード (SMODE = 0)
- 同時サンプリング・モード (SMODE = 1)

7.10.4 シーケンシャル・サンプリング・モード (シングル・チャンネル) (SMODE = 0)

シーケンシャル・サンプリング・モードでは、ADC は 任意のチャンネル (Ax~Bx) で入力信号を連続的に変換できます。ADC は、ePWM、ソフトウェア・トリガ、または外部 ADCSOC 信号からのイベント・トリガによって変換を開始できます。SMODE ビットが 0 の場合、ADC は、すべてのサンプル / ホールド・パルスに対して、選択されたチャンネルで変換を行います。結果レジスタ更新の変換時間とレイテンシについて、以下で説明します。ADC 割り込みフラグは、結果レジスタの更新後、いくつかの SYSCLKOUT サイクルが経過してからセットされます。選択したチャンネルは、サンプル / ホールド・パルスの立ち上がりエッジごとにサンプリングされます。サンプル / ホールド・パルス幅は、1 ADC クロック (最小値) または 16 ADC クロック (最大値) にプログラムできます。

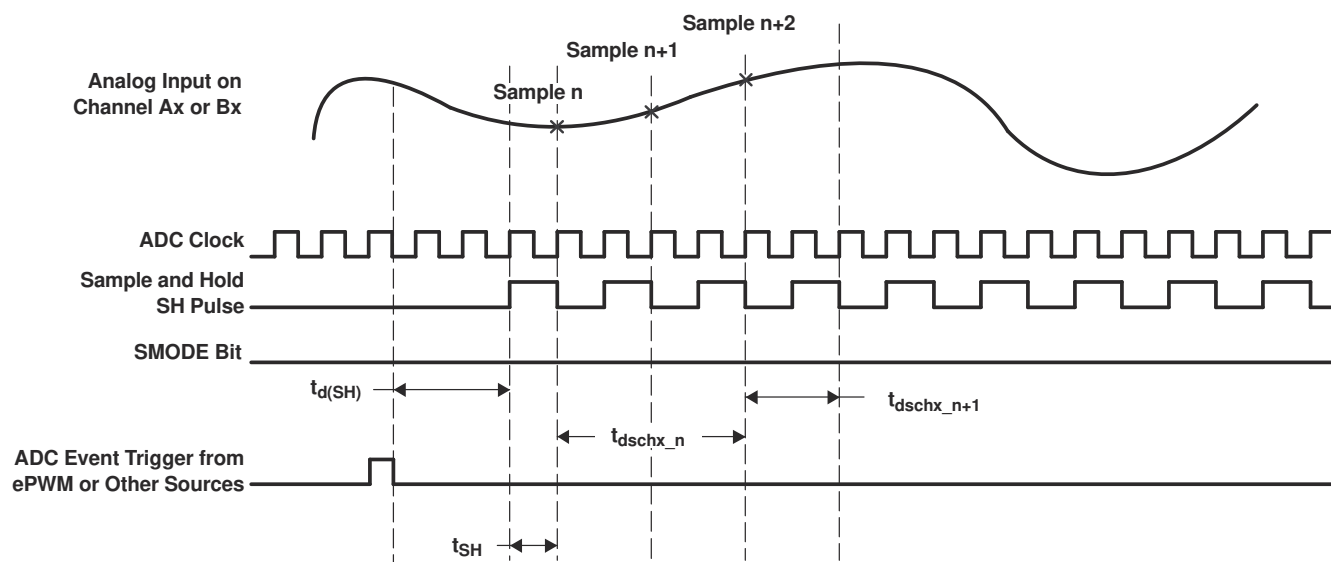


図 7-39. シーケンシャル・サンプリング・モード (シングル・チャンネル) のタイミング

7.10.4.1 シーケンシャル・サンプリング・モードのタイミング

		サンプル n	サンプル n + 1	25MHz ADC クロック、 $t_{c(ADCCLK)} = 40ns$	注記
$t_{d(SH)}$	イベント・トリガからサンプリングまでの遅延時間	$2.5t_{c(ADCCLK)}$			
t_{SH}	サンプル / ホールド幅 / アクイジション幅	$(1 + Acqps) * t_{c(ADCCLK)}$		40ns (Acqps = 0 のとき)	Acqps の値 = 0~15 ADCTRL1[8:11]
$t_{d(schx_n)}$	最初の結果が結果レジスタに保存されるまでの遅延時間	$4t_{c(ADCCLK)}$		160ns	
$t_{d(schx_n+1)}$	以後の結果が結果レジスタに保存されるまでの遅延時間		$(2 + Acqps) * t_{c(ADCCLK)}$	80ns	

7.10.5 同時サンプリング・モード (デュアル・チャンネル) (SMODE = 1)

同時モードでは、ADC は、いずれかの 1 ペアのチャンネル (A0/B0~A7/B7) で入力信号を連続的に変換できます。ADC は、ePWM、ソフトウェア・トリガ、または外部 ADCSOC 信号からのイベント・トリガによって変換を開始できます。SMODE ビットが 1 の場合、ADC は、すべてのサンプル / ホールド・パルスに対して、選択された 2 つのチャンネルで変換を行います。結果レジスタ更新の変換時間とレイテンシについて、以下で説明します。ADC 割り込みフラグは、結果レジスタの更新後、いくつかの SYSCLKOUT サイクルが経過してからセットされます。選択したチャンネルは、サンプル / ホールド・パルスの立ち上がりエッジごとに同時にサンプリングされます。サンプル / ホールド・パルス幅は、1 ADC クロック (最小値) または 16 ADC クロック (最大値) にプログラムできます。

注

同時モードでは、ADCIN チャンネル・ペアの選択は A0/B0、A1/B1、...、A7/B7 とする必要があり、他の組み合わせ (たとえば、A1/B3 など) は利用できません。

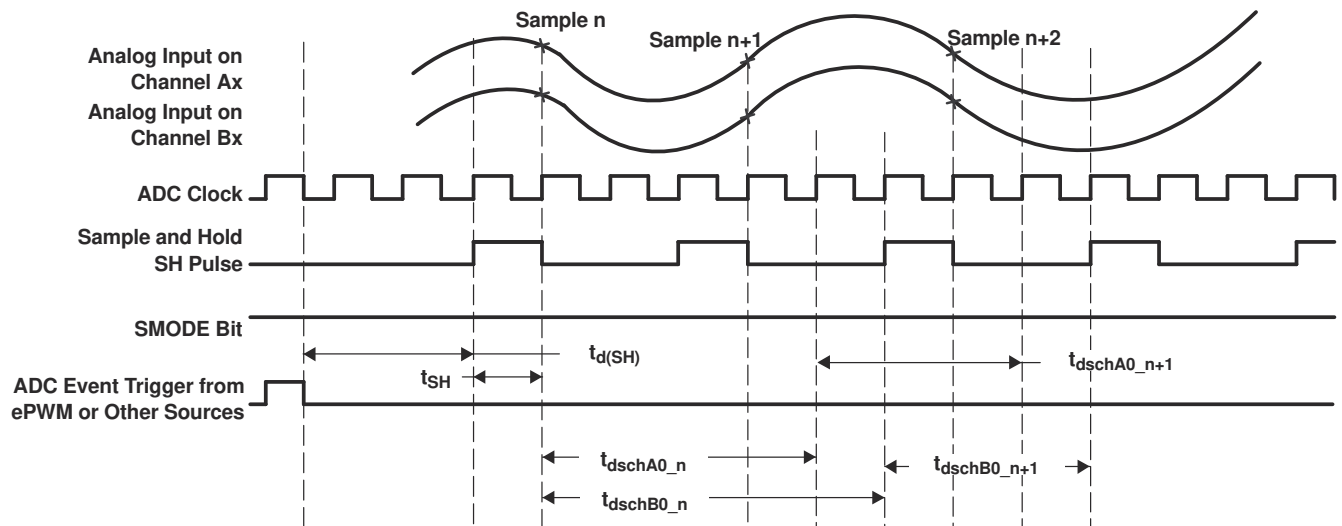


図 7-40. 同時サンプリング・モードのタイミング

7.10.5.1 同時サンプリング・モードのタイミング

		サンプル n	サンプル n + 1	25MHz ADC クロック、 $t_c(\text{ADCCLK}) = 40\text{ns}$	注記
$t_{d(\text{SH})}$	イベント・トリガからサンプリングまでの遅延時間	$2.5t_c(\text{ADCCLK})$			
t_{SH}	サンプル/ホールド幅 / アクイジション幅	$(1 + \text{Acqps}) * t_c(\text{ADCCLK})$		40ns (Acqps = 0 のとき)	Acqps の値 = 0~15 ADCTRL1[8:11]
$t_{d(\text{schA0}_n)}$	最初の結果が結果レジスタに保存されるまでの遅延時間	$4t_c(\text{ADCCLK})$		160ns	
$t_{d(\text{schB0}_n)}$	最初の結果が結果レジスタに保存されるまでの遅延時間	$5t_c(\text{ADCCLK})$		200ns	
$t_{d(\text{schA0}_{n+1})}$	以後の結果が結果レジスタに保存されるまでの遅延時間		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	120ns	
$t_{d(\text{schB0}_{n+1})}$	以後の結果が結果レジスタに保存されるまでの遅延時間		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	120ns	

7.10.6 詳細説明

積分非直線性

積分非直線性とは、ゼロからフルスケールまで引かれた直線から、それぞれのコードがどれだけ離れているかを意味します。ゼロとして使用される点は、最初のコード遷移よりも 1/2 LSB 前の位置です。フルスケールの点は、最後のコード遷移から 1/2 LSB 超えた位置として定義されます。偏差は、それぞれのコードの中心から、これら 2 点間を結ぶ直線まで測定されます。

微分非直線性

理想的な ADC は、厳密に 1 LSB 離れたコード遷移を示します。DNL (微分非直線性) は、この理想値からの偏差です。微分非直線性誤差が ± 1 LSB 未満であれば、ミッシング・コードがないことが保証されます。

ゼロ・オフセット

メジャー・キャリー遷移は、アナログ入力 が 0V のときに発生します。ゼロ誤差は、その点から実際の遷移までの偏差として定義されます。

ゲイン誤差

最初のコード遷移は、負のフルスケールよりも 1/2 LSB 上のアナログ値で発生します。最後の遷移は、公称フルスケールよりも 1.5 LSB 下のアナログ値で発生します。ゲイン誤差は、最初と最後のコード遷移の間の実際の差と、最初と最後のコード遷移の理想的な差との偏差です。

信号対雑音比 + 歪み (SINAD)

SINAD は、ナイキスト周波数以下の他のスペクトル成分 (高調波を含み、DC を除く) の実効値の合計に対する、計測された入力信号実効値の比率です。SINAD の値は、デシベル単位で表されます。

有効ビット数 (ENOB)

正弦波の場合、SINAD はビット数で表すことができます。次の式
$$N = \frac{(\text{SINAD} - 1.76)}{6.02}$$
 を使用すると、有効ビット数 N で表される性能の測定値を得ることができます。したがって、特定の入力周波数における正弦波入力に対するデバイスの有効ビット数は、測定された SINAD から直接計算できます。

全高調波歪み (THD)

THD は、最初の 9 つの高調波成分の実効値合計と、測定された入力信号の実効値との比率であり、パーセントまたはデシベル単位で表されます。

スプリアス・フリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差を dB 単位で表したものです。

7.11 F2833x デバイスと F2823x デバイス間の移行

これら 2 つのデバイスの主な違いは、F2823x デバイスに浮動小数点ユニット (FPU) が存在しないことです。このセクションでは、それぞれのアプリケーションを構築する方法について説明します。

- F2833x デバイスの場合:
 - C28x + 浮動小数点デバイスのデバッグをサポートするには、Code Composer Studio 3.3 のサービス・リリース 9 以降が必要です。
 - コンパイラ・オプションとして、`-v28 --float_support = fpu32` を使用します。コンパイラ v5.0.2 以降では、`--float_support` オプションを使用できます。Code Composer Studio では、コンパイラ・オプションの **Advanced タブ (Project → Build_Options → Compiler → Advanced タブ)** に `--float_support` オプションがあります。
 - ネイティブ 32 ビット浮動小数点用のコンパイラのランタイム・サポート・ライブラリをインクルードします。たとえば、C コードには `rts2800_fpu32.lib`、C++ コードには `rts2800_fpu32_eh.lib` を使用します。
 - `sin`、`cos`、`div`、`sqrt`、`atan` などの高性能浮動小数点演算機能には、**C28x FPU 高速 RTS ライブラリ (C2000 MCU 用 C2000Ware の一部)** の使用を検討してください。高速 RTS ライブラリは、通常のランタイム・サポート・ライブラリより前にリンクする必要があります。
- F2823x デバイスの場合:
 - `--float_support switch` スイッチをオフのままにするか、または、`-v28 --float_support=none` を使用します
 - 固定小数点コード用の適切なランタイム・サポート・ライブラリをインクルードします。たとえば、C コードには `rts2800_ml.lib`、C++ コードには `rts2800_ml_eh.lib` を使用します。
 - `sin`、`cos`、`div`、`sqrt`、`atan` などの演算機能の性能向上には、**C28x IQMath ライブラリ - 仮想浮動小数点エンジン** の使用を検討してください。

この方法で構築されたコードは F2833x デバイスでも実行できますが、オンチップの浮動小数点ユニットは使用されません。

いずれの場合でも、ネイティブ浮動小数点デバイスと固定小数点デバイスの間で迅速な移植性を実現するためには、C28x IQMath ライブラリに記述されている `IQmath` マクロ言語を使用してコードを書くことを推奨します。

8 詳細説明

8.1 概要

8.1.1 C28x CPU

F2833x (C28x+FPU)/F2823x (C28x) ファミリーは、TMS320C2000™ リアルタイム・マイクロコントローラ (MCU) プラットフォームのメンバーです。C28x+FPU ベースのコントローラは、TI の既存の C28x マイコンと同じ 32 ビット固定小数点アーキテクチャを採用していますが、さらに、単精度 (32 ビット) IEEE 754 浮動小数点ユニット (FPU) も搭載しています。非常に効率的な C/C++ エンジンであり、ユーザーは高級言語でシステム制御ソフトウェアを開発できます。また、C/C++ を使用して数学アルゴリズムを開発することもできます。このデバイスは、通常、マイクロコントローラ・デバイスで処理されるシステム制御タスクでも、また、DSP 演算タスクでも、同じように効率的です。この効率により、多くのシステムで 2 個目のプロセッサが不要になります。32 × 32 ビット MAC (積和演算) 64 ビット処理機能により、このコントローラは、より高い数値分解能の問題を効率的に処理できます。これに加えて、重要なレジスタのコンテキストを自動的に保存することで高速な割り込み応答を実現し、最小限のレイテンシで多数の非同期イベントを処理できるデバイスを実現します。このデバイスは、パイプライン・メモリ・アクセス付きで、8 レベルの深さまで保護されたパイプラインを備えています。このパイプラインにより、高価な高速メモリを使わなくても、高速な実行が可能になります。特別な分岐先読みハードウェアにより、条件分岐による不連続性のレイテンシを最小限に抑えます。特別な条件付きストア演算により、さらに性能が向上します。

F2823x ファミリーは、同じく TMS320C2000™ リアルタイム・マイクロコントローラ (MCU) プラットフォームのメンバーですが、こちらには浮動小数点ユニット (FPU) が含まれていません。

8.1.2 メモリ・バス (ハーバード・バス・アーキテクチャ)

多くの MCU タイプのデバイスと同様に、複数のバスを使用して、メモリおよびペリフェラルと CPU の間でデータを移動します。C28x メモリ・バス・アーキテクチャには、プログラム読み取りバス、データ読み取りバス、およびデータ書き込みバスが含まれています。プログラム読み取りバスは、22 本のアドレス・ラインと 32 本のデータ・ラインで構成されています。データ読み取りバスおよび書き込みバスは、32 本のアドレス・ラインと 32 本のデータ・ラインで構成されています。32 ビット幅のデータ・バスにより、シングル・サイクルの 32 ビット動作が可能です。一般的にハーバード・バスと呼ばれる複数バス・アーキテクチャにより、C28x は命令のフェッチ、データ値の読み取り、データ値の書き込みを 1 サイクルで実行できます。メモリ・バスに接続されているすべてのペリフェラルとメモリは、メモリ・アクセスに優先順位を付けています。全体として、メモリ・バス・アクセスの優先順位は次のようになっています。

最高:	データ書き込み (データとプログラムの書き込みを同時にメモリ・バス上で行うことはできません。)
	プログラム書き込み (データとプログラムの書き込みを同時にメモリ・バス上で行うことはできません。)
	データ読み取り
	プログラム読み取り (プログラムの読み取りとフェッチを同時にメモリ・バス上で行うことはできません。)
最低:	フェッチ (プログラムの読み取りとフェッチを同時にメモリ・バス上で行うことはできません。)

8.1.3 ペリフェラル・バス

さまざまな TI MCU ファミリーのデバイス間でペリフェラルを移行できるように、2833x/2823x デバイスは、ペリフェラル相互接続のためのペリフェラル・バス規格を採用しています。ペリフェラル・バス・ブリッジは、プロセッサのメモリ・バスを構成するさまざまなバスをまとめて、16 本のアドレス・ライン、16 本または 32 本のデータ・ライン、および関連する制御信号で構成される単一のバスに多重化します。3 つのバージョンのペリフェラル・バスがサポートされています。1 つのバージョンでは、16 ビットのアクセスのみをサポートしています (ペリフェラル・フレーム 2 と呼ばれます)。もう 1 つのバージョンは、16 ビットおよび 32 ビットの両方のアクセスをサポートしています (ペリフェラル・フレーム 1 と呼ばれます)。3 番目のバージョンは、DMA アクセスと、16 ビットおよび 32 ビットのアクセスをサポートしています (ペリフェラル・フレーム 3 と呼ばれます)。

8.1.4 リアルタイムの JTAG および分析

2833x/2823x デバイスには、標準の IEEE 1149.1 JTAG インターフェイスが実装されています。さらに、これらのデバイスはリアルタイム動作モードをサポートしており、プロセッサ実行中およびコード実行中および割り込み処理中に、メモリ、ペ

リフェラル、レジスタの領域の内容を変更できます。ユーザーは、時間に制約のある割り込みを干渉を受けずに処理すると同時に、時間に制約のないコードを 1 ステップずつ実行することもできます。このデバイスは、CPU 内のハードウェアにリアルタイム・モードを実装しています。これは、2833x/2823x デバイス独自の機能であり、ソフトウェア・モニタは不要です。さらに、ハードウェア・ブレイクポイントまたはデータ/アドレス・ウォッチポイントを設定して、条件が一致したときにユーザーの選択によってさまざまなブレイク・イベントを生成できる、特別な分析ハードウェアが用意されています。

8.1.5 外部インターフェイス (XINTF)

この非同期インターフェイスは、20 本のアドレス・ライン、32 本のデータ・ライン、3 本のチップ・セレクト・ラインで構成されています。チップ・セレクト・ラインは、ゾーン 0、6、7 の 3 つの外部ゾーンにマップされます。3 つのゾーンには、それぞれ異なる数のウェイト状態、ストロブ信号のセットアップとホールドのタイミングをプログラムすることが可能です。また、各ゾーンについて、外部でウェイト状態を延長するかどうかをプログラムできます。ウェイト状態、チップ・セレクト、およびストロブ・タイミングをプログラムできるため、外部メモリやペリフェラルとの直接インターフェイスが可能です。

8.1.6 フラッシュ

F28335/F28333/F28235 デバイスには、256K × 16 の組み込みフラッシュ・メモリが搭載されており、8 つの 32K × 16 セクタに分離されています。F28334/F28234 デバイスには、128K × 16 の組み込みフラッシュ・メモリが搭載されており、8 つの 16K × 16 セクタに分離されています。F28332/F28232 デバイスには 64K × 16 の組み込みフラッシュが搭載されており、4 つの 16K × 16 セクタに分離されています。また、すべてのデバイスには、アドレス範囲 0x380400 ~ 0x3807FF、1K × 16 の OTP メモリが 1 つ搭載されています。ユーザーは、他のセクタに変更を加えずに、フラッシュ・セクタを個別に消去、プログラム、検証することができます。ただし、フラッシュの 1 つのセクタまたは OTP を使用して、他のセクタを消去 / プログラムするフラッシュ・アルゴリズムを実行することはできません。フラッシュ・モジュールの性能向上を実現するため、特別なメモリ・パイプラインが用意されています。フラッシュ / OTP は、プログラム領域とデータ領域の両方にマップされているため、コードの実行またはデータ情報の格納に使用できます。アドレス 0x33FFF0 ~ 0x33FFF5 は、データ変数用に予約されており、プログラム・コードを収容できないことに注意してください。

注

フラッシュおよび OTP のウェイト状態は、アプリケーションで設定できます。これにより、低速の周波数で動作するアプリケーションは、より少ないウェイト状態を使用するようにフラッシュを構成できます。

フラッシュ・オプション・レジスタでフラッシュ・パイプライン・モードをイネーブルにすると、フラッシュの実効性能を向上できます。このモードをイネーブルにすると、リニア・コード実行の実際の性能は、ウェイト状態の構成だけで示される未調整の性能よりもはるかに高速になります。フラッシュ・パイプライン・モードを使用する場合に性能が向上する程度は、アプリケーションによって異なります。

フラッシュ・オプション・レジスタ、フラッシュ・ウェイト状態レジスタ、OTP ウェイト状態レジスタの詳細については、『[TMS320x2833x](#)、[TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「システム制御および割り込み」の章を参照してください。

8.1.7 M0、M1 SARAM

すべての 2833x/2823x デバイスには、これら 2 つのブロックのシングル・アクセス・メモリが搭載されており、それぞれ 1K × 16 のサイズです。スタック・ポインタは、リセット時にはブロック M1 の先頭を指します。M0 および M1 ブロックは、C28x デバイスの他のすべてのメモリ・ブロックと同様に、プログラム領域とデータ領域の両方にマップされます。したがって、ユーザーは、M0 および M1 をコードの実行またはデータ変数に使用できます。パーティション分割は、リンカ内で実行されます。C28x デバイスは、プログラマに統合メモリ・マップを提供します。これにより、高級言語でのプログラミングが容易になります。

8.1.8 L0、L1、L2、L3、L4、L5、L6、L7 SARAM

F28335/F28333/F28235 および F28334/F28234 は、それぞれ 32K × 16 のシングル・アクセス RAM を搭載しており、この RAM は 8 ブロックに分割されています (L0 ~ L7、それぞれ 4K)。F28332/F28232 は、24K × 16 のシングルアクセス RAM を搭載しており、この RAM は 6 つのブロックに分割されています (L0 ~ L5、それぞれ 4K)。各ブロックに独立してアクセスすることにより、CPU パイプラインのストールを最小限に抑えることができます。各ブロックは、プログラム領域とデータ領域の両方にマップされます。L4、L5、L6、および L7 は、DMA アクセス可能です。

8.1.9 ブート ROM

ブート ROM は、出荷時にブートロード・ソフトウェアが書き込まれています。電源投入時にどのブート・モードを使用するかをブートローダ・ソフトウェアに通知するために、ブート・モード信号が用意されています。ユーザーは、通常のブートを選択するか、外部接続から新しいソフトウェアをダウンロードするか、または、内部フラッシュ / ROM に書き込まれているブート・ソフトウェアを選択することができます。ブート ROM には、SIN / COS 波形などの標準的な表も含まれており、数学関連のアルゴリズムで使用できます。

表 8-1. ブート・モードの選択

モード	GPIO87/XA15	GPIO86/XA14	GPIO85/XA13	GPIO84/XA12	モード ⁽¹⁾
F	1	1	1	1	フラッシュヘジャンプ
E	1	1	1	0	SCI-A ブート
D	1	1	0	1	SPI-A ブート
C	1	1	0	0	I2C-A ブート
B	1	0	1	1	eCAN-A ブート
A	1	0	1	0	McBSP-A ブート
9	1	0	0	1	XINTF x16 ヘジャンプ
8	1	0	0	0	XINTF x32 ヘジャンプ
7	0	1	1	1	OTP ヘジャンプ
6	0	1	1	0	パラレル GPIO I/O ブート
5	0	1	0	1	並列 XINTF ブート
4	0	1	0	0	SARAM ヘジャンプ
3	0	0	1	1	ブート・モード・チェックへ分岐
2	0	0	1	0	フラッシュへ分岐、ADC 較正をスキップ
1	0	0	0	1	SARAM へ分岐、ADC 較正をスキップ
0	0	0	0	0	SCI へ分岐、ADC 較正をスキップ

(1) 4 つの GPIO ピンは、すべて内部プルアップ付きです。

注

表 8-1 のモード 0、1、2 は、TI デバッグ専用です。アプリケーションで ADC 較正機能をスキップすると、ADC は規定された仕様の範囲外で動作します。

8.1.9.1 ブートローダが使用するペリフェラル・ピン

表 8-2 に、各ペリフェラル・ブートローダが使用する GPIO ピンを示します。アプリケーションで使用するペリフェラルと競合するかどうかについては、GPIO マルチプレクサの表を参照してください。

表 8-2. ペリフェラル・ブートロード・ピン

ブートローダ	ペリフェラル・ローダのピン
SCI-A	SCIRXDA (GPIO28) SCITXDA (GPIO29)
SPI-A	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA (GPIO19)
I2C	SDAA (GPIO32) SCLA (GPIO33)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)
McBSP	MDXA (GPIO20) MDRA (GPIO21) MCLKXA (GPIO22) MFSXA (GPIO23) MCLKRA (GPIO7) MFSRA (GPIO5)

8.1.10 セキュリティ

これらのデバイスは高いレベルのセキュリティをサポートしており、ユーザー・ファームウェアがリバース・エンジニアリングされることを防止します。セキュリティ機能は、128 ビットのパスワード (16 ウェイト状態でハードコード) を備えており、ユーザーはこのパスワードをフラッシュにプログラムします。1 つのコード・セキュリティ・モジュール (CSM) を使って、フラッシュ / OTP および L0/L1/L2/L3 SARAM ブロックを保護します。このセキュリティ機能により、権限のないユーザーが JTAG ポート経由でメモリの内容を確認したり、外部メモリからコードを実行したり、あるいは、セキュア・メモリの内容をエクスポートする好ましくないソフトウェアをブートロードしたりすることを防止できます。セキュア・ブロックへのアクセスを可能にするには、正しい 128 ビットのキー値を書き込む必要があります。この値は、フラッシュ内のパスワード領域に保存されている値と一致しなければなりません。

CSM に加えて、権限のないユーザーがセキュア・コードをステップ実行することを防止するために、エミュレーション・コード・セキュリティ・ロジック (ECSL) が実装されています。JTAG デバッグ・プローブが接続されている間に、フラッシュ、ユーザー OTP、L0、L1、L2、L3 メモリに対するコード・アクセスまたはデータ・アクセスがあると、ECSL をトリップして、エミュレーション接続を切断します。セキュア・メモリ読み取りに対する CSM 保護を維持したままで、セキュア・コードのエミュレーションを可能にするには、ユーザーはキー・レジスタの下位 64 ビットに正しい値を書き込む必要があります。この値は、フラッシュ内のパスワード領域の下位 64 ビットに格納されている値と一致しなければなりません。フラッシュ内のパスワードは、128 ビットすべてについてダミー読み取りを実行する必要があることに注意してください。パスワードの下位 64 ビットがすべて 1 (プログラムされていない) の場合、キー値を一致させる必要はありません。

フラッシュにプログラムされた (すなわち、セキュアな) パスワード領域を使用してデバイスを最初にデバッグするとき、JTAG デバッグ・プローブが CPU の制御権を取得するのにある程度の時間を要します。この期間中に、CPU が動作を開始し、保護されている ECSL 領域にアクセスする命令を実行するかもしれません。この場合、ECSL はトリップし、JTAG デバッグ・プローブ接続が切断されます。この問題に対して、2 つの解決策が存在します。

- 1 つ目は、JTAG デバッグ・プローブが制御権を取得するまで、デバイスをリセット状態に保持するという、「ウェイトインリセット」エミュレーション・モードを使用することです。この選択肢では、JTAG デバッグ・プローブがこのモードをサポートしている必要があります。
- 2 番目の選択肢は、「分岐によりブート・モード確認」のブート・オプションを使用することです。これは、ループを繰り返して、ブート・モード選択ピンを継続的にポーリングします。ユーザーは、このブート・モードを選択して、JTAG デバッグ・プローブが接続された後で、PC を別のアドレスに再マッピングすることにより、または、ブート・モード選択ピンを他の適切なブート・モードに変更することにより、このモードを終了できます。

注

- コード・セキュリティ・パスワードをプログラムする場合、0x33FF80 から 0x33FFF5 までのすべてのアドレスをプログラム・コードまたはデータとして使用することはできません。これらの領域は、0x0000 にプログラムする必要があります。
- コード・セキュリティ機能を使用しない場合には、アドレス 0x33FF80～0x33FFEF をコードまたはデータに使用できます。アドレス 0x33FFF0～0x33FFF5 はデータ用に予約されており、プログラム・コードを書き込むことはできません。

128 ビットのパスワード (0x33FFF8～0x33FFFF) を 0 にプログラムしてはいけません。この領域を 0 にすると、デバイスが永続的にロックされます。

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリ (ROM またはフラッシュ) に保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツ (TI) は、このデバイスに適用される保証期間において、標準契約条件に従って、この CSM が TI の発行した仕様書に準拠していることを保証します。

ただし、TI は、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、TI は、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、TI は、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、TI がこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

8.1.11 ペリフェラル割り込み拡張 (PIE) ブロック

PIE ブロックは、多数の割り込みソースを、より小さい割り込み入力グループに多重化する役割を果たします。PIE ブロックは、最大 96 個のペリフェラル割り込みをサポートできます。2833x/2823x では、使用可能な 96 個の割り込みのうち 58 個がペリフェラルによって使用されています。96 個の割り込みは 8 個のブロックにグループ化され、各グループは 12 個の CPU 割り込みライン (INT1~INT12) のいずれかに供給されます。96 個の割り込みは、それぞれ専用の RAM ブロックに格納された独自のベクタに対応しており、ユーザーはこれらのベクタを上書きできます。割り込みを処理するとき、CPU は自動的にこのベクタをフェッチします。ベクタをフェッチして、重要な CPU レジスタを保存するのに要する時間は、8 CPU クロック・サイクルです。したがって、CPU は割り込みイベントに迅速に応答できます。割り込みの優先順位は、ハードウェアおよびソフトウェアで制御されます。各割り込みは、PIE ブロック内でイネーブルまたはディセーブルできます。

8.1.12 外部割り込み (XINT1~XINT7、XNMI)

このデバイスは、8 つのマスク付き外部割り込み (XINT1~XINT7、XNMI) をサポートしています。XNMI は、CPU の INT13 または NMI 割り込みに接続できます。各割り込みは、立ち下がり、立ち上がり、またはその両方のエッジ・トリガとして選択でき、有効または無効にすることもできます (XNMI を含む)。また、XINT1、XINT2、XNMI は 16 ビットのフリー・ランニング・アップ・カウンタを備えており、有効な割り込みエッジが検出されるとゼロにリセットされます。このカウンタを使うと、割り込みのタイムスタンプを正確に設定できます。281x デバイスとは異なり、外部割り込み用の専用ピンはありません。XINT1、XINT2 および XNMI 割り込みは、GPIO0~GPIO31 ピンからの入力を受け入れることができます。XINT3~XiINT7 割り込みは、GPIO32~GPIO63 ピンからの入力を受け入れます。

8.1.13 発振器および PLL

このデバイスは、外部発振器によって、またはオンチップ発振器回路に水晶振動子を接続することによって、クロック供給できます。PLL が搭載されており、最大 10 の入力クロック・スケーリング比をサポートします。ソフトウェアで PLL 比を動作中に変更できるので、低消費電力動作が必要な場合は、動作周波数のスケーリングを元に戻すことができます。タイミングの詳細については、[セクション 7.9.4.4](#) を参照してください。PLL ブロックは、バイパス・モードに設定できます。

8.1.14 ウォッチドッグ

このデバイスには、ウォッチドッグ・タイマが搭載されています。ユーザー・ソフトウェアは、特定の時間枠内にウォッチドッグ・カウンタを定期的リセットする必要があります。そうしないと、ウォッチドッグは、プロセッサに対してリセットを発生させます。ウォッチドッグは、必要に応じてディセーブルできます。

8.1.15 ペリフェラル・クロック

ペリフェラルを使用していないときの消費電力を低減するために、各ペリフェラルへのクロックをイネーブルまたはディセーブルできます。さらに、シリアル・ポート (I2C および eCAN を除く) および ADC ブロックへのシステム・クロックは、CPU クロックに対してスケーリングが可能です。これにより、ペリフェラルのタイミングを CPU クロック速度の上昇から分離できます。

8.1.16 低消費電力モード

デバイスは、完全にスタティックな CMOS デバイスです。3 つの低消費電力モードが用意されています。

- アイドル: CPU を低消費電力モードに移行します。ペリフェラル・クロックは選択的にオフにすることができるので、アイドル時に機能する必要があるペリフェラルのみを引き続き動作させられます。アクティブなペリフェラルまたはウォッチドッグ・タイマからのイネーブルされた割り込みがあると、プロセッサはアイドル・モードからウェークアップされます。
- スタンバイ: CPU およびペリフェラルへのクロックをオフにします。このモードでは、発振器と PLL は機能しています。外部割り込みイベントによって、プロセッサおよびペリフェラルがウェークアップされます。割り込みイベントを検出した後、次の有効なサイクルで実行が開始されます。
- ホールド: 内部発振器をオフにします。このモードでは、基本的にデバイスがシャットダウンされ、可能な限り低い消費電力モードに移行します。リセットまたは外部信号により、このモードからデバイスをウェークアップできます。

8.1.17 ペリフェラル・フレーム 0、1、2、3 (PFn)

デバイスは、ペリフェラルを 4 つのセクションに分割しています。ペリフェラルのマッピングは次のとおりです。

PF0:	PIE:	PIE 割り込みイネーブルおよび制御レジスタと PIE ベクタ・テーブル
	フラッシュ:	フラッシュ・ウェイト状態レジスタ
	XINTF:	外部インターフェイス・レジスタ
	DMA	DMA レジスタ
	タイマ:	CPU タイマ 0、1、2 レジスタ
	CSM:	コード・セキュリティ・モジュールのキー・レジスタ
	ADC:	ADC 結果レジスタ (デュアルマップ)
PF1:	eCAN:	eCAN メールボックスおよび制御レジスタ
	GPIO:	GPIO MUX 構成および制御レジスタ
	ePWM:	拡張パルス幅変調器モジュールおよびレジスタ (デュアル・マップ)
	eCAP:	拡張キャプチャ・モジュールおよびレジスタ
	eQEP:	拡張直交エンコーダ・パルス・モジュールおよびレジスタ
PF2:	SYS:	システム制御レジスタ
	SCI:	シリアル通信インターフェイス (SCI) 制御および RX/TX レジスタ
	SPI:	シリアル・ポート・インターフェイス (SPI) 制御および RX/TX レジスタ
	ADC:	ADC ステータス、制御、結果レジスタ
	I2C:	I2C (Inter-Integrated Circuit) モジュールおよびレジスタ
	XINT	外部割り込みレジスタ
PF3:	McBSP	マルチチャネル・バッファ付きシリアル・ポート
	ePWM:	拡張パルス幅変調器モジュールおよびレジスタ (デュアル・マップ)

8.1.18 汎用入出力 (GPIO) マルチプレクサ

大部分のペリフェラル信号は、GPIO 信号と多重化されています。これにより、ペリフェラルの信号または機能を使用しない場合、ピンを GPIO として使用できます。リセット時に、GPIO ピンは入力として構成されます。ユーザーは、GPIO モードまたはペリフェラル信号モードとして各ピンを個別にプログラムできます。特定の入力については、入力フィルタ・サイクル数も選択できます。これは、望ましくないノイズグリッチをフィルタリングするためです。GPIO 信号を使用して、デバイスを特定の低消費電力モードから解除することもできます。

8.1.19 32 ビット CPU タイマ (0、1、2)

CPU タイマ 0、1、2 は同一仕様の 32 ビット・タイマであり、プリセット可能な周期を持ち、16 ビット・クロック・プリスケールリングを備えています。このタイマには 32 ビットのカウンタ・ダウン・レジスタがあり、カウンタがゼロになると割り込みを発生します。このカウンタは、CPU クロック速度をプリスケール設定値で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。CPU タイマ 2 は、リアルタイム OS (RTOS)/BIOS アプリケーション用に予約されています。これは、CPU の INT14 に接続されています。DSP/BIOS または SYS/BIOS が使われていない場合は、CPU タイマ 2 を一般的な用途に使用できます。CPU タイマ 1 は一般的な用途向けで、CPU の INT13 に接続できます。CPU タイマ 0 も一般的な用途向けであり、PIE ブロックに接続されています。

8.1.20 制御ペリフェラル

2833x/2823x デバイスは、組込み制御および通信に使用される以下のペリフェラルをサポートしています。

- ePWM:** 拡張 PWM ペリフェラルは、独立および相補的 PWM 生成、立ち上がりおよび立ち下がりエッジの調整可能なデッドバンド生成、ラッチ付きおよびサイクルごとのトリップ・メカニズムをサポートしています。一部の PWM ピンは、HRPWM 機能をサポートしています。ePWM レジスタは、DMA に対応しているため、このペリフェラルのサービスに伴うオーバーヘッドを低減できます。
- eCAP:** 拡張キャプチャ・ペリフェラルは、32 ビットのタイム・ベースを使用し、連続 / ワンショットのキャプチャ・モードで、最大 4 つのプログラマブル・イベントを登録します。このペリフェラルは、補助 PWM 信号を生成するように構成することもできます。
- eQEP:** 拡張 QEP ペリフェラルは、32 ビットの位置カウンタを使用し、キャプチャ・ユニットによる低速測定および 32 ビットのユニット・タイマによる高速測定をサポートしています。このペリフェラルは、モーターのストールを検出するウォッチドッグ・タイマ、および QEP 信号の同時エッジ遷移を識別する入力エラー検出ロジックを備えています。
- ADC:** ADC ブロックは、シングル・エンド、16 チャンネルの 12 ビット・コンバータです。2 つのサンプル / ホールド・ユニットを搭載しており、同時サンプリングに対応しています。ADC レジスタは、DMA に対応しているため、このペリフェラルのサービスに伴うオーバーヘッドを低減できます。

8.1.21 シリアル・ポート・ペリフェラル

これらのデバイスは、以下のシリアル通信ペリフェラルをサポートしています。

- eCAN:** これは CAN ペリフェラルの拡張バージョンです。32 個のメールボックスを備え、メッセージのタイムスタンプをサポートしており、ISO 11898-1 (CAN 2.0B) に準拠しています。
- McBSP:** マルチチャンネル・バッファ付きシリアル・ポート (McBSP) は、E1/T1 ライン、モデム・アプリケーション向け電話品質コーデック、または高品質ステレオ・オーディオ DAC デバイスに接続します。McBSP 受信および送信レジスタは、DMA に対応しているため、このペリフェラルのサービスに伴うオーバーヘッドを大幅に低減できます。各 McBSP モジュールは、必要に応じて SPI として構成できます。
- SPI:** SPI は、高速な同期シリアル I/O ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル・ビット・ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。通常、SPI は、MCU と、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト・レジスタ、ディスプレイ・ドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスター / スレーブ動作によってサポートされています。2833x/2823x の SPI には、16 レベルの受信および送信 FIFO が内蔵されており、割り込みサービスのオーバーヘッドを低減できます。
- SCI:** シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル・ポートです。この SCI には、16 レベルの受信および送信 FIFO が内蔵されており、割り込みサービスのオーバーヘッドを低減できます。
- I2C:** I2C (Inter-Integrated Circuit) モジュールは、MCU と他のデバイスとの間のインターフェイスとして機能します。他のデバイスは、Philips Semiconductors の I2C バス (Inter-IC Bus) 規格バージョン 2.1 に準拠し、I2C バス経由で接続されている必要があります。この 2 線式シリアル・バスに接続されている外部コンポーネントは、I2C モジュールによって、MCU との間で最大 8 ビットのデータを送受信できます。2833x/2823x では、I2C に 16 レベルの受信および送信 FIFO が搭載されており、割り込みサービスのオーバーヘッドを低減できます。

8.2 ペリフェラル

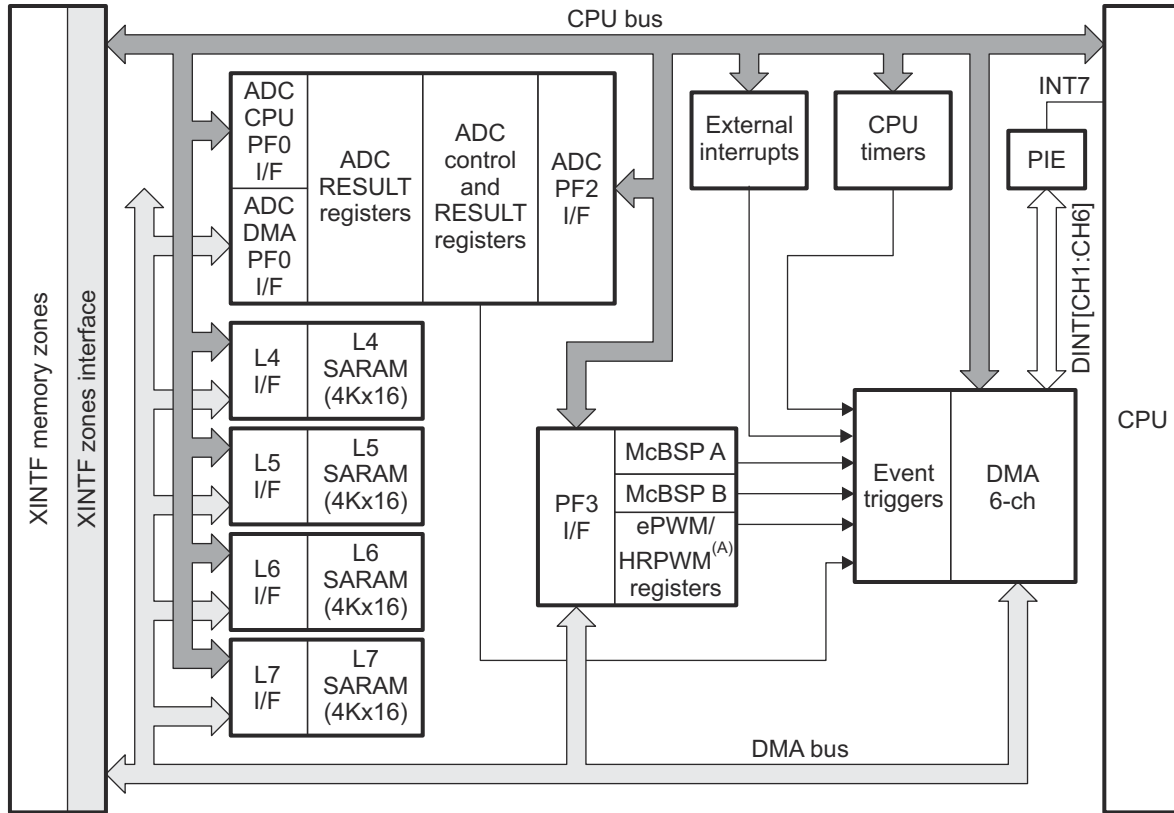
2833x および 2823x デバイスの内蔵ペリフェラル について、以下で説明します。

- 6 チャンネルのダイレクト・メモリ・アクセス (DMA)
- 3 つの 32 ビット・タイマ
- 最大 6 つの拡張 PWM モジュール (ePWM1、ePWM2、ePWM3、ePWM4、ePWM5、ePWM6)
- 最大 6 つの拡張キャプチャ・モジュール (eCAP1、eCAP2、eCAP3、eCAP4、eCAP5、eCAP6)
- 最大 2 つの拡張 QEP モジュール (eQEP1、eQEP2)
- 拡張 A/D コンバータ (ADC) モジュール
- 最大 2 つの拡張コントローラ・エリア・ネットワーク (eCAN) モジュール (eCAN-A、eCAN-B)
- 最大 3 つのシリアル通信インターフェイス・モジュール (SCI-A、SCI-B、SCI-C)
- 1 つのシリアル・ペリフェラル・インターフェイス (SPI) モジュール (SPI-A)
- I2C (Inter-Integrated Circuit) インターフェイス
- 最大 2 つのマルチチャンネル・バッファ付き・シリアル・ポート (McBSP-A、McBSP-B) モジュール
- デジタル I/O および共有ピン機能
- 外部インターフェイス (XINTF)

8.2.1 DMA の概要

特長:

- 独立した PIE 割り込みを備えた 6 チャンネル
- トリガ・ソース:
 - ePWM SOCA/SOCB
 - ADC シーケンサ 1 およびシーケンサ 2
 - McBSP-A および McBSP-B 送受信ロジック
 - XINT1~7 および XINT13
 - CPU タイマ
 - ソフトウェア
- データ転送元および転送先:
 - L4~L7 16K × 16 SARAM
 - すべての XINTF ゾーン
 - ADC メモリ・バスにマッピングされた結果レジスタ
 - McBSP-A および McBSP-B 送受信バッファ
 - ePWM レジスタ
- ワード・サイズ: 16 ビットまたは 32 ビット (McBSP は 16 ビットに限定)
- スループット: 4 サイクル/ワード (McBSP 読み取りの場合は 5 サイクル/ワード)



- A. ePWM および HRPWM レジスタは、DMA からアクセスできるようにするためには、PF3 に再マッピングする必要があります (MAPCNF レジスタのビット 0 による)。ePWM または HRPWM の DMA への接続は、シリコン・リビジョン 0 には存在しません。

図 8-1. DMA 機能ブロック図

8.2.2 32 ビット CPU タイマ 0、CPU タイマ 1、CPU タイマ 2

このデバイスには、3 つの 32 ビット CPU タイマがあります (CPU タイマ 0、CPU タイマ 1、CPU タイマ 2)。

CPU タイマ 2 は、DSP/BIOS または SYS/BIOS 用に予約されています。CPU タイマ 0 および CPU タイマ 1 は、ユーザー・アプリケーションで使用できます。これらのタイマは、ePWM モジュールに存在するタイマとは異なります。

注

アプリケーションで DSP/BIOS または SYS/BIOS を使用していない場合は、CPU タイマ 2 をアプリケーションで使用できます。

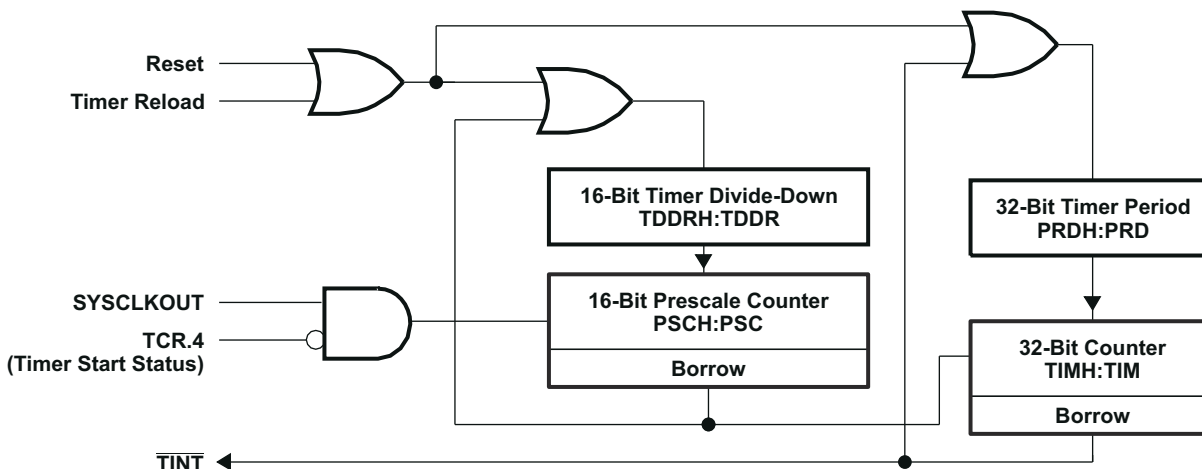
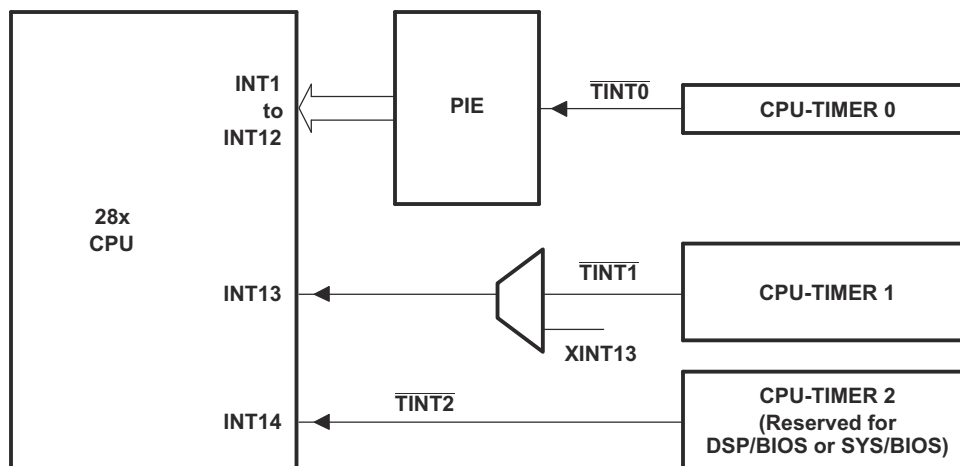


図 8-2. CPU タイマ

タイマ割り込み信号 ($\overline{TINT0}$ 、 $\overline{TINT1}$ 、 $\overline{TINT2}$) は、図 8-3 に示すように接続されています。



- A. タイマ・レジスタは、C28x プロセッサのメモリ・バスに接続されています。
- B. タイマのタイミングは、プロセッサ・クロックの SYSCLKOUT に同期しています。

図 8-3. CPU タイマの割り込み信号および出力信号

タイマ動作の概要は、次の通りです。32 ビット・カウンタ・レジスタ「TIMH:TIM」には、周期レジスタ「PRDH:PRD」の値がロードされます。カウンタ・レジスタは、C28x の SYSCLKOUT レートでデクリメントします。カウンタが 0 に達すると、タイマ割り込み出力信号が割り込みパルスを発生します。表 8-3 に示すレジスタは、タイマの設定に使用します。詳細については、『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御および割り込み」の章を参照してください。

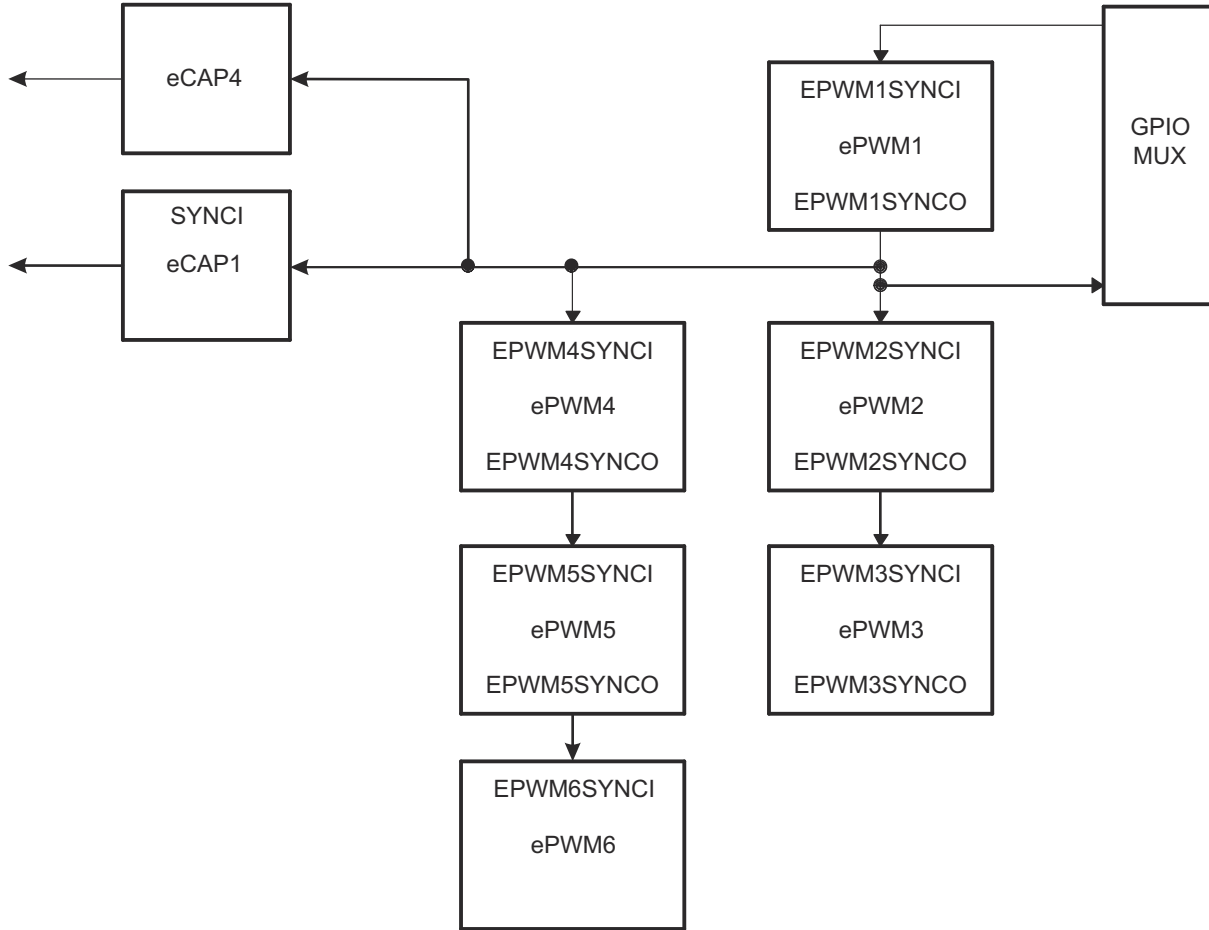
表 8-3. CPU タイマ 0、1、2 構成および制御レジスタ

名称	アドレス	サイズ (x16)	説明
TIMER0TIM	0x0C00	1	CPU タイマ 0、カウンタ・レジスタ
TIMER0TIMH	0x0C01	1	CPU タイマ 0、カウンタ・レジスタ (上位ワード)
TIMER0PRD	0x0C02	1	CPU タイマ 0、周期レジスタ
TIMER0PRDH	0x0C03	1	CPU タイマ 0、周期レジスタ (上位ワード)
TIMER0TCR	0x0C04	1	CPU タイマ 0、制御レジスタ
予約済み	0x0C05	1	
TIMER0TPR	0x0C06	1	CPU タイマ 0、プリスケール・レジスタ
TIMER0TPRH	0x0C07	1	CPU タイマ 0、プリスケール・レジスタ (上位ワード)
TIMER1TIM	0x0C08	1	CPU タイマ 1、カウンタ・レジスタ
TIMER1TIMH	0x0C09	1	CPU タイマ 1、カウンタ・レジスタ (上位ワード)
TIMER1PRD	0x0C0A	1	CPU タイマ 1、周期レジスタ
TIMER1PRDH	0x0C0B	1	CPU タイマ 1、周期レジスタ (上位ワード)
TIMER1TCR	0x0C0C	1	CPU タイマ 1、制御レジスタ
予約済み	0x0C0D	1	
TIMER1TPR	0x0C0E	1	CPU タイマ 1、プリスケール・レジスタ
TIMER1TPRH	0x0C0F	1	CPU タイマ 1、プリスケール・レジスタ (上位ワード)
TIMER2TIM	0x0C10	1	CPU タイマ 2、カウンタ・レジスタ
TIMER2TIMH	0x0C11	1	CPU タイマ 2、カウンタ・レジスタ (上位ワード)
TIMER2PRD	0x0C12	1	CPU タイマ 2、周期レジスタ
TIMER2PRDH	0x0C13	1	CPU タイマ 2、周期レジスタ (上位ワード)
TIMER2TCR	0x0C14	1	CPU タイマ 2、制御レジスタ
予約済み	0x0C15	1	
TIMER2TPR	0x0C16	1	CPU タイマ 2、プリスケール・レジスタ
TIMER2TPRH	0x0C17	1	CPU タイマ 2、プリスケール・レジスタ (上位ワード)
予約済み	0x0C18~0x0C3F	40	

8.2.3 拡張 PWM モジュール

2833x/2823x デバイスには、最大 6 個の拡張 PWM (ePWM) モジュール (ePWM1~ePWM6) が搭載されています。
 図 8-4 に、時間ベース・カウンタ同期方式 3 を示します。図 8-5 に、ePWM との信号相互接続を示します。

表 8-4 に、モジュールごとの ePWM レジスタ全体のセットを示し、表 8-5 に再マッピングされたレジスタ構成を示します。



- A. デフォルトでは、ePWM および HRPWM レジスタはペリフェラル・フレーム 1 (PF1) にマップされます。この構成を表 8-4 に示します。レジスタをペリフェラル・フレーム 3 (PF3) に再マップして DMA アクセスをイネーブルにするためには、MAPCNF レジスタ (アドレス 0x702E) のビット 0 (MAPEPWM) を 1 に設定する必要があります。表 8-5 に、再マップされた設定を示します。

図 8-4. 時間ベース・カウンタ同期方式 3

表 8-4. ePWM 制御およびステータス・レジスタ (PF1 でのデフォルト構成)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	サイズ (x16) / シャドウの数	説明
TBCTL	0x6800	0x6840	0x6880	0x68C0	0x6900	0x6940	1 / 0	時間ベース制御レジスタ
TBSTS	0x6801	0x6841	0x6881	0x68C1	0x6901	0x6941	1 / 0	時間ベース・ステータス・レジスタ
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	0x6902	0x6942	1 / 0	時間ベース位相 HRPWM レジスタ
TBPHS	0x6803	0x6843	0x6883	0x68C3	0x6903	0x6943	1 / 0	時間ベース位相レジスタ
TBCTR	0x6804	0x6844	0x6884	0x68C4	0x6904	0x6944	1 / 0	時間ベース・カウンタ・レジスタ
TBPRD	0x6805	0x6845	0x6885	0x68C5	0x6905	0x6945	1 / 1	時間ベース周期レジスタ・セット
CMPCTL	0x6807	0x6847	0x6887	0x68C7	0x6907	0x6947	1 / 0	カウンタ比較制御レジスタ
CMPAHR	0x6808	0x6848	0x6888	0x68C8	0x6908	0x6948	1 / 1	時間ベース比較 A HRPWM レジスタ
CMPA	0x6809	0x6849	0x6889	0x68C9	0x6909	0x6949	1 / 1	カウンタ比較 A レジスタ・セット
CMPB	0x680A	0x684A	0x688A	0x68CA	0x690A	0x694A	1 / 1	カウンタ比較 B レジスタ・セット
AQCTLA	0x680B	0x684B	0x688B	0x68CB	0x690B	0x694B	1 / 0	出力 A のアクション・フィルタ制御レジスタ
AQCTLB	0x680C	0x684C	0x688C	0x68CC	0x690C	0x694C	1 / 0	出力 B のアクション・フィルタ制御レジスタ
AQSFRC	0x680D	0x684D	0x688D	0x68CD	0x690D	0x694D	1 / 0	アクション・フィルタ・ソフトウェア強制レジスタ
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	0x690E	0x694E	1 / 1	アクション・フィルタ連続ソフトウェア強制レジスタ・セット
DBCTL	0x680F	0x684F	0x688F	0x68CF	0x690F	0x694F	1 / 1	デッドバンド・ジェネレータ制御レジスタ
DBRED	0x6810	0x6850	0x6890	0x68D0	0x6910	0x6950	1 / 0	デッドバンド・ジェネレータ立ち上がりエッジ遅延カウント・レジスタ
DBFED	0x6811	0x6851	0x6891	0x68D1	0x6911	0x6951	1 / 0	デッドバンド・ジェネレータ立ち下がりエッジ遅延カウント・レジスタ
TZSEL	0x6812	0x6852	0x6892	0x68D2	0x6912	0x6952	1 / 0	トリップ・ゾーン選択レジスタ ⁽¹⁾
TZCTL	0x6814	0x6854	0x6894	0x68D4	0x6914	0x6954	1 / 0	トリップ・ゾーン制御レジスタ ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	0x6915	0x6955	1 / 0	トリップ・ゾーン・イネーブル割り込みレジスタ ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	0x6916	0x6956	1 / 0	トリップ・ゾーン・フラグ・レジスタ
TZCLR	0x6817	0x6857	0x6897	0x68D7	0x6917	0x6957	1 / 0	トリップ・ゾーン・クリア・レジスタ ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	0x6918	0x6958	1 / 0	トリップ・ゾーン強制レジスタ ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	0x6919	0x6959	1 / 0	イベント・トリガ選択レジスタ
ETPS	0x681A	0x685A	0x689A	0x68DA	0x691A	0x695A	1 / 0	イベント・トリガ・プリスケール・レジスタ
ETFLG	0x681B	0x685B	0x689B	0x68DB	0x691B	0x695B	1 / 0	イベント・トリガ・フラグ・レジスタ
ETCLR	0x681C	0x685C	0x689C	0x68DC	0x691C	0x695C	1 / 0	イベント・トリガ・クリア・レジスタ
ETFRC	0x681D	0x685D	0x689D	0x68DD	0x691D	0x695D	1 / 0	イベント・トリガ強制レジスタ
PCCTL	0x681E	0x685E	0x689E	0x68DE	0x691E	0x695E	1 / 0	PWM チョップ制御レジスタ
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	0x6920	0x6960	1 / 0	HRPWM 構成レジスタ ⁽¹⁾

(1) EALLOW 保護されたレジスタ。

表 8-5. ePWM 制御およびステータス・レジスタ (PF3 に構成を再マッピング - DMA アクセス可能)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	サイズ (x16) / シャドウの数	説明
TBCTL	0x5800	0x5840	0x5880	0x58C0	0x5900	0x5940	1 / 0	時間ベース制御レジスタ
TBSTS	0x5801	0x5841	0x5881	0x58C1	0x5901	0x5941	1 / 0	時間ベース・ステータス・レジスタ
TBPHSHR	0x5802	0x5842	0x5882	0x58C2	0x5902	0x5942	1 / 0	時間ベース位相 HRPWM レジスタ
TBPHS	0x5803	0x5843	0x5883	0x58C3	0x5903	0x5943	1 / 0	時間ベース位相レジスタ
TBCTR	0x5804	0x5844	0x5884	0x58C4	0x5904	0x5944	1 / 0	時間ベース・カウンタ・レジスタ
TBPRD	0x5805	0x5845	0x5885	0x58C5	0x5905	0x5945	1 / 1	時間ベース周期レジスタ・セット
CMPCTL	0x5807	0x5847	0x5887	0x58C7	0x5907	0x5947	1 / 0	カウンタ比較制御レジスタ
CMPAHR	0x5808	0x5848	0x5888	0x58C8	0x5908	0x5948	1 / 1	時間ベース比較 A HRPWM レジスタ
CMPA	0x5809	0x5849	0x5889	0x58C9	0x5909	0x5949	1 / 1	カウンタ比較 A レジスタ・セット
CMPB	0x580A	0x584A	0x588A	0x58CA	0x590A	0x594A	1 / 1	カウンタ比較 B レジスタ・セット
AQCTLA	0x580B	0x584B	0x588B	0x58CB	0x590B	0x594B	1 / 0	出力 A のアクション・フィルタ制御レジスタ
AQCTLB	0x580C	0x584C	0x588C	0x58CC	0x590C	0x594C	1 / 0	出力 B のアクション・フィルタ制御レジスタ
AQSFRC	0x580D	0x584D	0x588D	0x58CD	0x590D	0x594D	1 / 0	アクション・フィルタ・ソフトウェア強制レジスタ
AQCSFRC	0x580E	0x584E	0x588E	0x58CE	0x590E	0x594E	1 / 1	アクション・フィルタ連続ソフトウェア強制レジスタ・セット
DBCTL	0x580F	0x584F	0x588F	0x58CF	0x590F	0x594F	1 / 1	デッドバンド・ジェネレータ制御レジスタ
DBRED	0x5810	0x5850	0x5890	0x58D0	0x5910	0x5950	1 / 0	デッドバンド・ジェネレータ立ち上がりエッジ遅延カウント・レジスタ
DBFED	0x5811	0x5851	0x5891	0x58D1	0x5911	0x5951	1 / 0	デッドバンド・ジェネレータ立ち下がりエッジ遅延カウント・レジスタ
TZSEL	0x5812	0x5852	0x5892	0x58D2	0x5912	0x5952	1 / 0	トリップ・ゾーン選択レジスタ ⁽¹⁾
TZCTL	0x5814	0x5854	0x5894	0x58D4	0x5914	0x5954	1 / 0	トリップ・ゾーン制御レジスタ ⁽¹⁾
TZEINT	0x5815	0x5855	0x5895	0x58D5	0x5915	0x5955	1 / 0	トリップ・ゾーン・イネーブル割り込みレジスタ ⁽¹⁾
TZFLG	0x5816	0x5856	0x5896	0x58D6	0x5916	0x5956	1 / 0	トリップ・ゾーン・フラグ・レジスタ
TZCLR	0x5817	0x5857	0x5897	0x58D7	0x5917	0x5957	1 / 0	トリップ・ゾーン・クリア・レジスタ ⁽¹⁾
TZFRC	0x5818	0x5858	0x5898	0x58D8	0x5918	0x5958	1 / 0	トリップ・ゾーン強制レジスタ ⁽¹⁾
ETSEL	0x5819	0x5859	0x5899	0x58D9	0x5919	0x5959	1 / 0	イベント・トリガ選択レジスタ
ETPS	0x581A	0x585A	0x589A	0x58DA	0x591A	0x595A	1 / 0	イベント・トリガ・プリスケール・レジスタ
ETFLG	0x581B	0x585B	0x589B	0x58DB	0x591B	0x595B	1 / 0	イベント・トリガ・フラグ・レジスタ
ETCLR	0x581C	0x585C	0x589C	0x58DC	0x591C	0x595C	1 / 0	イベント・トリガ・クリア・レジスタ
ETFRC	0x581D	0x585D	0x589D	0x58DD	0x591D	0x595D	1 / 0	イベント・トリガ強制レジスタ
PCCTL	0x581E	0x585E	0x589E	0x58DE	0x591E	0x595E	1 / 0	PWM チョップ制御レジスタ
HRCNFG	0x5820	0x5860	0x58A0	0x58E0	0x5920	0x5960	1 / 0	HRPWM 構成レジスタ ⁽¹⁾

(1) EALLOW 保護されたレジスタ。

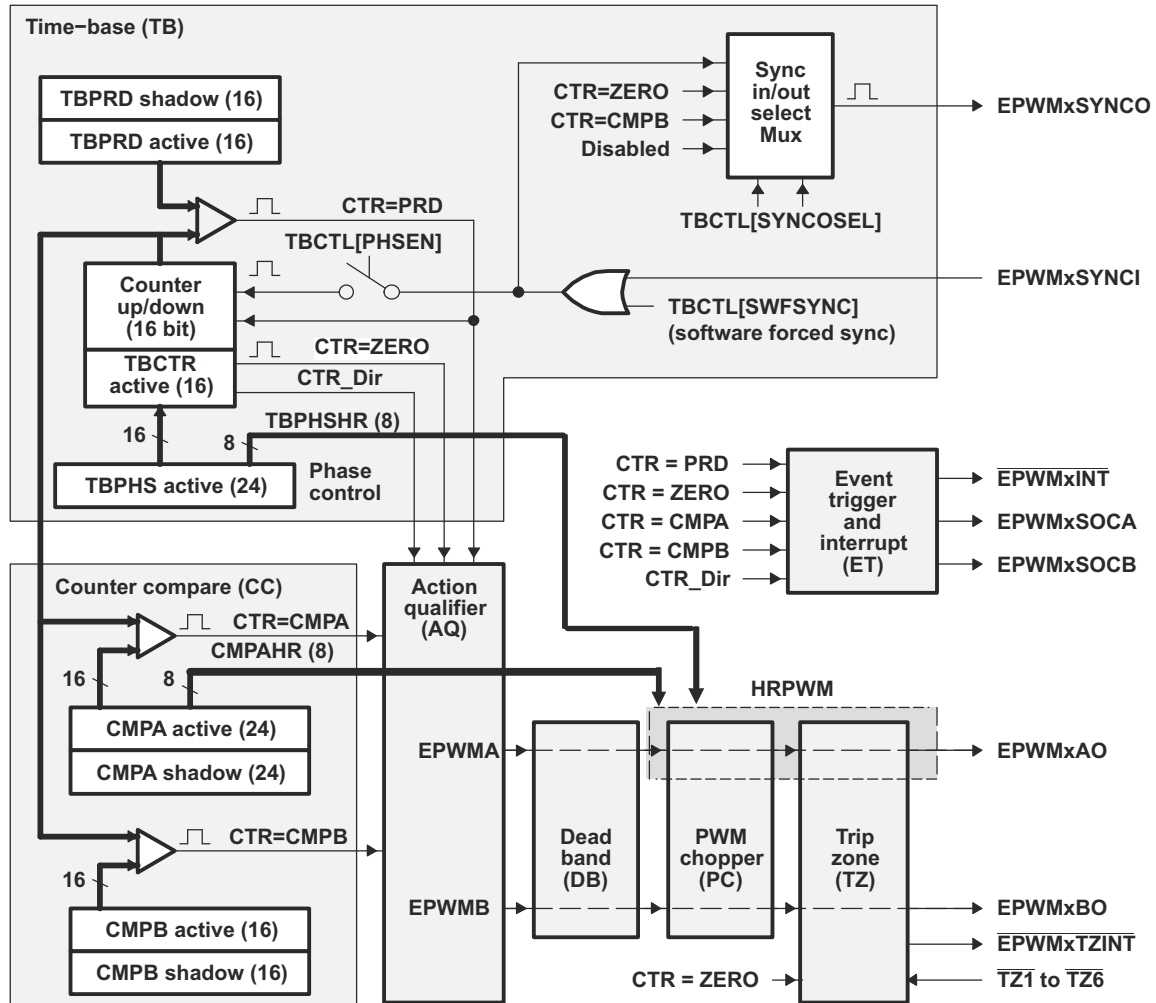


図 8-5. 重要な内部の信号相互接続を示す ePWM サブモジュール

8.2.4 高分解能 PWM (HRPWM)

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- 通常は、実効 PWM 分解能が約 9 ビットまたは 10 ビットを下回るときに使用されます。これは、100MHz の CPU / システム・クロックを使用する場合、約 200kHz を超える PWM 周波数で発生します。
- この機能は、デューティ・サイクルと位相シフトの両方の制御方式で使用できます。
- ePWM モジュールの比較 A レジスタと位相レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御できます。
- HRPWM 機能は、ePWM モジュールの A 信号パス (すなわち、EPWMAx 出力) でのみ提供されます。EPWMBx 出力は、従来の PWM 機能を備えています。

8.2.5 拡張 CAP モジュール

2833x/2823x デバイスには、最大 6 つの拡張キャプチャ (eCAP) モジュールが搭載されています (eCAP1~eCAP6)。モジュールの機能ブロック図を 図 8-6 に示します。

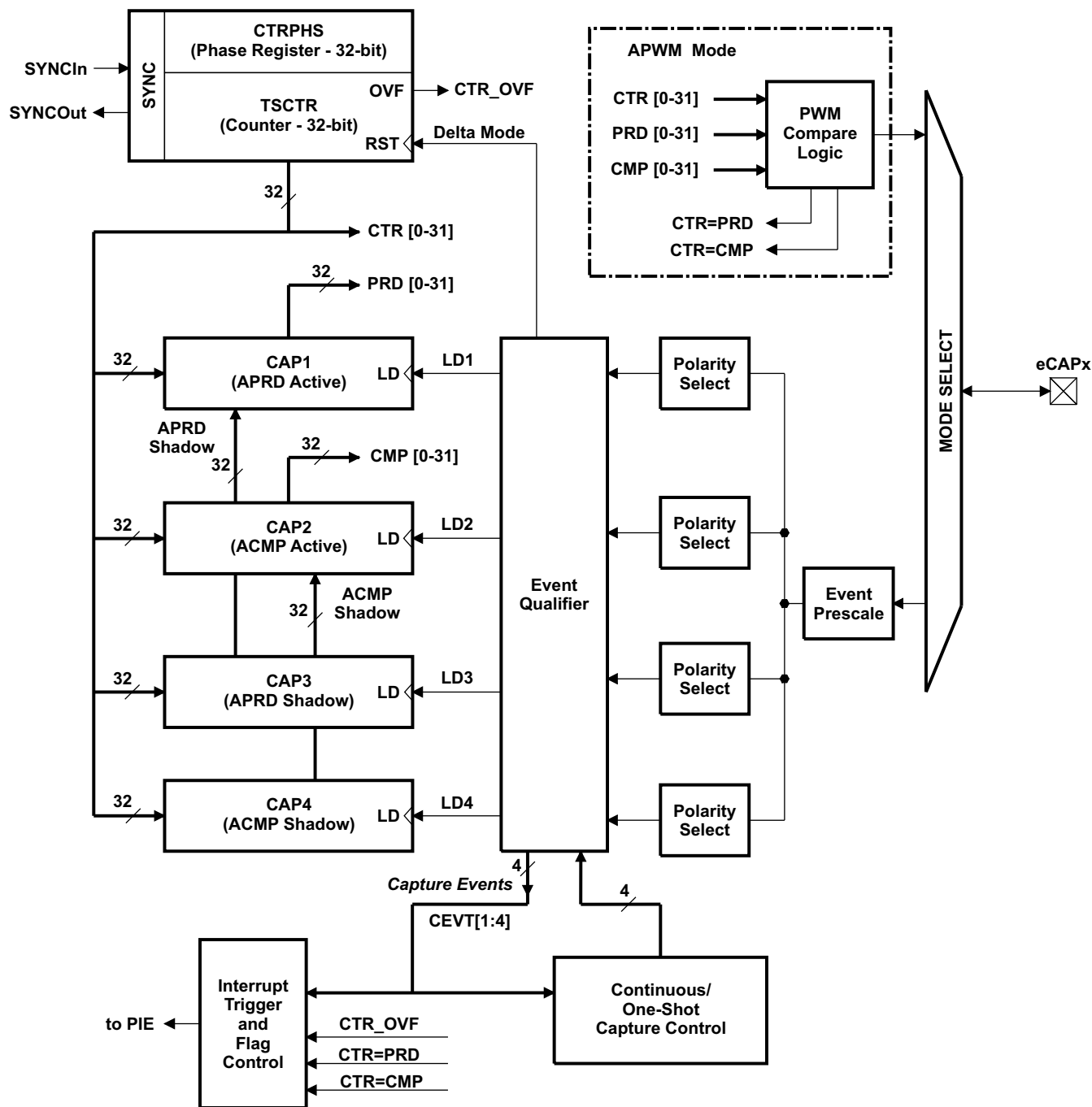


図 8-6. eCAP 機能ブロック図

eCAP モジュールは、SYSCLKOUT レートでクロック供給されます。

PCLKCR1 レジスタのクロック・イネーブル・ビット (ECAP1ENCLK、ECAP2ENCLK、ECAP3ENCLK、ECAP4ENCLK、ECAP5ENCLK、ECAP6ENCLK) を使って、eCAP モジュールを個別にオフにします (低消費電力動作のため)。リセット時には、ECAP1ENCLK、ECAP2ENCLK、ECAP3ENCLK、ECAP4ENCLK、ECAP5ENCLK、ECAP6ENCLK が LOW に設定され、ペリフェラル・クロックがオフであることを示します。

表 8-6. eCAP 制御およびステータス・レジスタ

名称	eCAP1	eCAP2	eCAP3	eCAP4	eCAP5	eCAP6	サイズ (x16)	説明
TSCTR	0x6A00	0x6A20	0x6A40	0x6A60	0x6A80	0x6AA0	2	タイムスタンプ・カウンタ
CTRPHS	0x6A02	0x6A22	0x6A42	0x6A62	0x6A82	0x6AA2	2	カウンタ位相オフセット値レジスタ
CAP1	0x6A04	0x6A24	0x6A44	0x6A64	0x6A84	0x6AA4	2	キャプチャ 1 レジスタ
CAP2	0x6A06	0x6A26	0x6A46	0x6A66	0x6A86	0x6AA6	2	キャプチャ 2 レジスタ
CAP3	0x6A08	0x6A28	0x6A48	0x6A68	0x6A88	0x6AA8	2	キャプチャ 3 レジスタ
CAP4	0x6A0A	0x6A2A	0x6A4A	0x6A6A	0x6A8A	0x6AAA	2	キャプチャ 4 レジスタ
予約済み	0x6A0C~ 0x6A12	0x6A2C~ 0x6A32	0x6A4C~ 0x6A52	0x6A6C~ 0x6A72	0x6A8C~ 0x6A92	0x6AAC ~ 0x6AB2	8	予約済み
ECCTL1	0x6A14	0x6A34	0x6A54	0x6A74	0x6A94	0x6AB4	1	キャプチャ制御レジスタ 1
ECCTL2	0x6A15	0x6A35	0x6A55	0x6A75	0x6A95	0x6AB5	1	キャプチャ制御レジスタ 2
EECEINT	0x6A16	0x6A36	0x6A56	0x6A76	0x6A96	0x6AB6	1	キャプチャ割り込みイネーブル・レジスタ
ECFLG	0x6A17	0x6A37	0x6A57	0x6A77	0x6A97	0x6AB7	1	キャプチャ割り込みフラグ・レジスタ
ECCLR	0x6A18	0x6A38	0x6A58	0x6A78	0x6A98	0x6AB8	1	キャプチャ割り込みクリア・レジスタ
ECFRC	0x6A19	0x6A39	0x6A59	0x6A79	0x6A99	0x6AB9	1	キャプチャ割り込み強制レジスタ
予約済み	0x6A1A~ 0x6A1F	0x6A3A~ 0x6A3F	0x6A5A~ 0x6A5F	0x6A7A~ 0x6A7F	0x6A9A~ 0x6A9F	0x6ABA ~ 0x6ABF	6	予約済み

8.2.6 拡張 QEP モジュール

このデバイスには、最大 2 個の拡張直交エンコーダ (eQEP) モジュール (eQEP1、eQEP2) が搭載されています。図 8-7 に、QEP モジュールのブロック図を示します。

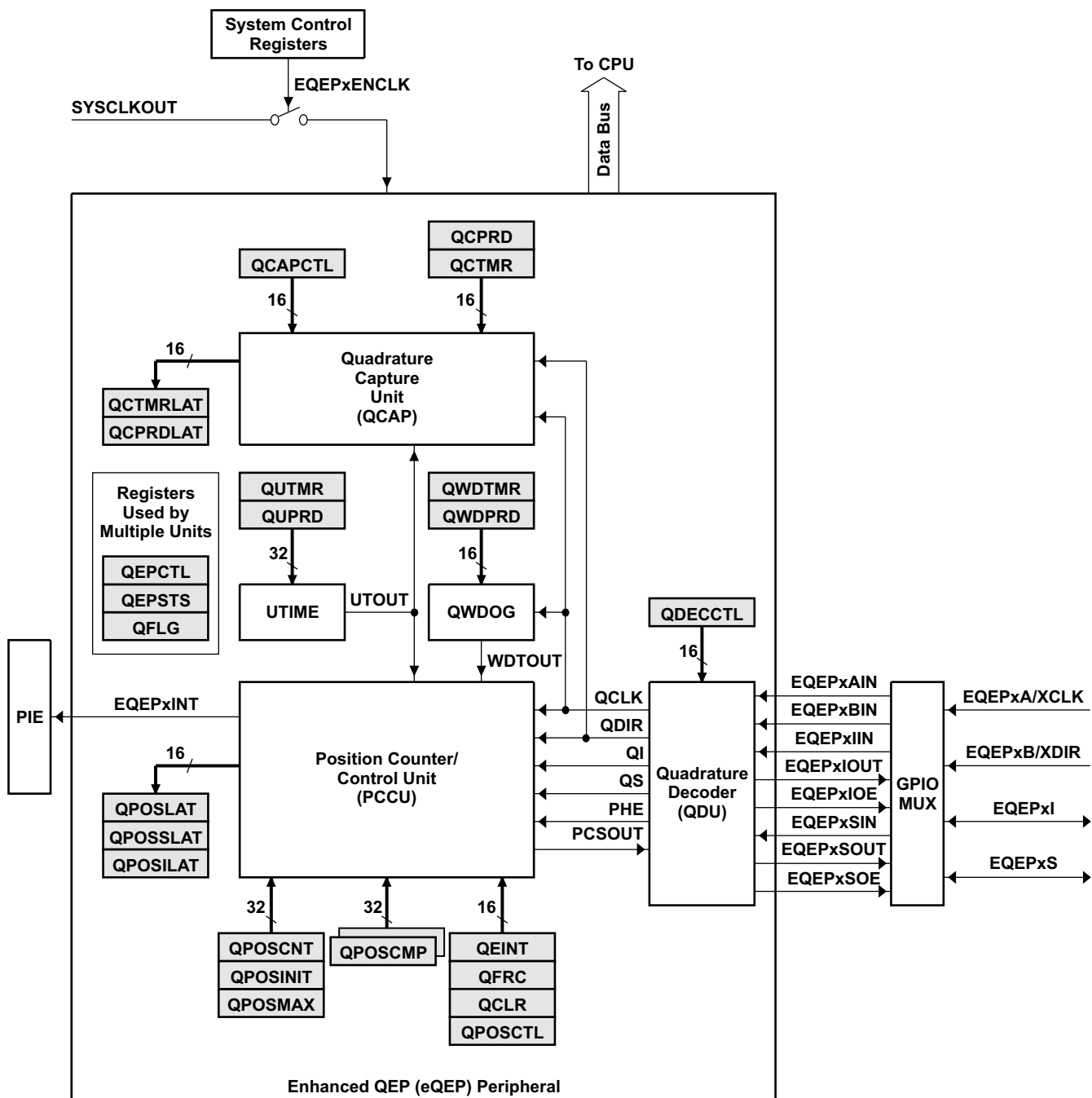


図 8-7. eQEP 機能ブロック図

表 8-7 に、eQEP レジスタの概要を示します。

表 8-7. eQEP 制御およびステータス・レジスタ

名称	eQEP1 アドレス	eQEP2 アドレス	eQEP1 サイズ (x16)/ シャドウの数	レジスタの説明
QPOSCNT	0x6B00	0x6B40	2/0	eQEP 位置カウンタ
QPOSINIT	0x6B02	0x6B42	2/0	eQEP 初期化位置カウンタ
QPOSMAX	0x6B04	0x6B44	2/0	eQEP 最大位置カウンタ
QPOSCMP	0x6B06	0x6B46	2/1	eQEP 位置比較
QPOSILAT	0x6B08	0x6B48	2/0	eQEP インデックス位置ラッチ
QPOSSLAT	0x6B0A	0x6B4A	2/0	eQEP ストロープ位置ラッチ
QOSLAT	0x6B0C	0x6B4C	2/0	eQEP 位置ラッチ
QUTMR	0x6B0E	0x6B4E	2/0	eQEP ユニット・タイマ
QUPRD	0x6B10	0x6B50	2/0	eQEP ユニット周期レジスタ
QWDTMR	0x6B12	0x6B52	1/0	eQEP ウォッチドッグ・タイマ
QWDPRD	0x6B13	0x6B53	1/0	eQEP ウォッチドッグ周期レジスタ
QDECCTL	0x6B14	0x6B54	1/0	eQEP デコーダ制御レジスタ
QEPCTL	0x6B15	0x6B55	1/0	eQEP 制御レジスタ
QCAPCTL	0x6B16	0x6B56	1/0	eQEP キャプチャ制御レジスタ
QPOSCTL	0x6B17	0x6B57	1/0	eQEP 位置比較制御レジスタ
QEINT	0x6B18	0x6B58	1/0	eQEP 割り込みイネーブル・レジスタ
QFLG	0x6B19	0x6B59	1/0	eQEP 割り込みフラグ・レジスタ
QCLR	0x6B1A	0x6B5A	1/0	eQEP 割り込みクリア・レジスタ
QFRC	0x6B1B	0x6B5B	1/0	eQEP 割り込み強制レジスタ
QEPSTS	0x6B1C	0x6B5C	1/0	eQEP ステータス・レジスタ
QCTMR	0x6B1D	0x6B5D	1/0	eQEP キャプチャ・タイマ
QCPRD	0x6B1E	0x6B5E	1/0	eQEP キャプチャ周期レジスタ
QCTMRLAT	0x6B1F	0x6B5F	1/0	eQEP キャプチャ・タイマ・ラッチ
QCPRDLAT	0x6B20	0x6B60	1/0	eQEP キャプチャ周期ラッチ
予約済み	0x6B21~ 0x6B3F	0x6B61~ 0x6B7F	31/0	

8.2.7 A/D コンバータ (ADC) モジュール

ADC モジュールの簡略化されたブロック図を [図 8-8](#) に示します。ADC モジュールは、サンプル・アンド・ホールド (S/H) 回路を内蔵した 12 ビット ADC で構成されています。ADC モジュールの機能は次のとおりです。

- S/H 機能を内蔵した 12 ビット ADC コア
- アナログ入力: 0.0V~3.0V (3.0V を超える電圧の変換結果は、フルスケールになります)。
- 高速変換レート: 25MHz の ADC クロックで最速 80ns、12.5MSPS
- 16 個の専用 ADC チャンネル各サンプル / ホールドに 8 チャンネルを多重化
- 自動シーケンシング機能により、1 つのセッションで最大 16 の「自動変換」を実現。それぞれの変換は、16 の入力チャンネルのいずれかを選択するようにプログラム可能
- シーケンサは、2 つの独立した 8 ステート・シーケンサ、または 1 つの大きい 16 ステート・シーケンサ (2 つのカスケード接続された 8 ステート・シーケンサ) として動作可能
- 変換値を格納する 16 個の結果レジスタ (個別にアドレス指定可能)

- 入力アナログ電圧のデジタル値は、次の式で求められます。

$$\text{Digital Value} = 0 \quad , \text{ when } \text{ADCIN} \leq \text{ADCLO}$$

$$\text{Digital Value} = \text{floor} \left(4096 \times \frac{\text{ADCIN} - \text{ADCLO}}{3} \right) \quad , \text{ when } \text{ADCLO} < \text{ADCIN} < 3 \text{ V}$$

$$\text{Digital Value} = 4095 \quad , \text{ when } \text{ADCIN} \geq 3 \text{ V}$$

- 変換開始 (SOC) シーケンスのソースとして複数のトリガを使用可能
 - S/W - ソフトウェア即時起動
 - ePWM 変換開始
 - XINT2 ADC 変換開始
- 柔軟な割り込み制御により、すべての EOS (End-Of-Sequence、シーケンス終了)、または 1 つおきの EOS に対する割り込み要求が可能。
- シーケンサは「スタート / ストップ」モードで動作できるため、複数の「時間シーケンス・トリガ」を使用して変換を同期可能。
- SOCA および SOCB トリガは、デュアル・シーケンサ・モードで独立して動作可能。
- サンプル・アンド・ホールド (S/H) アクイジション時間ウィンドウに、個別のプリスケール制御。

2833x/2823x デバイスの ADC モジュールは、ePWM ペリフェラルへの柔軟なインターフェイスを提供するよう強化されています。ADC インターフェイスは、高速な 12 ビット ADC モジュールを中心に構築されており、25MHz の ADC クロックで最大 80ns の高速変換レートを実現します。ADC モジュールには 16 のチャンネルがあり、2 つの独立した 8 チャンネル・モジュールとして構成できます。2 つの独立した 8 チャンネル・モジュールをカスケード接続して、16 チャンネル・モジュールを形成できます。複数の入力チャンネルと 2 つのシーケンサがありますが、ADC モジュールには 1 つのコンバータしかありません。[図 8-8](#) に、ADC モジュールのブロック図を示します。

2 つの 8 チャンネル・モジュールには一連の変換を自動シーケンシング化する機能があり、各モジュールは、アナログ・マルチプレクサを介して利用可能な 8 つのチャンネルのいずれかを選択できます。カスケード・モードでは、自動シーケンサは単一の 16 チャンネル・シーケンサとして機能します。各シーケンサでは、変換が完了すると、選択したチャンネル値がそれぞれの結果レジスタに保存されます。自動シーケンシングにより、システムは同じチャンネルを複数回変換できるため、ユーザーはオーバーサンプリング・アルゴリズムを実行できます。これにより、従来のシングル・サンプリングの変換結果よりも高い分解能が得られます。

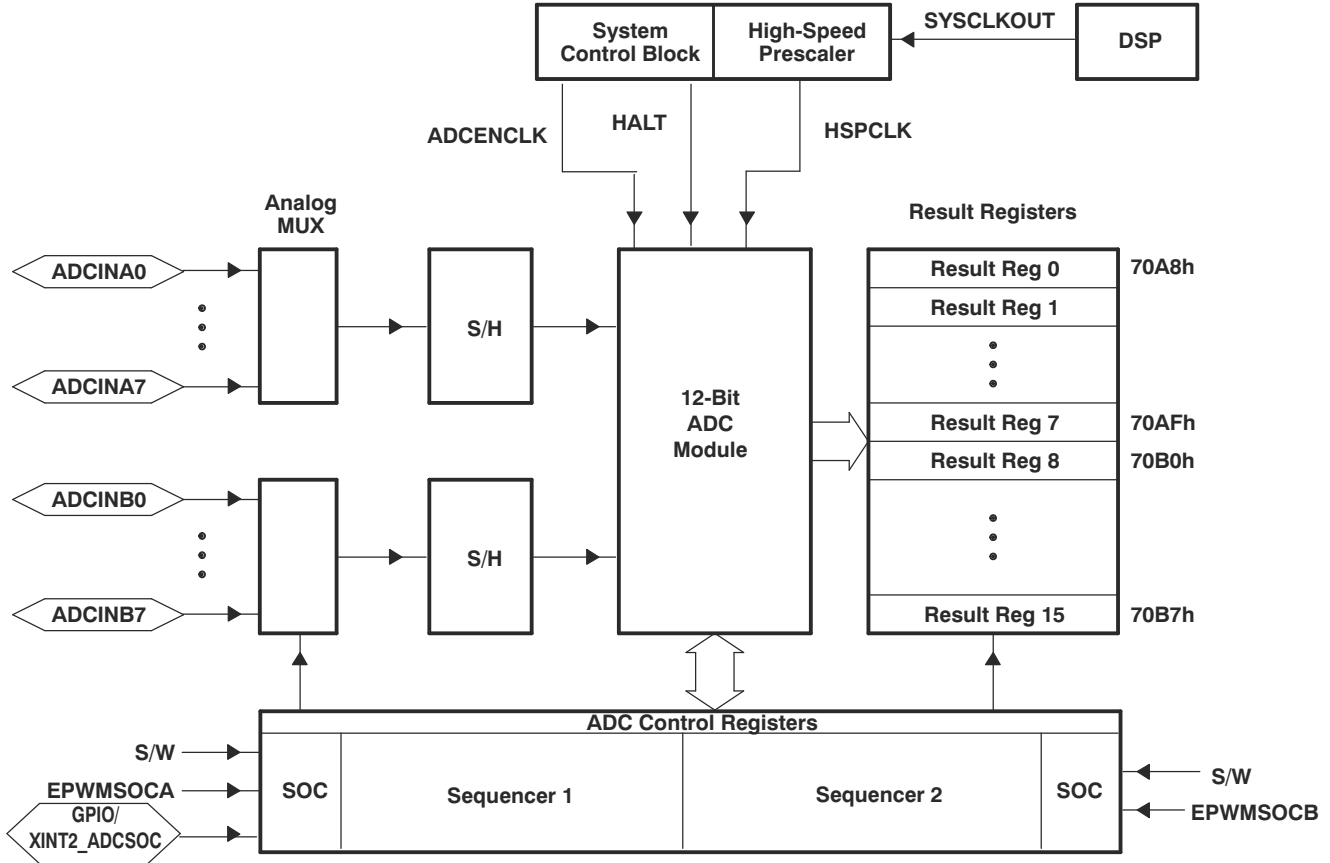


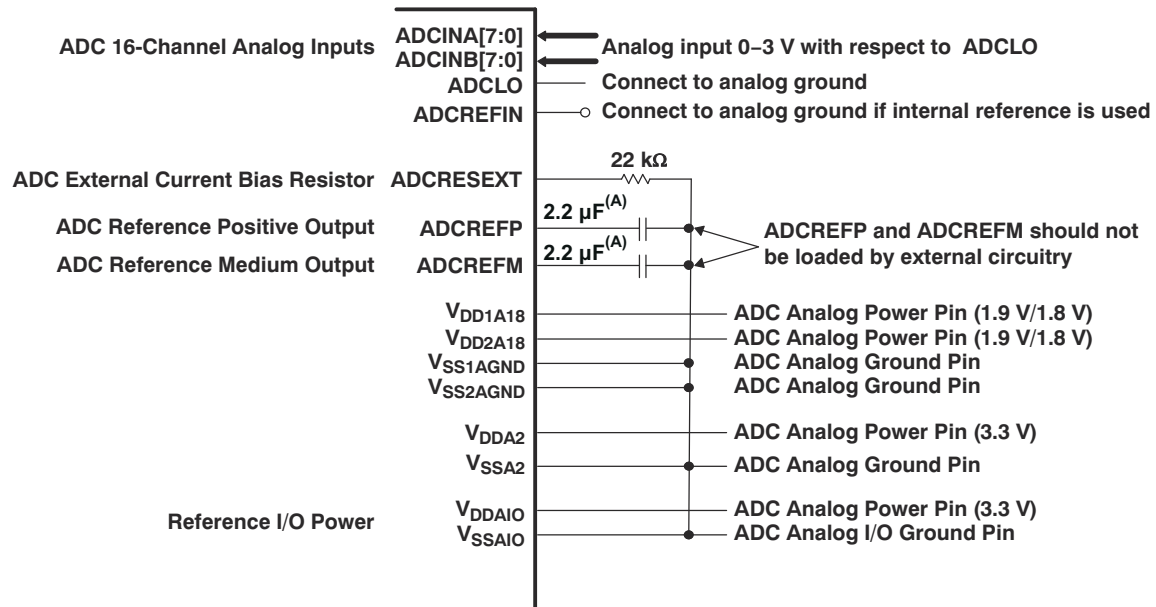
図 8-8. ADC モジュールのブロック図

ADC の仕様どおりの精度を得るには、適切な基板レイアウトが非常に重要です。可能な限り、ADCIN ピンにつながるトレースは、デジタル信号パスの近くを通さないようにしてください。これは、デジタル・ラインのスイッチング・ノイズが ADC 入力と結合するのを最小限に抑えるためです。さらに、ADC モジュールの電源ピン (V_{DD1A18} 、 V_{DD2A18} 、 V_{DDA2} 、 V_{DDAIO}) について、適切な絶縁手法を使ってデジタル電源から絶縁する必要があります。図 8-9 に、デバイスの ADC ピン接続を示します。

注

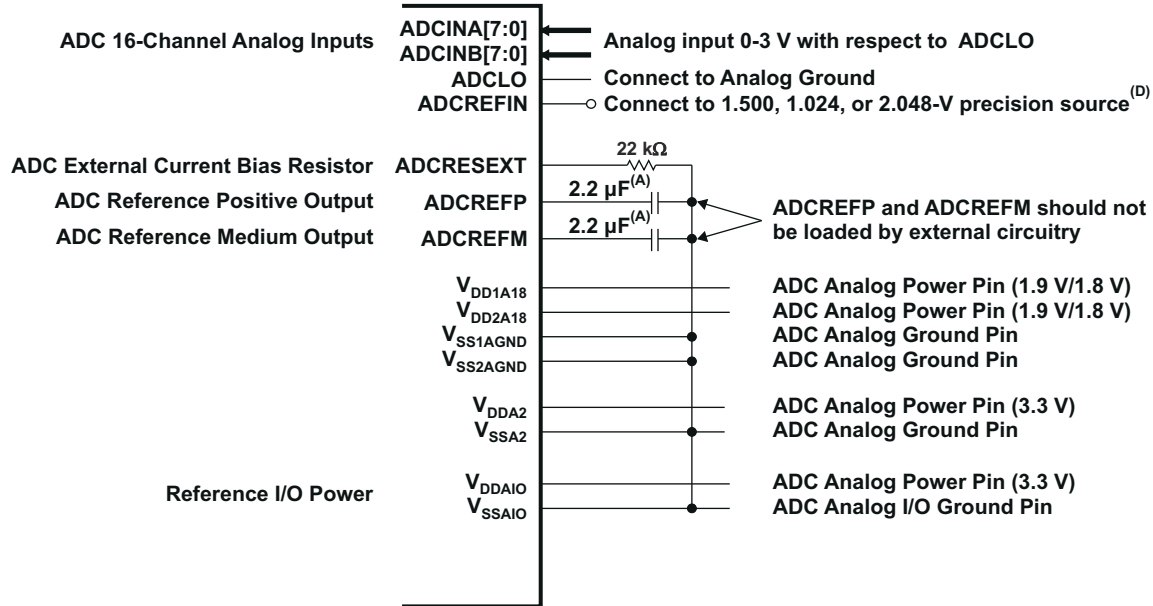
- ADC レジスタには SYSCLKOUT レートでアクセスします。ADC モジュールの内部タイミングは、高速パルフェラル・クロック (HSPCLK) によって制御されます。
- ADCENCLK および HALT 信号の状態に基づく ADC モジュールの動作は次のとおりです。
 - ADCENCLK**: リセット時に、この信号は LOW になります。リセットがアクティブ LOW (\overline{XRS}) の間、レジスタへのクロックは引き続き機能します。これは、すべてのレジスタとモードがデフォルトのリセット状態になるようにするために必要です。ただし、アナログ・モジュールは、低消費電力の非アクティブ状態になります。リセットが HIGH になると、直ちにレジスタへのクロックがディセーブルになります。ADCENCLK 信号を HIGH に設定すると、レジスタへのクロックがイネーブルになり、また、アナログ・モジュールがイネーブルになります。ADC が安定して使用できるようになるまでには、いくらかの時間遅延 (ms 範囲) があります。
 - HALT**: このモードは、アナログ・モジュールにのみ影響を及ぼします。レジスタには影響を与えません。このモードでは、ADC モジュールは低消費電力モードに移行します。また、このモードでは CPU へのクロックが停止し、HSPCLK が停止します。したがって、ADC レジスタ・ロジックは間接的にオフになります。

図 8-9 に、内部基準電圧の ADC ピン・バイアス、図 8-10 に、外部基準電圧の ADC ピン・バイアスを示します。



- A. 太陽誘電 LMK212BJ225MG-T または相当品
- B. すべての電源ピンに外付けデカップリング・コンデンサを推奨します。
- C. アナログ入力は、ADC の性能を低下させないオペアンプから駆動する必要があります。

図 8-9. 内部基準電圧での ADC ピンの接続



- 太陽誘電 LMK212BJ225MG-T または相当品
- すべての電源ピンに外付けデカップリング・コンデンサを推奨します。
- アナログ入力は、ADC の性能を低下させないオペアンプから駆動する必要があります。
- ADCREFIN の外部電圧は、このピンで使用される電圧に応じて、ADC 基準電圧選択レジスタのビット 15:14 を変更することでイネーブルになります。2.048V の生成には TI の部品 REF3020 または相当品を推奨します。全体のゲイン精度は、この電圧源の精度によって決まります。

図 8-10. 外部基準電圧での ADC ピン接続

注

推奨部品の温度定格は、最終製品の定格に適合している必要があります。

8.2.7.1 ADC を使用しない場合の ADC 接続

ADC を使用しない場合でも、アナログ電源ピンの接続は維持することを推奨します。以下に、ADC をアプリケーションで使用しない場合に ADC ピンを接続する方法の概要を示します。

- $V_{DD1A18}/V_{DD2A18} - V_{DD}$ へ接続
- $V_{DDA2}, V_{DDAIO} - V_{DDIO}$ へ接続
- $V_{SS1AGND}/V_{SS2AGND}, V_{SSA2}, V_{SSAIO} - V_{SS}$ へ接続
- $ADCLO - V_{SS}$ へ接続
- $ADCREFIN - V_{SS}$ へ接続
- $ADCREFP/ADCREFM - 100\text{nF}$ のコンデンサを介して V_{SS} へ接続
- $ADCRESEXT - 20\text{k}\Omega$ の抵抗 (非常に粗い誤差で可) を介して V_{SS} へ接続
- $ADCINAn, ADCINBn - V_{SS}$ へ接続

ADC を使用しないときは、消費電力を削減するために、ADC モジュールへのクロックがオンになっていないことを確認してください。

ADC モジュールをアプリケーションで使用する場合は、未使用の ADC 入力ピンをアナログ・グラウンド ($V_{SS1AGND}/V_{SS2AGND}$) に接続する必要があります。

注

ゲイン誤差およびオフセット誤差の ADC パラメータは、ADC 較正ルーチンがブート ROM から実行された場合にのみ仕様として有効です。詳細については、「[セクション 8.2.7.3](#)」を参照してください。

8.2.7.2 ADC レジスタ

ADC の動作は、表 8-8 に示すレジスタによって設定、制御、監視されます。

表 8-8. ADC レジスタ

名称	アドレス ⁽¹⁾	アドレス ⁽²⁾	サイズ (x16)	説明
ADCTRL1	0x7100		1	ADC 制御レジスタ 1
ADCTRL2	0x7101		1	ADC 制御レジスタ 2
ADCMAXCONV	0x7102		1	ADC 最大変換チャンネル・レジスタ
ADCCHSELSEQ1	0x7103		1	ADC チャンネル選択シーケンシング制御レジスタ 1
ADCCHSELSEQ2	0x7104		1	ADC チャンネル選択シーケンシング制御レジスタ 2
ADCCHSELSEQ3	0x7105		1	ADC チャンネル選択シーケンシング制御レジスタ 3
ADCCHSELSEQ4	0x7106		1	ADC チャンネル選択シーケンシング制御レジスタ 4
ADCASEQSR	0x7107		1	ADC 自動シーケンス・ステータス・レジスタ
ADCRESULT0	0x7108	0x0B00	1	ADC 変換結果バッファ・レジスタ 0
ADCRESULT1	0x7109	0x0B01	1	ADC 変換結果バッファ・レジスタ 1
ADCRESULT2	0x710A	0x0B02	1	ADC 変換結果バッファ・レジスタ 2
ADCRESULT3	0x710B	0x0B03	1	ADC 変換結果バッファ・レジスタ 3
ADCRESULT4	0x710C	0x0B04	1	ADC 変換結果バッファ・レジスタ 4
ADCRESULT5	0x710D	0x0B05	1	ADC 変換結果バッファ・レジスタ 5
ADCRESULT6	0x710E	0x0B06	1	ADC 変換結果バッファ・レジスタ 6
ADCRESULT7	0x710F	0x0B07	1	ADC 変換結果バッファ・レジスタ 7
ADCRESULT8	0x7110	0x0B08	1	ADC 変換結果バッファ・レジスタ 8
ADCRESULT9	0x7111	0x0B09	1	ADC 変換結果バッファ・レジスタ 9
ADCRESULT10	0x7112	0x0B0A	1	ADC 変換結果バッファ・レジスタ 10
ADCRESULT11	0x7113	0x0B0B	1	ADC 変換結果バッファ・レジスタ 11
ADCRESULT12	0x7114	0x0B0C	1	ADC 変換結果バッファ・レジスタ 12
ADCRESULT13	0x7115	0x0B0D	1	ADC 変換結果バッファ・レジスタ 13
ADCRESULT14	0x7116	0x0B0E	1	ADC 変換結果バッファ・レジスタ 14
ADCRESULT15	0x7117	0x0B0F	1	ADC 変換結果バッファ・レジスタ 15
ADCTRL3	0x7118		1	ADC 制御レジスタ 3
ADCST	0x7119		1	ADC ステータス・レジスタ
予約済み	0x711A~ 0x711B		2	
ADCREFSEL	0x711C		1	ADC 基準電圧選択レジスタ
ADCOFFTRIM	0x711D		1	ADC オフセット・トリム・レジスタ
予約済み	0x711E~ 0x711F		2	

- (1) この列のレジスタは、ペリフェラル・フレーム 2 レジスタです。
- (2) ADC 結果レジスタは、デュアル・マップされています。ペリフェラル・フレーム 2 (0x7108~0x7117) の領域は、2 ウェイト状態、左揃えになっています。ペリフェラル・フレーム 0 空間 (0x0B00 ~ 0x0B0F) の領域は、CPU アクセスに対して 1 ウェイト状態、DMA アクセスに対して 0 ウェイト状態、右揃えです。ADC を高速 / 連続変換で使用するときは、0 ウェイト状態の領域を使って ADC 結果をユーザー・メモリに高速に転送します。

8.2.7.3 ADC 校正

ADC_cal() ルーチンは、工場での TI の予約済み OTP メモリに書き込まれています。ブート ROM は、ADC_cal() ルーチンを自動的に呼び出し、デバイス固有の校正データを使用して ADCREFSEL および ADCOFFTRIM レジスタを初期化します。通常動作中、このプロセスは自動的に実行され、ユーザーの操作は何も必要ありません。

開発プロセス中に Code Composer Studio によってブート ROM がバイパスされる場合は、アプリケーションが ADCREFSEL および ADCOFFTRIM を初期化する必要があります。アプリケーションから ADC_cal() ルーチンを呼び出す方法については、『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「A/D コンバータ (ADC)」の章を参照してください。

注意

これらのレジスタを初期化しないと、ADC が仕様範囲外で動作します。

システムがリセットされた場合、または ADC 制御レジスタ 1 のビット 14 (RESET) を使用して ADC モジュールがリセットされた場合、このルーチンをもう一度実行する必要があります。

8.2.8 マルチチャネル・バッファ付きシリアル・ポート (McBSP) モジュール

McBSP モジュールの主な機能は次のとおりです。

- TMS320C54x/TMS320C55x DSP デバイスの McBSP と互換
- 全二重通信
- 連続データ・ストリームを可能にするダブル・バッファ・データ・レジスタ
- 受信と送信用に独立したフレームおよびクロック供給
- 外部シフト・クロック生成、または内部プログラマブル周波数シフト・クロック
- 8、12、16、20、24、32 ビットのさまざまなデータサイズを選択可能
- LSB または MSB ファーストの 8 ビット・データ転送
- フレーム同期およびデータ・クロックで極性をプログラム可能
- 高度にプログラマブルな内部クロックおよびフレームの生成
- 業界標準のコーデック、アナログ・インターフェイス・チップ (AIC)、シリアル接続された A/D および D/A デバイスへの直接インターフェイス
- SPI 互換デバイスと組み合わせて使用可能
- McBSP では、以下のアプリケーション・インターフェイスをサポートできます。
 - T1/E1 フレーム
 - IOM-2 準拠デバイス
 - AC97 準拠デバイス (必要なマルチフェーズ・フレーム同期機能が提供されます)。
 - IIS 準拠デバイス
 - SPI
- McBSP クロック・レート

$$\text{CLKG} = \frac{\text{CLKSRG}}{(1 + \text{CLKGDV})}$$

ここで、CLKSRG ソースは LSPCLK、CLKX、CLKR のいずれかになります。シリアル・ポートの性能は、I/O バッファのスイッチング速度によって制限されます。内部プリスケアラは、ペリフェラルの速度が I/O バッファの速度制限よりも低くなるように調整する必要があります。

注

I/O ピンの最大トグル速度については、[セクション 7](#) を参照してください。

図 8-11 に、McBSP モジュールのブロック図を示します。

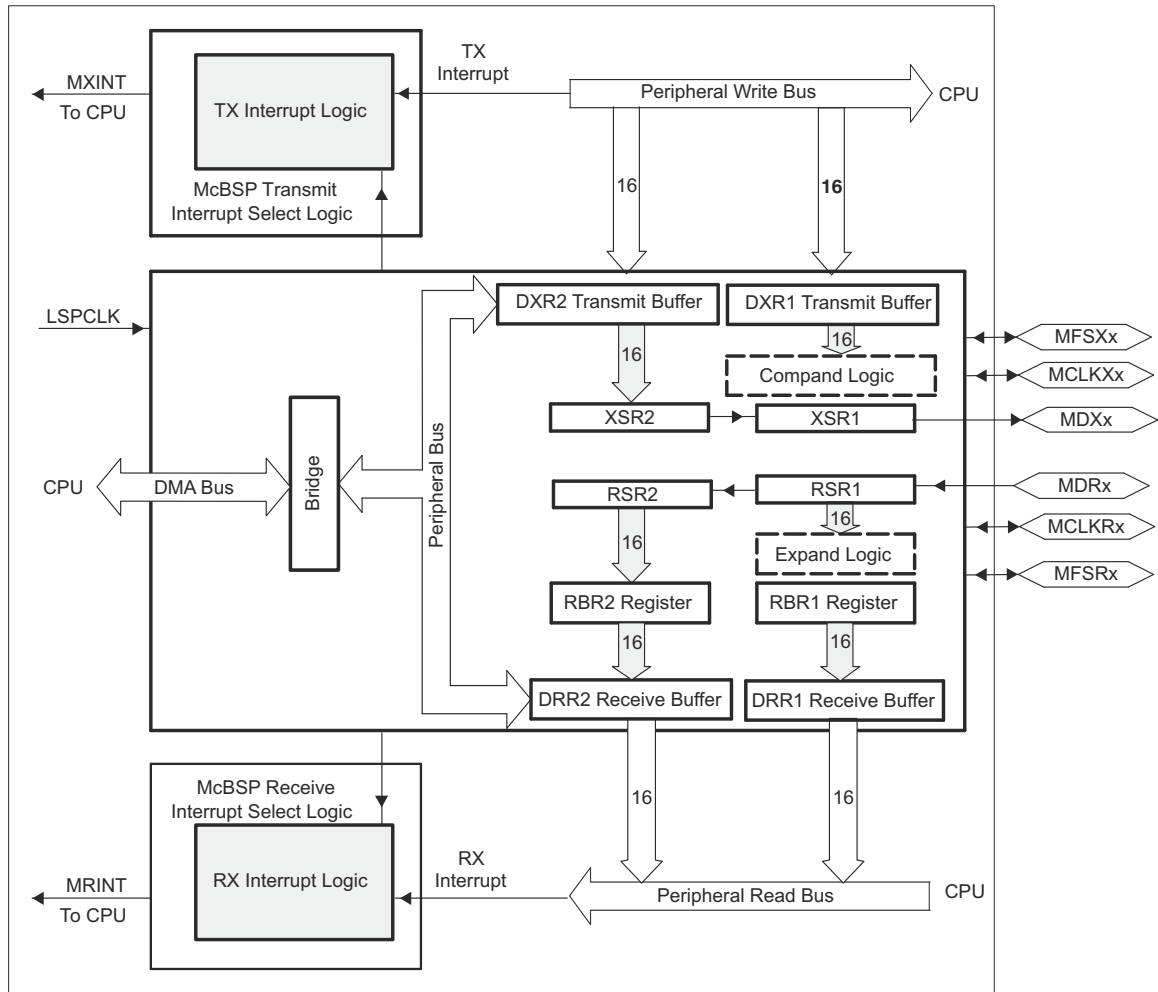


図 8-11. McBSP モジュール

表 8-9 に、McBSP レジスタの概要を示します。

表 8-9. McBSP レジスタの概要

名称	McBSP-A アドレス	McBSP-B アドレス	種類	リセット値	説明
データ・レジスタ、受信、送信					
DRR2	0x5000	0x5040	R	0x0000	McBSP データ受信レジスタ 2
DRR1	0x5001	0x5041	R	0x0000	McBSP データ受信レジスタ 1
DXR2	0x5002	0x5042	W	0x0000	McBSP データ送信レジスタ 2
DXR1	0x5003	0x5043	W	0x0000	McBSP データ送信レジスタ 1
McBSP 制御レジスタ					
SPCR2	0x5004	0x5044	R/W	0x0000	McBSP シリアル・ポート制御レジスタ 2
SPCR1	0x5005	0x5045	R/W	0x0000	McBSP シリアル・ポート制御レジスタ 1
RCR2	0x5006	0x5046	R/W	0x0000	McBSP 受信制御レジスタ 2
RCR1	0x5007	0x5047	R/W	0x0000	McBSP 受信制御レジスタ 1
XCR2	0x5008	0x5048	R/W	0x0000	McBSP 送信制御レジスタ 2
XCR1	0x5009	0x5049	R/W	0x0000	McBSP 送信制御レジスタ 1
SRGR2	0x500A	0x504A	R/W	0x0000	McBSP サンプル・レート・ジェネレータ・レジスタ 2
SRR1	0x500B	0x504B	R/W	0x0000	McBSP サンプル・レート・ジェネレータ・レジスタ 1
マルチチャンネル制御レジスタ					
MCR2	0x500C	0x504C	R/W	0x0000	McBSP マルチチャンネル・レジスタ 2
MCR1	0x500D	0x504D	R/W	0x0000	McBSP マルチチャンネル・レジスタ 1
RCERA	0x500E	0x504E	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション A
RCERB	0x500F	0x504F	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション B
XCERA	0x5010	0x5050	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション A
XCERB	0x5011	0x5051	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション B
PCR	0x5012	0x5052	R/W	0x0000	McBSP ピン制御レジスタ
RCERC	0x5013	0x5053	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション C
RCERD	0x5014	0x5054	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション D
XCERC	0x5015	0x5055	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション C
XCERD	0x5016	0x5056	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション D
RCERE	0x5017	0x5057	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション E
RCERF	0x5018	0x5058	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション F
XCERE	0x5019	0x5059	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション E
XCERF	0x501A	0x505A	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション F
RCERG	0x501B	0x505B	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション G
RCERH	0x501C	0x505C	R/W	0x0000	McBSP 受信チャンネル・イネーブル・レジスタ・パーティション H
XCERG	0x501D	0x505D	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション G
XCERH	0x501E	0x505E	R/W	0x0000	McBSP 送信チャンネル・イネーブル・レジスタ・パーティション H
MFFINT	0x5023	0x5063	R/W	0x0000	USB 割り込みイネーブル・レジスタ

8.2.9 拡張コントローラ・エリア・ネットワーク (eCAN) モジュール (eCAN-A および eCAN-B)

CAN モジュールの主な機能は次のとおりです。

- ISO 11898-1 (CAN 2.0B) に完全準拠
- 最大 1Mbps のデータ転送レートをサポート
- 32 個のメールボックス、それぞれに以下のプロパティがあります。
 - 受信または送信として構成可能
 - 標準識別子または拡張識別子で構成可能
 - プログラマブル受信マスクを利用可能
 - データ・フレームおよびリモート・フレームをサポート
 - 0 ~ 8 バイトのデータで構成
 - 受信および送信メッセージに 32 ビットのタイムスタンプを使用
 - 新しいメッセージ受信に対する保護
 - 送信メッセージについて動的にプログラム可能な優先順位
 - 2 つの割り込みレベルを持つプログラム可能な割り込み方式を採用
 - 送信または受信のタイムアウトについてプログラム可能なアラームを採用
- 低消費電力モード
- バス動作によるウェークアップをプログラム可能
- リモート要求メッセージへの自動応答
- アービトレーションまたはエラーが発生した場合のフレームの自動再送信
- 特定のメッセージ (メールボックス 16 との通信) によって同期された 32 ビットのローカル・ネットワーク時間カウンタ
- セルフ・テスト・モード
 - ループバック・モードで動作し、自分が発信したメッセージを受信します。「ダミー」のアクノリッジが発生するので、別のノードがアクノリッジ・ビットを発生させる必要はありません。

注

SYSCLKOUT が 100MHz の場合、可能な最小のビット・レートは 7.812kbps です。

SYSCLKOUT が 150MHz の場合、可能な最小のビット・レートは 11.719kbps です。

F2833x/F2823x CAN は、ISO/DIS 16845 による適合性テストに合格しています。テスト・レポートおよび例外については、TI にお問い合わせください。

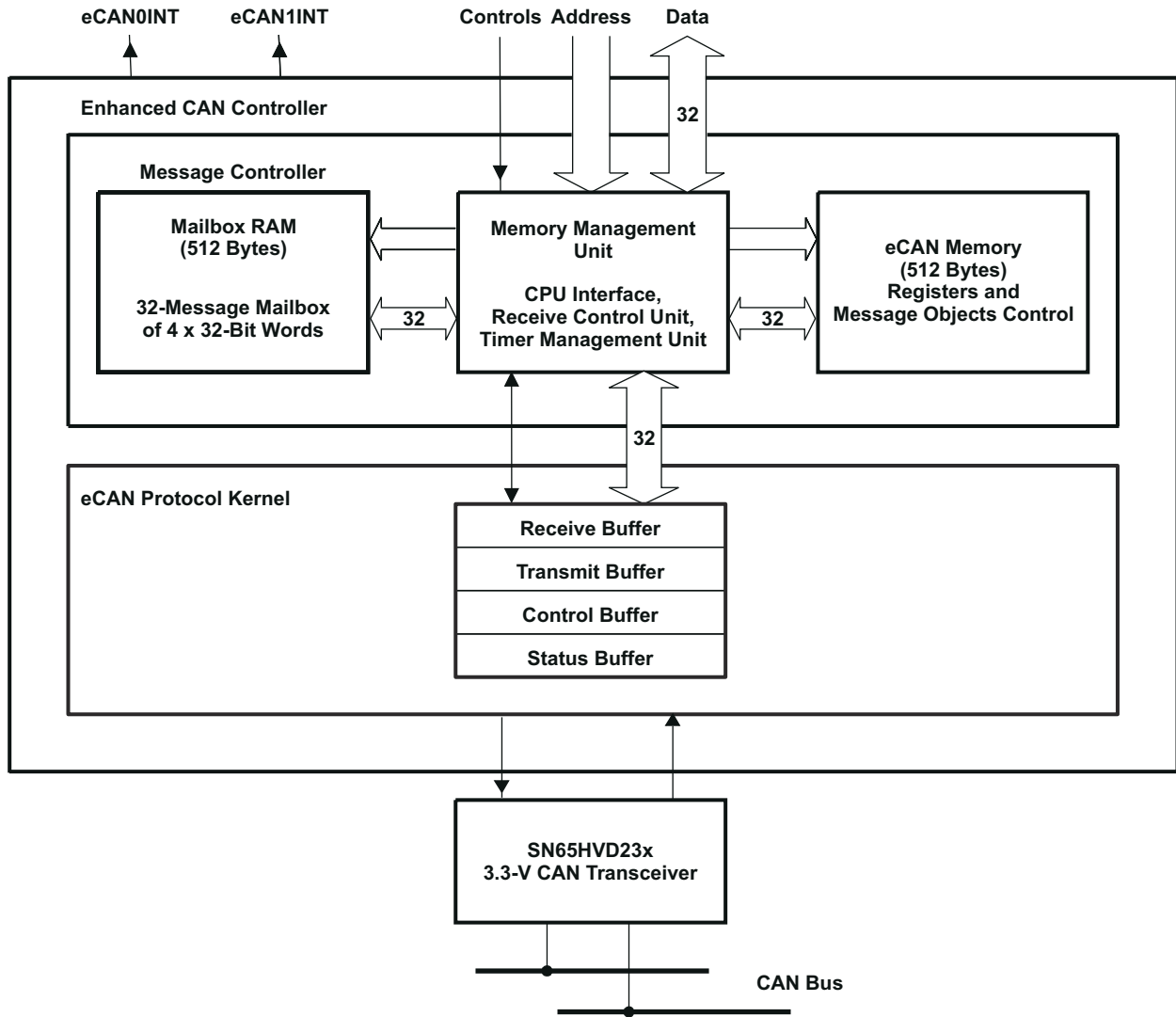


図 8-12. eCAN のブロック図およびインターフェイス回路

表 8-10. 3.3V eCAN トランシーバ

部品番号	電源電圧	低消費電力モード	スロープ制御	VREF	その他	T _A
SN65HVD230	3.3V	スタンバイ	可変	あり	–	-40°C~85°C
SN65HVD230Q	3.3V	スタンバイ	可変	あり	–	-40°C~125°C
SN65HVD231	3.3V	スリープ	可変	あり	–	-40°C~85°C
SN65HVD231Q	3.3V	スリープ	可変	あり	–	-40°C~125°C
SN65HVD232	3.3V	なし	なし	なし	–	-40°C~85°C
SN65HVD232Q	3.3V	なし	なし	なし	–	-40°C~125°C
SN65HVD233	3.3V	スタンバイ	可変	なし	診断ループバック	-40°C~125°C
SN65HVD234	3.3V	スタンバイおよびスリープ	可変	なし	–	-40°C~125°C
SN65HVD235	3.3V	スタンバイ	可変	なし	自動ポーリングループバック	-40°C~125°C

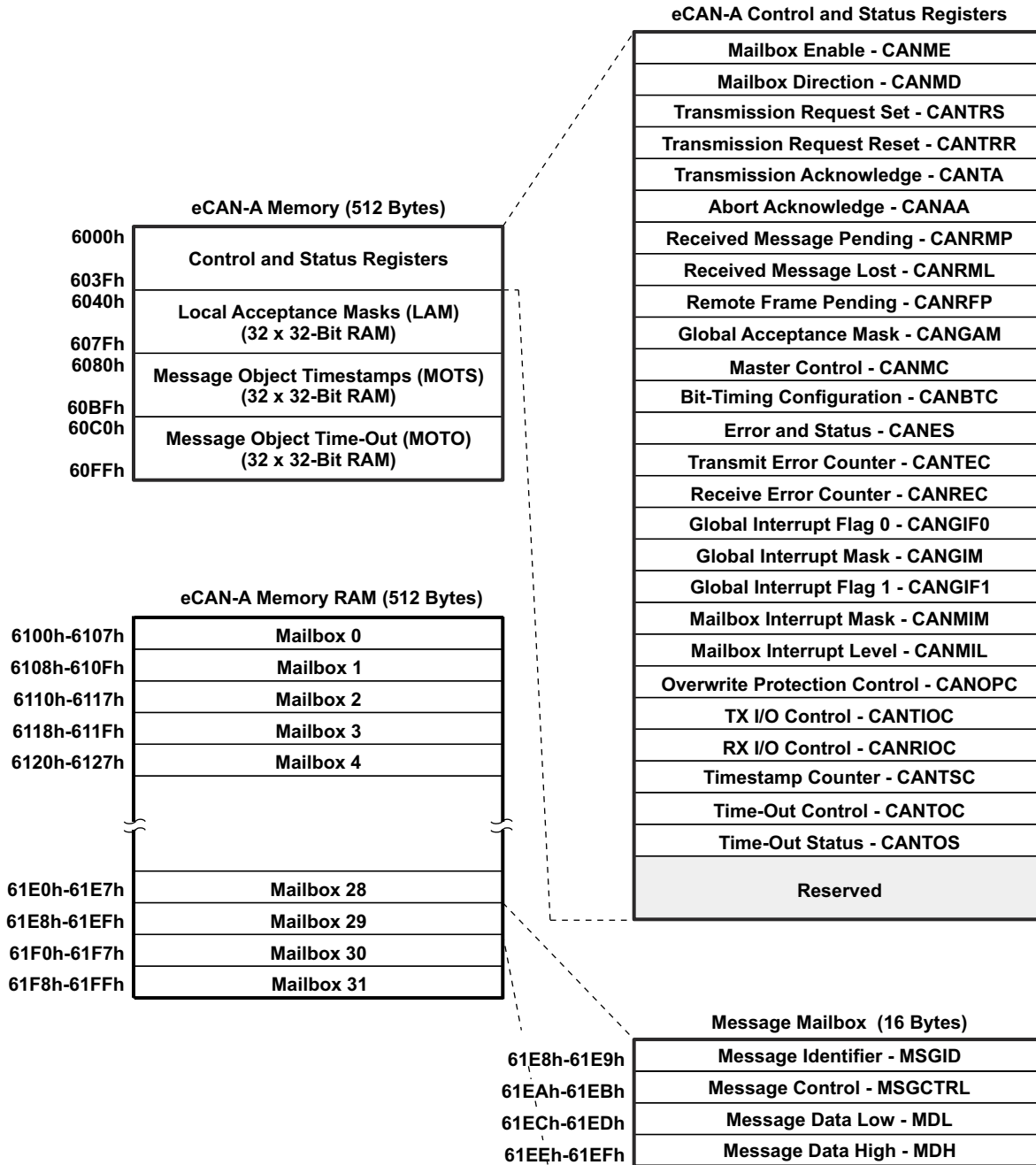


図 8-13. eCAN-A メモリ・マップ

注

eCAN-A モジュールをアプリケーションで使用しない場合は、使用可能な RAM (LAM、MOTS、MOTO、メールボックス RAM) を汎用 RAM として使用できます。この場合、CAN モジュールのクロックをイネーブルにする必要があります。

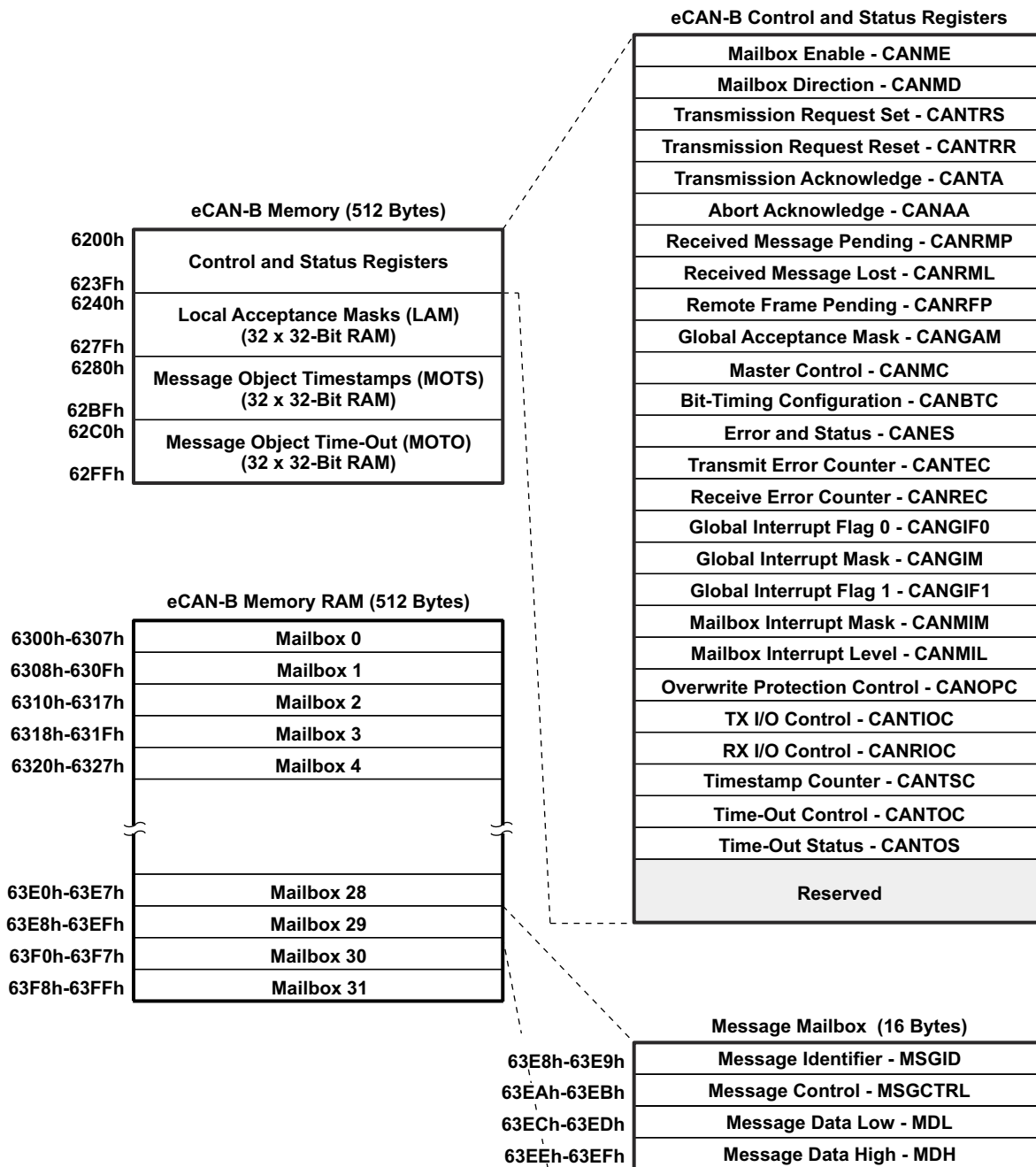


図 8-14. eCAN-B メモリ・マップ

表 8-11 に示す CAN レジスタは、CAN コントローラおよびメッセージ・オブジェクトの構成と制御のために CPU が使用します。eCAN 制御レジスタは、32 ビットの読み取り / 書き込み操作のみをサポートしています。メールボックス RAM には、16 ビットまたは 32 ビットでアクセスできます。32 ビットのアクセスは、偶数境界に整列されます。

表 8-11. CAN レジスタ・マップ

レジスタ名 ⁽¹⁾	eCAN-A アドレス	eCAN-B アドレス	サイズ (x32)	説明
CANME	0x6000	0x6200	1	メールボックス有効
CANMD	0x6002	0x6202	1	メールボックス方向
CANTRS	0x6004	0x6204	1	送信要求セット
CANTRR	0x6006	0x6206	1	送信要求リセット
CANTA	0x6008	0x6208	1	送信アクノリッジ
CANAA	0x600A	0x620A	1	アクノリッジ中止
CANRMP	0x600C	0x620C	1	受信メッセージ保留中
CANRML	0x600E	0x620E	1	受信メッセージ喪失
CANRFP	0x6010	0x6210	1	リモート・フレーム保留中
CANGAM	0x6012	0x6212	1	グローバル受け入れマスク
CANMC	0x6014	0x6214	1	マスタ制御
CANBTC	0x6016	0x6216	1	ビット・タイミング構成
CANES	0x6018	0x6218	1	エラーおよびステータス
CANTEC	0x601A	0x621A	1	送信エラー・カウンタ
CANREC	0x601C	0x621C	1	受信エラー・カウンタ
CANGIF0	0x601E	0x621E	1	グローバル割り込みフラグ 0
CANGIM	0x6020	0x6220	1	グローバル割り込みマスク
CANGIF1	0x6022	0x6222	1	グローバル割り込みフラグ 1
CANMIM	0x6024	0x6224	1	メールボックス割り込みマスク
CANMIL	0x6026	0x6226	1	メールボックス割り込みレベル
CANOPC	0x6028	0x6228	1	上書き保護制御
CANTIOC	0x602A	0x622A	1	TX I/O 制御
CANRIOC	0x602C	0x622C	1	RX I/O 制御
CANTSC	0x602E	0x622E	1	タイムスタンプ・カウンタ (SCC モードでは予約済み)
CANTOC	0x6030	0x6230	1	タイムアウト制御 (SCC モードでは予約済み)
CANTOS	0x6032	0x6232	1	タイムアウト・ステータス (SCC モードでは予約済み)

(1) これらのレジスタは、ペリフェラル・フレーム 1 にマップされます。

8.2.10 シリアル通信インターフェイス (SCI) モジュール (SCI-A、SCI-B、SCI-C)

このデバイスには、3つのシリアル通信インターフェイス (SCI) モジュールが搭載されています。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。SCI のレシーバ およびトランスミッタは、ダブル・バッファを備えており、それぞれ独自のイネーブル・ビットと割り込みビットがあります。どちらも、半二重通信に独立して動作するか、または全二重通信に同時に動作できます。データの整合性を確保するために、SCI は、受信データのブレイク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット・レートは、16 ビットのボー選択レジスタにより、65000 を超えるさまざまな速度にプログラム可能です。

各 SCI モジュールの特長:

- 2本の外部ピン:
 - SCITXD: SCI 送信出力ピン
 - SCIRXD: SCI 受信入力ピン

注

SCI に使用しない場合は、いずれのピンも GPIO として使用できます。

- 64K の異なるレートにプログラム可能なボーレート:

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \quad \text{when BRR} \neq 0$$
$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \quad \text{when BRR} = 0$$

注

I/O ピンの最大トグル速度については、[セクション 7](#) を参照。

- データ・ワード・フォーマット
 - 1 ストップ・ビット
 - データ・ワード (1~8 ビットの範囲でワード長をプログラム可能)
 - パリティ・ビット (偶数 / 奇数 / なしを選択可能)
 - 1 または 2 ストップ・ビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーム、ブレイク検出
- 2 つのウェイクアップ・マルチプロセッサ・モード: アイドル・ラインおよびアドレス・ビット
- 半二重または全二重動作
- ダブル・バッファ付きの受信および送信機能
- トランスミッタおよびレシーバの動作は、割り込み駆動、またはステータス・フラグのポーリング・アルゴリズムによって実現できます。
 - トランスミッタ: TXRDY フラグ (送信バッファ・レジスタは次の文字の受信準備完了) および TX EMPTY フラグ (送信シフト・レジスタは空)
 - レシーバ: RXRDY フラグ (受信バッファ・レジスタは次の文字の受信準備完了)、BRKDT フラグ (ブレイク条件発生)、RX ERROR フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル・ビット (BRKDT を除く)
- NRZ (nonreturn-to-zero) フォーマット

注

このモジュールのすべてのレジスタは、ペリフェラル・フレーム 2 に接続された 8 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7 ~ 0) になり、上位バイト (ビット 15 ~ 8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

拡張機能:

- 自動ボー検出ハードウェア・ロジック
- 16 レベルの送信 / 受信 FIFO

SCI ポートの動作は、表 8-12、表 8-13、表 8-14 に示すレジスタによって設定および制御されます。

表 8-12. SCI-A レジスタ

名称 ⁽¹⁾	アドレス	サイズ (x16)	説明
SCICCRRA	0x7050	1	SCI-A 通信制御レジスタ
SCICTL1A	0x7051	1	SCI-A 制御レジスタ 1
SCIHBAUDA	0x7052	1	SCI-A ボー・レジスタ、上位ビット
SCILBAUDA	0x7053	1	SCI-A ボー・レジスタ、下位ビット
SCICTL2A	0x7054	1	SCI-A 制御レジスタ 2
SCIRXSTA	0x7055	1	SCI-A 受信ステータス・レジスタ
SCIRXEMUA	0x7056	1	SCI-A 受信エミュレーション・データ・バッファ・レジスタ
SCIRXBUFA	0x7057	1	SCI-A 受信データ・バッファ・レジスタ
SCITXBUFA	0x7059	1	SCI-A 送信データ・バッファ・レジスタ
SCIFFTXA ⁽²⁾	0x705A	1	SCI-A FIFO 送信レジスタ
SCIFFRXA ⁽²⁾	0x705B	1	SCI-A FIFO 受信レジスタ
SCIFCTA ⁽²⁾	0x705C	1	SCI-A FIFO 制御レジスタ
SCIPRIA	0x705F	1	SCI-A 優先順位制御レジスタ

- (1) この表のレジスタは、ペリフェラル・フレーム 2 領域にマップされています。この領域では、16 ビット・アクセスのみが可能です。32 ビット・アクセスでは、未定義の結果が発生します。
- (2) これらのレジスタは、FIFO モード用の新しいレジスタです。

表 8-13. SCI-B レジスタ

名称 ⁽¹⁾	アドレス	サイズ (x16)	説明
SCICCRB	0x7750	1	SCI-B 通信制御レジスタ
SCICTL1B	0x7751	1	SCI-B 制御レジスタ 1
SCIHBAUDB	0x7752	1	SCI-B ボー・レジスタ、上位ビット
SCILBAUDB	0x7753	1	SCI-B ボー・レジスタ、下位ビット
SCICTL2B	0x7754	1	SCI-B 制御レジスタ 2
SCIRXSTB	0x7755	1	SCI-B 受信ステータス・レジスタ
SCIRXEMUB	0x7756	1	SCI-B 受信エミュレーション・データ・バッファ・レジスタ
SCIRXBUB	0x7757	1	SCI-B 受信データ・バッファ・レジスタ
SCITXBUB	0x7759	1	SCI-B 送信データ・バッファ・レジスタ
SCIFFTXB ⁽²⁾	0x775A	1	SCI-B FIFO 送信レジスタ
SCIFFRXB ⁽²⁾	0x775B	1	SCI-B FIFO 受信レジスタ
SCIFFCTB ⁽²⁾	0x775C	1	SCI-B FIFO 制御レジスタ
SCIPRIB	0x775F	1	SCI-B 優先順位制御レジスタ

- (1) この表のレジスタは、ペリフェラル・フレーム 2 領域にマップされています。この領域では、16 ビット・アクセスのみが可能です。32 ビット・アクセスでは、未定義の結果が発生します。
- (2) これらのレジスタは、FIFO モード用の新しいレジスタです。

表 8-14. SCI-C レジスタ

名称 ⁽¹⁾	アドレス	サイズ (x16)	説明
SCICCRC	0x7770	1	SCI-C 通信制御レジスタ
SCICTL1C	0x7771	1	SCI-C 制御レジスタ 1
SCIHBAUDC	0x7772	1	SCI-C ボー・レジスタ、上位ビット
SCILBAUDC	0x7773	1	SCI-C ボー・レジスタ、下位ビット
SCICTL2C	0x7774	1	SCI-C 制御レジスタ 2
SCIRXSTC	0x7775	1	SCI-C 受信ステータス・レジスタ
SCIRXEMUC	0x7776	1	SCI-C 受信エミュレーション・データ・バッファ・レジスタ
SCIRXBUFC	0x7777	1	SCI-C 受信データ・バッファ・レジスタ
SCITXBUFC	0x7779	1	SCI-C 送信データ・バッファ・レジスタ
SCIFFTXC ⁽²⁾	0x777A	1	SCI-C FIFO 送信レジスタ
SCIFFRXC ⁽²⁾	0x777B	1	SCI-C FIFO 受信レジスタ
SCIFFCTC ⁽²⁾	0x777C	1	SCI-C FIFO 制御レジスタ
SCIPRC	0x777F	1	SCI-C 優先順位制御レジスタ

- (1) この表のレジスタは、ペリフェラル・フレーム 2 領域にマップされています。この領域では、16 ビット・アクセスのみが可能です。32 ビット・アクセスでは、未定義の結果が発生します。
- (2) これらのレジスタは、FIFO モード用の新しいレジスタです。

図 8-15 に、SCI モジュールのブロック図を示します。

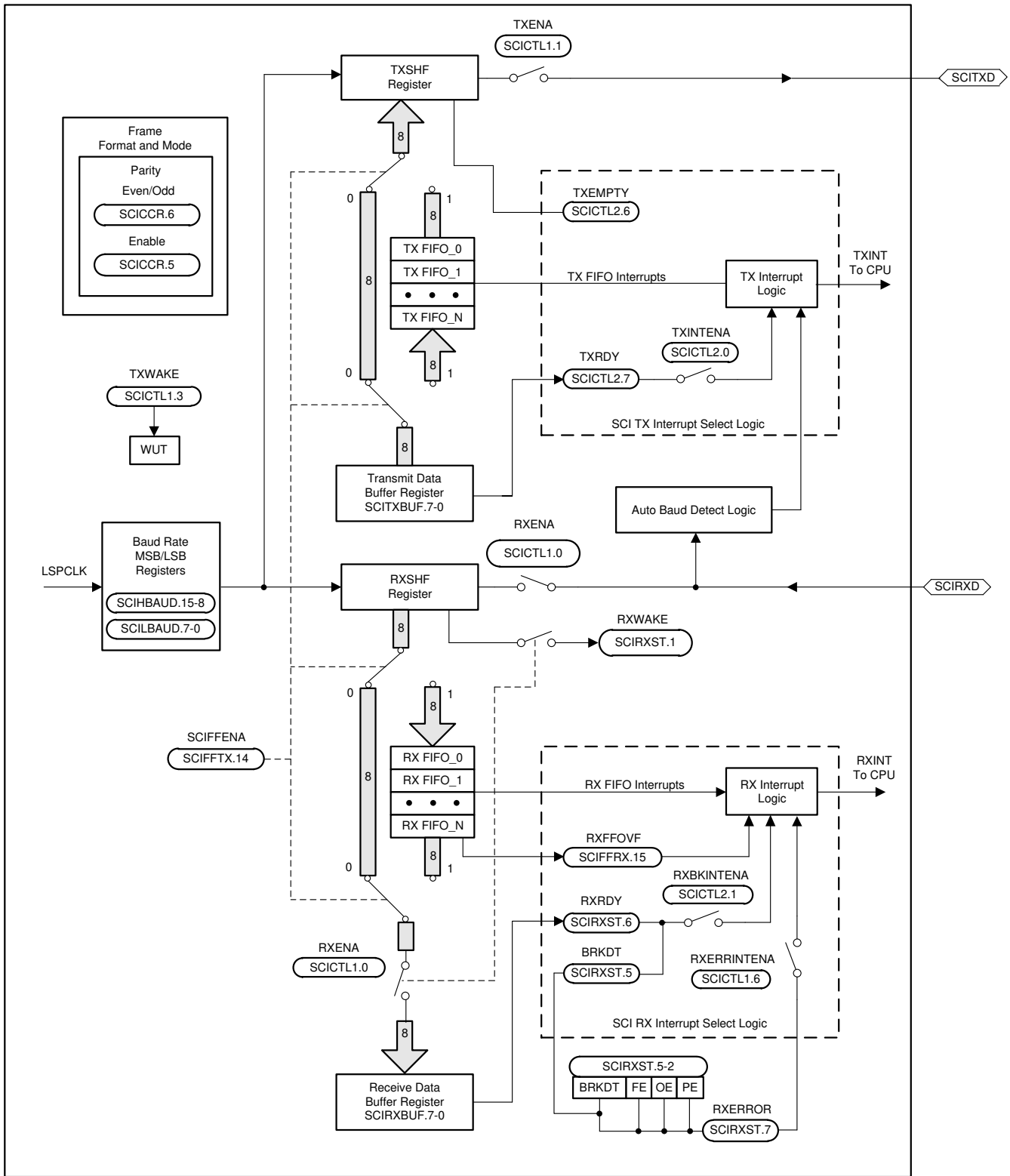


図 8-15. シリアル通信インターフェイス (SCI) モジュールのブロック図

8.2.11 シリアル・ペリフェラル・インターフェイス (SPI) モジュール (SPI-A)

このデバイスには、4 ピンのシリアル・ペリフェラル・インターフェイス (SPI) モジュールが搭載されています。1 つの SPI モジュール (SPI-A) を使用できます。SPI は、高速な同期シリアル I/O ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル・ビット・ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。通常、SPI は、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト・レジスタ、ディスプレイ・ドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスタ / スレーブ動作によってサポートされています。

SPI モジュールの主な特長は次のとおりです。

- 4 本の外部ピン:
 - SPISOMI: SPI スレーブ出力 / マスタ入力ピン
 - SPISIMO: SPI スレーブ入力 / マスタ出力ピン
 - SPISTE: SPI スレーブ送信イネーブル・ピン
 - SPICLK: SPI シリアル・クロック・ピン

注

SPI モジュールを使用しない場合は、4 本のピンすべてを GPIO として使用できます。

- マスタとスレーブの 2 つの動作モード

ボーレート: プログラム可能な 125 種類のレート

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \quad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \quad \text{when SPIBRR} = 0, 1, 2$$

注

I/O ピンの最大トグル速度については、[セクション 7](#) を参照。

- データ・ワード長: 1~16 ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
 - 位相遅延なしの立ち下がりエッジ: SPICLK アクティブ HIGH。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
 - 位相遅延付きの立ち下がりエッジ: SPICLK アクティブ HIGH。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延なしの立ち上がりエッジ: SPICLK 非アクティブ LOW。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延付きの立ち上がりエッジ: SPICLK 非アクティブ LOW。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスマッタとレシーバの動作は、割り込み駆動またはポーリング・アルゴリズムによって実現されます。
- 9 つの SPI モジュール制御レジスタ: アドレス 7040h から始まる制御レジスタ・フレームに配置されています。

注

このモジュールのすべてのレジスタは、ペリフェラル・フレーム 2 に接続された 16 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7~0) になり、上位バイト (ビット 15~8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

拡張機能:

- 16 レベルの送信 / 受信 FIFO
- 遅延送信制御

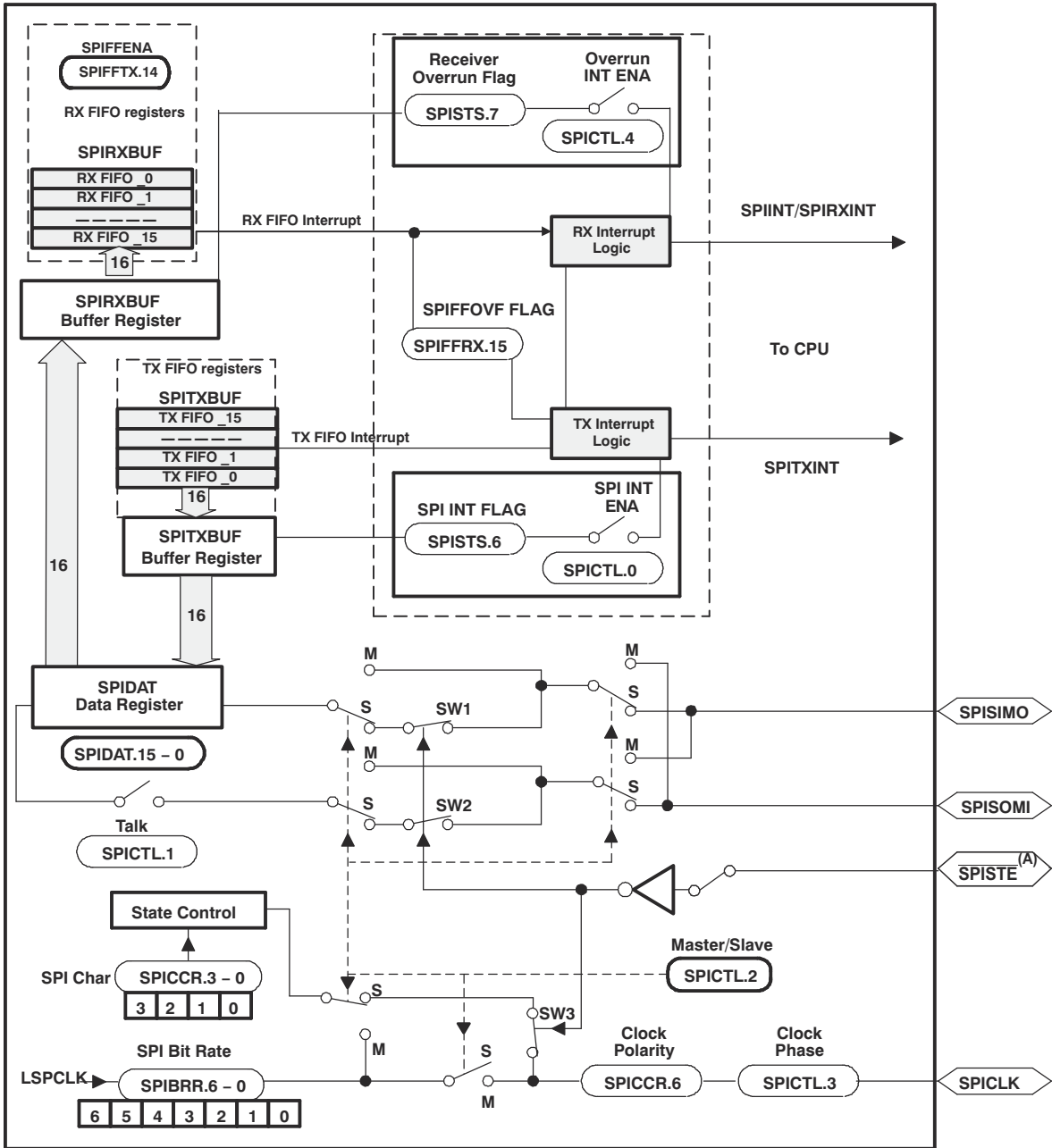
SPI ポートの動作は、表 8-15 に示すレジスタによって設定および制御されます。

表 8-15. SPI-A レジスタ

名称	アドレス	サイズ (x16)	説明 ⁽¹⁾
SPICCR	0x7040	1	SPI-A 構成制御レジスタ
SPICTL	0x7041	1	SPI-A 動作制御レジスタ
SPISTS	0x7042	1	SPI-A ステータス・レジスタ
SPIBRR	0x7044	1	SPI-A ボーレート・レジスタ
SPIRXEMU	0x7046	1	SPI-A 受信 エミュレーション・バッファ・レジスタ
SPIRXBUF	0x7047	1	SPI-A シリアル入力バッファ・レジスタ
SPITXBUF	0x7048	1	SPI-A シリアル出力バッファ・レジスタ
SPIDAT	0x7049	1	SPI-A シリアル・データ・レジスタ
SPIFFTX	0x704A	1	SPI-A FIFO 送信レジスタ
SPIFFRX	0x704B	1	SPI-A FIFO 受信レジスタ
SPIFFCT	0x704C	1	SPI-A FIFO 制御レジスタ
SPIPRI	0x704F	1	SPI-A 優先順位制御レジスタ

(1) この表のレジスタは、ペリフェラル・フレーム 2 にマップされています。この領域では、16 ビット・アクセスのみが可能です。32 ビット・アクセスでは、未定義の結果が発生します。

図 8-16 は、スレーブ・モードの SPI ブロック図です。

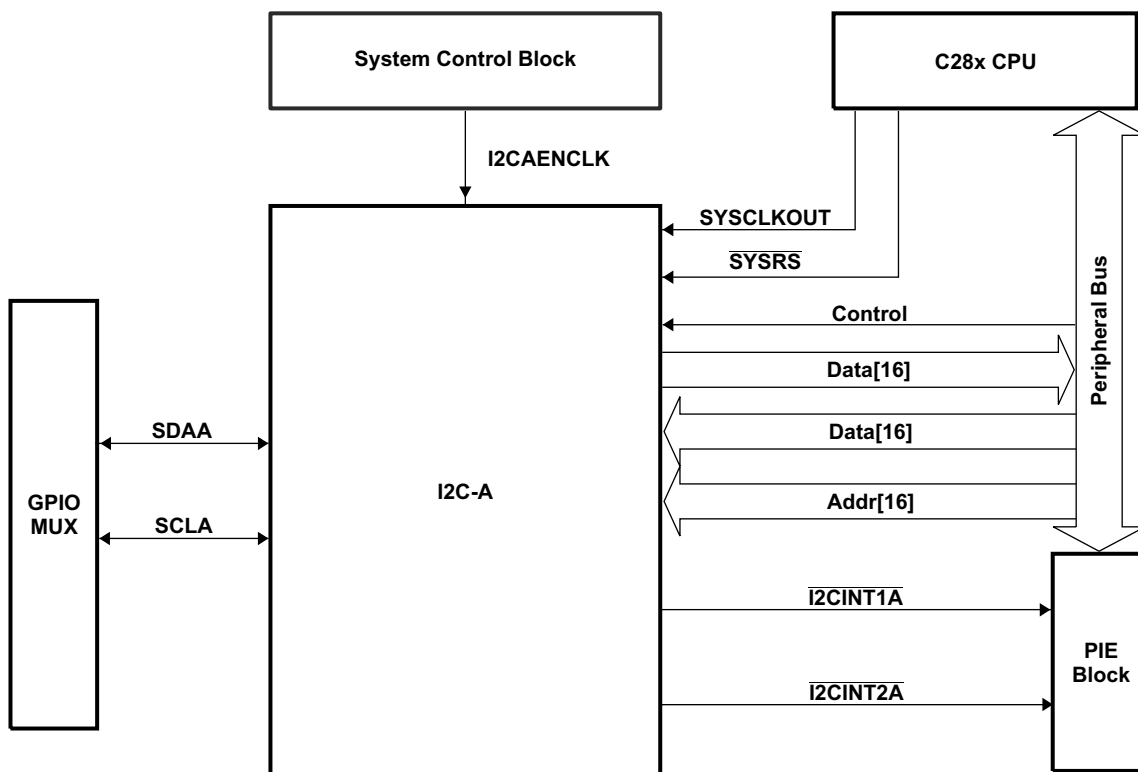


A. $\overline{\text{SPISTE}}$ は、スレーブ・デバイスの代わりにマスタによって LOW に駆動されます。

図 8-16. SPI モジュールのブロック図 (スレーブ・モード)

8.2.12 I2C (Inter-Integrated Circuit)

このデバイスは、1つのI2Cシリアル・ポートを備えています。図8-17に、I2Cペリフェラル・モジュールがデバイス内でどのようにインターフェイスするかを示します。



- A. I2CレジスタにはSYSCLKOUTレートでアクセスします。I2Cポートの内部タイミングおよび信号波形もSYSCLKOUTレートです。
- B. PCLKCR0レジスタのクロック・イネーブル・ビット(I2CAENCLK)は、低消費電力動作のためにI2Cポートへのクロックをオフにします。リセット時に、I2CAENCLKはクリアされ、ペリフェラルの内部クロックがオフであることを示します。

図 8-17. I2C ペリフェラル・モジュール・インターフェイス

I2C モジュールの主な機能は次のとおりです。

- Philips Semiconductors の I²C バス規格 (バージョン 2.1) に準拠:
 - 1 ビット～8 ビット形式の転送をサポート
 - 7 ビットおよび 10 ビットのアドレッシング・モード
 - ゼネラル・コール
 - スタート・バイト・モード
 - 複数のマスタ - トランスミッタとスレーブ - レシーバをサポート
 - 複数のスレーブ - トランスミッタとマスタ - レシーバをサポート
 - マスタ送信 / 受信, 受信 / 送信の組み合わせモード
 - 10kbps～最大 400kbps (I2C ファースト・モード) のデータ転送レートをサポート
- 1 つの 16 ワード受信 FIFO と、1 つの 16 ワード送信 FIFO
- CPU で使用できる割り込み 1 つ。この割り込みは、次のいずれかの条件の結果として発生させることができます。
 - 送信データ・レディ
 - 受信データ・レディ
 - レジスタ・アクセス・レディ
 - アクノリッジ受信なし
 - アービトレーション・ロスト
 - ストップ条件検出
 - スレーブとしてアドレス指定
- FIFO モードの場合、もう 1 つの割り込みを CPU が使用可能
- モジュールのイネーブル / ディセーブル機能
- フリー・データ・フォーマット・モード

I2C ポートの動作は、表 8-16 に示すレジスタによって設定および制御されます。

表 8-16. I2C-A レジスタ

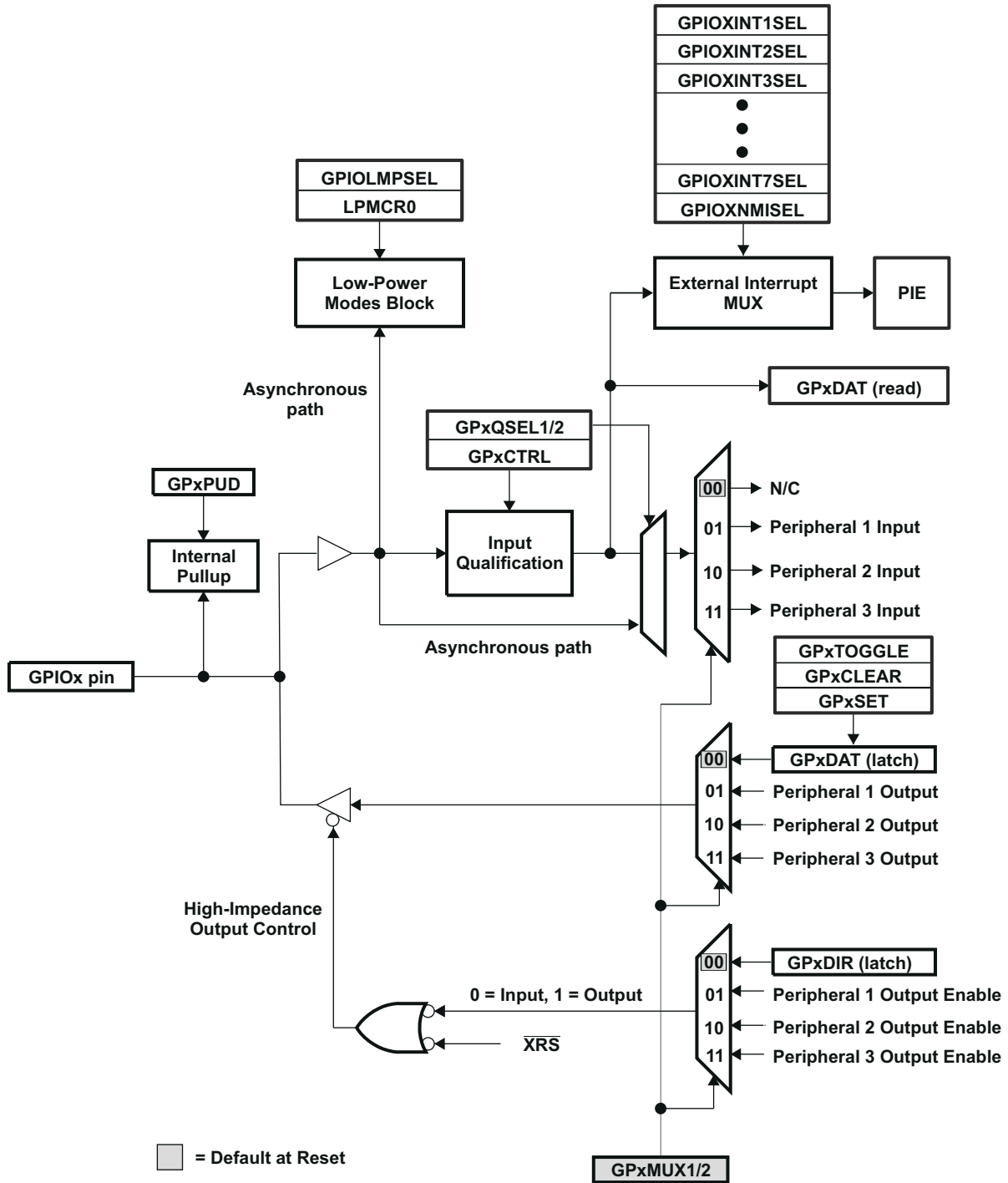
名称	アドレス	説明
I2COAR	0x7900	I2C 自己アドレス・レジスタ
I2CIER	0x7901	I2C 割り込みイネーブル・レジスタ
I2CSTR	0x7902	I2C ステータス・レジスタ
I2CCLKL	0x7903	I2C クロック LOW 時間分周器レジスタ
I2CCLKH	0x7904	I2C クロック HIGH 時間分周器レジスタ
I2CCNT	0x7905	I2C データ・カウント・レジスタ
I2CDRR	0x7906	I2C データ受信レジスタ
I2CSAR	0x7907	I2C スレーブ・アドレス・レジスタ
I2CDXR	0x7908	I2C データ送信レジスタ
I2CMDR	0x7909	I2C モード・レジスタ
I2CISRC	0x790A	I2C 割り込みソース・レジスタ
I2CPSC	0x790C	I2C プリスケアラ・レジスタ
I2CFFTX	0x7920	I2C FIFO 送信レジスタ
I2CFFRX	0x7921	I2C FIFO 受信レジスタ
I2CRSR	–	I2C 受信シフト・レジスタ (CPU からはアクセス不可)
I2CXSR	–	I2C 送信シフト・レジスタ (CPU からはアクセス不可)

8.2.13 GPIO マルチプレクサ

2833x/2823x デバイスでは、GPIO MUX (マルチプレクサ) は 1 つの GPIO ピンに対して最大 3 つの独立したペリフェラル信号を多重化でき、さらに個別のピンでのビット・バンギングによる I/O 機能も提供します。図 8-18 に、ピンごとの GPIO MUX ブロック図を示します。I2C ピンのオープン・ドレイン機能により、これらのピンの GPIO MUX ブロック図が異なります。詳細については、『[TMS320x2833x](#)、[TMS320x2823x](#) リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御および割り込み」の章を参照してください。

注

GPxMUXn および GPxQSELn レジスタへの書き込みを行ってからその動作が有効になるまでには、2 SYSCLKOUT サイクルの遅延があります。



- A. x は、A または B のポートを表します。たとえば、GPxDIR は、選択した GPIO ピンに応じて、GPADIR レジスタと GPBDIR レジスタのいずれかを表します。
- B. GPxDAT のラッチ / 読み取りは、同じメモリ領域からアクセスできます。
- C. これは、一般的な GPIO MUX のブロック図です。すべてのオプションが、すべての GPIO ピンに適用できるわけではありません。ピン固有のパラメータについては、『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御および割り込み」の章を参照してください。

図 8-18. GPIO マルチプレクサのブロック図

このデバイスは、88本のGPIOピンを備えています。GPIO制御レジスタとデータ・レジスタは、ペリフェラル・フレーム1にマップされ、レジスタで(16ビット動作とともに)32ビット動作が可能になります。表8-17に、GPIOレジスタのマッピングを示します。

表 8-17. GPIO レジスタ

名称	アドレス	サイズ (x16)	説明
GPIO 制御レジスタ (EALLOW 保護)			
GPACTRL	0x6F80	2	GPIO A 制御レジスタ (GPIO0~31)
GPAQSEL1	0x6F82	2	GPIO A フィルタ選択 1 レジスタ (GPIO0~15)
GPAQSEL2	0x6F84	2	GPIO A フィルタ選択 2 レジスタ (GPIO16~31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 レジスタ (GPIO0~15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 レジスタ (GPIO16~31)
GPADIR	0x6F8A	2	GPIO A 方向レジスタ (GPIO0~31)
GPAPUD	0x6F8C	2	GPIO A プルアップ・ディセーブル・レジスタ (GPIO0~31)
予約済み	0x6F8E~0x6F8F	2	
GPBCTRL	0x6F90	2	GPIO B 制御レジスタ (GPIO32~63)
GPBQSEL1	0x6F92	2	GPIO B フィルタ選択 1 レジスタ (GPIO32~47)
GPBQSEL2	0x6F94	2	GPIO B フィルタ選択 2 レジスタ (GPIO48~63)
GPBMUX1	0x6F96	2	GPIO B MUX 1 レジスタ (GPIO32~47)
GPBMUX2	0x6F98	2	GPIO B MUX 2 レジスタ (GPIO48~63)
GPBDIR	0x6F9A	2	GPIO B 方向レジスタ (GPIO32~63)
GPBPUD	0x6F9C	2	GPIO B プルアップ・ディセーブル・レジスタ (GPIO32~63)
予約済み	0x6F9E~0x6FA5	8	
GPCMUX1	0x6FA6	2	GPIO C MUX1 レジスタ (GPIO64~79)
GPCMUX2	0x6FA8	2	GPIO C MUX2 レジスタ (GPIO80~87)
GPCDIR	0x6FAA	2	GPIO C 方向レジスタ (GPIO64~87)
GPCPUD	0x6FAC	2	GPIO C プルアップ・ディセーブル・レジスタ (GPIO64~87)
予約済み	0x6FAE~0x6FBF	18	
GPIO データ・レジスタ (EALLOW 保護なし)			
GPADAT	0x6FC0	2	GPIO A データ・レジスタ (GPIO0~31)
GPASET	0x6FC2	2	GPIO A データ・セット・レジスタ (GPIO0~31)
GPACLEAR	0x6FC4	2	GPIO A データ・クリア・レジスタ (GPIO0~31)
GPATOGGLE	0x6FC6	2	GPIO A データ・トグル・レジスタ (GPIO0~31)
GPBDAT	0x6FC8	2	GPIO B データ・レジスタ (GPIO32~63)
GPBSET	0x6FCA	2	GPIO B データ・セット・レジスタ (GPIO32~63)
GPBCLEAR	0x6FCC	2	GPIO B データ・クリア・レジスタ (GPIO32~63)
GPBTOGGLE	0x6FCE	2	GPIO B データ・トグル・レジスタ (GPIO32~63)
GPCDAT	0x6FD0	2	GPIO C データ・レジスタ (GPIO64~87)
GPCSET	0x6FD2	2	GPIO C データ・セット・レジスタ (GPIO64~87)
GPCCLEAR	0x6FD4	2	GPIO C データ・クリア・レジスタ (GPIO64~87)
GPCTOGGLE	0x6FD6	2	GPIO C データ・トグル・レジスタ (GPIO64~87)
予約済み	0x6FD8~0x6FDF	8	
GPIO 割り込みおよび低消費電力モード選択レジスタ (EALLOW 保護)			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 入力選択レジスタ (GPIO0~31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 入力選択レジスタ (GPIO0~31)
GPIOXNMISEL	0x6FE2	1	XNMI GPIO 入力選択レジスタ (GPIO0~31)

表 8-17. GPIO レジスタ (continued)

名称	アドレス	サイズ (x16)	説明
GPIOXINT3SEL	0x6FE3	1	XINT3 GPIO 入力選択レジスタ (GPIO32~63)
GPIOXINT4SEL	0x6FE4	1	XINT4 GPIO 入力選択レジスタ (GPIO32~63)
GPIOXINT5SEL	0x6FE5	1	XINT5 GPIO 入力選択レジスタ (GPIO32~63)
GPIOXINT6SEL	0x6FE6	1	XINT6 GPIO 入力選択レジスタ (GPIO32~63)
GPIOINT7SEL	0x6FE7	1	XINT7 GPIO 入力選択レジスタ (GPIO32~63)
GPIOLPMSEL	0x6FE8	2	LPM GPIO 選択レジスタ (GPIO0~31)
予約済み	0x6FEA~0x6FFF	22	

表 8-18. GPIO-A MUX ペリフェラル選択マトリックス

レジスタ・ビット		ペリフェラルの選択				
GPADIR GPADAT GPASET GPACLR GPATOGGLE	GPAMUX1 GPAQSEL1	GPIOx GPAMUX1 = 0, 0	PER1 GPAMUX1 = 0, 1	PER2 GPAMUX1 = 1, 0	PER3 GPAMUX1 = 1, 1	
QUALPRD0	0	1, 0	GPIO0 (I/O)	EPWM1A (O)	予約済み	予約済み
	1	3, 2	GPIO1 (I/O)	EPWM1B (O)	ECAP6 (I/O)	MFSRB (I/O)
	2	5, 4	GPIO2 (I/O)	EPWM2A (O)	予約済み	予約済み
	3	7, 6	GPIO3 (I/O)	EPWM2B (O)	ECAP5 (I/O)	MCLKRB (I/O)
	4	9, 8	GPIO4 (I/O)	EPWM3A (O)	予約済み	予約済み
	5	11, 10	GPIO5 (I/O)	EPWM3B (O)	MFSRA (I/O)	ECAP1 (I/O)
	6	13, 12	GPIO6 (I/O)	EPWM4A (O)	EPWMSYNCL (I)	EPWMSYNCO (O)
QUALPRD1	7	15, 14	GPIO7 (I/O)	EPWM4B (O)	MCLKRA (I/O)	ECAP2 (I/O)
	8	17, 16	GPIO8 (I/O)	EPWM5A (O)	CANTXB (O)	ADCSOAO (O)
	9	19, 18	GPIO9 (I/O)	EPWM5B (O)	SCITXDB (O)	ECAP3 (I/O)
	10	21, 20	GPIO10 (I/O)	EPWM6A (O)	CANRXB (I)	ADCSOABO (O)
	11	23, 22	GPIO11 (I/O)	EPWM6B (O)	SCIRXDB (I)	ECAP4 (I/O)
	12	25, 24	GPIO12 (I/O)	TZ1 (I)	CANTXB (O)	MDXB (O)
	13	27, 26	GPIO13 (I/O)	TZ2 (I)	CANRXB (I)	MDRB (I)
QUALPRD2	14	29, 28	GPIO14 (I/O)	TZ3 (I)/ XHOLD (I)	SCITXDB (O)	MCLKXB (I/O)
	15	31, 30	GPIO15 (I/O)	TZ4 (I)/ XHOLDA (O)	SCIRXDB (I)	MFSXB (I/O)
		GPAMUX2 GPAQSEL2	GPAMUX2 = 0, 0	GPAMUX2 = 0, 1	GPAMUX2 = 1, 0	GPAMUX2 = 1, 1
	16	1, 0	GPIO16 (I/O)	SPISIMOA (I/O)	CANTXB (O)	TZ5 (I)
	17	3, 2	GPIO17 (I/O)	SPISOMIA (I/O)	CANRXB (I)	TZ6 (I)
	18	5, 4	GPIO18 (I/O)	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)
	19	7, 6	GPIO19 (I/O)	SPISTEA (I/O)	SCIRXDB (I)	CANTXA (O)
20	9, 8	GPIO20 (I/O)	EQEP1A (I)	MDXA (O)	CANTXB (O)	
21	11, 10	GPIO21 (I/O)	EQEP1B (I)	MDRA (I)	CANRXB (I)	
22	13, 12	GPIO22 (I/O)	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)	
23	15, 14	GPIO23 (I/O)	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)	

表 8-18. GPIO-A MUX ペリフェラル選択マトリックス (continued)

レジスタ・ビット		ペリフェラルの選択				
GPADIR GPADAT GPASET GPACLR GPATOGGLE	GPAMUX1 GPAQSEL1	GPIOx GPAMUX1 = 0, 0	PER1 GPAMUX1 = 0, 1	PER2 GPAMUX1 = 1, 0	PER3 GPAMUX1 = 1, 1	
QUALPRD3	24	17, 16	GPIO24 (I/O)	ECAP1 (I/O)	EQEP2A (I)	MDXB (O)
	25	19, 18	GPIO25 (I/O)	ECAP2 (I/O)	EQEP2B (I)	MDRB (I)
	26	21, 20	GPIO26 (I/O)	ECAP3 (I/O)	EQEP2I (I/O)	MCLKXB (I/O)
	27	23, 22	GPIO27 (I/O)	ECAP4 (I/O)	EQEP2S (I/O)	MFSXB (I/O)
	28	25, 24	GPIO28 (I/O)	SCIRXDA (I)	XZCS6 (O)	
	29	27, 26	GPIO29 (I/O)	SCITXDA (O)	XA19 (O)	
	30	29, 28	GPIO30 (I/O)	CANRXA (I)	XA18 (O)	
	31	31, 30	GPIO31 (I/O)	CANTXA (O)	XA17 (O)	

表 8-19. GPIO-B MUX ペリフェラル選択マトリックス

レジスタ・ビット		ペリフェラルの選択				
GPBDIR GPBDAT GPBSET GPBCLR GPBTOGGLE	GPBMUX1 GPBQSEL1	GPIOx GPBMUX1 = 0, 0	PER1 GPBMUX1 = 0, 1	PER2 GPBMUX1 = 1, 0	PER3 GPBMUX1 = 1, 1	
QUALPRD0	0	1, 0	GPIO32 (I/O)	SDAA (I/OC) ⁽¹⁾	EPWMSYNCI (I)	ADCSOCAA (O)
	1	3, 2	GPIO33 (I/O)	SCLA (I/OC) ⁽¹⁾	EPWMSYNCO (O)	ADCSOCBA (O)
	2	5, 4	GPIO34 (I/O)	ECAP1 (I/O)	XREADY (I)	
	3	7, 6	GPIO35 (I/O)	SCITXDA (O)	XR/ W (O)	
	4	9, 8	GPIO36 (I/O)	SCIRXDA (I)	XZCS0 (O)	
	5	11, 10	GPIO37 (I/O)	ECAP2 (I/O)	XZCS7 (O)	
	6	13, 12	GPIO38 (I/O)	予約済み	XWE0 (O)	
	7	15, 14	GPIO39 (I/O)		XA16 (O)	
QUALPRD1	8	17, 16	GPIO40 (I/O)		XA0/ XWE1 (O)	
	9	19, 18	GPIO41 (I/O)		XA1 (O)	
	10	21, 20	GPIO42 (I/O)		XA2 (O)	
	11	23, 22	GPIO43 (I/O)		XA3 (O)	
	12	25, 24	GPIO44 (I/O)		XA4 (O)	
	13	27, 26	GPIO45 (I/O)		XA5 (O)	
	14	29, 28	GPIO46 (I/O)	XA6 (O)		
	15	31, 30	GPIO47 (I/O)	XA7 (O)		
	GPBMUX2 GPBQSEL2	GPBMUX2 = 0, 0	GPBMUX2 = 0, 1	GPBMUX2 = 1, 0	GPBMUX2 = 1, 1	
QUALPRD2	16	1, 0	GPIO48 (I/O)	ECAP5 (I/O)	XD31 (I/O)	
	17	3, 2	GPIO49 (I/O)	ECAP6 (I/O)	XD30 (I/O)	
	18	5, 4	GPIO50 (I/O)	EQEP1A (I)	XD29 (I/O)	
	19	7, 6	GPIO51 (I/O)	EQEP1B (I)	XD28 (I/O)	
	20	9, 8	GPIO52 (I/O)	EQEP1S (I/O)	XD27 (I/O)	
	21	11, 10	GPIO53 (I/O)	EQEP1I (I/O)	XD26 (I/O)	
	22	13, 12	GPIO54 (I/O)	SPISIMOA (I/O)	XD25 (I/O)	
	23	15, 14	GPIO55 (I/O)	SPISOMIA (I/O)	XD24 (I/O)	

表 8-19. GPIO-B MUX ペリフェラル選択マトリックス (continued)

レジスタ・ビット		ペリフェラルの選択			
GPBDIR GPBDAT GPBSET GPBCLR GPBTOGGLE	GPBMUX1 GPBQSEL1	GPIOx GPBMUX1 = 0, 0	PER1 GPBMUX1 = 0, 1	PER2 GPBMUX1 = 1, 0	PER3 GPBMUX1 = 1, 1
QUALPRD3	24	17, 16	GPIO56 (I/O)	SPICLKA (I/O)	XD23 (I/O)
	25	19, 18	GPIO57 (I/O)	SPISTEA (I/O)	XD22 (I/O)
	26	21, 20	GPIO58 (I/O)	MCLKRA (I/O)	XD21 (I/O)
	27	23, 22	GPIO59 (I/O)	MFSRA (I/O)	XD20 (I/O)
	28	25, 24	GPIO60 (I/O)	MCLKRB (I/O)	XD19 (I/O)
	29	27, 26	GPIO61 (I/O)	MFSRB (I/O)	XD18 (I/O)
	30	29, 28	GPIO62 (I/O)	SCIRXDC (I)	XD17 (I/O)
	31	31, 30	GPIO63 (I/O)	SCITXDC (O)	XD16 (I/O)

(1) オープン・ドレイン

表 8-20. GPIO-C MUX ペリフェラル選択マトリックス

レジスタ・ビット		ペリフェラルの選択		
GPCDIR GPCDAT GPCSET GPCCLR GPCTOGGLE	GPCMUX1	GPIOx または PER1 GPCMUX1 = 0, 0 または 0, 1	PER2 または PER3 GPCMUX1 = 1, 0 または 1, 1	
フィルタなし	0	1, 0	GPIO64 (I/O)	XD15 (I/O)
	1	3, 2	GPIO65 (I/O)	XD14 (I/O)
	2	5, 4	GPIO66 (I/O)	XD13 (I/O)
	3	7, 6	GPIO67 (I/O)	XD12 (I/O)
	4	9, 8	GPIO68 (I/O)	XD11 (I/O)
	5	11, 10	GPIO69 (I/O)	XD10 (I/O)
	6	13, 12	GPIO70 (I/O)	XD9 (I/O)
	7	15, 14	GPIO71 (I/O)	XD8 (I/O)
フィルタなし	8	17, 16	GPIO72 (I/O)	XD7 (I/O)
	9	19, 18	GPIO73 (I/O)	XD6 (I/O)
	10	21, 20	GPIO74 (I/O)	XD5 (I/O)
	11	23, 22	GPIO75 (I/O)	XD4 (I/O)
	12	25, 24	GPIO76 (I/O)	XD3 (I/O)
	13	27, 26	GPIO77 (I/O)	XD2 (I/O)
	14	29, 28	GPIO78 (I/O)	XD1 (I/O)
	15	31, 30	GPIO79 (I/O)	XD0 (I/O)
	GPCMUX2	GPCMUX2 = 0, 0 または 0, 1	GPCMUX2 = 1, 0 または 1, 1	

表 8-20. GPIO-C MUX ペリフェラル選択マトリックス (continued)

レジスタ・ビット		ペリフェラルの選択		
GPCDIR GPCDAT GPCSET GPCCLR GPCTOGGLE	GPCMUX1	GPIOx または PER1 GPCMUX1 = 0、0 または 0、1	PER2 または PER3 GPCMUX1 = 1、0 または 1、1	
フィルタなし	16	1、0	GPIO80 (I/O)	XA8 (O)
	17	3、2	GPIO81 (I/O)	XA9 (O)
	18	5、4	GPIO82 (I/O)	XA10 (O)
	19	7、6	GPIO83 (I/O)	XA11 (O)
	20	9、8	GPIO84 (I/O)	XA12 (O)
	21	11、10	GPIO85 (I/O)	XA13 (O)
	22	13、12	GPIO86 (I/O)	XA14 (O)
	23	15、14	GPIO87 (I/O)	XA15 (O)

ユーザーは、GPxQSEL1/2 レジスタを使って、各 GPIO ピンの入力フィルタのタイプを次の 4 つの選択肢から選択できます。

- SYSCLKOUT への同期のみ (GPxQSEL1/2 = 0, 0):これはリセット時のすべての GPIO ピンに対するデフォルト・モードであり、入力信号を単にシステム・クロック (SYSCLKOUT) に同期させるだけです。
- サンプリング・ウィンドウを使用したフィルタリング (GPxQSEL1/2 = 0, 1 および 1, 0):このモードでは、入力信号をシステム・クロック (SYSCLKOUT) と同期させてから、指定されたサイクル数にわたってフィルタリングした後、入力の変化が許可されます。

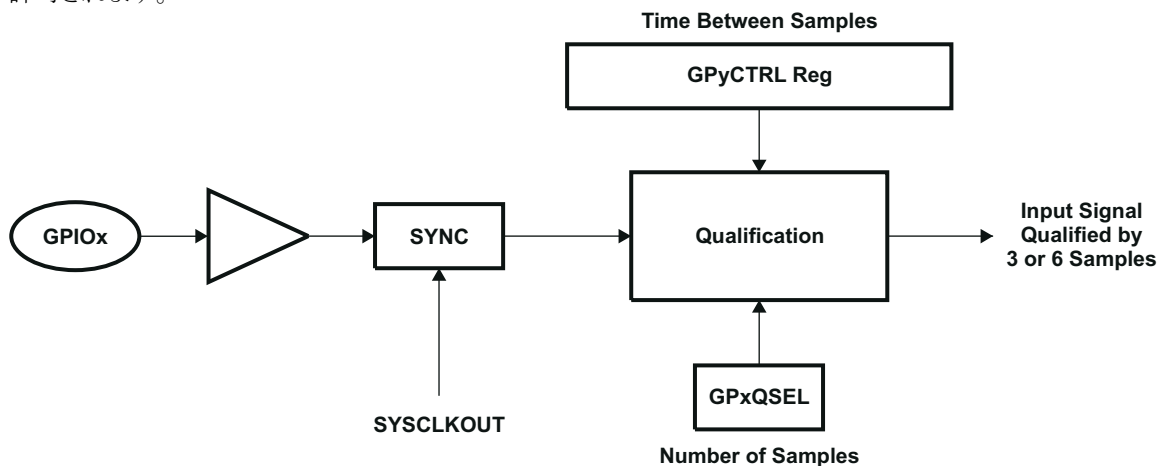


図 8-19. サンプリング・ウィンドウを使用したフィルタリング

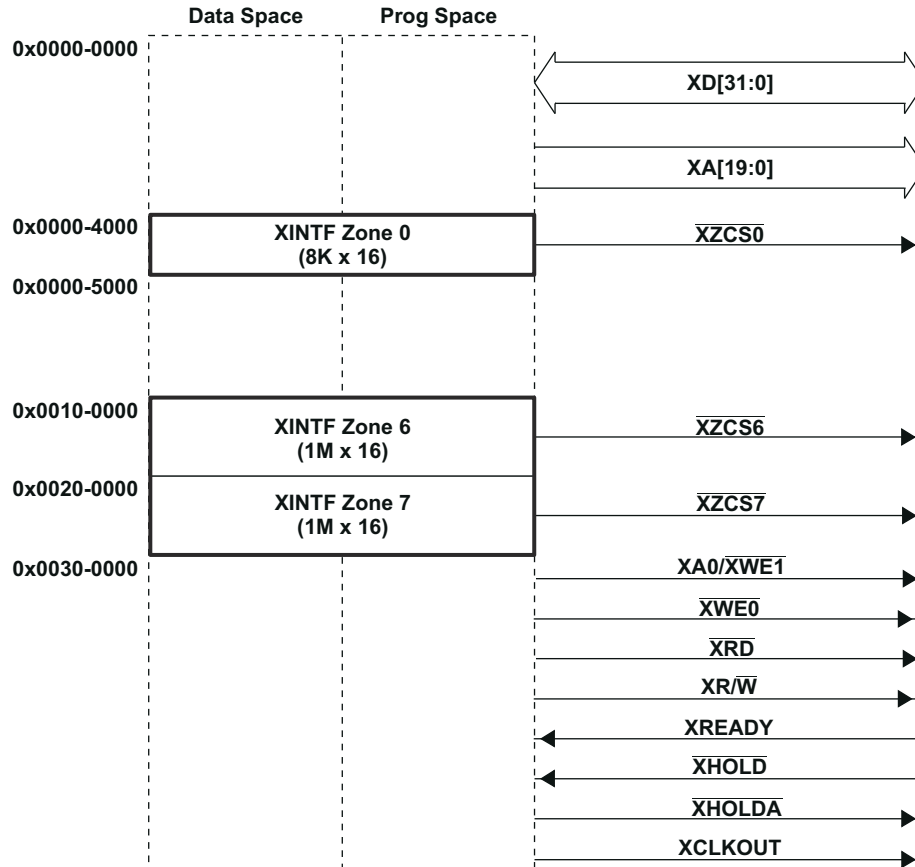
- サンプリング期間を GPxCTRL レジスタの QUALPRD ビットで指定します。8 つの信号グループに対してまとめて設定できます。入力信号をサンプリングする期間として、SYSCLKOUT のサイクル数を指定します。サンプリング・ウィンドウは、3 サンプルまたは 6 サンプルのどちらかです。図 8-19 (6 サンプル・モードの場合) に示すように、すべてのサンプルが同じ (すべて 0 またはすべて 1) である場合のみ出力が変更されます。
- 同期なし (GPxQSEL1/2 = 1, 1):このモードは、同期が不要なペリフェラル (ペリフェラル内で同期が実行される) に使用されます。

デバイスではマルチレベルの多重化が必要であるため、ペリフェラル入力信号を複数の GPIO ピンにマッピングできるようになっている場合があります。また、入力信号が選択されていない場合、ペリフェラルに応じて、その入力信号はデフォルトで 0 または 1 の状態になります。

8.2.14 外部インターフェイス (XINTF)

このセクションでは、2833x/2823x デバイスに実装されている外部インターフェイス (XINTF) の概要を示します。

XINTF は非多重化非同期バスで、2812 XINTF と同様です。XINTF は、[図 8-20](#) に示す 3 つの固定ゾーンにマップされます。



- A. 各ゾーンは、異なるウェイト状態、セットアップおよびホールド・タイミングでプログラムでき、特定のゾーンへのアクセスが実行されるときに切り替えられるゾーン・チップ・セレクトを備えています。これらの機能により、多くの外部メモリやペリフェラルとの直接接続が可能になります。
- B. ゾーン 1~5 は、将来の拡張のために予約されています。
- C. ゾーン 0、6、7 は常にイネーブルです。

図 8-20. 外部インターフェイスのブロック図

図 8-21 および 図 8-22 に、16 ビットおよび 32 ビットの標準的なデータ・バス XINTF 接続を示します。ここでは、XA0 および XWE1 信号の機能が構成に応じてどのように変更されるかを示しています。表 8-21 に、XINTF の構成および制御レジスタの定義を示します。

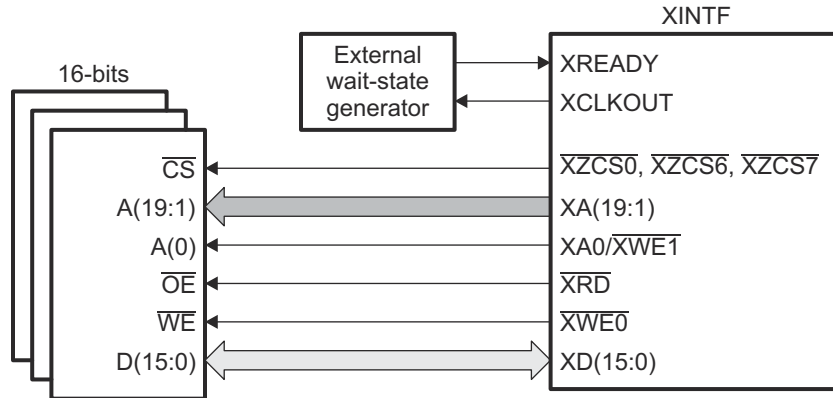


図 8-21. 16 ビット・データ・バスの標準的な XINTF 接続

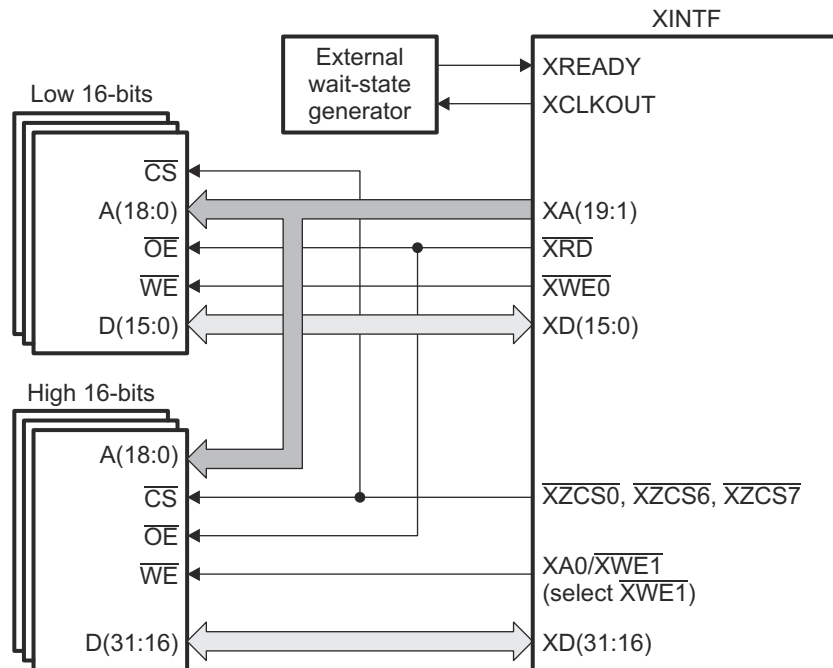


図 8-22. 32 ビット・データ・バスの標準的な XINTF 接続

表 8-21. XINTF の構成および制御レジスタのマッピング

名称	アドレス	サイズ (x16)	説明
XTIMING0	0x00~0B20	2	XINTF タイミング・レジスタ、ゾーン 0
XTIMING6 ⁽¹⁾	0x00~0B2C	2	XINTF タイミング・レジスタ、ゾーン 6
XTIMING7	0x00~0B2E	2	XINTF タイミング・レジスタ、ゾーン 7
XINTCNF2 ⁽²⁾	0x00~0B34	2	XINTF 構成レジスタ
XBANK	0x00~0B38	1	XINTF バンク制御レジスタ
XREVISION	0x00~0B3A	1	XINTF リビジョン・レジスタ
XRESET	0x00~0B3D	1	XINTF リセット・レジスタ

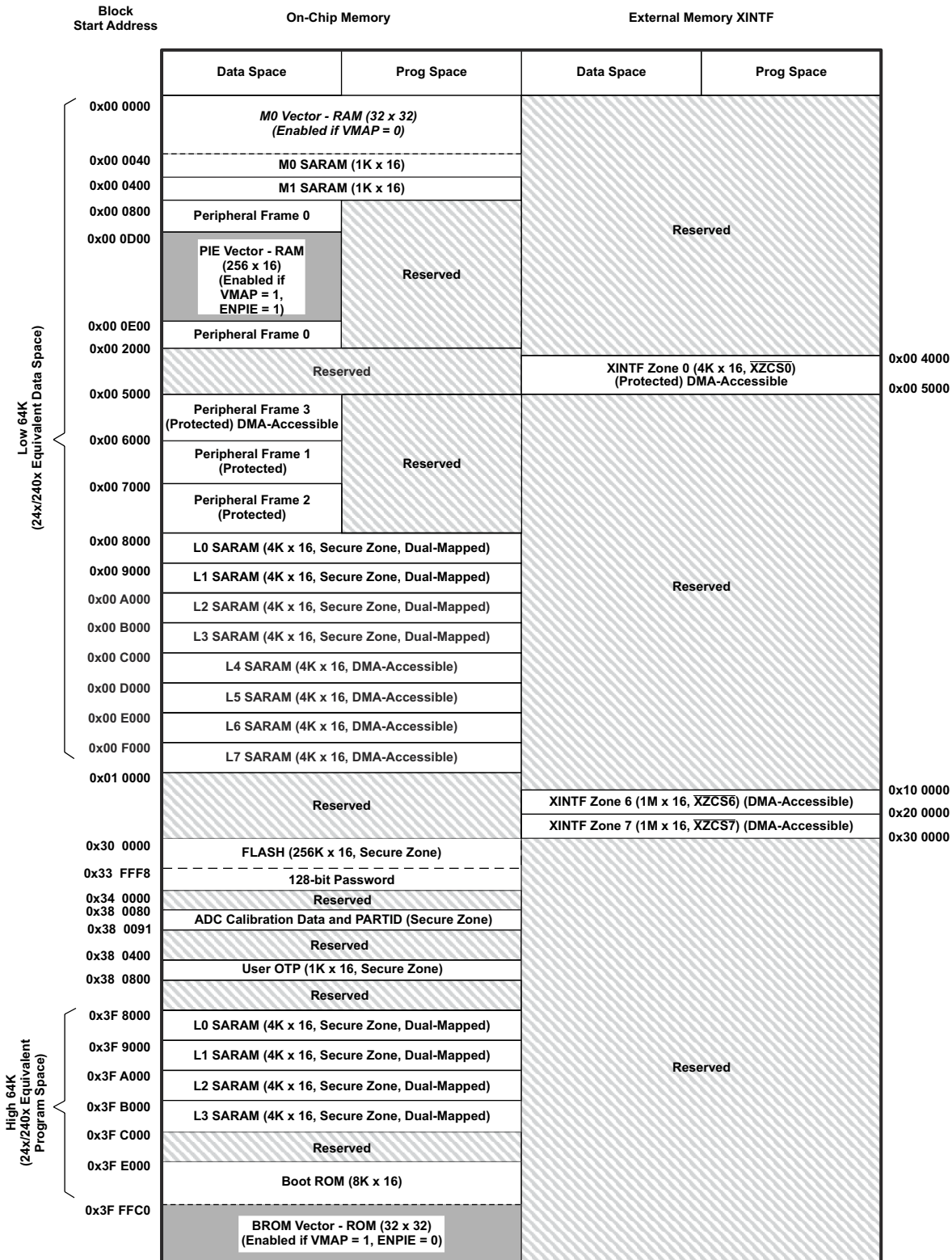
(1) XTIMING1~XTIMING5 は、将来の拡張のために予約されており、現在は使用されていません。

(2) XINTCNF1 は予約済みで、現在は使用されていません。

8.3 メモリ・マップ

図 8-23 ~ 図 8-25 には、次の事項が適用されます。

- 図のメモリ・ブロックの大きさは、メモリのサイズに比例していません。
- ペリフェラル・フレーム 0、ペリフェラル・フレーム 1、ペリフェラル・フレーム 2、ペリフェラル・フレーム 3 のメモリ・マップは、データ・メモリのみ限定されます。ユーザー・プログラムは、プログラム領域でこれらのメモリ・マップにアクセスできません。
- 保護されている場合、パイプラインの順序ではなく、「書き込み後の読み取り」動作の順序が維持されます。詳細については、『[TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「システム制御および割り込み」の章を参照してください。
- 特定のメモリ範囲は、構成後の不要な書き込みに対して **EALLOW** 保護されています。
- **0x38 0080~0x38 008F** の領域には、ADC 較正ルーチンが書き込まれています。ユーザーは、この領域に書き込むことができません。
- eCAN モジュールをアプリケーションで使用しない場合は、使用可能な RAM (LAM、MOTS、MOTO、メールボックス RAM) を汎用 RAM として使用できます。この場合、CAN モジュールのクロックをイネーブルにする必要があります。




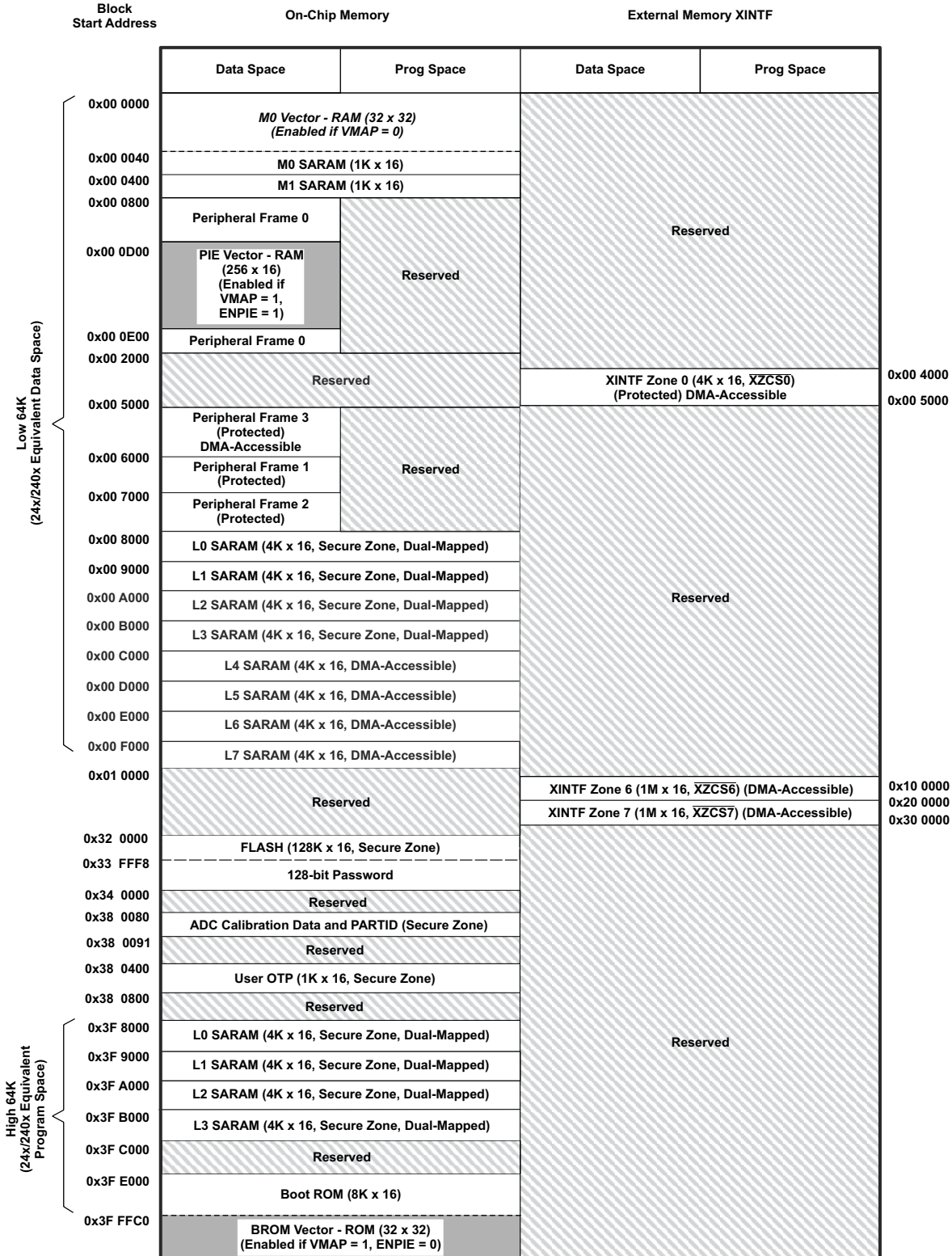
LEGEND:
 Only one of these vector maps-M0 vector, PIE vector, BROM vector- should be enabled at a time.


図 8-23. F28335、F28333、F28235 メモリ・マップ



LEGEND:
 Only one of these vector maps-M0 vector, PIE vector, BROM vector-should be enabled at a time.

図 8-24. F28334、F28234 メモリ・マップ

Block Start Address	On-Chip Memory	External Memory XINTF			
	Data Space	Prog Space	Data Space	Prog Space	
Low 64K (24x/240x Equivalent Data Space)	0x00 0000	M0 Vector - RAM (32 x 32) (Enabled if VMAP = 0)		Reserved	
	0x00 0040	M0 SARAM (1K x 16)			
	0x00 0400	M1 SARAM (1K x 16)			
	0x00 0800	Peripheral Frame 0			
	0x00 0D00	PIE Vector - RAM (256 x 16) (Enabled if VMAP = 1, ENPIE = 1)	Reserved		
	0x00 0E00	Peripheral Frame 0			
	0x00 2000	Reserved			
	0x00 5000	XINTF Zone 0 (4K x 16, XZCS0) (Protected) DMA-Accessible			0x00 4000 0x00 5000
	0x00 6000	Peripheral Frame 3 (Protected) DMA-Accessible	Reserved		
	0x00 6000	Peripheral Frame 1 (Protected)			
	0x00 7000	Peripheral Frame 2 (Protected)			
	0x00 8000	L0 SARAM (4K x 16, Secure Zone, Dual-Mapped)			Reserved
	0x00 9000	L1 SARAM (4K x 16, Secure Zone, Dual-Mapped)			
	0x00 A000	L2 SARAM (4K x 16, Secure Zone, Dual-Mapped)			
0x00 B000	L3 SARAM (4K x 16, Secure Zone, Dual-Mapped)				
0x00 C000	L4 SARAM (4K x 16, DMA-Accessible)				
0x00 D000	L5 SARAM (4K x 16, DMA-Accessible)				
0x00 E000	Reserved				
High 64K (24x/240x Equivalent Program Space)	Reserved		XINTF Zone 6 (1M x 16, XZCS6) (DMA-Accessible)	0x10 0000 0x20 0000	
	Reserved		XINTF Zone 7 (1M x 16, XZCS7) (DMA-Accessible)	0x30 0000	
	0x33 0000	FLASH (64K x 16, Secure Zone)		Reserved	
	0x33 FFF8	128-bit Password			
	0x34 0000	Reserved			
	0x38 0080	ADC Calibration Data and PARTID (Secure Zone)			
	0x38 0091	Reserved			
	0x38 0400	User OTP (1K x 16, Secure Zone)			
	0x38 0800	Reserved			
	0x3F 8000	L0 SARAM (4K x 16, Secure Zone, Dual-Mapped)			
	0x3F 9000	L1 SARAM (4K x 16, Secure Zone, Dual-Mapped)			
	0x3F A000	L2 SARAM (4K x 16, Secure Zone, Dual-Mapped)			
	0x3F B000	L3 SARAM (4K x 16, Secure Zone, Dual-Mapped)			
	0x3F C000	Reserved			
0x3F E000	Boot ROM (8K x 16)				
0x3F FFC0	BROM Vector - ROM (32 x 32) (Enabled if VMAP = 1, ENPIE = 0)				

LEGEND:
 Only one of these vector maps-M0 vector, PIE vector, BROM vector-should be enabled at a time.

8-25. F28332、F28232 メモリ・マップ

表 8-22. F28335、F28333、F28235 のフラッシュ・セクタのアドレス

アドレス範囲	プログラムおよびデータの領域
0x30 0000~0x30 7FFF	セクタ H (32K × 16)
0x30 8000~0x30 FFFF	セクタ G (32K × 16)
0x31 0000~0x31 7FFF	セクタ F (32K × 16)
0x31 8000~0x31 FFFF	セクタ E (32K × 16)
0x32 0000~0x32 7FFF	セクタ D (32K × 16)
0x32 8000~0x32 FFFF	セクタ C (32K × 16)
0x33 0000~0x33 7FFF	セクタ B (32K × 16)
0x33 8000~0x33 FF7F	セクタ A (32K × 16)
0x33 FF80~0x33 FFF5	コード・セキュリティ・モジュールを使用する場合は 0x0000 を書き込みます
0x33 FFFF6~0x33 FFF7	フラッシュからのブートのエントリ・ポイント (ここにブランチ命令を書き込みます)
0x33 FFFF8~0x33 FFFF	セキュリティ・パスワード (128 ビット) (すべてゼロを書き込むことはできません)

表 8-23. F28334、F28234 のフラッシュ・セクタのアドレス

アドレス範囲	プログラムおよびデータの領域
0x32 0000~0x32 3FFF	セクタ H (16K × 16)
0x32 4000~0x32 7FFF	セクタ G (16K × 16)
0x32 8000~0x32 BFFF	セクタ F (16K × 16)
0x32 C000~0x32 FFFF	セクタ E (16K × 16)
0x33 0000~0x33 3FFF	セクタ D (16K × 16)
0x33 4000~0x33 7FFF	セクタ C (16K × 16)
0x33 8000~0x33 BFFF	セクタ B (16K × 16)
0x33 C000~0x33 FF7F	セクタ A (16K × 16)
0x33 FF80~0x33 FFF5	コード・セキュリティ・モジュールを使用する場合は 0x0000 を書き込みます
0x33 FFFF6~0x33 FFF7	フラッシュからのブートのエントリ・ポイント (ここにブランチ命令を書き込みます)
0x33 FFFF8~0x33 FFFF	セキュリティ・パスワード (128 ビット) (すべてゼロにプログラムすることはできません)

表 8-24. F28332、F28232 のフラッシュ・セクタのアドレス

アドレス範囲	プログラムおよびデータの領域
0x33 0000~0x33 3FFF	セクタ D (16K × 16)
0x33 4000~0x33 7FFFF	セクタ C (16K × 16)
0x33 8000~0x33 BFFF	セクタ B (16K × 16)
0x33 C000~0x33 FF7F	セクタ A (16K × 16)
0x33 FF80~0x33 FFF5	コード・セキュリティ・モジュールを使用する場合は 0x0000 を書き込みま す
0x33 FFFF6~0x33 FFF7	フラッシュからのブートのエントリ・ポイント (ここにブランチ命令を書き込み ます)
0x33 FFFF8~0x33 FFFF	セキュリティ・パスワード (128 ビット) (すべてゼロを書き込むことはできませ ん)

注

- コード・セキュリティ・パスワードを書き込む場合、0x33FF80～0x33FFF5 のすべてのアドレスをプログラム・コードまたはデータとして使用することはできません。これらの領域には、0x0000 を書き込む必要があります。
- コード・セキュリティ機能を使用しない場合、アドレス 0x33FF80～0x33FFEF をコードまたはデータに使用できます。アドレス 0x33FFF0～0x33FFF5 はデータ用に予約されており、プログラム・コードを書き込むことはできません。

表 8-25 に、これらのメモリ領域の取り扱い方法を示します。

表 8-25. セキュリティ・コード領域の取り扱い

アドレス	フラッシュ	
	コード・セキュリティがイネーブル	コード・セキュリティがディセーブル
0x33FF80～0x33FFEF	すべて 0x0000 を書き込み	アプリケーション・コードおよびデータ
0x33FFF0～0x33FFF5		データ専用予約済み

ペリフェラル・フレーム 1、ペリフェラル・フレーム 2、ペリフェラル・フレーム 3 はグループ化されており、これらのブロックを書き込み / 読み取りペリフェラル・ブロック保護できます。保護モードでは、これらのブロックへのすべてのアクセスは、書き込まれたとおりに行われることが保証されます。C28x のパイプラインにより、異なるメモリ領域への書き込み直後の読み取りは、CPU のメモリ・バス上で逆の順序で発生します。これにより、(書き込まれたとおりに) 書き込みが先に実行されることを前提とした一部のペリフェラル・アプリケーションでは、問題が発生する可能性があります。C28x CPU は、ブロック保護モードをサポートしており、ある領域のメモリを保護して、書き込まれたとおりに動作が確実に発生するようにします (動作を調整するために、余分なサイクルが追加されます)。このモードはプログラム可能で、デフォルトでは選択したゾーンが保護されます。

メモリ・マップ空間のさまざまな領域のウェイト状態を次のウェイト状態表に示します。

表 8-26. ウェイト状態

領域	ウェイト状態 (CPU)	ウェイト状態 (DMA) ⁽¹⁾	備考
M0 および M1 SARAM	0 ウェイト		固定
ペリフェラル・フレーム 0	0 ウェイト (書き込み) 1 ウェイト (読み取り)	0 ウェイト (読み取り) アクセスなし (書き込み)	
ペリフェラル・フレーム 3	0 ウェイト (書き込み) 2 ウェイト (読み取り)	0 ウェイト (書き込み) 1 ウェイト (読み取り)	CPU と DMA の間で競合がないものと想定しています。
ペリフェラル・フレーム 1	0 ウェイト (書き込み) 2 ウェイト (読み取り)	アクセスなし	サイクルは、ペリフェラルが生成する READY によって延長できません。 ペリフェラル・フレーム 1 レジスタへの連続 (バック・ツー・バック) 書き込みでは、1 サイクルのパイプライン・ヒット (1 サイクルの遅延) が発生します。
ペリフェラル・フレーム 2	0 ウェイト (書き込み) 2 ウェイト (読み取り)	アクセスなし	固定。サイクルをペリフェラルで延長することはできません。
L0 SARAM	0 ウェイト	アクセスなし	CPU の競合がないものと想定しています
L1 SARAM			
L2 SARAM			
L3 SARAM			
L4 SARAM	0 ウェイト、データ (読み取り)	0 ウェイト	CPU と DMA の間で競合がないものと想定しています。
L5 SARAM	0 ウェイト、データ (書き込み)		
L6 SARAM	1 ウェイト、プログラム (読み取り)		
L7 SARAM	1 ウェイト、プログラム (書き込み)		
XINTF	プログラム可能 0 ウェイト (書き込みバッファがイネーブルのときの最小書き込み時間)	プログラム可能 0 ウェイト (書き込みバッファがイネーブルのときの最小書き込み時間)	システムのタイミング要件を満たすために、XTIMING レジスタを使用してプログラムするか、または、外部の XREADY 信号を使用して延長することができます。 1 ウェイトは、XINTF での読み取りと書き込みの両方について、外部波形で許容される最小のウェイト状態です。 0 ウェイト最小書き込み時間は、書き込みバッファがイネーブルであり、かつ、フルではないことを前提としています。 CPU と DMA の間で競合がないものと想定しています。DMA と CPU が同時に試行すると (競合)、調停のために 1 サイクルの遅延が追加されます。
OTP	プログラム可能 最小 1 ウェイト	アクセスなし	フラッシュ・レジスタによりプログラムされます。 1 ウェイトは、許容される最小のウェイト状態の数です。CPU 周波数が低い場合、1 ウェイト状態で動作が可能です。
フラッシュ	プログラム可能 最小 1 ウェイト (ページ・アクセス) 最小 1 ウェイト (ランダム・アクセス) ランダム ≥ ページ	アクセスなし	フラッシュ・レジスタによりプログラムされます。 ページ・アクセスが許可されていない場合、最小 0 ウェイト
フラッシュ・パスワード	16 ウェイト固定	アクセスなし	パスワード領域のウェイト状態は固定されています。
ブート ROM	1 ウェイト	アクセスなし	0 ウェイト速度は不可能です。

(1) DMA は、4 サイクル / ワードが基本です。

8.4 レジスタ・マップ

これらのデバイスには、4つのペリフェラル・レジスタ領域があります。この領域は、以下のとおりです。

- ペリフェラル・フレーム 0: CPU メモリ・バスに直接マップされたペリフェラルです。表 8-27 を参照。
- ペリフェラル・フレーム 1: 32 ビットのペリフェラル・バスにマップされたペリフェラルです。表 8-28 を参照。
- ペリフェラル・フレーム 2: 16 ビットのペリフェラル・バスにマップされたペリフェラルです。表 8-29 を参照。
- ペリフェラル・フレーム 3: 32 ビットの DMA アクセス可能なペリフェラル・バスにマップされたペリフェラルです。表 8-30 を参照。

表 8-27. ペリフェラル・フレーム 0 レジスタ

名称 ⁽¹⁾	アドレス範囲	サイズ (x16)	アクセス・タイプ ⁽²⁾
デバイス・エミュレーション・レジスタ	0x00 0880~0x00 09FF	384	EALLOW 保護
フラッシュ・レジスタ ⁽³⁾	0x00 0A80~0x00 0ADF	96	EALLOW 保護
コード・セキュリティ・モジュール・レジスタ	0x00 0AE0~0x00 0AEF	16	EALLOW 保護
ADC レジスタ (デュアル・マップ) 0 ウェイト (DMA)、1 ウェイト (CPU)、読み取り専用	0x00 0B00 ~ 0x00 0B0F	16	EALLOW 保護なし
XINTF レジスタ	0x00 0B20~0x00 0B3F	32	EALLOW 保護
CPU タイマ 0、CPU タイマ 1、CPU タイマ 2 レジスタ	0x00 0C00~0x00 0C3F	64	EALLOW 保護なし
PIE レジスタ	0x00 0CE0~0x00 0CFF	32	EALLOW 保護なし
PIE ベクタ・テーブル	0x00 0D00 ~ 0x00 0DFF	256	EALLOW 保護
DMA レジスタ	0x00 1000~0x00 11FF	512	EALLOW 保護

- (1) フレーム 0 のレジスタは、16 ビット および 32 ビットのアクセスをサポートしています。
- (2) レジスタが EALLOW 保護されている場合は、EALLOW 命令が実行されるまで書き込みを実行できません。EDIS 命令は書き込みをディセーブルにし、浮遊コードやポインタがレジスタの内容を破壊しないようにします。
- (3) フラッシュ・レジスタは、コード・セキュリティ・モジュール (CSM) によっても保護されています。

表 8-28. ペリフェラル・フレーム 1 レジスタ

名称	アドレス範囲	サイズ (x16)
eCAN-A レジスタ	0x00 6000~0x00 61FF	512
eCAN-B レジスタ	0x00 6200~0x00 63FF	512
ePWM1 + HRPWM1 レジスタ	0x00 6800 ~ 0x00 683F	64
ePWM2 + HRPWM2 レジスタ	0x00 6840~0x00 687F	64
ePWM3 + HRPWM3 レジスタ	0x00 6880~0x00 68BF	64
ePWM4 + HRPWM4 レジスタ	0x00 68C0 ~ 0x00 68FF	64
ePWM5 + HRPWM5 レジスタ	0x00 6900 ~ 0x00 693F	64
ePWM6 + HRPWM6 レジスタ	0x00 6940~0x00 697F	64
eCAP1 レジスタ	0x00 6A00 ~ 0x00 6A1F	32
eCAP2 レジスタ	0x00 6A20~0x00 6A3F	32
eCAP3 レジスタ	0x00 6A40~0x00 6A5F	32
eCAP4 レジスタ	0x00 6A60~0x00 6A7F	32
eCAP5 レジスタ	0x00 6A80~0x00 6A9F	32
eCAP6 レジスタ	0x00 6AA0~0x00 6ABF	32
eQEP1 レジスタ	0x00 6B00 ~ 0x00 6B3F	64
eQEP2 レジスタ	0x00 6B40~0x00 6B7F	64

表 8-28. ペリフェラル・フレーム 1 レジスタ (continued)

名称	アドレス範囲	サイズ (x16)
GPIO レジスタ	0x00 6F80~0x00 6FFF	128

表 8-29. ペリフェラル・フレーム 2 レジスタ

名称	アドレス範囲	サイズ (x16)
システム制御レジスタ	0x00 7010 ~ 0x00 702F	32
SPI-A レジスタ	0x00 7040 ~ 0x00 704F	16
SCI-A レジスタ	0x00 7050 ~ 0x00 705F	16
外部割り込みレジスタ	0x00 7070 ~ 0x00 707F	16
ADC レジスタ	0x00 7100 ~ 0x00 711F	32
SCI-B レジスタ	0x00 7750 ~ 0x00 775F	16
SCI-C レジスタ	0x00 7770 ~ 0x00 777F	16
I2C-A レジスタ	0x00 7900 ~ 0x00 793F	64

表 8-30. ペリフェラル・フレーム 3 レジスタ

名称	アドレス範囲	サイズ (x16)
McBSP-A レジスタ (DMA)	0x5000 ~ 0x503F	64
McBSP-B レジスタ (DMA)	0x5040 ~ 0x507F	64
ePWM1 + HRPWM1 (DMA) ⁽¹⁾	0x5800 ~ 0x583F	64
ePWM2 + HRPWM2 (DMA)	0x5840 ~ 0x587F	64
ePWM3 + HRPWM3 (DMA)	0x5880 ~ 0x58BF	64
ePWM4 + HRPWM4 (DMA)	0x58C0 ~ 0x58FF	64
ePWM5 + HRPWM5 (DMA)	0x5900 ~ 0x593F	64
ePWM6 + HRPWM6 (DMA)	0x5940 ~ 0x597F	64

- (1) ePWM および HRPWM モジュールは、ペリフェラル・フレーム 3 に再マップして DMA モジュールでアクセスできます。これを実現するには、MAPCNF レジスタ (アドレス 0x702E) のビット 0 (MAPEPWM) を 1 に設定する必要があります。このレジスタは EALLOW 保護されています。このビットが 0 の場合、ePWM および HRPWM モジュールは、ペリフェラル・フレーム 1 にマップされます。

8.4.1 デバイス・エミュレーション・レジスタ

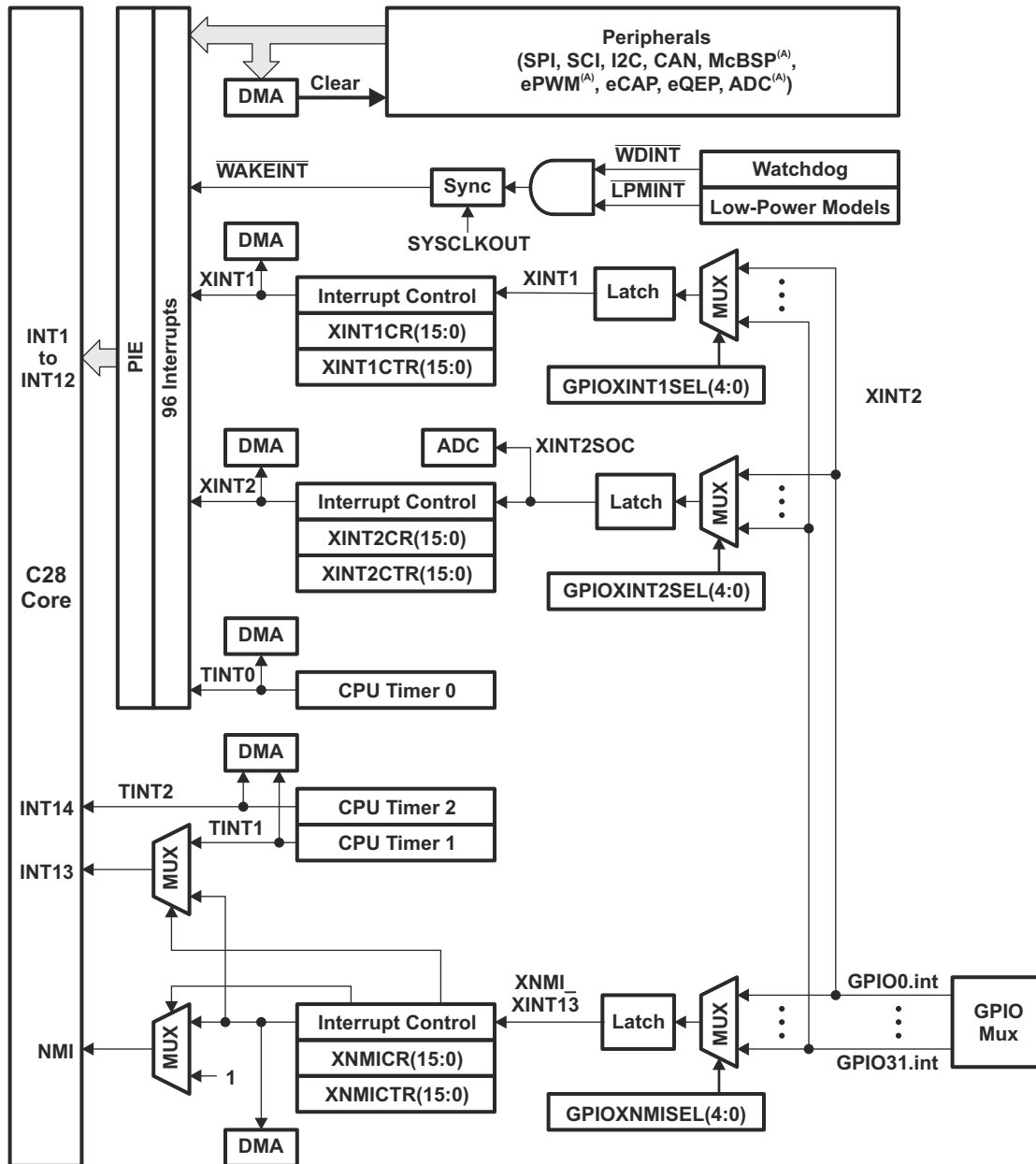
これらのレジスタは、C28x CPU の保護モードを制御し、いくつかの重要なデバイス信号を監視するために使用されます。レジスタは表 8-31 に定義されています。

表 8-31. デバイス・エミュレーション・レジスタ

名称	アドレス範囲	サイズ (x16)	説明		
DEVICECNF	0x0880 0x0881	2	デバイス構成レジスタ		
PARTID	0x380090	1	部品 ID レジスタ	TMS320F28335	0x00EF
				TMS320F28334	0x00EE
				TMS320F28333	0x00E0
				TMS320F28332	0x00ED
				TMS320F28235	0x00E8
				TMS320F28234	0x00E7
				TMS320F28232	0x00E6
CLASSID	0x0882	1	TMS320F2833x 浮動小数点クラス・デバイス	TMS320F28335	0x00EF
				TMS320F28334	0x00EF
				TMS320F28333	0x00EF
				TMS320F28332	0x00EF
			TMS320F2823x 固定小数点クラス・デバイス	TMS320F28235	0x00E8
				TMS320F28234	0x00E8
				TMS320F28232	0x00E8
REVID	0x0883	1	リビジョン ID レジスタ	0x0001 – シリコン・リビジョン A – TMS	
PROTSTART	0x0884	1	ブロック保護開始アドレス・レジスタ		
PROTRANGE	0x0885	1	ブロック保護範囲アドレス・レジスタ		

8.5 割り込み

図 8-26 に、各種の割り込みソース多重化の状況を示します。



A. DMA アクセス可能

図 8-26. 外部および PIE 割り込みソース

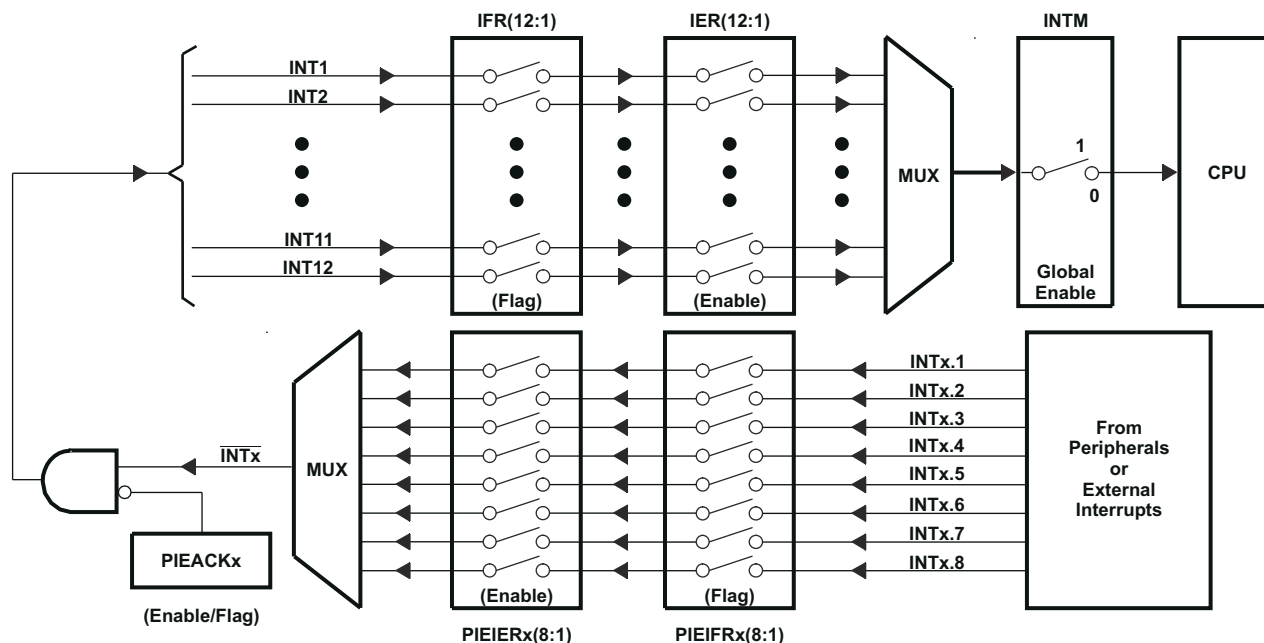


図 8-28. PIE ブロックを使用した割り込みの多重化

表 8-32. PIE パリフェラル割り込み

CPU 割り込み	PIE 割り込み ⁽¹⁾							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 (タイマ 0)	ADCINT ⁽²⁾ (ADC)	XINT2	XINT1	予約済み	SEQ2INT (ADC)	SEQ1INT (ADC)
INT2	予約済み	予約済み	EPWM6_TZINT (ePWM6)	EPWM5_TZINT (ePWM5)	EPWM4_TZINT (ePWM4)	EPWM3_TZINT (ePWM3)	EPWM2_TZINT (ePWM2)	EPWM1_TZINT (ePWM1)
INT3	予約済み	予約済み	EPWM6_INT (ePWM6)	EPWM5_INT (ePWM5)	EPWM4_INT (ePWM4)	EPWM3_INT (ePWM3)	EPWM2_INT (ePWM2)	EPWM1_INT (ePWM1)
INT4	予約済み	予約済み	ECAP6_INT (eCAP6)	ECAP5_INT (eCAP5)	ECAP4_INT (eCAP4)	ECAP3_INT (eCAP3)	ECAP2_INT (eCAP2)	ECAP1_INT (eCAP1)
INT5	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	EQEP2_INT (eQEP2)	EQEP1_INT (eQEP1)
INT6	予約済み	予約済み	MXINTA (McBSP-A)	MRINTA (McBSP-A)	MXINTB (McBSP-B)	MRINTB (McBSP-B)	SPIXTINTA (SPI-A)	SPIRXINTA (SPI-A)
INT7	予約済み	予約済み	DINTCH6 (DMA)	DINTCH5 (DMA)	DINTCH4 (DMA)	DINTCH3 (DMA)	DINTCH2 (DMA)	DINTCH1 (DMA)
INT8	予約済み	予約済み	SCITXINTC (SCI-C)	SCIRXINTC (SCI-C)	予約済み	予約済み	I2CINT2A (I2C-A)	I2CINT1A (I2C-A)
INT9	ECAN1_INTB (CAN-B)	ECAN0_INTB (CAN-B)	ECAN1_INTA (CAN-A)	ECAN0_INTA (CAN-A)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
INT11	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
INT12	LUF (FPU)	LVF (FPU)	予約済み	XINT7	XINT6	XINT5	XINT4	XINT3

- (1) 96 個ある割り込みのうち、58 個の割り込みが現在使用されています。残りの割り込みは、将来のデバイス用に予約されています。同じグループ内の割り込みがパシフェラルによって使用されていない場合には、これらの予約済み割り込みは、PIEIFRx レベルでイネーブルにすれば、ソフトウェア割り込みとして使用できます。それ以外の場合、PIEIFR を変更するときに偶発的にフラグがクリアされて、パシフェラルからの割り込みが失われる可能性があります。要するに、予約済み割り込みをソフトウェア割り込みとして安全に使用できる状況としては、次の 2 つの場合があります。
- 1) グループ内のパシフェラルが割り込みをアサートしていない。
 - 2) グループにはパシフェラル割り込みが割り当てられていない (たとえば、PIE グループ 11)。
- (2) ADCINT は、SEQ1INT 信号および SEQ2INT 信号の論理 OR として生成されます。これは、TMS320F281x シリーズのデバイスの実装との下位互換性を確保するためです。この実装では、SEQ1INT および SEQ2INT は存在せず、ADCINT のみでした。新しく実装する場合には、SEQ1INT および SEQ2INT を使用し、PIEIER レジスタで ADCINT をイネーブルにしないことを推奨します。

表 8-33. PIE 構成および制御レジスタ

名称	アドレス	サイズ (x16)	説明 ⁽¹⁾
PIECTRL	0x0CE0	1	PIE、制御レジスタ
PIEACK	0x0CE1	1	PIE、アクナリッジ・レジスタ
PIEIER1	0x0CE2	1	PIE、INT1 グループ・イネーブル・レジスタ
PIEIFR1	0x0CE3	1	PIE、INT1 グループ・フラグ・レジスタ
PIEIER2	0x0CE4	1	PIE、INT2 グループ・イネーブル・レジスタ
PIEIFR2	0x0CE5	1	PIE、INT2 グループ・フラグ・レジスタ
PIEIER3	0x0CE6	1	PIE、INT3 グループ・イネーブル・レジスタ
PIEIFR3	0x0CE7	1	PIE、INT3 グループ・フラグ・レジスタ
PIEIER4	0x0CE8	1	PIE、INT4 グループ・イネーブル・レジスタ
PIEIFR4	0x0CE9	1	PIE、INT4 グループ・フラグ・レジスタ
PIEIER5	0x0CEA	1	PIE、INT5 グループ・イネーブル・レジスタ
PIEIFR5	0x0CEB	1	PIE、INT5 グループ・フラグ・レジスタ
PIEIER6	0x0CEC	1	PIE、INT6 グループ・イネーブル・レジスタ
PIEIFR6	0x0CED	1	PIE、INT6 グループ・フラグ・レジスタ
PIEIER7	0x0CEE	1	PIE、INT7 グループ・イネーブル・レジスタ
PIEIFR7	0x0CEF	1	PIE、INT7 グループ・フラグ・レジスタ
PIEIER8	0x0CF0	1	PIE、INT8 グループ・イネーブル・レジスタ
PIEIFR8	0x0CF1	1	PIE、INT8 グループ・フラグ・レジスタ
PIEIER9	0x0CF2	1	PIE、INT9 グループ・イネーブル・レジスタ
PIEIFR9	0x0CF3	1	PIE、INT9 グループ・フラグ・レジスタ
PIEIER10	0x0CF4	1	PIE、INT10 グループ・イネーブル・レジスタ
PIEIFR10	0x0CF5	1	PIE、INT10 グループ・フラグ・レジスタ
PIEIER11	0x0CF6	1	PIE、INT11 グループ・イネーブル・レジスタ
PIEIFR11	0x0CF7	1	PIE、INT11 グループ・フラグ・レジスタ
PIEIER12	0x0CF8	1	PIE、INT12 グループ・イネーブル・レジスタ
PIEIFR12	0x0CF9	1	PIE INT12 グループ・フラグ・レジスタ
予約済み	0x0CFA~0x0CFF	6	予約済み

(1) PIE 構成および制御レジスタは、EALLOW モードで保護されません。PIE ベクタ・テーブルは、保護されません。

8.5.1 外部割り込み

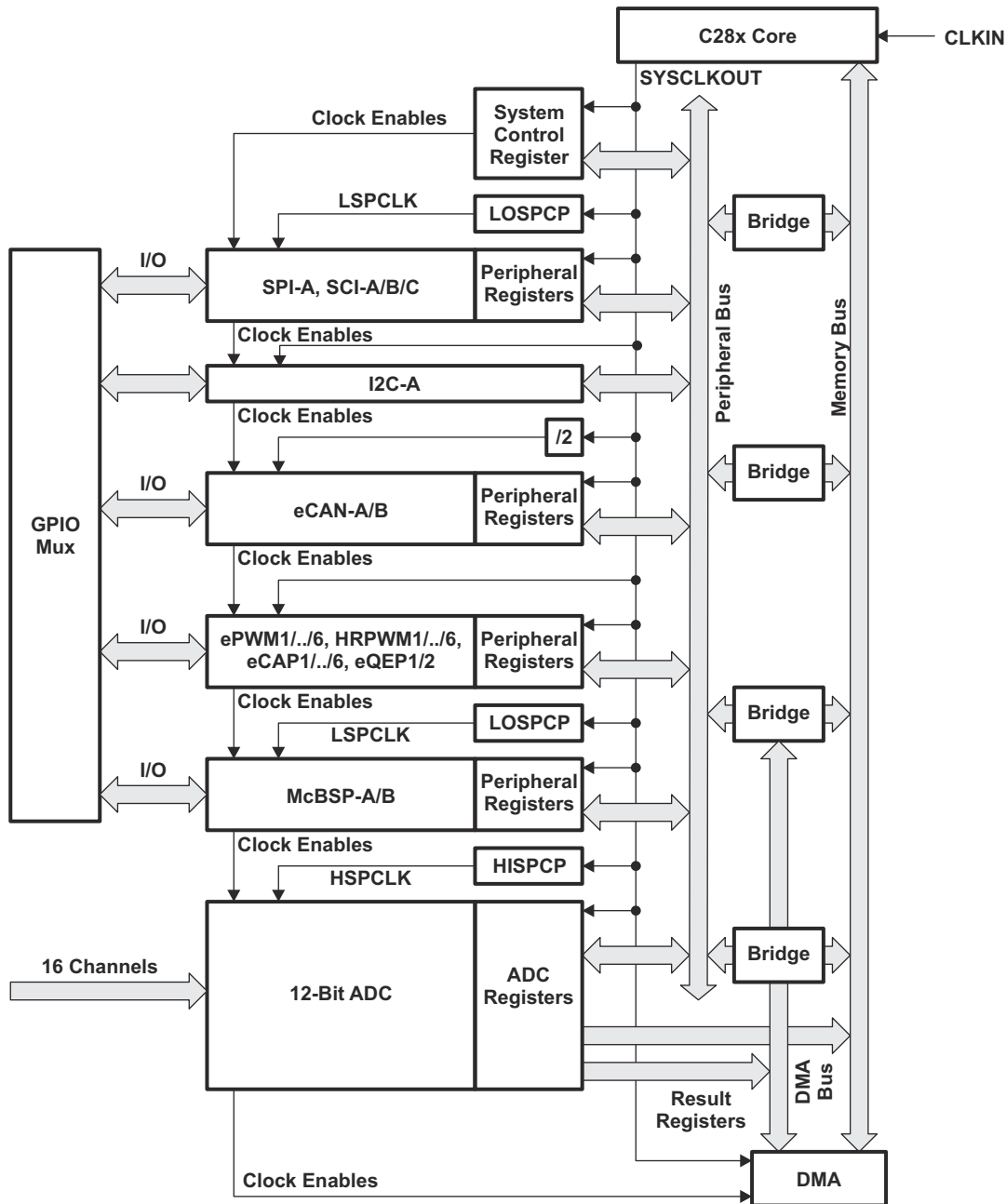
表 8-34. 外部割り込みレジスタ

名称	アドレス	サイズ (x16)	説明
XINT1CR	0x00 7070	1	XINT1 構成レジスタ
XINT2CR	0x00 7071	1	XINT2 構成レジスタ
XINT3CR	0x00 7072	1	XINT3 構成レジスタ
XINT4CR	0x00 7073	1	XINT4 構成レジスタ
XINT5CR	0x00 7074	1	XINT5 構成レジスタ
XINT6CR	0x00 7075	1	XINT6 構成レジスタ
XINT7CR	0x00 7076	1	XINT7 構成レジスタ
NMICR	0x00 7077	1	XNMI 構成レジスタ
XINT1CTR	0x00 7078	1	XINT1 カウンタ・レジスタ
XINT2CTR	0x00 7079	1	XINT2 カウンタ・レジスタ
予約済み	0x707A~0x707E	5	
XNMICTR	0x00 707F	1	XNMI カウンタ・レジスタ

各外部割り込みは、立ち上がり、立ち下がり、またはその両方のエッジを使って、イネーブルまたはディセーブルにする、またはフィルタすることができます。詳細については、『[TMS320x2833x](#)、[TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「システム制御および割り込み」の章を参照してください。

8.6 システム制御

このセクションでは、発振器、PLL、クロック供給メカニズム、ウォッチドッグ機能、および低消費電力モードについて説明します。図 8-29 に、説明する各種のクロックおよびリセット・ドメインを示します。



- A. CLKIN は、CPU へのクロックです。これは、SYSCLKOUT として CPU から次の回路へ伝達されます (すなわち、CLKIN は SYSCLKOUT と同じ周波数です)。CLKIN の生成方法の説明については、図 8-30 を参照してください。

図 8-29. クロックおよびリセット・ドメイン

注

PCLKCR0、PCLKCR1、PCLKCR2 レジスタへの書き込み (ペリフェラル・クロックを有効にする) を行ってからその動作が有効になるまでには、2 SYSCLKOUT サイクルの遅延があります。ペリフェラル構成レジスタへのアクセスを試行する前に、この遅延を考慮する必要があります。

PLL、クロック供給、ウォッチドッグ、および低消費電力モードは、表 8-35 に示すレジスタによって制御されます。

表 8-35. PLL、クロック供給、ウォッチドッグ、および低消費電力モード・レジスタ

名称	アドレス	サイズ (x16)	説明
PLLSTS	0x00 7011	1	PLL ステータス・レジスタ
予約済み	0x00 7012~0x00 7018	7	予約済み
予約済み	0x00 7019	1	予約済み
HISPCP	0x00 701A	1	高速ペリフェラル・クロック・プリスケラ・レジスタ
LOSPCP	0x00 701B	1	低速ペリフェラル・クロック・プリスケラ・レジスタ
PCLKCR0	0x00 701C	1	ペリフェラル・クロック制御レジスタ 0
PCLKCR1	0x00 701D	1	ペリフェラル・クロック制御レジスタ 1
LPMCR0	0x00 701E	1	低消費電力モード制御レジスタ 0
予約済み	0x00 701F	1	予約済み
PCLKCR3	0x00 7020	1	ペリフェラル・クロック制御レジスタ 3
PLLCR	0x00 7021	1	PLL 制御レジスタ
SCSR	0x00 7022	1	システム制御およびステータス・レジスタ
WDCNTR	0x00 7023	1	ウォッチドッグ・カウンタ・レジスタ
予約済み	0x00 7024	1	予約済み
WDKEY	0x00 7025	1	ウォッチドッグ・リセット・キー・レジスタ
予約済み	0x00 7026~0x00 7028	3	予約済み
WDCR	0x00 7029	1	ウォッチドッグ制御レジスタ
予約済み	0x00 702A ~ 0x00 702D	4	予約済み
MAPCNF	0x00 702E	1	ePWM/HRPWM リマップ・レジスタ

8.6.1 OSC および PLL ブロック

図 8-30 に、OSC および PLL ブロックを示します。

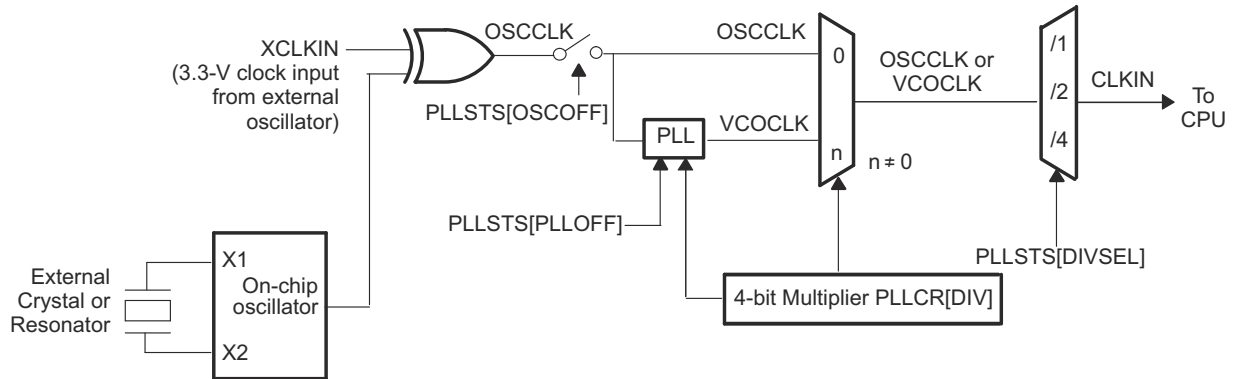


図 8-30. OSC および PLL ブロック図

オンチップの発振器回路があるので、X1 ピンおよび X2 ピンを使って 2833x/2823x デバイスに水晶振動子 / 発振子を接続できます。オンチップ発振器を使用しない場合、外部発振器を以下のいずれかの構成で使用できます。

- 3.3V の外部発振器を XCLKIN ピンに直接接続できます。X2 ピンは未接続のままにし、X1 ピンは LOW に接続する必要があります。この場合のロジック HIGH レベルは、 V_{DDIO} を超えないようにする必要があります。
- 1.9V (100MHz デバイスでは 1.8V) の外部発振器を X1 ピンに直接接続できます。X2 ピンは未接続のままにし、XCLKIN ピンは LOW に接続する必要があります。この場合のロジック HIGH レベルは、 V_{DD} を超えないようにする必要があります。

図 8-31～図 8-33 に、3 つの入力クロック構成を示します。

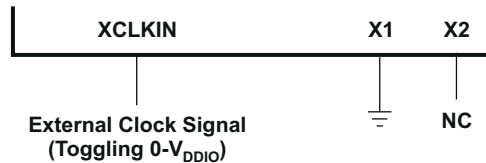


図 8-31. 3.3V の外部発振器を使用

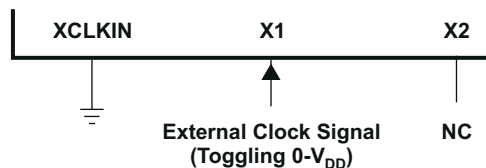


図 8-32. 1.9V の外部発振器を使用

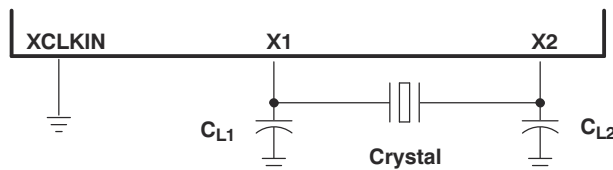


図 8-33. 内部発振器を使用

8.6.1.1 外部基準発振器クロック・オプション

周波数 30MHz の外部水晶振動子の標準仕様は次のとおりです。

- 基本モード、並列共振
- C_L (負荷容量) = 12pF
- $C_{L1} = C_{L2} = 24pF$
- $C_{shunt} = 6 pF$
- ESR 範囲 = 25~40Ω

TI では、発振子 / 水晶振動子のベンダが、MCU チップを使用したデバイスの動作の特性評価を行うことを推奨しています。発振子 / 水晶振動子のベンダには、タンク回路を調整するための機器と専門知識があります。また、ベンダは、動作範囲全体にわたって適切な起動と安定性を実現するための適切なタンク部品の値について、お客様に助言することもできます。

8.6.1.2 PLL ベースのクロック・モジュール

これらのデバイスには、オンチップの PLL ベースのクロック・モジュールが搭載されています。このモジュールは、デバイスに必要なすべてのクロック信号を供給するとともに、低消費電力モードへの移行を制御します。この PLL には、4 ビットで比率を制御する PLLCR[DIV] があり、さまざまな CPU クロック・レートを選択できます。PLLCR レジスタに書き込む前に、ウォッチドッグ・モジュールを無効にする必要があります。ウォッチドッグ・モジュールは、PLL モジュールが安定化した後で (必要な場合は) 再度イネーブルにできます。この安定化には、131072 OSCCLK サイクルかかります。PLL (VCOCLK) の出力周波数が 300MHz を超えないように、入力クロックおよび PLLCR[DIV] ビットを選択する必要があります。

表 8-36. PLL 設定

PLLCR [DIV] の値 ^{(2) (3)}	PLLSTS[DIVSEL] = 0 または 1 ⁽¹⁾	SYSCLKOUT (CLKIN)	
		PLLSTS[DIVSEL] = 2 ⁽¹⁾	PLLSTS[DIVSEL] = 3 ^{(1) (4)}
0000 (PLL バイパス)	OSCCLK/4 (デフォルト)	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	–
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	–
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	–
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	–
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	–
0110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	–
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	–
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	–
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	–
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	–
1011~1111	予約済み	予約済み	予約済み

- (1) デフォルトでは、PLLST[DIVSEL] は /4 に構成されています。(ブート ROM がこれを /2 に変更します。)PLLSTS[DIVSEL] は、PLLCR に書き込む前に 0 になっている必要があります。これは、PLLSTS[PLLLOCKS] = 1 になった後でのみ変更できます。
- (2) PLL 制御レジスタ (PLLCR) および PLL ステータス・レジスタ (PLLSTS) は、XRS 信号またはウォッチドッグ・リセットによってのみデフォルト状態にリセットされます。デバッグまたはクロック喪失検出ロジックによって発行されたリセットは、何の影響もありません。
- (3) このレジスタは、EALLOW 保護されています。詳細については、『TMS320x2833x, TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御および割り込み」の章を参照してください。
- (4) コアに供給されるクロックのデューティ・サイクルが正常であることを確保するためには、PLL 出力に分周器が必要です。このため、PLL がアクティブのとき、DIVSEL の値を 3 にしてはいけません。

表 8-37. CLKIN 分周オプション

PLLSTS [DIVSEL]	CLKIN 分周
0	/4
1	/4
2	/2
3	/1 ⁽¹⁾

(1) このモードは、PLL がバイパスまたはオフのときのみ使用できます。

PLL ベースのクロック・モジュールには、次の 2 つの動作モードがあります。

- 水晶動作 - このモードでは、外付けの水晶振動子 / 発振子を使って、デバイスに時間ベースを提供できます。
- 外部クロック・ソース動作 - このモードでは、内部発振器をバイパスできます。デバイスのクロックは、X1 または XCLKIN ピンの外部クロック・ソース入力から生成されます。

表 8-38. 可能な PLL 構成モード

PLL MODE	説明	PLLSTS [DIVSEL]	CLKIN および SYSCLKOUT
PLL オフ	PLLSTS レジスタの PLLOFF ビットをユーザーが設定すると、このモードになります。このモードでは、PLL ブロックはディセーブルになっています。これは、システム・ノイズの低減と低消費電力動作に役立ちます。このモードに移行する前に、PLLCCR レジスタを 0x0000 (PLL バイパス) に設定する必要があります。CPU クロック (CLKIN) は、X1/X2、X1、XCLKIN のいずれかの入力クロックから直接生成されます。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL バイパス	PLL バイパスは、電源投入時または外部リセット (XRS) 後のデフォルトの PLL 構成です。このモードは、PLLCCR レジスタが 0x0000 に設定されているとき、または PLLCCR レジスタが変更された後に PLL が新しい周波数にロックされるときに選択されます。このモードでは、PLL 自体はバイパスされますが、PLL はオフになりません。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL イネーブル	ゼロでない値 n を PLLCCR レジスタに書き込むことにより、このモードになります。PLLCCR に書き込むと、PLL がロックされるまで、デバイスは PLL バイパス・モードに切り替わりません。	0, 1 2	OSCCLK*n/4 OSCCLK*n/2

8.6.1.3 入力クロック喪失

PLL イネーブルおよび PLL バイパス・モードでは、入力クロック OSCCLK が除去された場合、または存在しない場合でも、PLL は引き続きリンプ・モード・クロックを発行します。リンプ・モード・クロックは、標準的には 1~5MHz の周波数で CPU およびペリフェラルへのクロック供給を継続します。リンプ・モードは、電源投入時から動作する仕様ではありません。入力クロックが最初に存在している場合のみ動作します。PLL バイパス・モードでは、入力クロックが除去された場合、または存在しない場合、PLL からのリンプ・モード・クロックが自動的に CPU に供給されます。

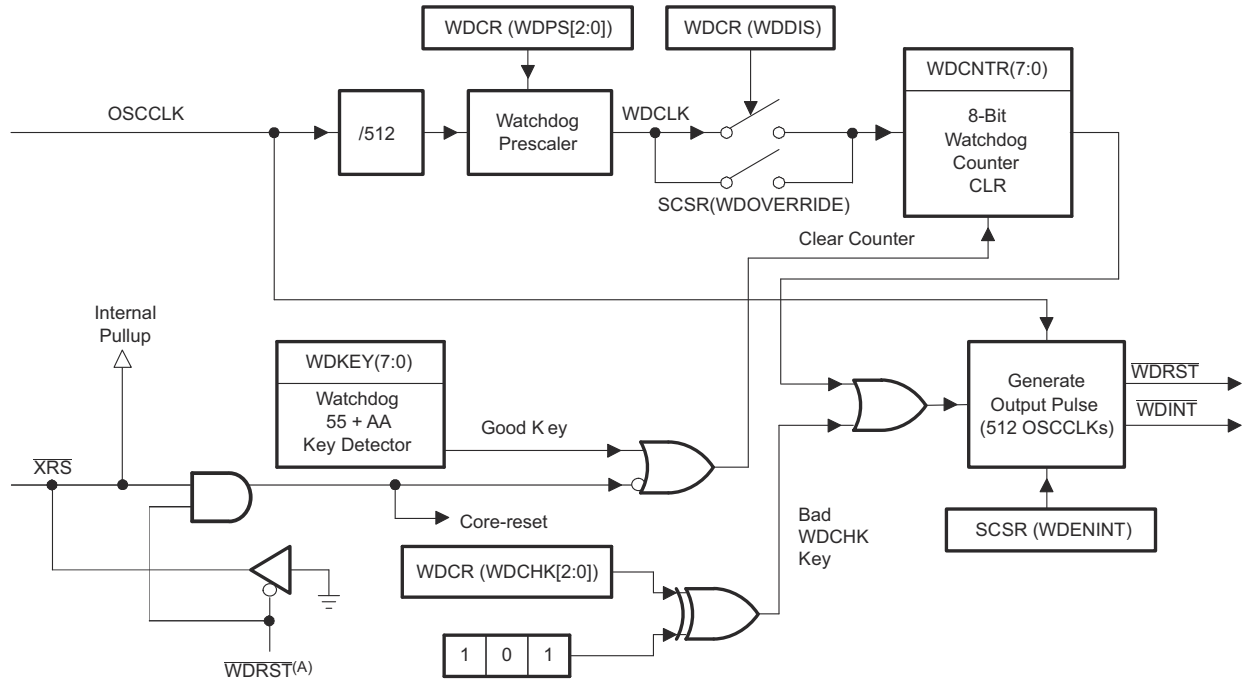
通常、入力クロックが存在する場合、ウォッチドッグ・カウンタはデクリメントしてウォッチドッグ・リセットまたは WDINT 割り込みを開始します。ただし、外部入力クロックに障害が発生した場合、ウォッチドッグ・カウンタはデクリメントを停止します (すなわち、ウォッチドッグ・カウンタがリンプ・モード・クロックに変更されるわけではありません)。さらに、デバイスがリセットされ、「クロック喪失状態」(MCLKSTS) ビットがセットされます。アプリケーション・ファームウェアは、これらの条件を使って、入力クロックの障害を検出して、システムに必要なシャットダウン手順を開始できます。

注

正確な CPU 動作周波数が絶対に重要であるアプリケーションでは、入力クロックが故障した場合に MCU をリセット状態に保持するメカニズムを実装する必要があります。たとえば、R-C 回路を使ってコンデンサが完全に充電された場合に、MCU の XRS ピンをトリガすることができます。このとき、I/O ピンを使って、定期的にコンデンサを放電して、コンデンサが完全に充電されないようにします。このような回路は、フラッシュ・メモリおよび V_{DD3VFL} レールの障害の検出にも役立ちます。

8.6.2 ウォッチドッグ・ブロック

2833x/2823x デバイスのウォッチドッグ・ブロックは、240x および 281x デバイスで使用されているブロックと類似しています。ウォッチドッグ・モジュールは、8 ビットのウォッチドッグ・アップ・カウンタが最大値に達するごとに、512 の発振器クロック幅 (OSCCLK) の出力パルスを生成します。これを防止するためには、ユーザーがカウンタをディセーブルするか、ソフトウェアが定期的に 0x55 + 0xAA シーケンスをウォッチドッグ・キー・レジスタに書き込んで、ウォッチドッグ・カウンタをリセットする必要があります。図 8-34 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。



A. $\overline{\text{WDRST}}$ 信号は、512 OSCCLK サイクルにわたって LOW に駆動されます。

図 8-34. ウォッチドッグ・モジュール

$\overline{\text{WDINT}}$ 信号により、ウォッチドッグをアイドル / スタンバイ・モードからのウェークアップとして使用できます。

スタンバイ・モードでは、デバイスのすべてのペリフェラルがオフになります。機能を維持している唯一のペリフェラルは、ウォッチドッグです。ウォッチドッグ・モジュールは OSCCLK をオフにして動作します。 $\overline{\text{WDINT}}$ 信号は LPM ブロックに供給されるため、デバイスをスタンバイからウェークアップできます (イネーブルされている場合)。詳細については、[セクション 8.7](#)「低消費電力モード・ブロック」を参照してください。

アイドル・モードでは、 $\overline{\text{WDINT}}$ 信号は、PIE を経由して CPU への割り込みを生成し、CPU をアイドル・モードから復帰させます。

ホールド・モードでは、発振器 (および PLL) がオフになっているため、ウォッチドッグもオフになり、この機能を使用できません。

8.7 低消費電力モード・ブロック

2833x/2823x デバイスの低消費電力モードは、240x デバイスと類似しています。表 8-39 に、各種のモードを示します。

表 8-39. 低消費電力モード

モード	LPMCR0(1:0)	OSCCLK	CLKIN	SYSCCLKOUT	終了 ⁽¹⁾
アイドル	00	オン	オン	オン ⁽²⁾	\overline{XRS} 、ウォッチドッグ割り込み、イネーブルされている割り込み、XNMI
スタンバイ	01	オン (ウォッチドッグは引き続き動作)	オフ	オフ	\overline{XRS} 、ウォッチドッグ割り込み、GPIO ポート A 信号、デバッグ ⁽³⁾ 、XNMI
ホールド	1X	オフ (発振器および PLL がオフ、ウォッチドッグは機能停止)	オフ	オフ	\overline{XRS} 、GPIO ポート A 信号、XNMI、デバッグ ⁽³⁾

- (1) 「終了」列には、低消費電力モードを終了する信号または条件が記載されています。いずれかの信号で LOW 信号が発生すると、低消費電力状態は終了します。この信号は、デバイスが割り込みを認識できるように、十分に長く保持する必要があります。そうでなければ、アイドル・モードは終了せず、デバイスは指定された低消費電力モードに戻ります。
- (2) C28x のアイドル・モードは、24x/240x とは動作が異なります。C28x では、CPU からのクロック出力 (SYSCCLKOUT) は引き続き機能しますが、24x/240x では、クロックが停止します。
- (3) C28x では、CPU クロック (CLKIN) がオフになっていても、JTAG ポートは引き続き機能します。

各種の低消費電力モードは、次のように動作します。

- アイドル・モード: このモードは、イネーブルになっている割り込み、またはプロセッサが認識する XNMI によって終了されます。LPMCR0 (LPM) ビットが 0、0 に設定されている限り、LPM ブロックは、このモード中にタスクを実行しません。
- スタンバイ・モード: 任意の GPIO ポート A 信号 (GPIO[31:0]) により、デバイスをスタンバイ・モードからウェークアップできます。ユーザーは、デバイスをウェークアップする信号を、GPIO_LPMSEL レジスタで選択する必要があります。選択した信号も、デバイスをウェークアップする前に OSCCLK によってフィルタされます。OSCCLK の数は、LPMCR0 レジスタで指定されます。
- ホールド・モード: デバイスを停止モードからウェークアップできるのは、 \overline{XRS} および任意の GPIO ポート A 信号 (GPIO[31:0]) のみです。ユーザーは、GPIO_LPMSEL レジスタで信号を選択します。

注

低消費電力モードは、出力ピンの状態に影響を与えません (PWM ピンを含む)。IDLE 命令が実行されたときのコードの状況に応じて、その出力ピンの状態が残ります。詳細については、『[TMS320x2833x、TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「システム制御および割り込み」の章を参照してください。

9 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 TI リファレンス・デザイン

TI リファレンス・デザイン・ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス・デザイン・ライブラリです。すべての TI リファレンス・デザインは、システム設計を迅速に開始できるように TI の専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。

「[TI リファレンス・デザインの選択](#)」ページで、設計を検索してダウンロードできます。

『高性能 MCU 用 EtherCAT インターフェイスのリファレンス・デザイン』

このリファレンス・デザインは、[C2000 Delfino MCU](#) を EtherCAT® ET1100 スレーブ・コントローラに接続する方法を説明しています。このインターフェイスは、帯域幅の最大化と待ち時間の最小化を目的として、非多重化アドレス・バス / データ・バスをサポートしているほか、ピン数の少ない EtherCAT 通信のための SPI モードをサポートしています。スレーブ・コントローラが 100Mbps イーサネット・ベースの Fieldbus 通信の負荷を軽減するので、これらのタスクに関連する CPU のオーバーヘッドを排除できます。

[C2000 レゾルバ / デジタル変換キット](#)

これは、さまざまな C2000 マイコンのオンチップ ADC を使用して、ソフトウェア・ベースのレゾルバ / デジタル変換の検証を行うためのマザーボード形式のレゾルバ / デジタル変換キットです。このレゾルバ・キットを使用して、レゾルバ やインバータ制御プロセッサにインターフェイス接続することもできます。

10 デバイスおよびドキュメントのサポート

TI では、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

10.1 使い始めと次の手順

このセクションでは、C28x デバイス用の開発を最初に行うときの手順について、概要を簡単に説明します。各手順の詳細については、次の資料を参照してください。

- [TI の C2000™ リアルタイム・マイコンを使用して開発を開始できます](#)
- [C2000 リアルタイム・マイクロコントローラ - モーター制御](#)
- [C2000 リアルタイム・マイクロコントローラ - 太陽光発電とデジタル電源](#)

『[C2000™ リアルタイム制御マイクロコントローラ \(MCU\) 入門ガイド](#)』は、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

10.2 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI では TMS320™ デバイスとサポート・ツールのすべての型番に接頭辞が割り当てられています。TMS320™ 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F28335)。テキサス・インスツルメンツでは、サポート・ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング・プロトタイプ (TMX/TMDX) から、完全に認定済みの量産版デバイスとツール (TMS/TMDS) まで、製品開発の段階を表しています。

Device development evolutionary flow:

TMX Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.

TMP Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.

TMS Production version of the silicon die that is fully qualified.

Support tool development evolutionary flow:

TMDX Development-support product that has not yet completed Texas Instruments internal qualification testing.

TMDS Fully-qualified development-support product.

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

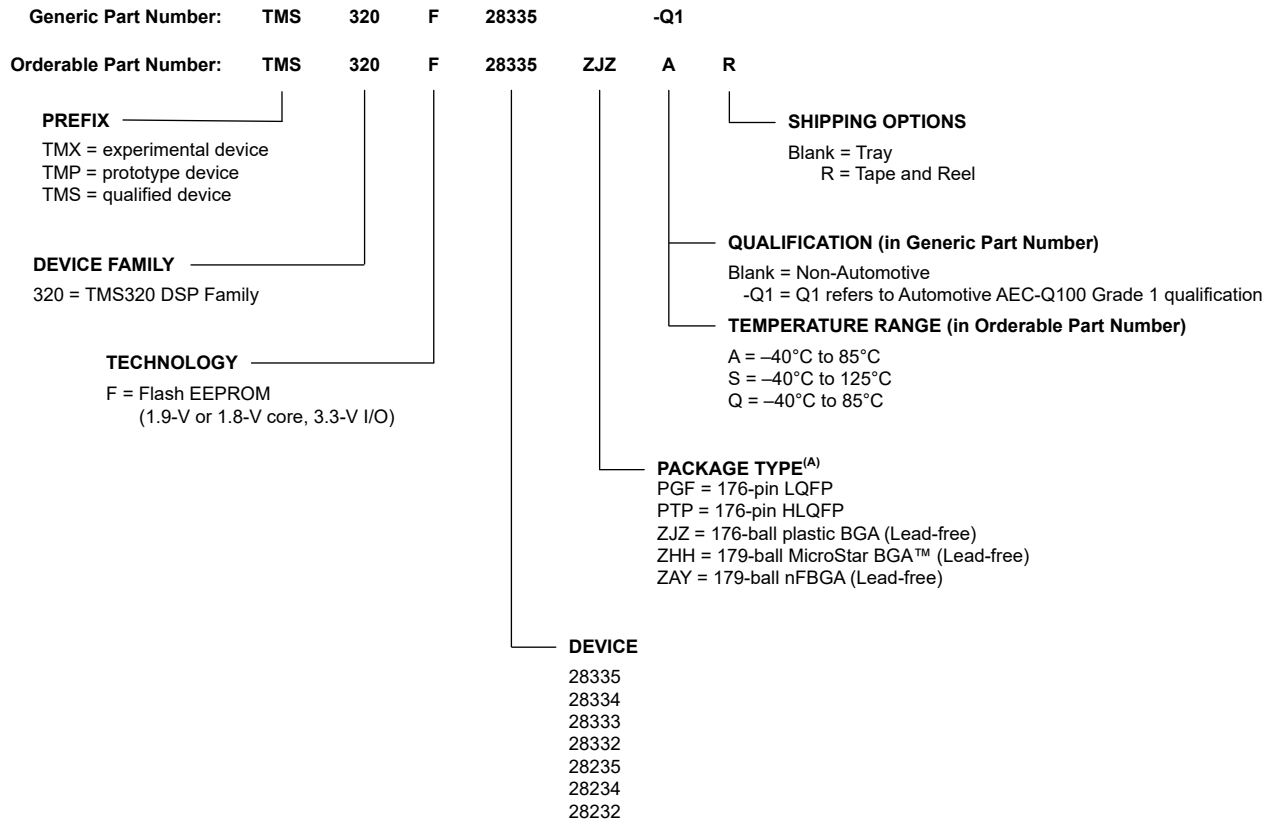
Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

TI デバイスの命名規則には、デバイス・ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (たとえば、ZJZ) および温度範囲 (たとえば、A) を示しています。図 10-1 に、任意のファミリ・メンバについて、完全なデバイス名を読み取るための凡例を示します。

デバイスの型番および注文情報の詳細については、このデータシートにあるパッケージ・オプションについての付録や、TI Web サイト(www.ti.com)を参照するか、または TI 販売代理店にお問い合わせください。

ダイのデバイス命名規則マーキングの詳細については、『[TMS320F2833x, TMS320F2823x リアルタイム MCU シリコン・エラッタ](#)』を参照してください。



- A. LQFP = 薄型クワッド・フラットパック
 HLQFP = 熱的に強化された薄型クワッド・フラット・パッケージ
 BGA = ボール・グリッド・アレイ
 nFBGA = 新しいファイン・ピッチ・ボール・グリッド・アレイ

図 10-1. F2833x、F2823x デバイスの命名規則

10.3 ツールとソフトウェア

TI では、幅広い開発ツールを提供しています。デバイスの性能評価、コードの生成、ソリューションの開発のためのツールおよびソフトウェアの一部を以下に示します。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、「[TI の C2000™ リアルタイム・マイコンを使用して開発を開始できます](#)」ページをご覧ください。

設計キットと評価モジュール

産業用モーター制御向け C2000 DesignDRIVE 開発キット

DesignDRIVE は、単一のハードウェアおよびソフトウェア・プラットフォームで、多くの産業用ドライブ、モーター制御、サーボ・トポロジ用のソリューションを簡単に開発し、評価できます。DesignDRIVE は、幅広い種類のモーター、センシング技術、エンコーダ規格、および通信ネットワークをサポートするとともに、産業用通信および機能安全トポロジに基づく開発用に簡単に拡張できるため、より包括的で統合されたドライブ・システム・ソリューションを実現できます。DesignDRIVE は、TI の C2000 マイクロコントローラ (MCU) のリアルタイム制御アーキテクチャを基礎としており、ロボット、コンピュータ数値制御機械 (CNC)、エレベータ、部品搬送、その他産業用製造機器に使用される、産業用インバータやサーボ・ドライブの開発に最適です。

C2000 Delfino MCU F28379D LaunchPad™ 開発キット

LAUNCHXL-F28379D は、さまざまなプラグイン・ブースタパックと互換性のある TI MCU LaunchPad™ 開発キット・エコシステムに属しており、TMS320F2837xD、TMS320F2837xS、TMS320F2807x の各製品に適した低コストの評価および開発ツールです (以下の「特長」セクションに記載する推奨 BoosterPack™ プラグイン・モジュールと組み合わせて使用することをお勧めします)。LaunchPad 開発キットの拡張バージョンであり、2 個のブースタパックとの接続をサポートしています。LaunchPad 開発キットはアプリケーション開発の際に、標準化された使いやすいプラットフォームを提供します。

TMS320F28335 検証用キット

C2000™ MCU 検証用キットは、C2000 マイクロコントローラを使用してリアルタイムの閉ループ制御開発を行うための、堅牢なハードウェア・プロトタイプ作成プラットフォームです。このプラットフォームは、モーター制御、デジタル電源、ソーラー・インバータ、デジタル LED 照明、高精度センシングなど、多くのパワー・エレクトロニクス・アプリケーション用のソリューションをカスタマイズして実証するための、優れたツールです。

ソフトウェア

産業用ドライブおよびモーター制御用 C2000 DesignDRIVE ソフトウェア

DesignDRIVE プラットフォームは、ソフトウェア・ソリューションと DesignDRIVE 開発キットを組み合わせたものであり、これを利用すれば、多くの産業用ドライブとサーボ・トポロジに対応するソリューションの開発と評価が容易になります。DesignDRIVE は、幅広い種類のモーター、センシング技術、位置センサ、および通信ネットワークをサポートしています。また、評価と開発をすぐに開始できるように、電流、速度、位置ループを含む、モーターのベクトル制御のための具体的なサンプルが付属しています。DesignDRIVE は、TI の C2000™ マイクロコントローラ (MCU) のリアルタイム制御アーキテクチャを基礎としており、ロボット、コンピュータ数値制御機械 (CNC)、エレベータ、部品搬送、その他産業用製造機器に使用される、産業用インバータやサーボ・ドライブの開発に最適です。

C2000 MCU SafeTI-60730 ソフトウェア・パッケージには、TI の C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した機能安全コンシューマ・アプリケーションの設計の簡素化および迅速化に役立つ、UL 認証済みコンポーネントである SafeTI™ ソフトウェア・パッケージが含まれています。この SafeTI ソフトウェア・パッケージに収録されたソフトウェアは、UL 1998:2008 Class 1 規格に関するレコグナイズド・コンポーネントとして UL 認証済みであり、IEC 60730-1:2010 Class B 規格に準拠しています。いずれの規格も家電製品、アーク検出、パワー・コンバータ、電動工具、電動自転車などの広範な用途を対象としています。SafeTI ソフトウェア・パッケージは、一部の TI C2000 MCU で使用でき、これらの MCU を使用するアプリケーションに組み込むことにより、機能安全規格に準拠するコンシューマ・デバイスの認証取得に役立ちます。2 つの規格は類似しているため、IEC 60730 ソフトウェア・ライブラリは、IEC 60335-1:2010 規格に準拠するコンシューマ・アプリケーションの開発にも有用です。

C2000™ MCU 用 powerSUITE デジタル電源ソフトウェア周波数応答アナライザ・ツール

このソフトウェア周波数応答アナライザ (SFRA) は、C2000™ マイクロコントローラ用の powerSUITE デジタル電源設計ソフトウェア・ツールに含まれているツールの 1 つです。SFRA にはソフトウェア・ライブラリが含まれており、開発者は自分のデジタル電源コンバータの周波数応答をすばやく測定できます。SFRA ライブラリには、制御ループに周波数を注入して、C2000 MCU のオンチップ A/D コンバータ (ADC) を使ってシステムの応答を測定するソフトウェア機能が含まれています。このプロセスにより、プラントの周波数応答特性と、閉ループ・システムの開ループ・ゲイン周波数応答が得られます。ユーザーは、プラントの周波数応答と開ループ・ゲイン周波数応答を、PC ベースの GUI で確認できます。すべての周波数応答データは、CSV ファイルにエクスポートされ、または、Excel スプレッドシートへのエクスポートも選択でき、Compensation Designer で補償ループを設計するために使用できます。

C2000 MCU 用 C2000Ware

C2000™ マイクロコントローラ用の C2000Ware は、開発ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるように設計されています。C2000Ware には、デバイス固有のドライバやライブラリから、デバイス・ペリフェラルのサンプルまでが含まれており、製品の開発と評価を開始するための堅牢な土台となります。

開発ツール

C2000 ギャング・プログラマ

C2000 ギャング・プログラマは、8 個までの同一の C2000 デバイスを同時にプログラムできる C2000 デバイス・プログラマです。C2000 ギャング・プログラマは、標準の RS-232 または USB 接続を使用してホスト PC に接続できるほか、柔軟なプログラミング・オプションにより、ユーザーがプロセスを完全にカスタマイズできます。

C2000 マイクロコントローラ用の Code Composer Studio™ (CCS) 統合開発環境 (IDE)

Code Composer Studio は、TI のマイクロコントローラおよび組み込みプロセッサ・ポートフォリオをサポートする統合開発環境 (IDE) です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。これには、最適化 C/C++ コンパイラ、ソース・コード・エディタ、プロジェクト・ビルド環境、デバッグ、プロファイラなど、多数の機能が含まれています。この IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー・インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア・フレームワークの利点と、TI の先進的な組み込みデバッグ機能の利点を組み合わせ、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

Uniflash スタンドアロン・フラッシュ・ツール

CCS Uniflash は、TI 製 MCU のオンチップ・フラッシュ・メモリをプログラムするために使用される、スタンドアロンのツールです。

C2000 サード・パーティー検索ツール TI は複数の企業と協力して、TI の C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、C2000 デバイスを使用した、量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード・パーティー各社の概要を手早く参照し、お客様のニーズに適したサード・パーティーを見つけることができます。

モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ・スキャン記述言語 (BSDL) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計および開発」ページの「設計ツールとシミュレーション」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるように、TI は各種のトレーニング・リソースを開発しました。オンライン・トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ・ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるように設計されています。各種トレーニング資料の詳細については、C2000™ リアルタイム制御 MCU – サポートおよびトレーニングのサイトを参照してください。

10.4 ドキュメントのサポート

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラッタ

『[TMS320F2833x、TMS320F2823x リアルタイム MCU シリコン・エラッタ](#)』には、シリコンの各バージョンについての報告事項と使用上の注意が記載されています。

テクニカル・リファレンス・マニュアル

『[TMS320x2833x、TMS320x2823x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』には、TMS320x2833x および TMS320x2823x デバイスの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング・モデルの詳細が記載されています。

CPU ユーザー・ガイド

『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス・ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

ペリフェラル・ガイド

『[C2000 リアルタイム制御 MCU ペリフェラル・リファレンス・ガイド](#)』には、28x デジタル信号プロセッサ (DSP) のペリフェラル・リファレンス・ガイドが記載されています。

ツール・ガイド

『[TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー・ガイド](#)』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、共通オブジェクト・ファイル・フォーマット、シンボリック・デバッグ・ディレクティブについて記述しています。

『[TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー・ガイド](#)』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

『[TMS320C28x DSP/BIOS 5.x アプリケーション・プログラミング・インターフェイス \(API\) リファレンス・ガイド](#)』では、DSP/BIOS を使用する開発について記述しています。

アプリケーション・レポート

『[SMT & パッケージ・アプリケーション・ノート](#)』 Web サイトには、TI の表面実装テクノロジー (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション・ノートの一覧があります。

『[TMS320x281x から TMS320x2833x または 2823x への移行の概要](#)』では、281x デバイスの設計から 2833x または 2823x の設計へ移行する方法について記述しています。

『[TMS320x280x から TMS320x2833x または 2823x への移行の概要](#)』では、280x デバイスの設計から 2833x または 2823x の設計へ移行する方法について記述しています。

『[TMS320C28x FPU 入門](#)』では、C2000™ Delfino マイクロコントローラ・デバイスの浮動小数点ユニット (FPU) の概要を紹介しています。

『[TMS320F28xxx DSP の 内部フラッシュ・メモリからアプリケーションを実行する](#)』では、オンチップのフラッシュ・メモリからアプリケーションを実行するように正しく構成するための要件を説明しています。DSP/BIOS のプロジェクトとそれ以外のプロジェクトの両方についての要件を示しています。サンプル・コード・プロジェクトも含まれています。

『C/C++ での TMS320x28xx および TMS320x28xxx ペリフェラルのプログラミング』では、28x DSP 用の C/C++ コーディングを簡単に行うための、ハードウェア抽象化レイヤの実装について説明します。この方法を従来の #define マクロと比較し、コード効率や、特別な場合のレジスタについても述べています。

『TMS320F280x マイクロコントローラで PWM 出力を D/A コンバータとして使用する』では、TMS320F280x ファミリのマイクロコントローラに実装されている、オンチップのパルス幅変調 (PWM) 信号ジェネレータを、D/A コンバータ (DAC) として使用する方法を紹介しています。

『TUSB3410 USB-UART ブリッジ・チップを使用する TMS320F280x マイクロコントローラの USB 接続性』では、単純な通信エコー・プログラムを使用する開発システムのハードウェア接続およびソフトウェアの準備と動作について説明しています。

『TMS320x280x、28xxx の拡張直交エンコーダ・パルス (eQEP) モジュールを専用キャプチャとして使用する』では、eQEP モジュールを専用のキャプチャ・ユニットとして使用する方法を紹介しており、TMS320x280x、28xxx ファミリのプロセッサに適用されます。

『ePWM モジュールによる 0%~100% のデューティ・サイクル制御』では、ePWM モジュールを使って 0%~100% のデューティ・サイクル制御を行う方法のガイドを示しており、TMS320x280x ファミリのプロセッサに適用されます。

『TMS320x280x および TMS320F2801x ADC の較正』では、TMS320x280x および TMS320F2801x デバイスに搭載されている 12 ビット ADC の絶対精度を向上させる方法について説明しています。固有のゲインおよびオフセット誤差は、ADC の絶対精度に影響を及ぼします。このレポートに記載されている方法により、ADC の絶対精度を 0.5% 以内のレベルに向上できます。このアプリケーション・レポートには、F2808 EzDSP 上の RAM から実行されるサンプル・プログラムをダウンロードするオプションがあります。

『TMS320C28x DSP のオンライン・スタック・オーバーフローの検出』では、TMS320C28x DSP のオンライン・スタック・オーバーフロー検出手法を示しています。DSP/BIOS アプリケーションとそれ以外のアプリケーションの両方について、オーバーフロー検出を実装するための機能を含む C ソース・コードを紹介しています。

『熱特性強化型パッケージ PowerPAD™』では、PowerPAD™ パッケージを PCB 設計に統合する方法の詳細に重点を置いて説明しています。

『半導体パッキング方法』では、半導体デバイスをエンド・ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、TI の組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、TI EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『半導体および IC パッケージの熱評価基準』では、従来型と新型の熱評価基準について記述しており、システム・レベルの接合部温度推定に関して、それぞれの熱評価基準の用途を詳細に解説しています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル・フラッシュ・プログラミング』では、フラッシュ・カーネルおよび ROM ロダーを使用したデバイスのシリアル・プログラミングについて記載しています。

『nFBGA パッケージ』は、nFBGA パッケージに関する技術的な背景を示し、高度なボード・レイアウトの構築にこのパッケージを使用する方法を説明しています。

10.5 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#) を参照してください。

10.6 商標

Code Composer Studio™, DSP/BIOS™, MicroStar BGA [ZHH]™, C2000™, PowerPAD™, TI E2E™, MicroStar BGA™, and MicroStar Junior™ are trademarks of Texas Instruments.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.

すべての商標は、それぞれの所有者に帰属します。

10.7 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

10.8 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ再設計の詳細

説明

MicroStar BGA™ パッケージのデバイスは、ラミネート nFBGA パッケージを使用して再設計されています。この nFBGA パッケージは、データシート上、同等の電気的性能を実現します。また、MicroStar BGA と同等のフットプリントを実現しています。詳細については、『[nFBGA パッケージング・アプリケーション・レポート](#)』を参照してください。

ドキュメント全体を通して、製造中止となったパッケージ記号の代わりに、新しいパッケージ記号を使用します (表 11-1 を参照)。

このデータシートの末尾にあるパッケージ・オプションの付録は、新しいパッケージ記号を反映しています。

このデータシートの末尾にある更新済みの nFBGA パッケージの図を参照してください。

表 11-1. パッケージ記号

旧パッケージ記号	新パッケージ記号
ZHH	ZAY

製造中止の理由

サブストレート・サプライヤからの機器の寿命終了に関する通知により、一部の MicroStar BGA および MicroStar Junior™ BGA パッケージ・デバイスを段階的に廃止しており、最終注文を受け付けています。

これらのデバイスは、今では nFBGA パッケージに転換されました。

影響を受けるデバイス

表 11-2 に、影響を受けるデバイス、古いパッケージ記号、および新しいパッケージ記号について説明します。

表 11-2. デバイスおよび命名規則

デバイス	製造中止の MicroStar BGA デバイス	再設計されたラミネート nFBGA デバイス
TMS320F2823x	TMS320F28232ZHHA TMS320F28234ZHHA	TMS320F28232ZAYA TMS320F28234ZAYA
TMS320F2833x	TMS320F28334ZHHA TMS320F28335ZHHA	TMS320F28334ZAYA TMS320F28335ZAYA

11.2 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

TI のパッケージの詳細については、「[パッケージ](#)」Web サイトをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28232PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28232PGFA TMS320	Samples
TMS320F28232PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28232PTPQ	Samples
TMS320F28232PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28232PTPS	Samples
TMS320F28232ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28232ZAYA	Samples
TMS320F28234PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28234PGFA TMS320	Samples
TMS320F28234PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28234PTPQ	Samples
TMS320F28234PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28234PTPS	Samples
TMS320F28234ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28234ZAYA	Samples
TMS320F28234ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28234ZJZA TMS	Samples
TMS320F28234ZJZQ	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28234ZJZQ TMS	Samples
TMS320F28234ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28234ZJZS TMS	Samples
TMS320F28235PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28235PGFA TMS320	Samples
TMS320F28235PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28235PTPQ	Samples
TMS320F28235PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28235PTPS	Samples
TMS320F28235ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28235ZJZA TMS	Samples
TMS320F28235ZJZQ	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28235ZJZQ TMS	Samples
TMS320F28235ZJZQR	ACTIVE	BGA	ZJZ	176	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28235ZJZQ	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										TMS	
TMS320F28235ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28235ZJZS TMS	Samples
TMS320F28332PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28332PGFA TMS320	Samples
TMS320F28332PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28332PTPS	Samples
TMS320F28333PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28333PGFA TMS320	Samples
TMS320F28334PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28334PGFA TMS320	Samples
TMS320F28334PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR		TMS320 F28334PTPS	Samples
TMS320F28334ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28334ZAYA	Samples
TMS320F28334ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28334ZJZA TMS	Samples
TMS320F28334ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28334ZJZS TMS	Samples
TMS320F28335PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28335PGFA TMS320	Samples
TMS320F28335PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28335PTPQ	Samples
TMS320F28335PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28335PTPS	Samples
TMS320F28335ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28335ZAYA	Samples
TMS320F28335ZAYAR	ACTIVE	NFBGA	ZAY	179	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28335ZAYA	Samples
TMS320F28335ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28335ZJZA TMS	Samples
TMS320F28335ZJZQ	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28335ZJZQ TMS	Samples
TMS320F28335ZJZQR	ACTIVE	BGA	ZJZ	176	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28335ZJZQ TMS	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28335ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28335ZJZS TMS	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28232, TMS320F28232-Q1, TMS320F28234, TMS320F28234-Q1, TMS320F28235, TMS320F28235-Q1, TMS320F28335, TMS320F28335-Q1 :

- Catalog : [TMS320F28232](#), [TMS320F28234](#), [TMS320F28235](#), [TMS320F28335](#)
- Automotive : [TMS320F28232-Q1](#), [TMS320F28234-Q1](#), [TMS320F28235-Q1](#), [TMS320F28335-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMS320F28335ZJZQR	BGA	ZJZ	176	1000	330.0	24.4	15.25	15.25	2.6	20.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMS320F28335ZJZQR	BGA	ZJZ	176	1000	336.6	336.6	41.3

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28232PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28232PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28232PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28232ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28234PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28234PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28234PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28234ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28234ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28234ZJZQ	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28234ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28235PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28235PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28235PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28235ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28235ZJZQ	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28235ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35

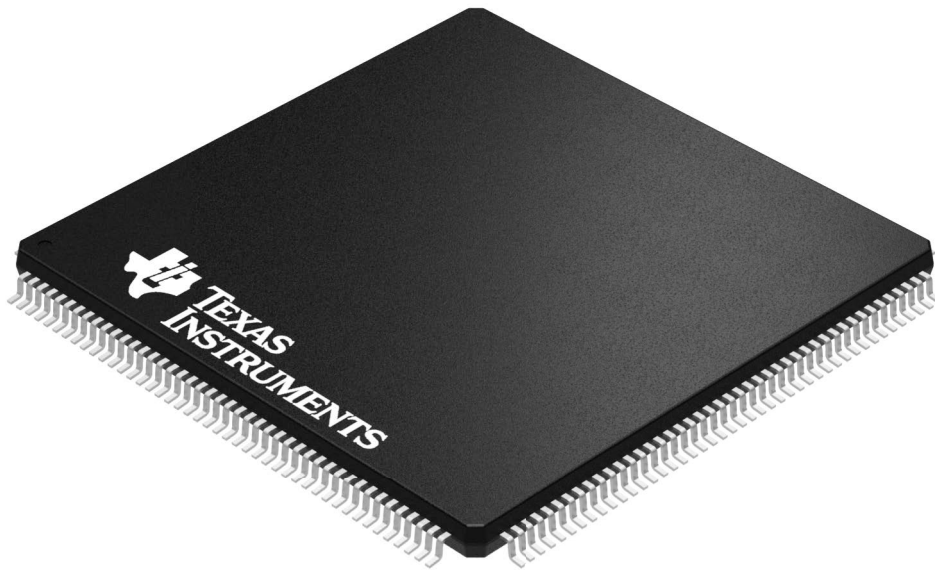
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28332PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28332PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28333PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28334PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28334PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28334ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28334ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28334ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28335PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28335PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28335PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28335ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28335ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28335ZJZQ	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28335ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35

GENERIC PACKAGE VIEW

PGF 176

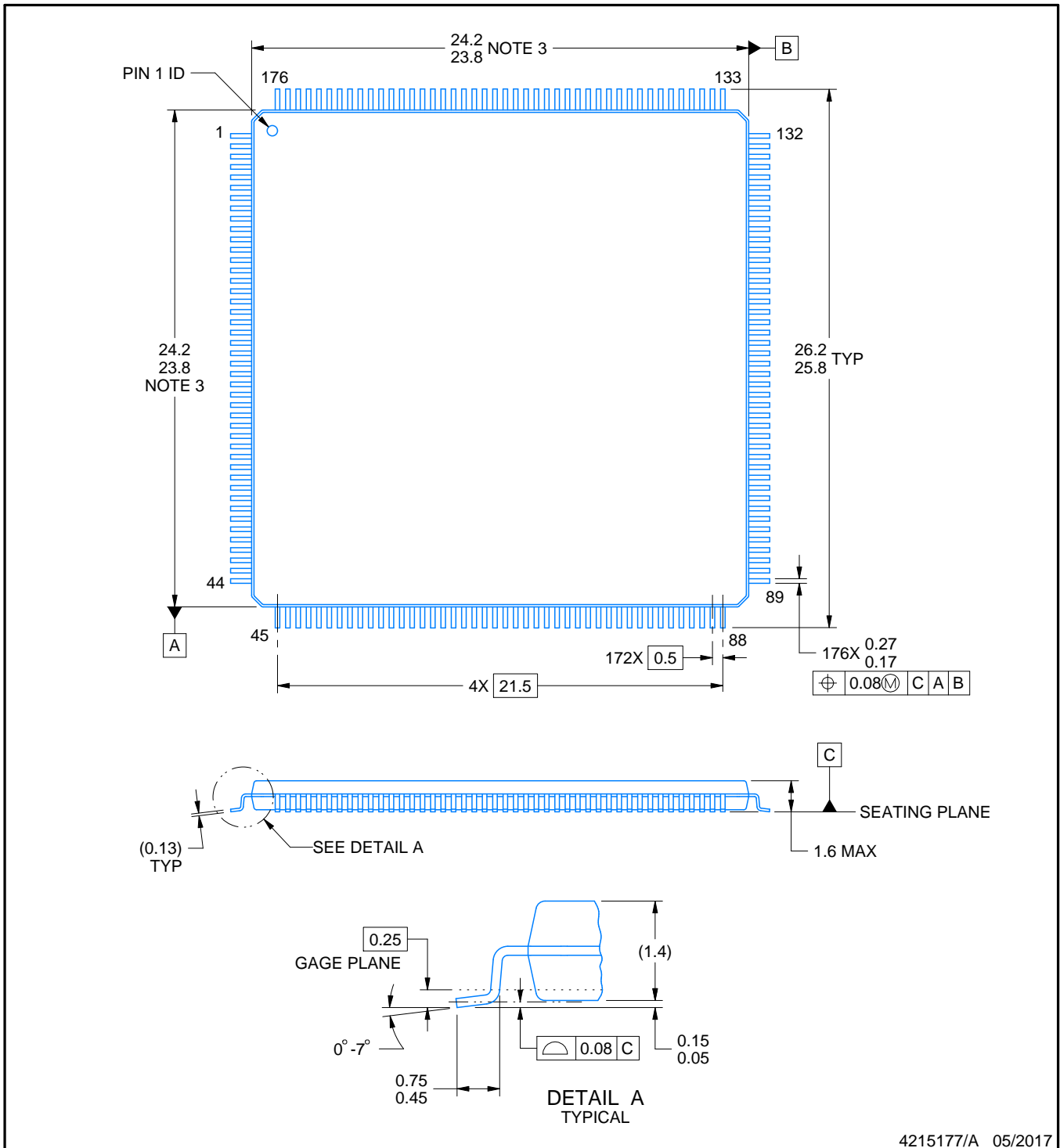
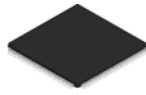
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040134/C



NOTES:

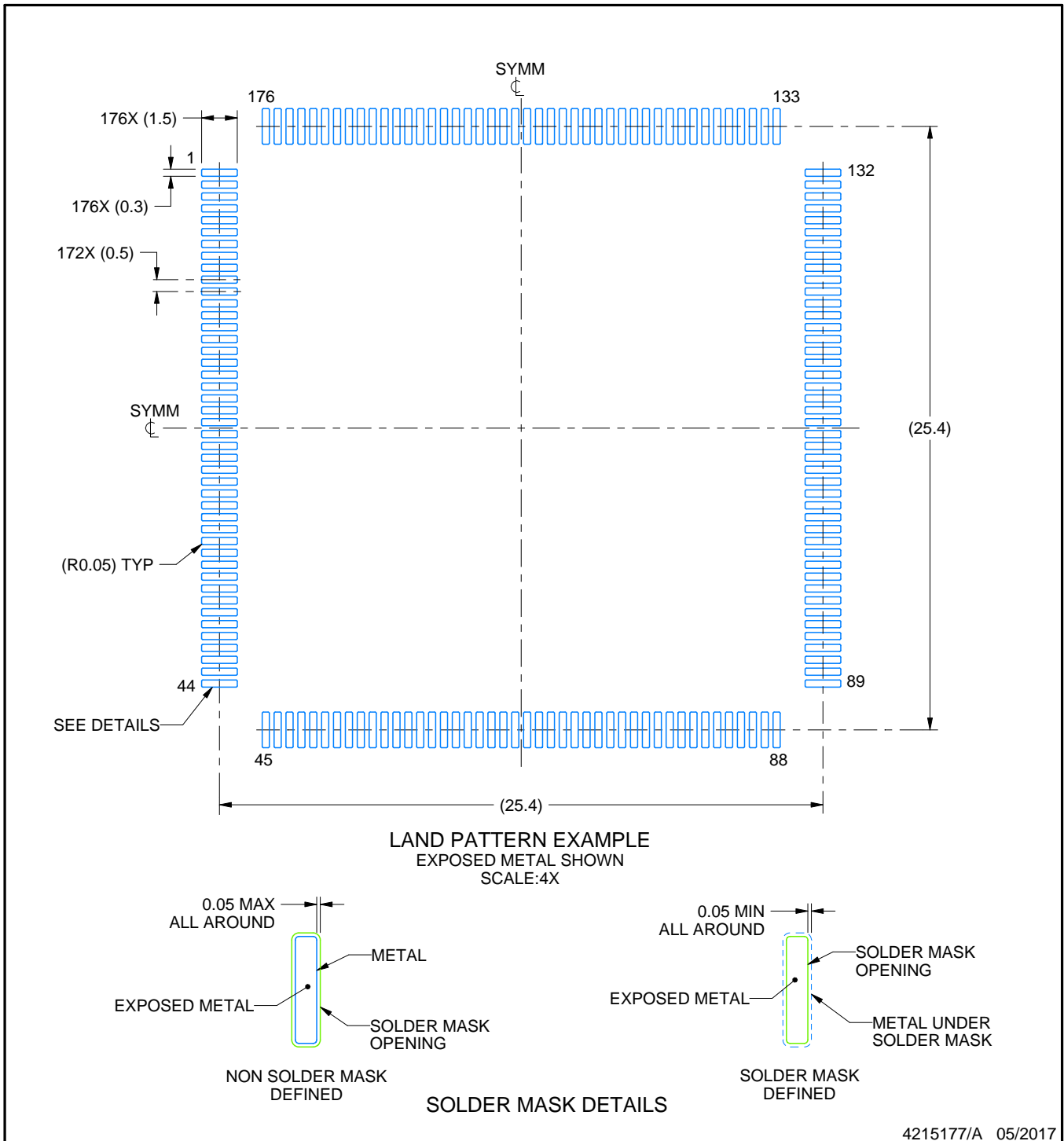
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

PGF0176A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

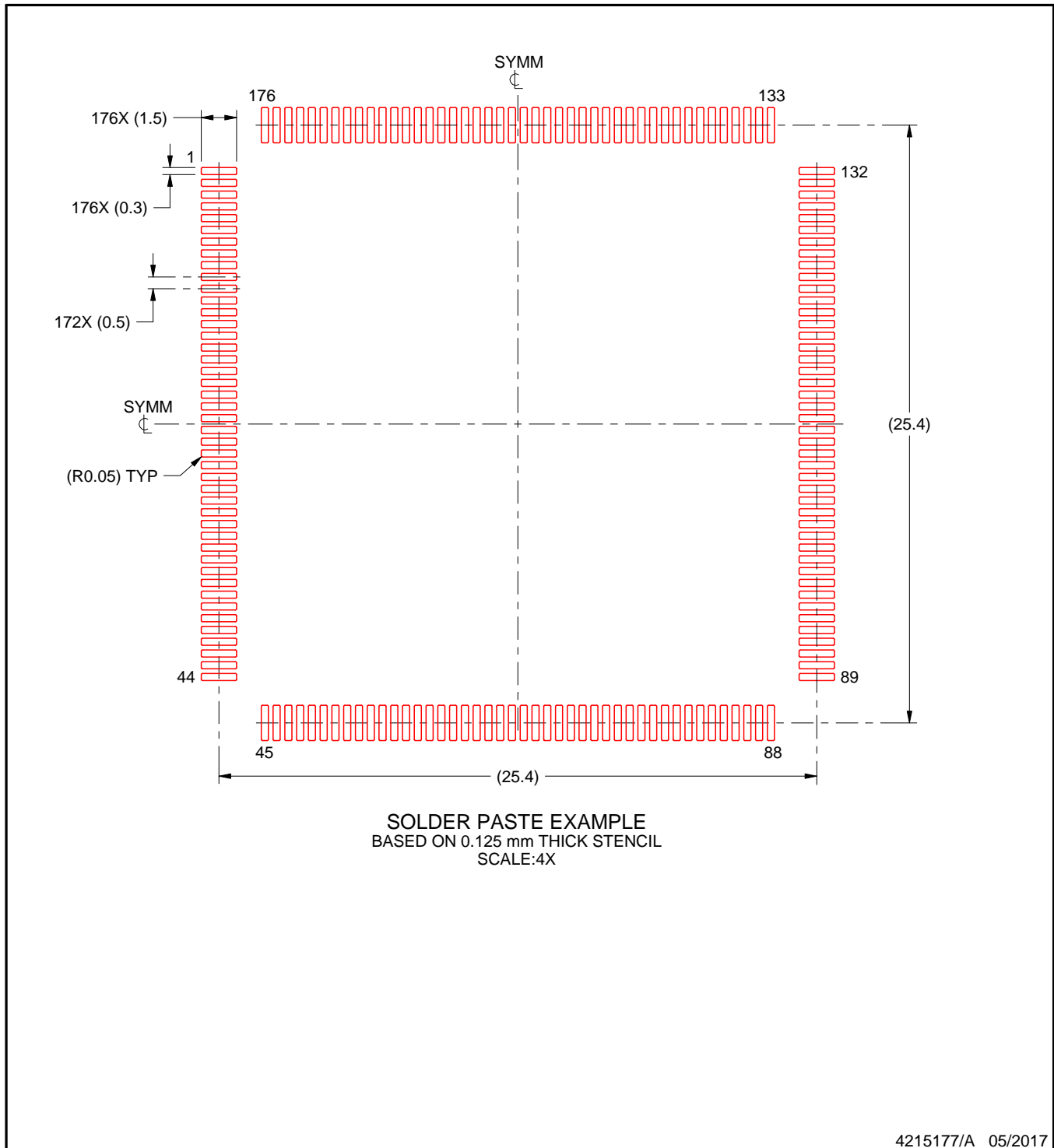
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PGF0176A

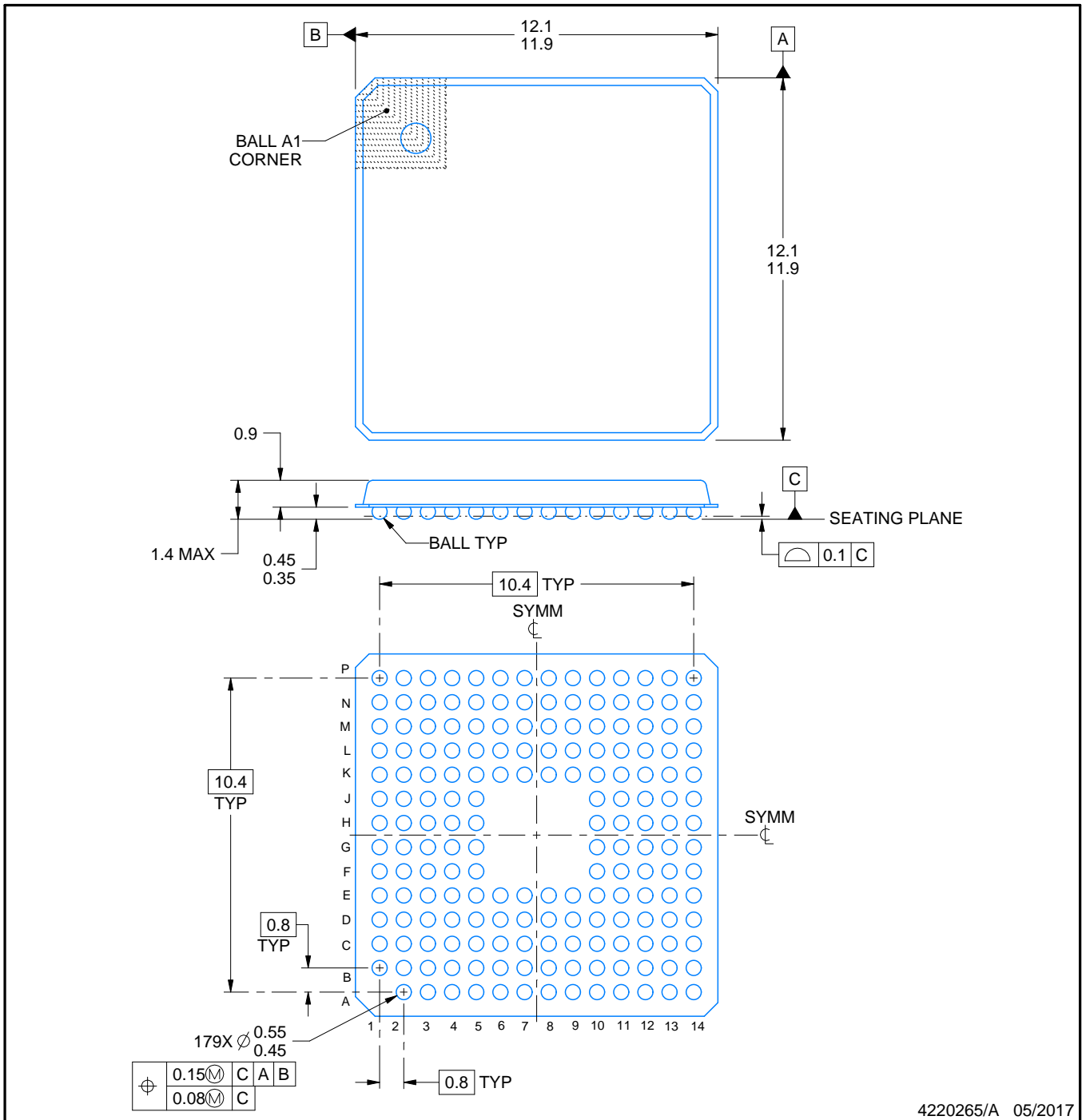
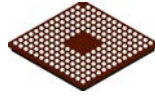
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



NOTES:

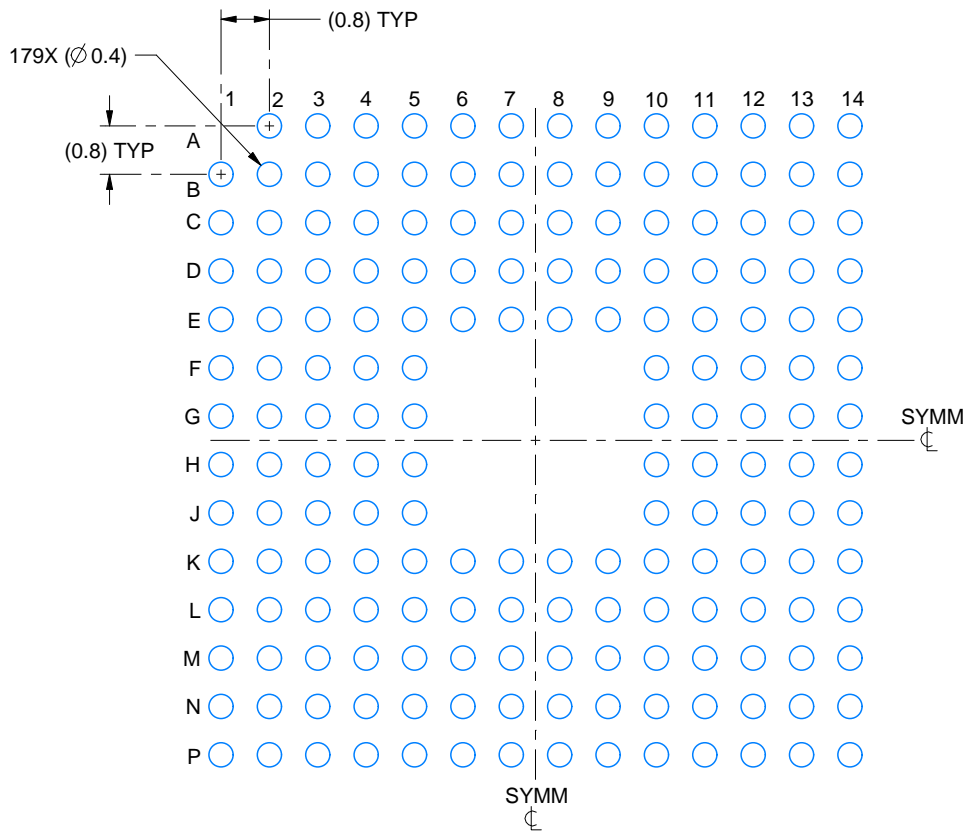
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This is a Pb-free solder ball design.

EXAMPLE BOARD LAYOUT

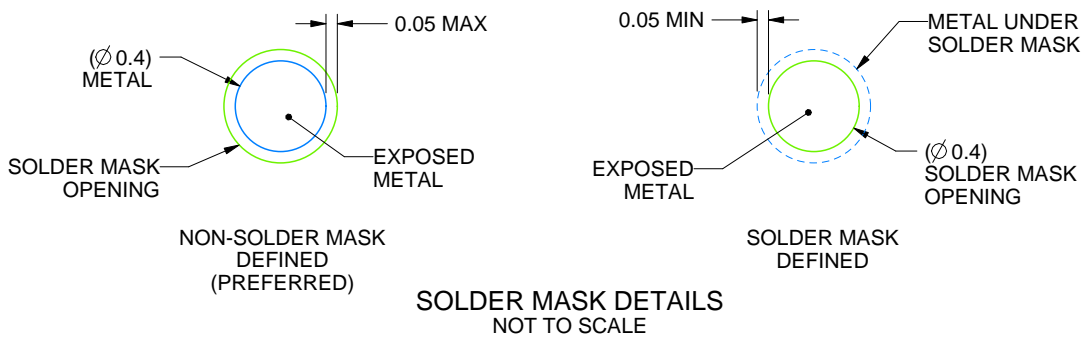
ZHH0179A

UBGA - 1.4 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS
NOT TO SCALE

4220265/A 05/2017

NOTES: (continued)

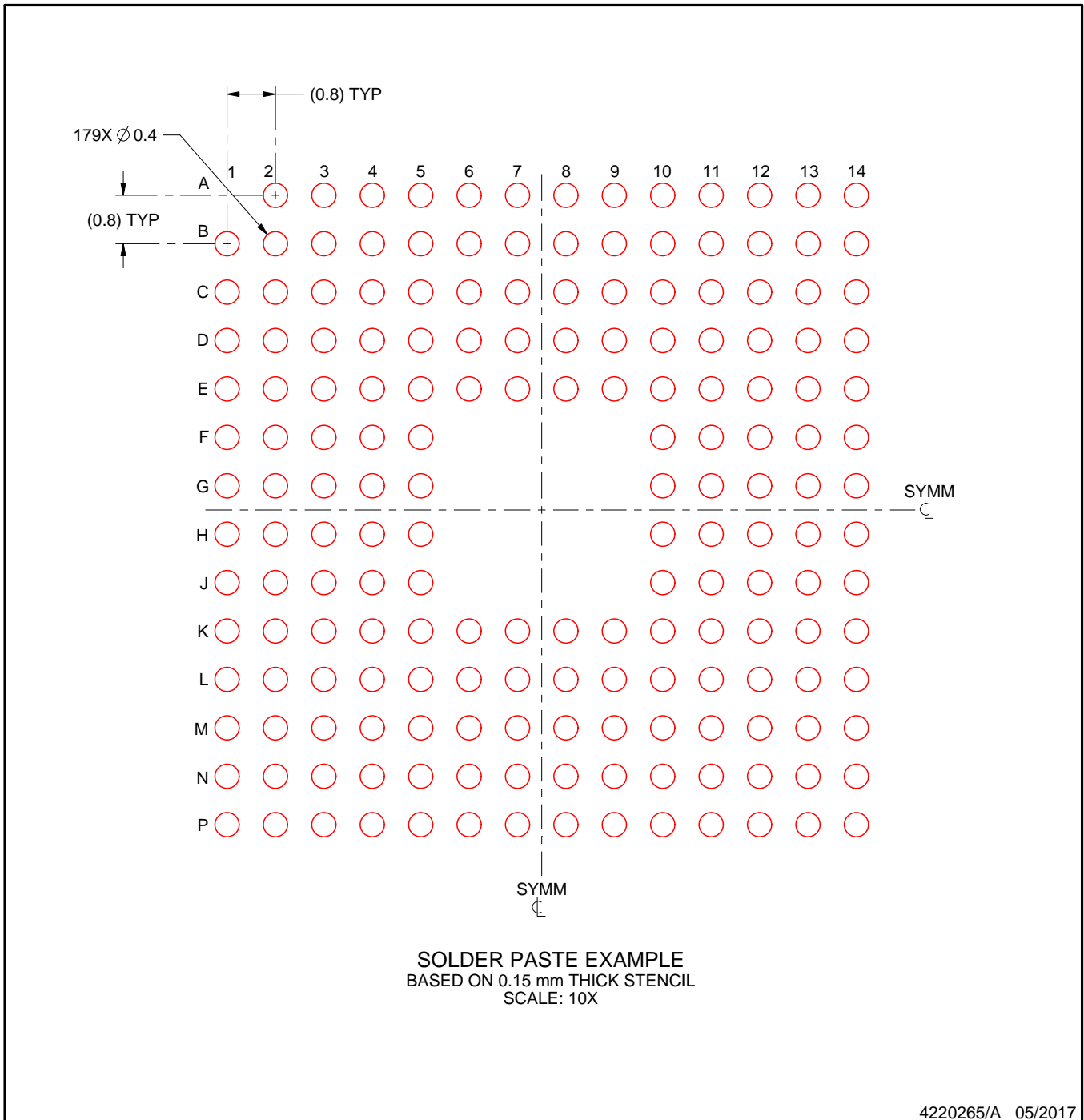
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SSZA002 (www.ti.com/lit/ssza002).

EXAMPLE STENCIL DESIGN

ZHH0179A

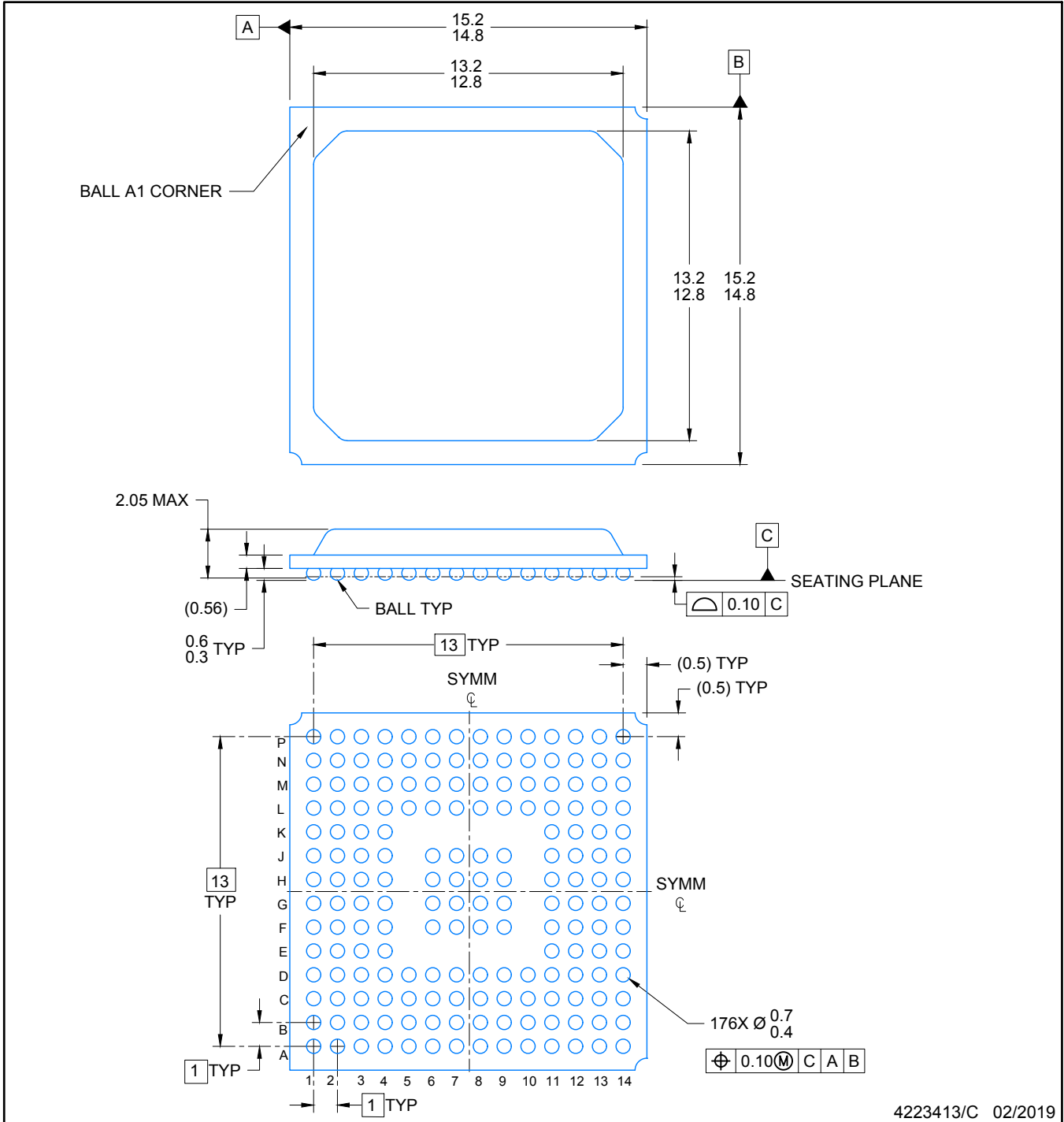
UBGA - 1.4 mm max height

BALL GRID ARRAY



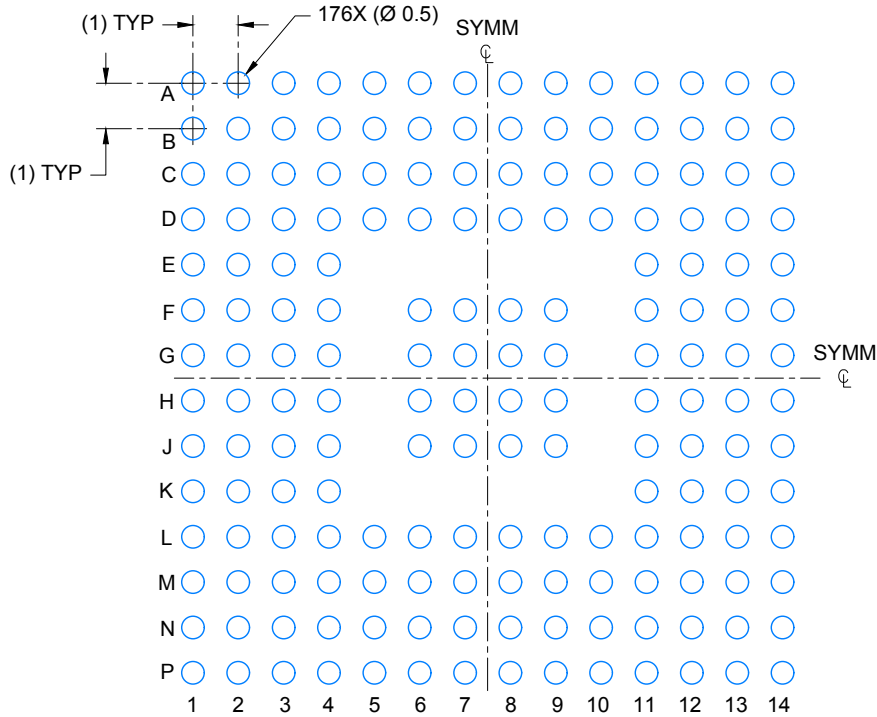
NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

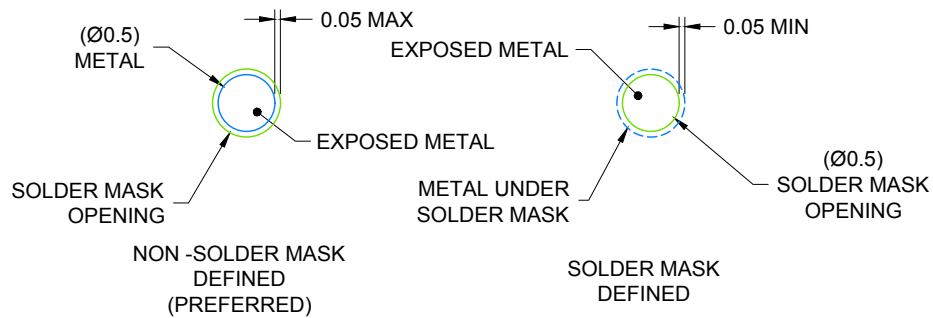


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This is a lead-free solder ball design.



LAND PATTERN EXAMPLE
SCALE: 6X



SOLDER MASK DETAILS
NOT TO SCALE

4223413/C 02/2019

NOTES: (continued)

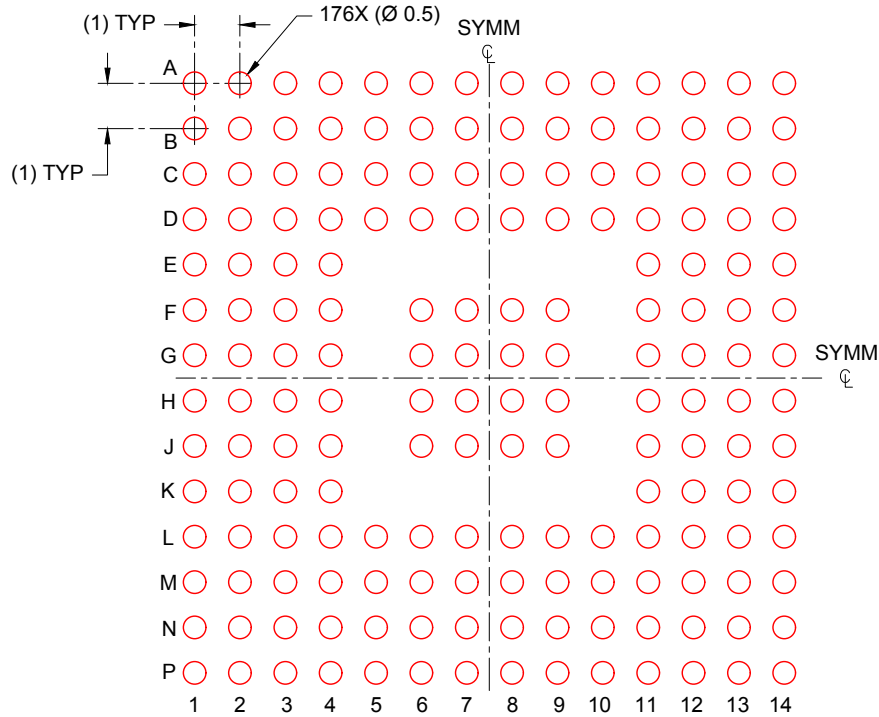
- Final dimension may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SSZA002 (www.ti.com/lit/ssza002).

EXAMPLE STENCIL DESIGN

ZJZ0176A

PBGA - 2.05 mm max height

PLASTIC BALL GRID ARRAY

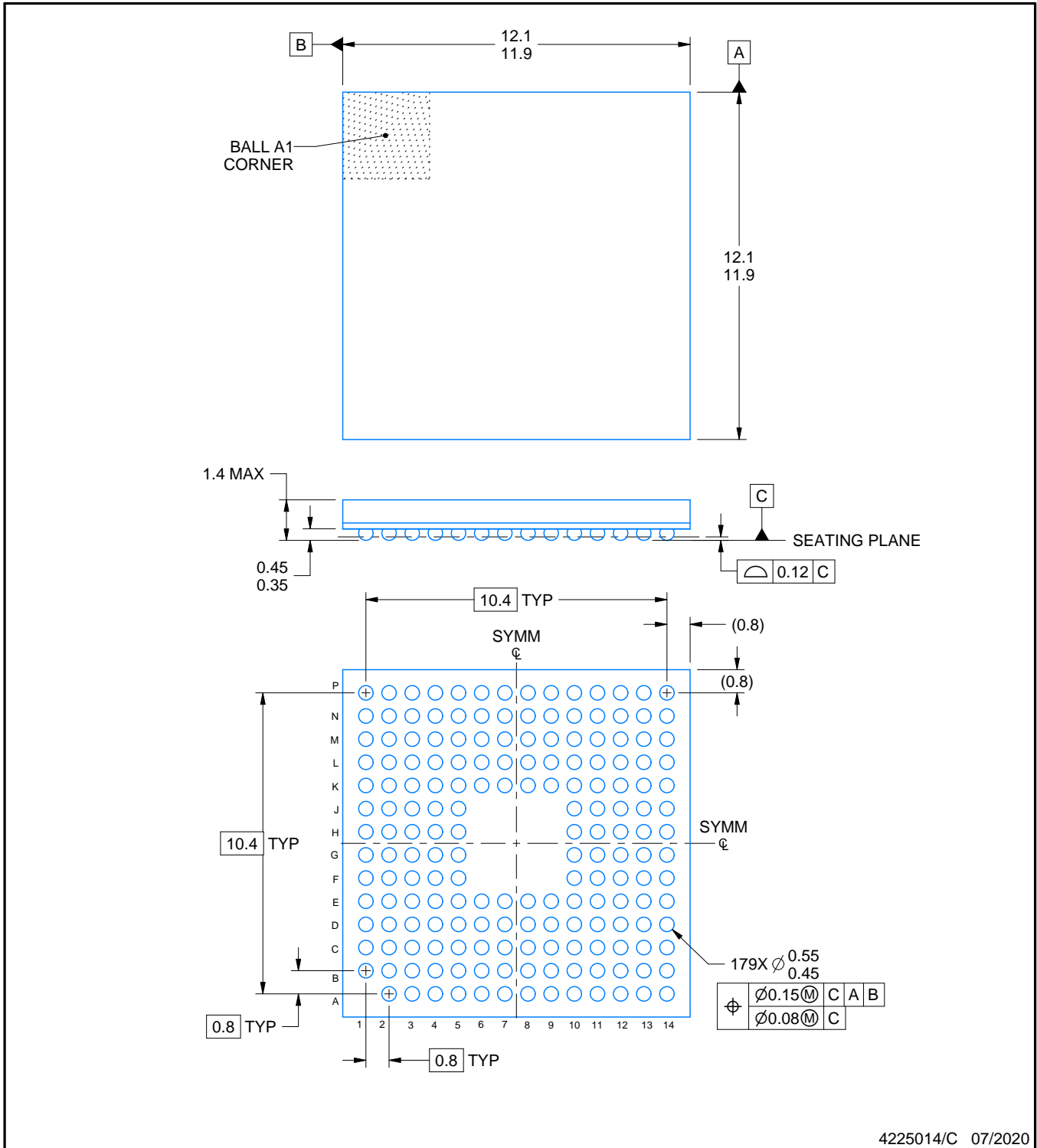
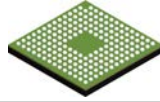


SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4223413/C 02/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



NOTES:

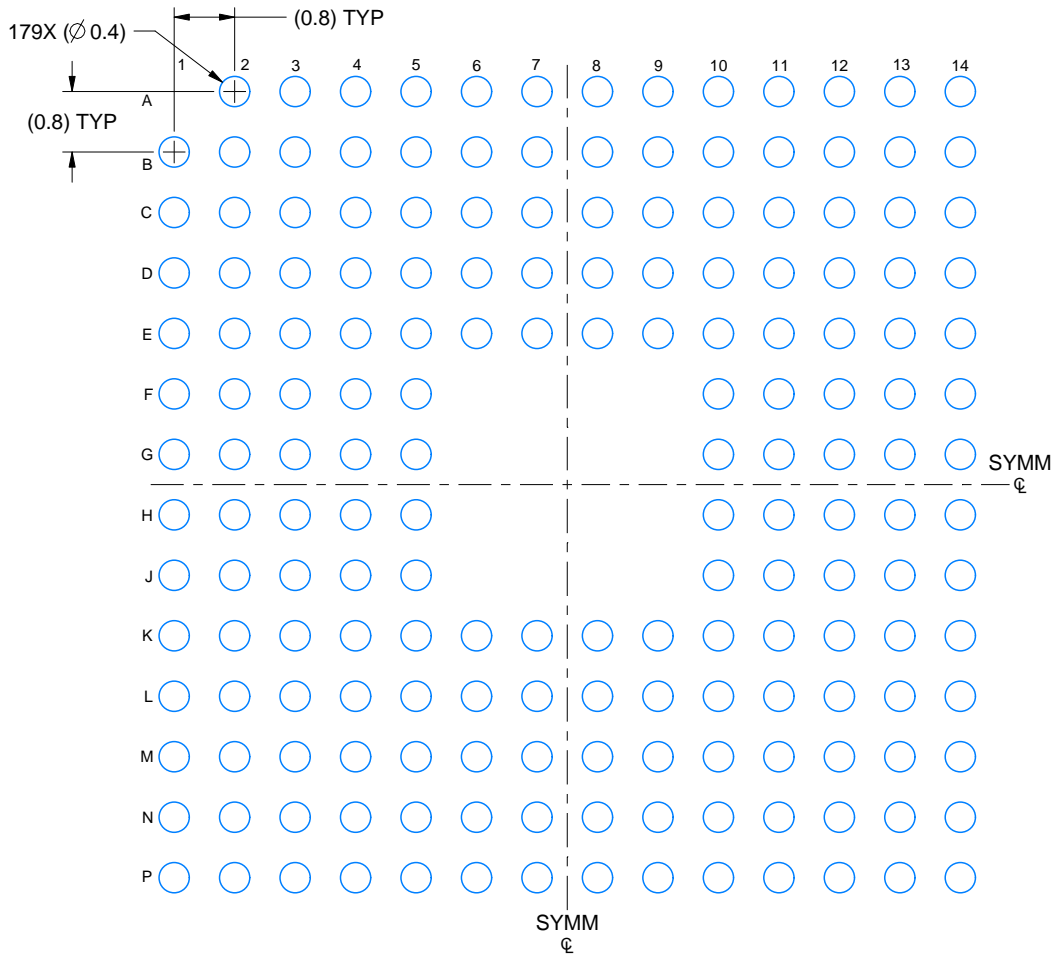
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ZAY0179A

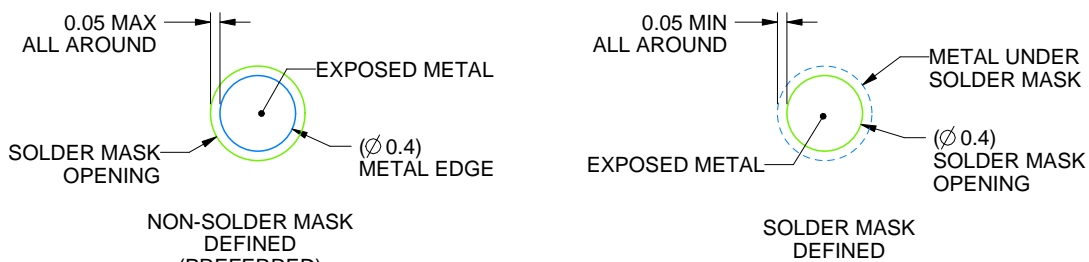
NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

NOT TO SCALE

4225014/C 07/2020

NOTES: (continued)

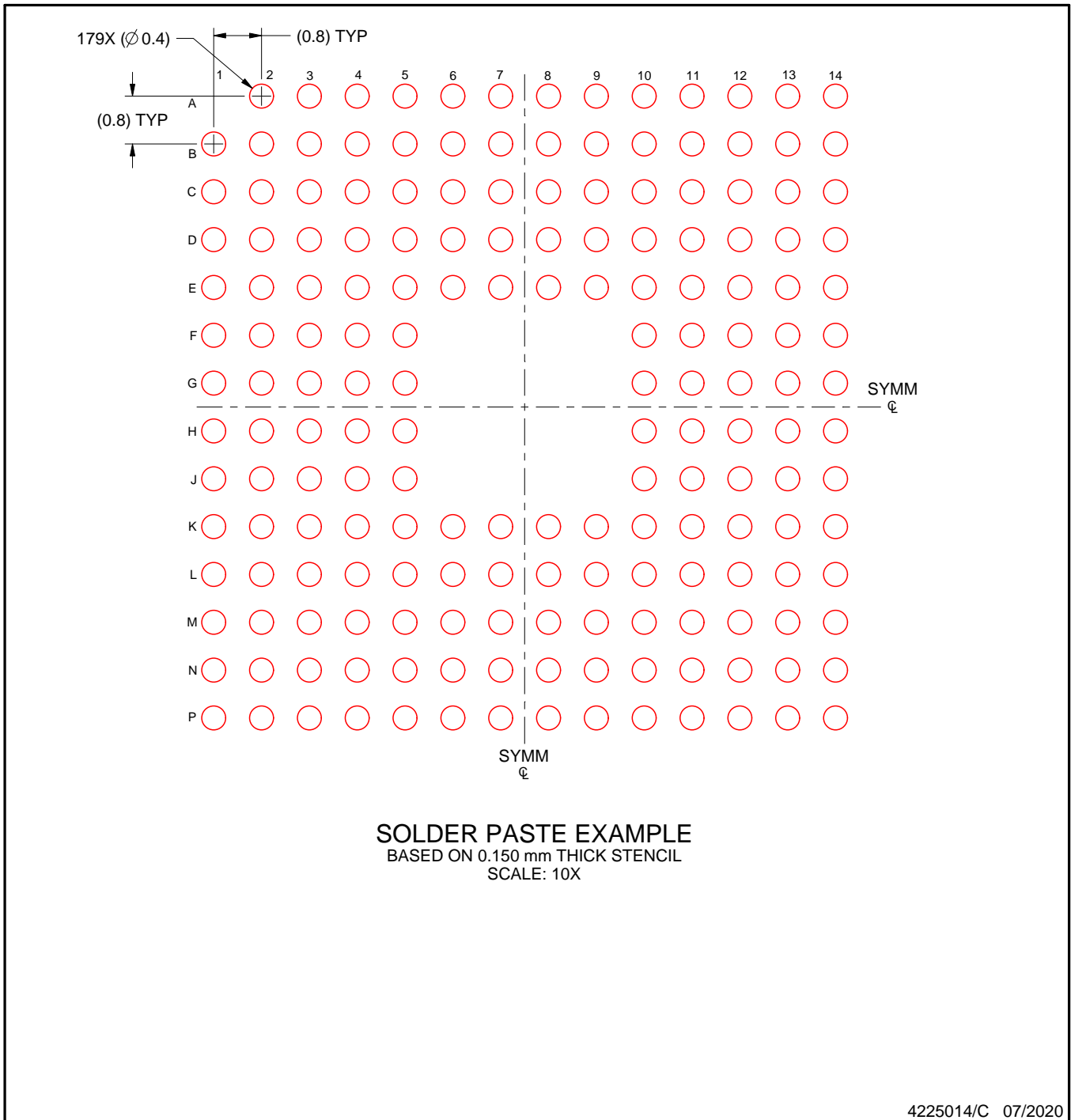
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZAY0179A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

GENERIC PACKAGE VIEW

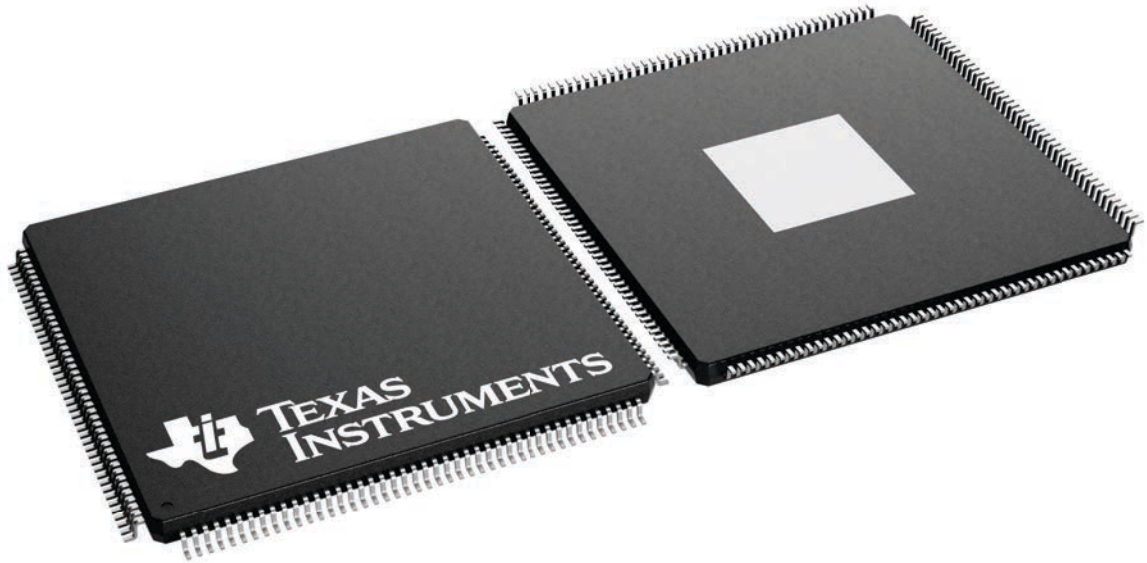
PTP 176

HLQFP - 1.6 mm max height

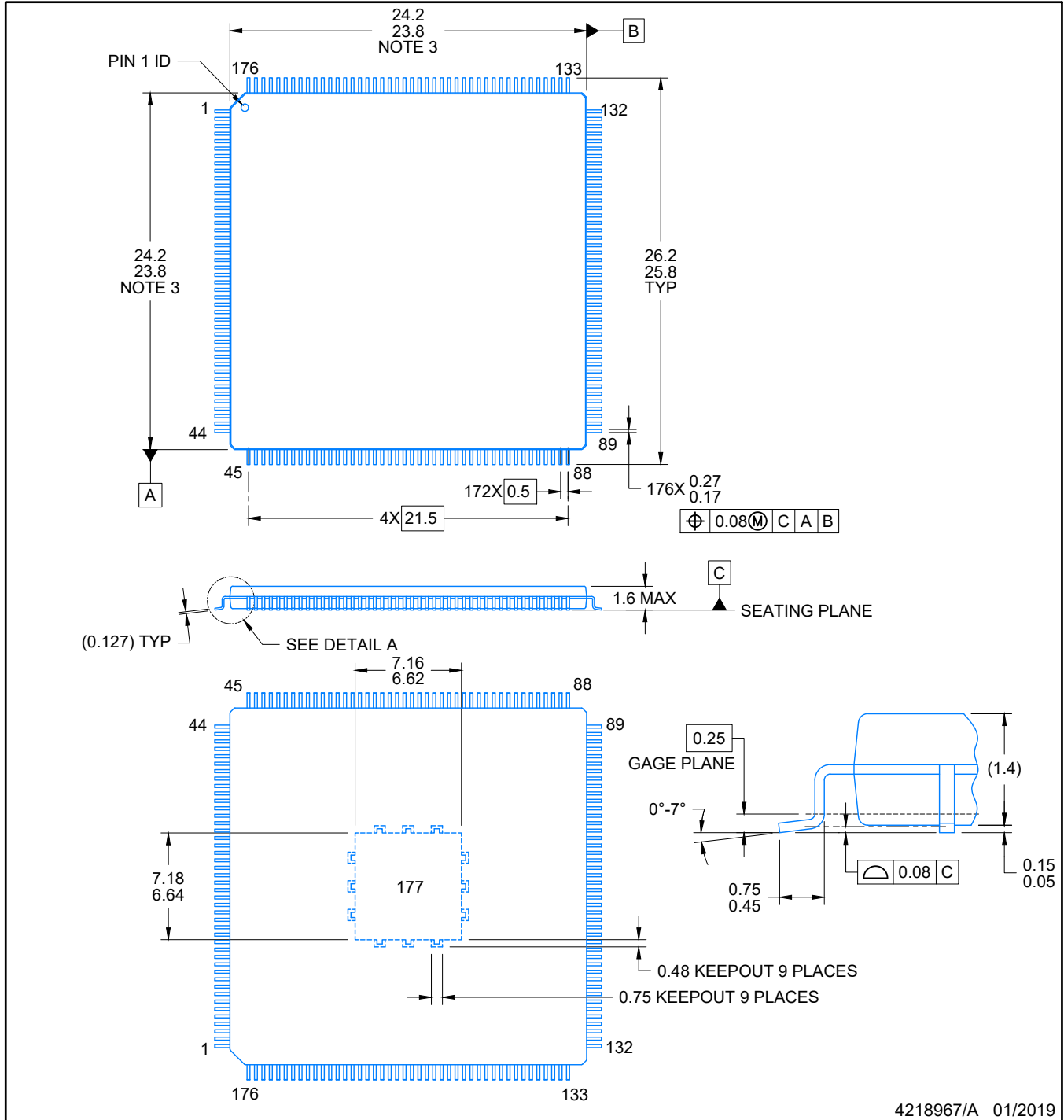
24 x 24, 0.5 mm pitch

PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

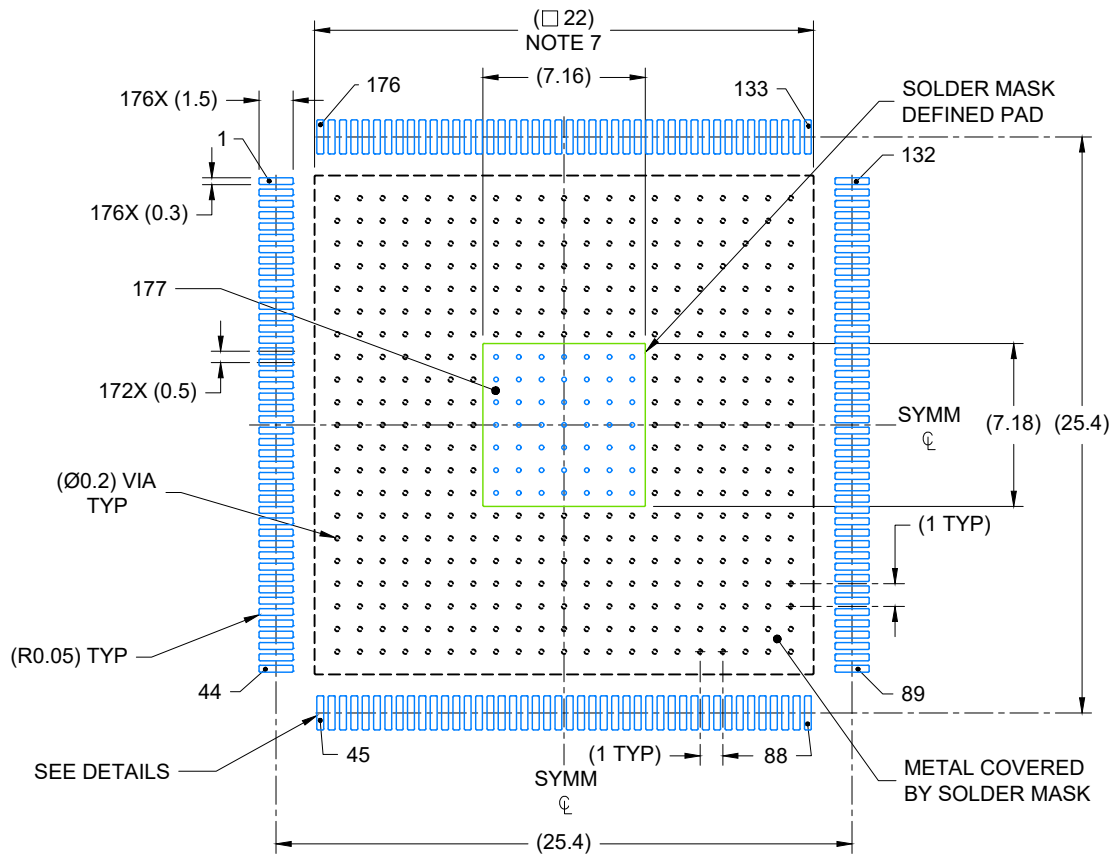


4226435/A

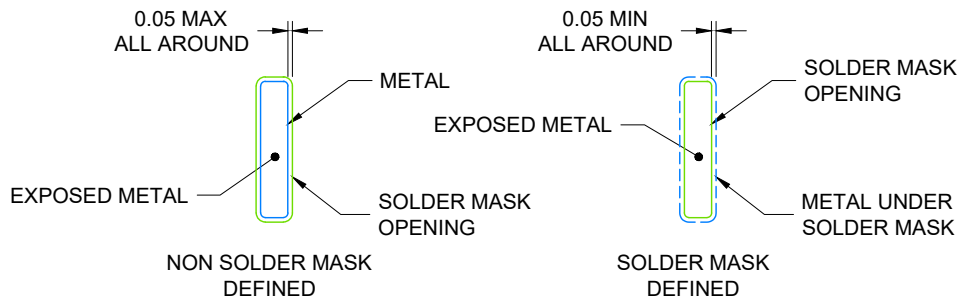


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 3X



SOLDER MASK DETAILS

4218967/A 01/2019

NOTES: (continued)

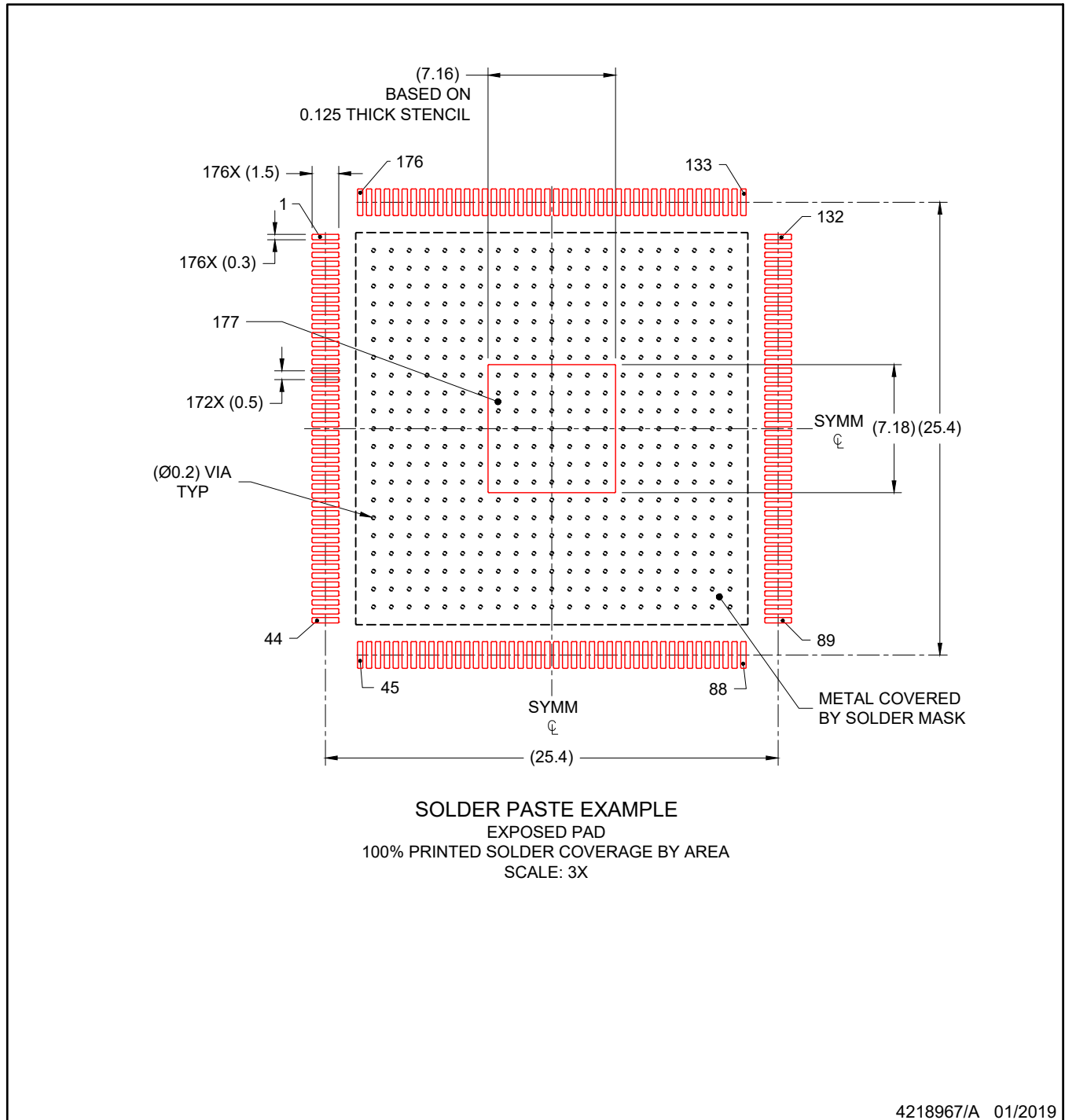
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. See technical brief. Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PTP0176E

HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated