

鉛フリー・メッキ・リードのウイスカの評価

Donald C. Abbott, Stu Grenney, Larry Nye, Douglas W. Romm

要 約

錫鉛メッキ (SnPb) と鉛フリー・メッキ・リードを使用した集積回路 (IC) について、ウイスカの成長について試験しました。一部のICはTIの組み立て工場で作られましたが、それ以外のICは協力工場から調達しました。ウイスカの成長を促進するためにエレクトロニクス業界で一般的に使用されていた条件は、51℃と51℃+85%相対湿度 (RH) でした。基板に実装されたICで、隣接するリードに5Vバイアスが加えられている場合にも、同じ条件が適用されました。近年、業界団体と規格制定組織では、推奨されるウイスカ試験の条件を絞り込みました。しかし、ここで報告する試験は、現在採用されている推奨試験条件の導入前に行われたものです。

試験の結果は、予想通りであるとともに驚くべきものでした。SnPbメッキ・リードでは非常に限定的なウイスカ成長が見られました。この結果は業界での報告とほぼ一致しています。ニッケル-パラジウム-金 (NiPdAu) メッキでは、予想通りウイスカの成長は見られませんでした。無光沢Snメッキ・リードでは、ウ

スカが見られたものと見られなかったものがありました。これは当社の経験とも一致します。SnBiメッキではウイスカの成長が見られず、当社のこれまでの試験結果と食い違いました。母材が真鍮の場合、光沢Snおよび無光沢Snで予想通りウイスカが見られました。ニッケル (Ni) 下地メッキには、観察箇所を増やしてもウイスカの成長を抑制する効果は認められませんでした。アニール (焼鈍) によってウイスカの成長は抑制されませんでした。しかし、ウイスカの成長が見られたすべての事例で、ウイスカの最大長さはJEDECの示すTechnology Acceptance条件である45μm (2005年8月現在) を超えませんでした。

このレポートでは、さまざまなICパッケージに数種類のSnPbメッキおよび鉛フリー・メッキを施した場合のウイスカ試験の結果を示します。一貫してウイスカの成長が見られなかったのは、NiPdAuメッキのみでした。Snベースのメッキの場合、その種類によって多様な結果が得られましたが、観測されたウイスカはJEDECの現在の許容条件を満たしていました。エレクトロニクス業界は、JEDECが示すSnウイスカの許容条件に全面的に賛同しているわけではありません。

目 次

1	はじめに	2
2	試験方法	6
3	ウイスカ検査の結果	13
4	結果および結論	23
5	References	24

1 はじめに

集積回路 (IC) 製造業者は、さまざまな種類の鉛 (Pb) フリー・メッキを選択して使用します (あるいは既に使用しています)。ニッケル-パラジウム-金 (NiPdAu) は、ここ数年でリードフレーム・パッケージに使用されるようになったメッキです[1,2,3]。NiPdAuは事前メッキ仕上げ、つまりICパッケージの組み立て (ダイの接着、封止工程など) 前にリードフレームに施すメッキです。錫 (Sn) メッキは、モールド (封止工程) 後処理するIC製造業者で最もよく使用されているメッキです。また、錫-銅 (SnCu) や錫-ビスマス (SnBi) などのSn合金も使用されます。

SnメッキやSnベース合金を使用する場合の懸念は、Snウィスカの成長です。Snウィスカが発見されて50年以上経つにもかかわらず^[4]、Snウィスカの成長については広く受け入れられるような普遍的な理論が確立されていません。Sn層における圧縮応力がSnウィスカの成長因子であることは立証されていますが、その応力の原因については依然として議論が続いています。Cu母材端子の場合、Cu₆Sn₅金属間化合物を形成するSn結晶粒界へのCuの移動が、Snにおける応力の原因であると考えられています。しかし、Sn層最上部からのSn結晶粒界への酸化も、応力の原因になる可能性があります。最近の研究から、Snを高湿度放置することによる酸化/腐食により、Snウィスカの形成が促進されることがわかりました。Snの酸化現象は、母材とは無関係です。アロイ42ベースの端子に熱サイクルを行うと、Snウィスカが成長します。これは、アロイ42とSnでCTE (熱膨張率) が異なることが主な原因であると考えられます。Sn原子がSnウィスカに移動することで、Sn層の応力を解放し、Snウィスカを成長させるメカニズムについては、現在も議論が続いています。このレポートの作成時点では、明快なメカニズムは立証されていません。Electronic Components and Technology Conference 2005でiNEMIの協賛により開催されたSnウィスカ・ワークショップでは、「Snウィスカの問題を簡単に解決する方法はない」という発言がたびたび聞かれました。Snウィスカの研究を一層混乱させているのは、Ni下地メッキ、アニール、リフロー、結晶方向などのウィスカ軽減手法の効果について、業界内で矛盾するデータが存在することです^[5,6]。

2002年、TIでは無光沢SnメッキのICについてウィスカ評価を行いました^[7]。この研究では、ウィスカ試験の結果は予想に反し、従来のほとんどの研究結果と矛盾するものでした。無光沢Snメッキ・リードの中で、ウィスカが見られたものもあれば、見られなかったものもありました。大きなSn粒子被覆物の一部にウィスカが見られ、微細なSn粒子被覆物にはウィスカが見られませんでした。

この研究は2003年末から開始され、2005年初頭に分析が終了しました。この研究で使用された試験条件は、51°C/85%RHでバイアスを加えた場合と加えない場合です。この条件は、業界団体から得られたデータを基に、2002年にTIが開発したものです。2002年に試験されたサンプルでは、51°C/85%RHの条件でウィスカの成長が見られました。

NEMI (National Electronics Manufacturing Initiative) は2004年半ば、複数の計画的実験に基づいて、推奨される試験条件を発表しました^[8]。このテスト条件には改良が加えられ、最終的にJEDEC規格JESD22A121として発表されました^[9]。JESD22A121には、この文書が認定規格ではなく、推奨されるSnウィスカ成長試験を提示するものであると記載されています。この試験に含まれる条件を表1に示します。

このレポートで示す試験がTIで開始されたとき、NEMI/JEDECが推奨した条件は整備されていませんでした。そのため、従来の条件である51°C/85%RHが使用されました。

ウィスカ低減の方法は、エレクトロニクス業界の専門家から数多く提案されてきました。最近推奨されたのは、無光沢Snを使用する方法、Ni下地メッキを使用する方法、およびSnメッキをアニールする方法です^[10,11,12]。この研究の目的は、推奨されているウィスカ低減方法を使用して、主な種類の鉛フリー・メッキについてウィスカ試験の性能を評価することでした。比較基準として、SnPbメッキ・リードが使用されました。

表 1. Snウィスカ成長試験の推奨条件

STRESS TYPE	TEST CONDITIONS	RECOMMENDATIONS	
		INSPECTION INTERVALS	MINIMUM DURATION
Temperature cycling	Minimum temperature: -55°C to -40°C (+0/-10)°C, Maximum temperature: 85°C (+10/-0)°C air to air, 5 to 10 min soak, ~3 cycles/h	500 cycles	1000 cycles
Ambient temperature/humidity storage	30°C ± 2°C and 60°C ± 3°C	1000 h	3000 h
High temperature/humidity storage	60°C ± 5°C and 87°C (+3/-2)°C	1000 h	3000 h

1.1 評価対象パッケージ

この評価のために、いくつかのICパッケージが選ばれました。TIの組み立て工場で作られたパッケージと、TI外部の協力工場で作られたパッケージを使用しました。各種類のパッケージについて、メッキ厚さを計測しました。ウィスカ試験の前後で、粒子サイズを計測しました。ウィスカ試験後の粒子サイズは、バイアス条件を加えた場合と加えない場合の平均値です。評価対象の各種パッケージ/メッキの主な詳細を表2に示します。

最初の4列は、グループ番号、ピン数、パッケージの種類、ICパッケージ組み立て工場(コード)を示します。コードがTIのグループは、TIの自社組み立て工場で作成されたものです。コードがS1、S2などのグループは、協力工場で作成されたものです。第5列は、各グループのリード・メッキの詳細を示します。第6列は、断面写真(または蛍光X線)により計測されたメッキ厚さを示します。第7、8列は、ウィスカ試験の前後の各グループの平均粒子サイズを示します。

表 2. 評価対象の各パッケージの形式およびメッキの詳細

GROUP NO.	PIN COUNT	PACKAGE	A/T CODE	FINISH	PLATING THICKNESS (μm, MEASURED)	GRAIN SIZE, NO TEST EXPOSURE (μm)	GRAIN SIZE, 3000-h EXPOSURE (μm)
1	16	SOIC	S1	SnPb	14.45	1.8	1.6
2	16	PDIP	S1	SnPb	14.92	6.2	6.3
3	16	SOIC	TI	NiPdAu	Per TI spec ⁽¹⁾	NMGS ⁽²⁾	NMGS ⁽²⁾
4	16	PDIP	TI	NiPdAu	Per TI spec ⁽¹⁾	NMGS ⁽²⁾	NMGS ⁽²⁾
5	16	SOIC	S1	Matte Sn	6.44	5.5	3.1
6	16	SOIC	S1	Matte Sn	10.85	5.6	6.6
7	16	SOIC	S2	Matte Sn	9.58	5.5	5.6
8	16	PDIP	S1	Matte Sn	8.73	2.6	5.8
9	5	DCK	S3	SnBi	9.97	2.9	3.9
10	16	SOIC	S1	Bright Sn (whisker)	11.30	NMGS ⁽²⁾	NMGS ⁽²⁾
11	16	SOIC	S1	Matte Sn (brass)	12.68	6.3	7.4
12	3	TO-92	S4	SnCu	17.60	NMGS ⁽²⁾	NMGS ⁽²⁾
13	16	SOIC	S1	0.5Ni + whisker Sn	9.18	5.5	7.5
14	16	SOIC	S1	0.5Ni + whisker-free Sn	14.04	5.3	7.7
15	16	SOIC	S1	Matte Sn (whisker)	11.07	5.4	9.0
16	16	SOIC	S1	Matte Sn (whisker-free)	21.14	7.7	10.9
17	56	QFN	S1	Sn (SnPb paste)	NA ⁽³⁾	6.3	5.9
18	56	QFN	S1	Sn (SnAgCu paste)	NA ⁽³⁾	5.5	3.4
19	5	TO-220	S5	Annealed matte Sn	8.48 ⁽⁴⁾	5.3	5.5
20	5	TO-220	S5	Matte Sn	8.74 ⁽⁴⁾	4.2	4.4
21	5	TO-263	S6	Annealed matte Sn	10.08	6.5	6.5
22	5	TO-263	S6	Matte Sn	13.53	7.6	9.3
23	3	TO-92	S5	Annealed matte Sn	9.10 ⁽⁴⁾	4.1	4.2

(1) NiPdAuメッキはTIのメッキ厚さ仕様を満たしています。

(2) NMGS (Not Measurable Grain Size) は、計測可能なサイズの粒子が検出されなかったことを意味します。

(3) NA (Not Available) は、メッキ厚さの計測に使用できるサンプルがなかったことを意味します。

(4) 蛍光X線により測定しました。

この研究では、8種類のリード・メッキを使用しています。これには、鉛フリーの条件を満たすメッキとして現在使用されているもの、または提案されているものを採用しています。次に、各種類のメッキについて説明します。

この研究では比較基準として、モールド後リードに錫-鉛(SnPb)メッキを施したパッケージを使用しています。SnPbメッキは、ヨーロッパで鉛フリー構想が開始されるまで電子部品にもっとも広く使用されていた、Snを含むリード・メッキです。SnPbメッキ・リードは、Snウイスカの成長しやすさを試験する上で他のメッキとの比較基準となります。可溶陽極を使用してメッキするSnPbは長い歴史があるため、メッキの皮膜合金の成分や厚さの制御方法については比較的研究が進んでいます。

リードにニッケル-パラジウム-金(NiPdAu)メッキを施したパッケージを採用したのは、この種のメッキでは元素(PdまたはAu)的にウイスカが成長する性質がないことを確認するためです。Ni、Pd、Auは順番にメッキされ、3層の皮膜が形成されます。合金になることはありません。皮膜を極端に薄くすることで(Pdは約0.01 μ m、Auは約0.003 μ m)、ウイスカの成長を促進する大きな応力が生じなくなり、また薄くすることによってウイスカの成長を促す量が少なくなりますが、一部の顧客から標準的なウイスカ試験におけるNiPdAuの性能を示すデータを求められていました。NiPdおよびNiPdAuについては以前にもウイスカの評価が行われており、ウイスカが成長しないという結果が得られています^[7]。

光沢Snメッキを施したリードは、光沢SnにSnウイスカを成長させる傾向が明らかであることを示すために採用されています^[4,10]。光沢Snは、測定可能である共析出炭素を含んだ微細析出粒子(表3を参照)と定義されます。光沢SnメッキにはSnウイスカが成長すると予想されました。

無光沢Snメッキを施した真鍮母材リードは、他の研究によってウイスカの成長を促進することが示されたため、この研究に加えられました。これは、亜鉛の含有量が多いことが原因だと考えられています^[4]。従来の研究から、無光沢Snは光沢Snよりもウイスカの成長を促す傾向が少ないことがわかっています。

Snメッキよりも前にリード上にメッキされる0.5 μ m~2.0 μ mのNi層は、Ni下地メッキと呼ばれ、ウイスカ低減の手法として推奨されてきました^[11]。このメカニズムの仮説では、母材からCuがSnの結晶粒界に移動することをNi下地メッキが防ぐとされています。この考え方と食い違うデータが発表されています^[10]。Ni下地メッキがウイスカ生成の抑制に効果があるかどうかは別として、Niは析出速度が遅いため、モールド後にSnメッキの前にNiをメッキすることは製造上困難をとまいます。

Niの析出が遅いということは、非常に長いメッキ処理ラインによってNiとSnを同時にメッキするか、2段階の工程を行うことを意味するため、どちらも製造業者の生産性とコストに悪影響を及ぼします。リードフレームの製造工場ではNiを事前メッキすることは、MSL(耐湿性レベル)性能に悪影響を及ぼします。これは、一般的に使用されているモールド・コンパウンドのほとんどがNi表面にうまく接着しないためです。

サンプル・グループ13~16には、Ni下地メッキを施したものと施していないものの2種類の無光沢Snが含まれます。SnメッキされるSnの析出挙動(ウイスカが成長する、またはウイスカ・フリー)は、メッキ電解液のサプライヤが行った実験から判断されました。析出の特性は、電解液の組成とメッキの条件から決まります。Sn内における応力レベルと汚染レベルについては、この実験の範囲を越えているため、判断されませんでした。

錫-銅(SnCu)メッキのリードは、エレクトロニクス業界の一部の企業から鉛フリー・リード・メッキとして市場投入されているため、この研究に加えられました。SnCuはリードに直接メッキされ、Ni下地メッキは行われません。SnCuはメッキのウイスカ成長を抑制する手法としては最悪であると主張する報告もあります^[13]。SnCuの工程上の問題点は、合金と厚さの制御です。Cuの比率によってSnCu皮膜の融点は大きく変動します。母材がCu合金であるため、合金の組成分析を簡単な手順で行うことはできません。皮膜の厚さの計測についても、母材にCuが含まれていることから同様の問題が生じます。

錫-ビスマス(SnBi)は、主に日本で市場投入されている鉛フリー・リード・メッキです。SnBiの優れた特徴は、融点が低い(150℃以下)ことと、実績があるため合金の制御方法が確立されていることです。SnBiの欠点は、Pbを含むペーストや基板メッキ、補修によって半田接合にPbが混入した場合、非常に低い溶融相(95℃未満)が形成され、半田接合の強度が低下することです。

アニールした無光沢Snメッキ・リードもこの研究に加えられています。アニールによってSnの粒子の成長を促進することで、Snウイスカが成長する可能性が低下するため、ウイスカの抑制手法として提案されています^[12]。これについても、Ni下地メッキによる抑制手法と同様に、無光沢SnのアニールによるSnウイスカの成長抑制の効果に対する否定的なデータが2005年5月31日のiNEMIのSnウイスカ・ワークショップで発表されました。この研究で試験したアニール済み無光沢Snサンプルのアニール条件は、150℃で1時間でした。アニールはメッキ後24時間以内に行われました。

表 3. NEMIによる無光沢Snメッキと光沢Snメッキの定義

PARAMETER	MATTE Sn	BRIGHT Sn
Carbon content	0.005% to 0.50%	0.2% to 0.4%
Grain size	1 μm to 5 μm	0.5 μm to 0.8 μm

試験対象のSnメッキパッケージの多くは無光沢メッキであると記載されています。NEMIによる無光沢Snメッキと光沢Snメッキの定義を表3に示します。

NEMIによる光沢Snメッキの定義では、光沢Snメッキは走査型電子顕微鏡 (SEM) で検査すると基本的に起伏がなく、無光沢Snよりも延性が小さく、わずかに硬度が高い場合があるとされています。

図1から図7に、試験を行った各種パッケージの外形図を示します。

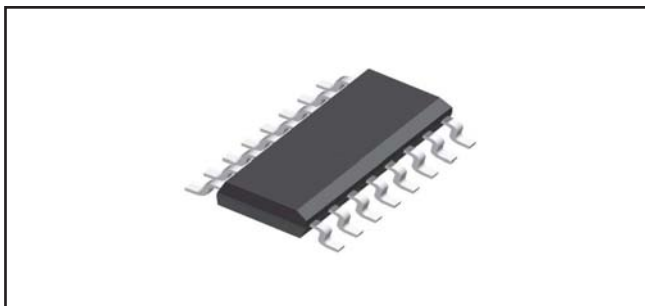


図 1. SOIC (D) ガルウィング・パッケージ

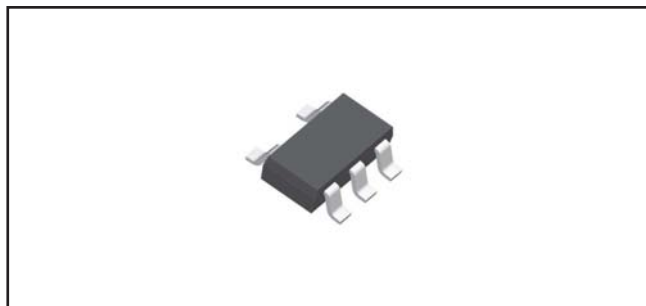


図 2. SOT (DCK) ガルウィング・パッケージ

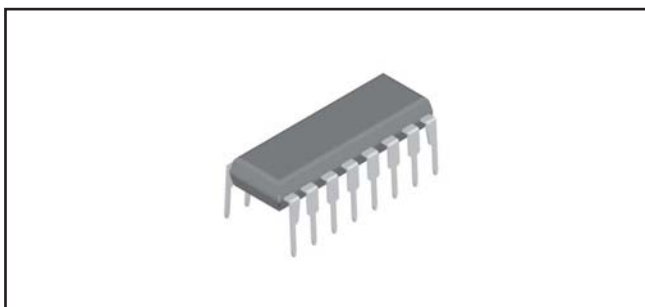


図 3. PDIP (N) スルーホール・パッケージ

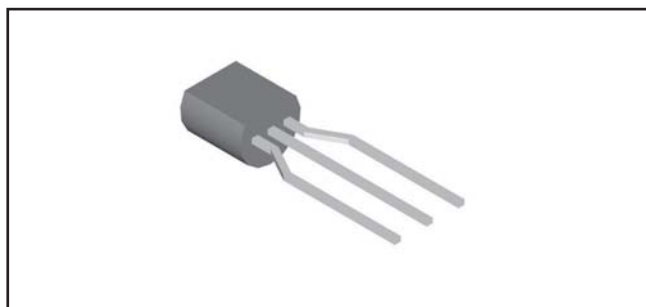


図 4. TO-92 (LP) パッケージ

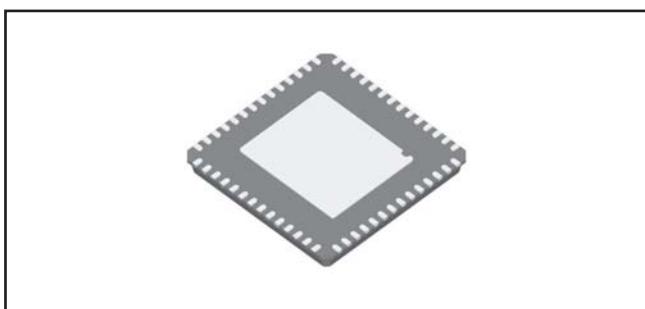


図 5. QFN (RGQ) パッケージ

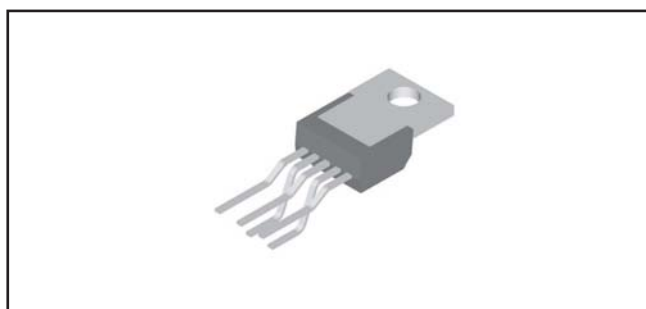


図 6. TO-220 (KV) スルーホール・パッケージ

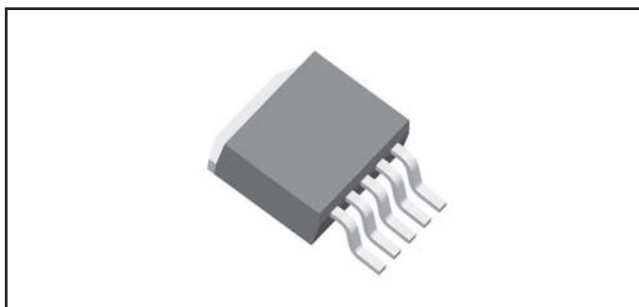


図 7. TO-263 (KTT) スルーホール・パッケージ

表 4. ウィスカ試験マトリックス

RUN	BIAS	51°C + 85%RH
1	No	Yes
2	Yes	Yes

2 試験方法

すべてのグループが表4に示す試験条件で評価されました。51°C/85%RHおよび51°C/85%RH+バイアスという試験条件は、2002年当時にエレクトロニクス業界から得られたデータを基にTIが開発したものです。このレポートで報告している試験は、NEMIによる推奨条件、つまりJEDEC規格JESD22A121が広く採用される以前に開始されました。そのため、使用された条件は参考文献7と同じです。

51°Cという加熱条件は、複数の研究者による実験からSnウィスカの成長を促進すると判断されたものです。85%という相対湿度は、Sn表面のSn酸化物の成長を促進することでウィスカの成長を促すことを目的としています。「実使用条件」を再現するためにバイアスを加えた試験も実施しました。適用したバイアスは最大5Vです。ウィスカ試験でバイアスを使用することは一般的ではありません。ウィスカの成長にバイアスが及ぼす影響については現在も評価が進められています。基板に実装することで、ICパッケージにバイアスを加えることが可能になりました。基板に実装してリフロー処理を行うことで、基板に実装される前に生じていたSn層内の応力が軽減され、皮膜でウィスカが成長する傾向が抑えられる可能性があります。

2.1 サンプルの実装手順

ウィスカ試験を行うパッケージはすべてPWBに実装しました。半田ペーストにはSnPbを使用し、リフロー・プロファイルはSnPb半田処理で一般的に使用されるものです。ピーク温度は約220°Cです。鉛フリー (SnAgCu) 半田ペーストを使用し高いリフロー温度 (235°C以上) を適用することで、メッキ内の応力を軽減し、ウィスカの成長を抑制できるという説もあります。この試験では高いリフロー温度による処理の影響を排除するためにSnPbペーストの使用とリフロー温度を決定しました。ICサプライヤがSnメッキ製品の大量生産を開始したとしても、当分の間はリフロー処理の大部分でSnPb半田 (および対応するリフロー温度) が使用されるでしょう。そのため、ワーストケース条件としてピーク温度を約220°CとしたSnPb半田処理を行うことが決定されました。SOICの基板実装に使用されたPWBを図8に示します。



図 8. PWBに半田付けた協力工場S1のSOIC

2.2 検査箇所と検査手順

検査手順は2つの目的を達成するために作成されました。1つの目的は標準一次検査(粒子サイズの計測を含む)の経過を記録すること、もう1つの目的はウィスカの状態を検査することです。標準一次検査(粒子サイズの計測を含む)には450～1500倍の倍率が採用されました。ウィスカ検査には1500～45000倍の倍率が採用されました。倍率レベルは、メッキの種類やウィスカ発生箇所の状況に応じて調整されました。

表2に示した各グループのパッケージについて、試験時間0時間、2000時間、3000時間における粒子サイズとウィスカ成長を検査しました。グループ1～16のサンプルについては、試験前に1つ以上のリードに傷を付けました。傷を付けることで、メッキ表面の一部に機械的な応力が加わり、ウィスカの成長が促進される可能性があります。

SOIC、SOT、PDIPパッケージにおける標準の検査箇所は次のとおりです(図9および図10を参照)。

1. リード肩部の上側角(左側)
2. リード肩部の上部中央
3. リード外側中央部の傷周辺
4. リード肩部裏の下側角(左側)

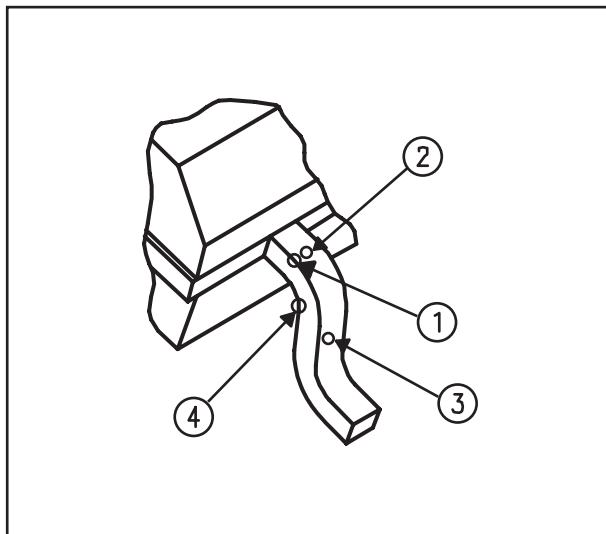


図 9. SOIC (D)パッケージおよびSOT (DCK)パッケージの検査箇所

TO-92 (LP)、TO-220 (KV)、TO-263 (KTT)パッケージにおける標準の検査箇所は次のとおりです(図11、図13、図14を参照)。

1. リード肩部の上側角(左側)
2. リード肩部の上部中央
3. リード肩部の左側
4. リード肩部の上側角(右側)

QFNサンプルの標準の検査箇所は次のとおりです(図12を参照)。

1. リードの左端、プラスチックと交差する箇所
2. リードの上部中央、プラスチック・パッケージに近い箇所
3. リードの左端、プラスチックと交差する箇所(斜めから撮影)
4. リードの上部中央、前面の角に近い箇所

図9～図14に示した箇所は、一次検査で各パッケージについて1箇所ずつ検査の対象となり、指定された倍率で観察されました。ウィスカ詳細検査の手順も、この箇所から開始されました。詳細検査では、リード全体、境界面、リードの表面領域を必要に応じて大きな倍率で検査しました。

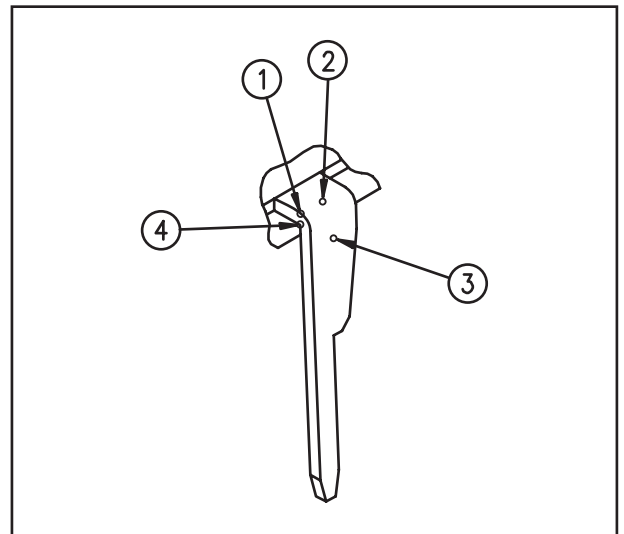


図 10. PDIP (N)パッケージの検査箇所

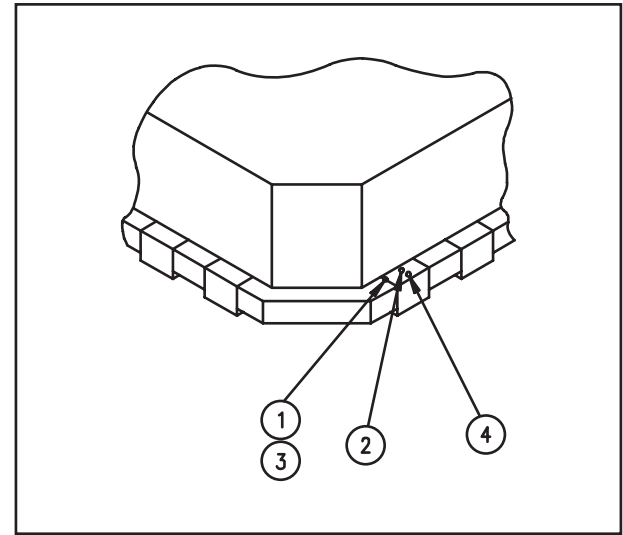
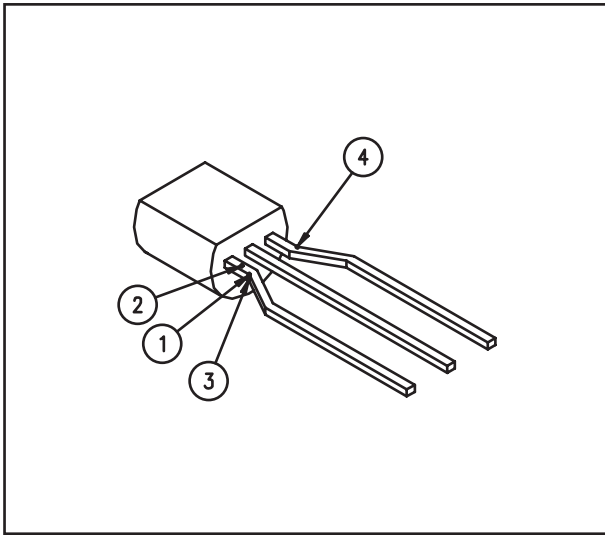


図 11. TO-92 (LP) パッケージの検査箇所

図 12. QFN (RGQ) パッケージの検査箇所

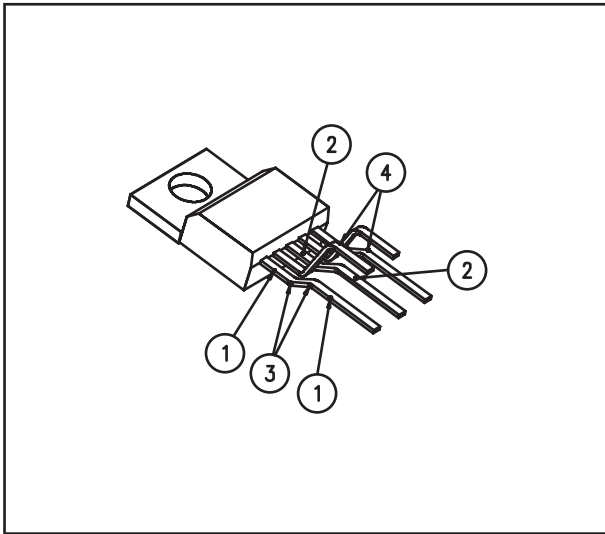


図 13. TO-220 (KV) パッケージの検査箇所

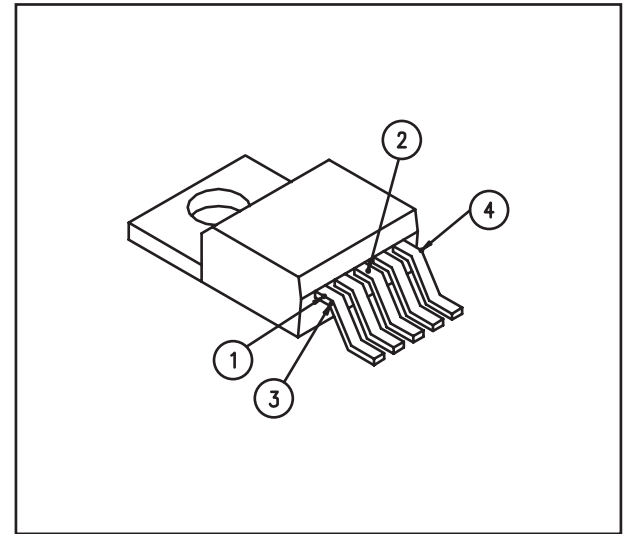


図 14. TO-263 (KIT) パッケージの検査箇所

この研究は、JEDECおよびNEMIのドキュメントでSnウィスカの計測と分類に関する公式のガイドラインが発表される前に開始されましたが、得られた結果については可能な限りこのガイドラインに従って記述しています。表面におけるウィスカ形成は、

表5に示す分類カテゴリに分類して報告しています。サンプルのサイズ (検査対象とするリードの数と面積) については、現在も議論が続いていることを付記しておきます。

表 5. NEMI/JEDECのウィスカ分類カテゴリ

CATEGORY	DESCRIPTION
1	Tin whisker filaments
2	Whiskers with a consistent cross-section
3	Kinked whiskers
4	Kinked whiskers growing from a nodule
5	Branched tin whiskers
6	Whiskers initiating from a hillock
7	Tin whisker filaments with striations
8	Kinked whiskers initiating from an eruption
9	Tin whiskers with rings
10	Dendrites
11	Hillocks
12	Flowers

Dendrites、Hillocks、Flowers (カテゴリ10、11、12)は例外的な表面異常であり、Snウィスカには該当しないと考えられています。

これらの分類カテゴリの代表的な見本写真が、「Test Method for Measuring Whisker Growth on Tin and Tin Alloy Surface Finishes」の付録Cに収録されています^[9]。

この研究で適用した温湿度条件は、JEDECがJESD201「Environmental Acceptance Requirements for Tin Whisker Susceptibility of Tin and Tin Alloy Surface Finishes」で現在提案している条件に非常に近いものです。計測を行うたびに、最大のウィスカの長さを記録し、分類しています。最大ウィスカ長さは、JEDECが提唱した温湿度保管時のTechnology Acceptance条件で許容される最も厳しい最大長さ (45 μ m)と比較しています。

2.3 粒子の外観

試験対象の各パッケージについて粒子サイズを測定し、NEMIの推奨事項に従って表面状態を分類しました。粒子構造の例を図15～図32に示します。ここに示した粒子サイズ写真は、すべて試験の前に撮影されたものです。

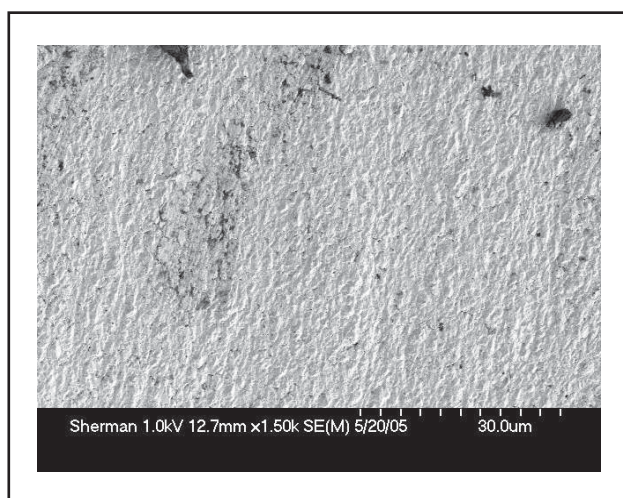


図 15. グループ1、SnPb SOICパッケージにおける標準的な粒子構造 (1500倍)

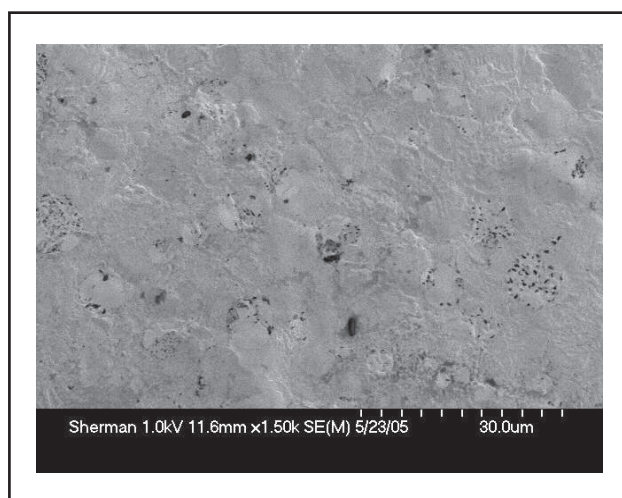


図 16. グループ2、SnPb PDIPパッケージにおける標準的な粒子構造 (1500倍)

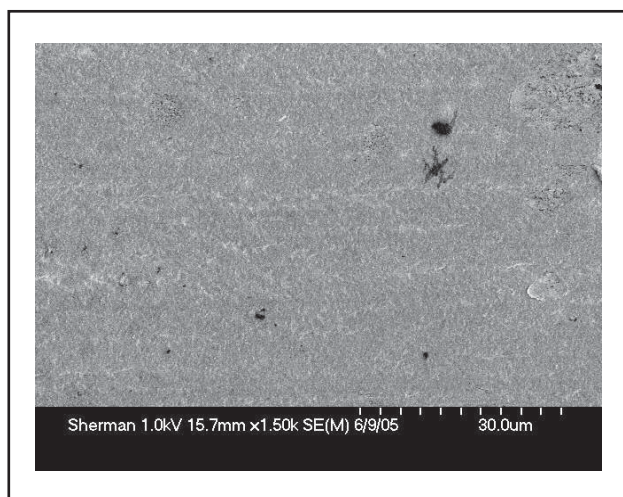


図 17. グループ3、NiPdAu SOICパッケージにおける標準的な粒子構造 (1500倍)

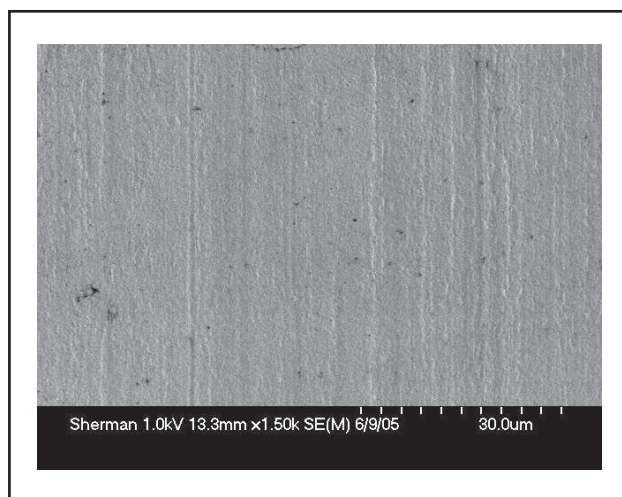


図 18. グループ4、NiPdAu PDIPパッケージにおける標準的な粒子構造 (1500倍)

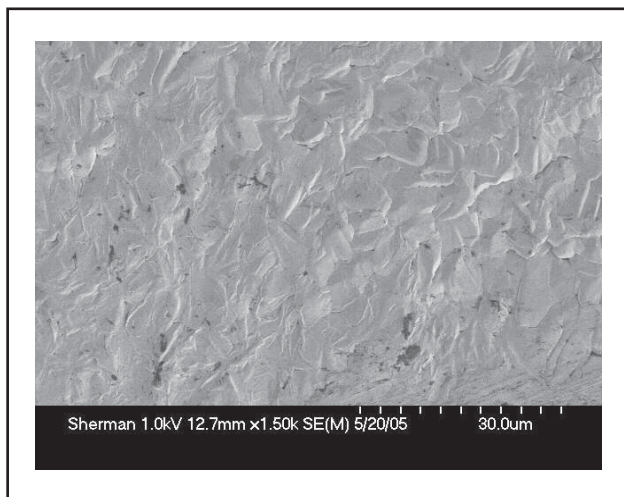


図 19. グループ5、無光沢Sn SOICパッケージにおける標準的な粒子構造(1500倍)

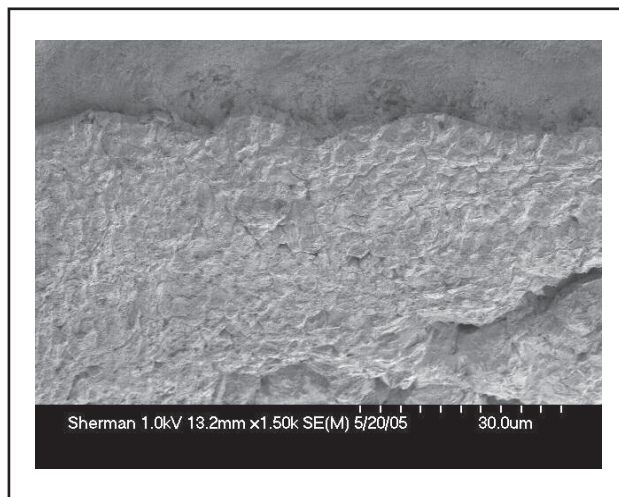


図 20. グループ9、SnBi DCKパッケージにおける標準的な粒子構造(1500倍)

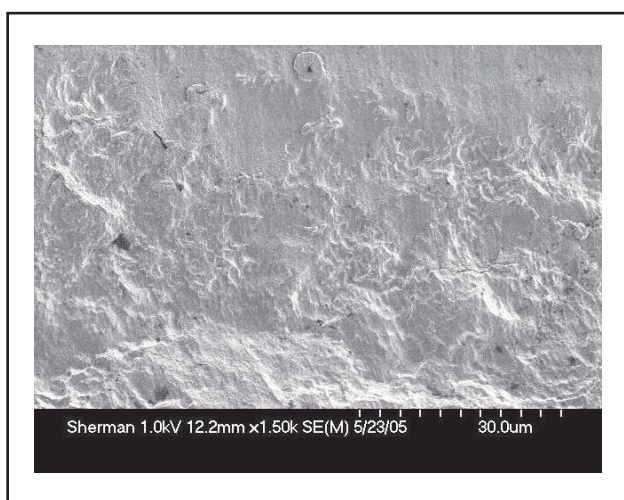


図 21. グループ10、光沢Sn SOICパッケージにおける標準的な粒子構造(1500倍)

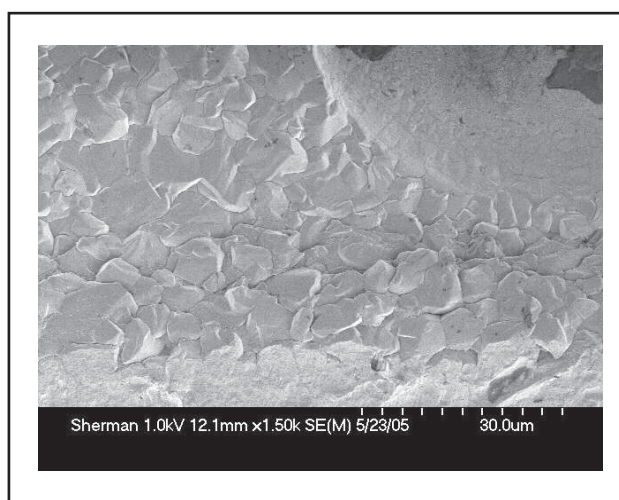


図 22. グループ11、無光沢Sn SOICパッケージ(真錫母材)における標準的な粒子構造(1500倍)

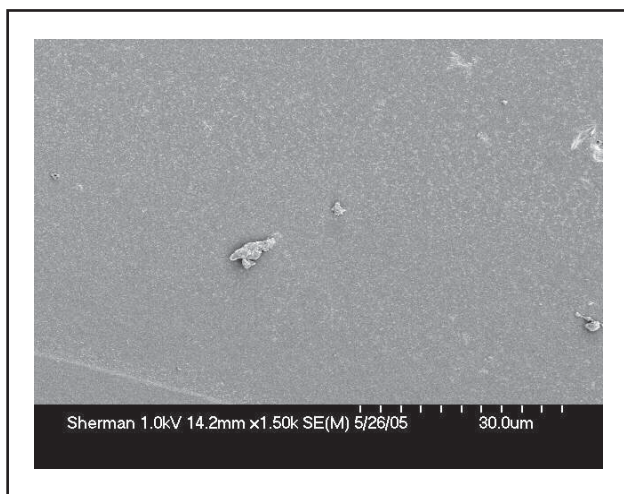


図 23. グループ12、SnCu TO-92パッケージにおける標準的な粒子構造(1500倍)

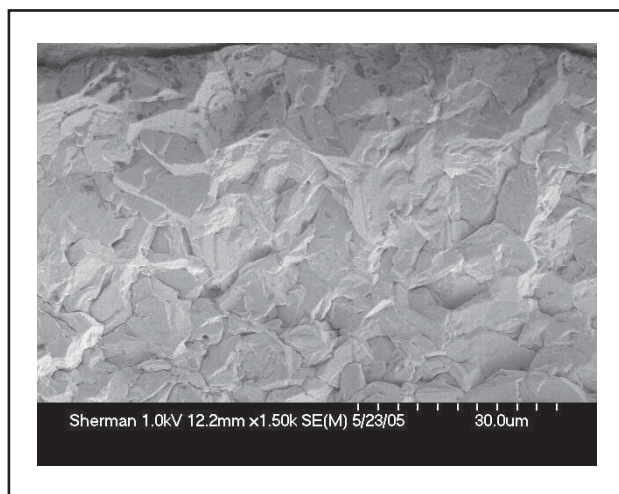


図 24. グループ13、0.5Ni+ウィスカSn SOICパッケージにおける標準的な粒子構造(1500倍)

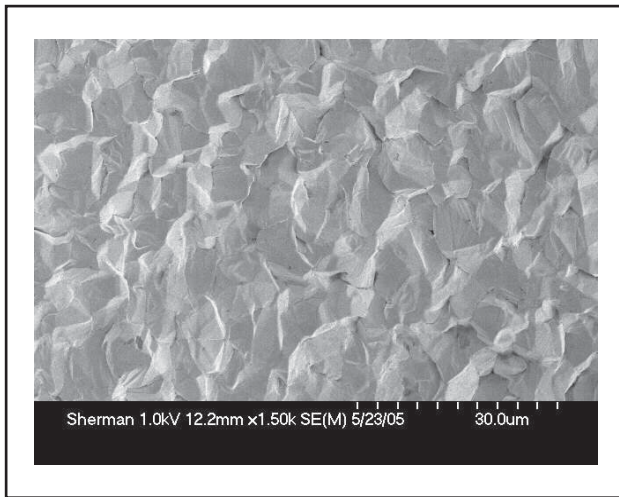


図 25. グループ14、0.5Ni+ウィスカ・フリーSn SOIC パッケージにおける標準的な粒子構造 (1500倍)

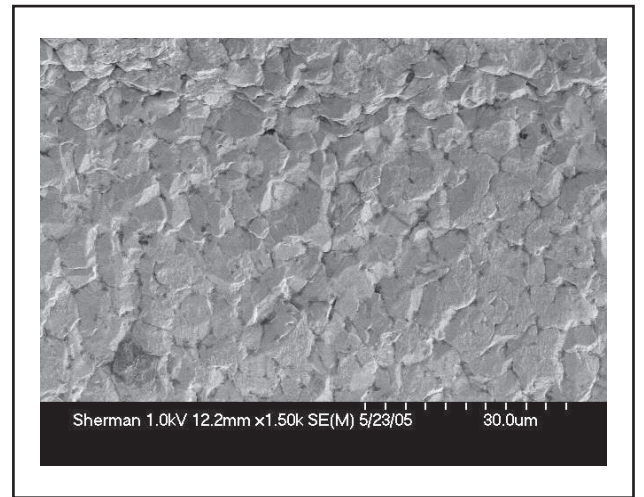


図 26. グループ15、無光沢Sn (ウィスカSn) SOIC パッケージにおける標準的な粒子構造 (1500倍)

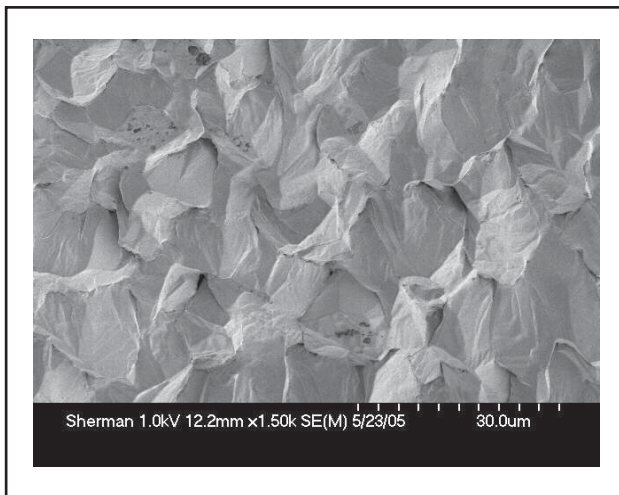


図 27. グループ16、無光沢Sn (ウィスカ・フリーSn) SOIC パッケージにおける標準的な粒子構造 (1500倍)

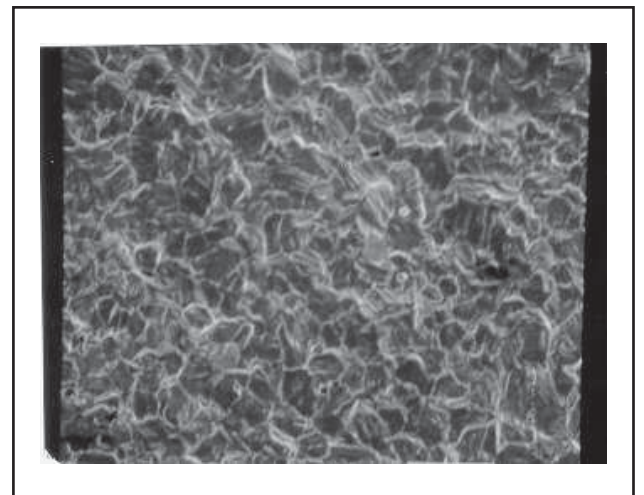


図 28. グループ19、アニール無光沢Sn TO-220パッケージにおける標準的な粒子構造 (1500倍)

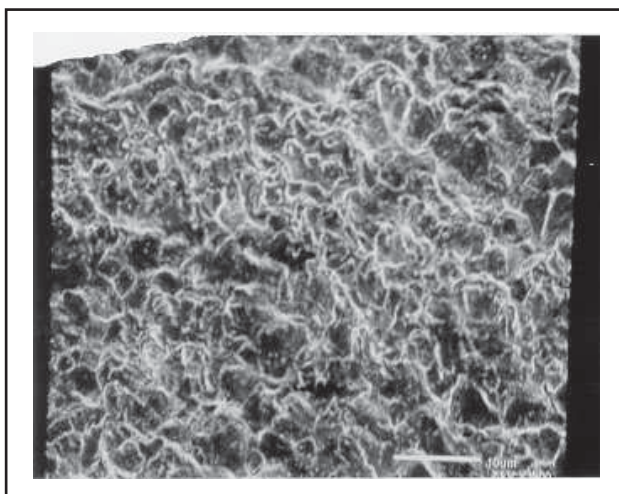


図 29. グループ20、無光沢Sn TO-220パッケージにおける標準的な粒子構造 (1500倍)

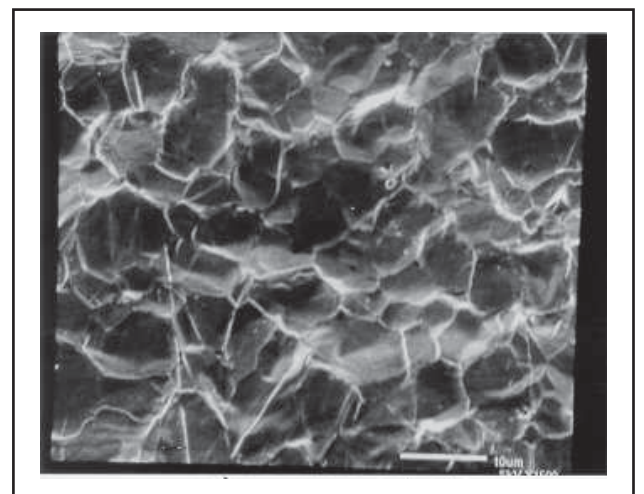


図 30. グループ21、アニール無光沢Sn TO-263パッケージにおける標準的な粒子構造 (1500倍)

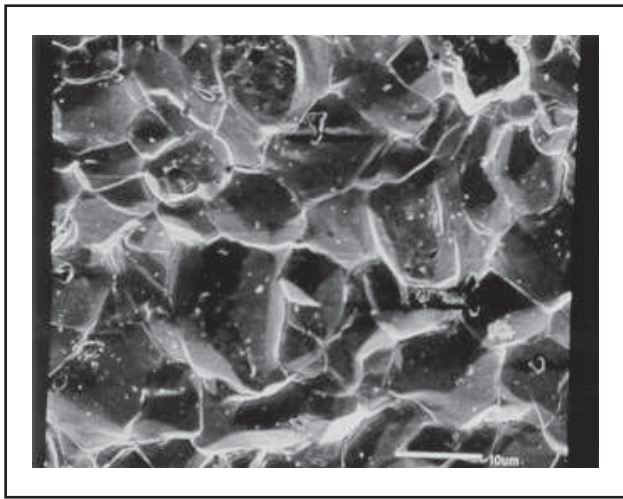


図 31. グループ22、無光沢Sn TO-263パッケージにおける標準的な粒子構造 (1500倍)

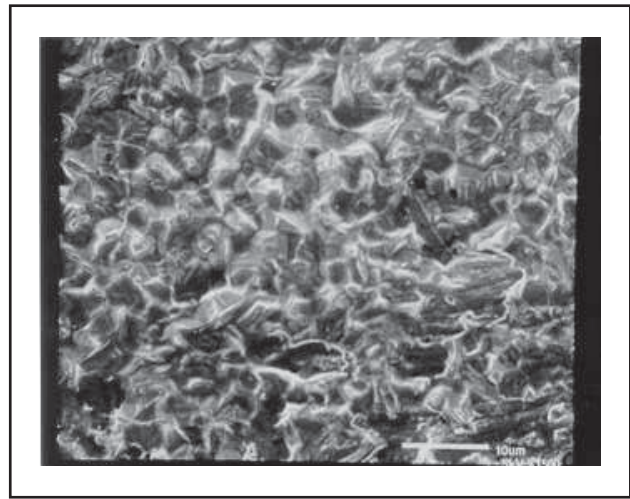


図 32. グループ23、アニール無光沢Sn TO-92パッケージにおける標準的な粒子構造 (1500倍)

すべての無光沢SnパッケージおよびアニールSnパッケージ (グループ5～8および13～23) で見られる粒子構造は、すべて大型の多角形粒子として分類できます。SnPbパッケージおよびSnBiパッケージでは明確な粒子構造が見られますが、無光沢Snと比較すると小型です。NiPdAu、光沢Sn、SnCuメッキパッケージは基本的に起伏がなく、粒子構造は見られません。

粒子が大きければウィスカが抑制されるという仮説があります。Snメッキ内に内在、または誘発された応力が、粒子の粗い析出物の大きな体積によって分散されるというものです。これにより、単位体積当たりの応力が減少します。これと同様の仮説では、特にSnCu金属間化合物がSn/Cu境界面に近い位置にあ

り、Sn層全体に分散していない場合、Sn皮膜を厚くすることで応力が大きな体積に分散されるとしています。このレポートで示した結果は、このような主張を立証していません。Snメッキが8μmを超えるパッケージや、粒子が大きいSn皮膜でも、ウィスカが観測されました。この結果は、Snウィスカ現象の複雑さを示しています。ウィスカの成長を抑制するためにこのような対策を行っても、高い内部応力などの要因によって抑えられない可能性があるのです。

3 ウィスカ検査の結果

表6に、すべてのグループにおけるSEM検査の結果を示します。そのグループまたは組み合わせの試験でウィスカが観測されたかどうかに関係なく、すべてのグループのデータを示しています。表にはウィスカの最大長さを示しています。ウィスカは

JEDEC規格JESD22A121で示されているウィスカの種類に従って分類されています。

メッキの種類別の結果について、セクション3.1～セクション3.10で説明します。

表 6. 全グループのSEM検査結果

RUN ID: BIASED: 51°C + 85%RH:				2000 HOURS				3000 HOURS			
				RUN 1		RUN 2		RUN 1		RUN 2	
				No	Yes	Yes	Yes	No	Yes	Yes	Yes
REV NEW GROUP NO.	PIN COUNT	PACKAGE	FINISH	TYPE	MAX LENGTH	TYPE	MAX LENGTH	TYPE	MAX LENGTH	TYPE	MAX LENGTH
1	16	SOIC	SnPb	None	0.00	None	0.00	None	0.00	None	0.00
2	16	PDIP	SnPb	1	0.99	1	0.46	None	0.00	None	0.00
3	16	SOIC	NiPdAu	None	0.00	None	0.00	None	0.00	None	0.00
4	16	PDIP	NiPdAu	None	0.00	None	0.00	None	0.00	None	0.00
5	16	SOIC	Matte Sn	None	0.00	None	0.00	None	0.00	None	0.00
6	16	SOIC	Matte Sn	None	0.00	1, 2	5.36	None	0.00	7	9.70
7	16	SOIC	Matte Sn	None	0.00	None	0.00	None	0.00	None	0.00
8	16	PDIP	Matte Sn	2	8.58	None	0.00	7	10.30	1	12.21
9	5	DCK	SnBi	None	0.00	None	0.00	None	0.00	None	0.00
10	16	SOIC	Bright Sn (whisker)	None	0.00	None	0.00	1	4.93	7, 9	20.73
11	16	SOIC	Matte Sn (brass)	None	0.00	None	0.00	None	0.00	1, 12	29.40
12	3	TO-92	SnCu	2	3.20	None	0.00	None	0.00	1	2.39
13	16	SOIC	0.5Ni + whisker Sn	2	24.61	1, 2	8.68	1, 12	19.94	7, 9	27.95
14	16	SOIC	0.5Ni + whisker-free Sn	None	0.00	None	0.00	12	9.53	12	7.53
15	16	SOIC	Matte Sn (whisker)	5	4.49	None	0.00	2	2.52	1	10.95
16	16	SOIC	Matte Sn (whisker-free)	7	6.16	None	0.00	1, 2	3.67	2	2.52
17	56	QFN	Sn (SnPb paste)	None	0.00	None	0.00	2	4.17	None	0.00
18	56	QFN	Sn (SnAgCu paste)	None	0.00	None	0.00	1, 10	6.24	None	0.00
19	5	TO-220	Annealed matte Sn	6	7.50	1, 3	5.10	7	29.20	1	3.00
20	5	TO-220	Matte Sn	2	4.80	None	0.00	7, 9	4.30	1	14.20
21	5	TO-263	Annealed matte Sn	2	4.60	1	17.70	2	5.30	2	5.10
22	5	TO-263	matte Sn	2	19.20	2	21.90	2	10.30	2	12.20
23	3	TO-92	Annealed matte Sn	None	0.00	7	22.20	3, 7	16.40	2, 7	5.80

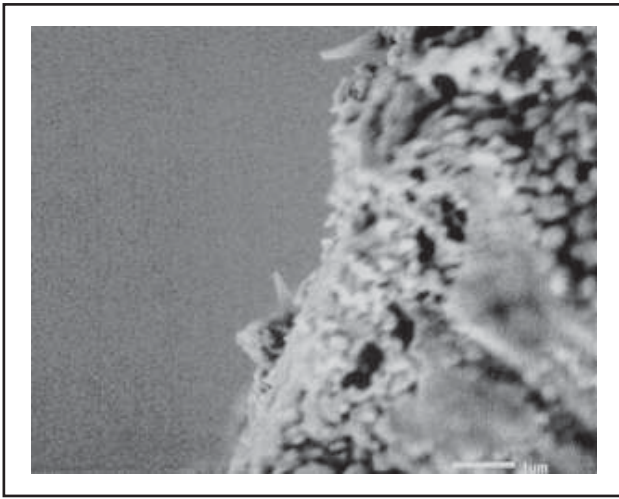


図 33. グループ2、PDIP SnPbメッキ (10000倍)、
51°C/85%RH/バイアスなし、2000時間、
ウィスカ長0.994μm

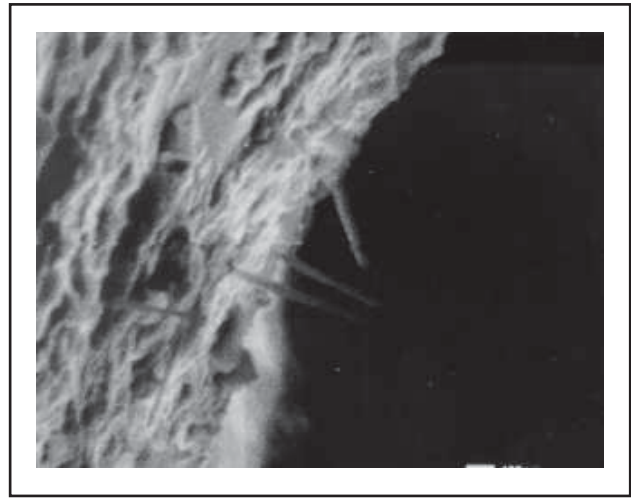


図 34. グループ2、PDIP SnPbメッキ (45000倍)、
51°C/85%RH/バイアスあり、2000時間、
ウィスカ長0.46μm

3.1 SnPbメッキ・パッケージの検査結果

2グループのSnPbメッキパッケージが試験されました。この2つのグループのうち、グループ2 (SnPb PDIPパッケージ) にのみウィスカ成長が見られました。51°C/85%RH (バイアスあり、なし) の条件に2000時間放置した後では、比較的微小なウィスカ成長 (1μm未満) が見られました (図33と図34を参照)。

3.2 NiPdAuメッキ・パッケージの検査結果

予想通り、NiPdAuメッキ・パッケージではウィスカの成長が見られませんでした。図35～図38に、NiPdAuメッキのSOICおよびPDIPを51°C/85%RH (バイアスあり、なし) の条件に放置した後の表面状態を示します。

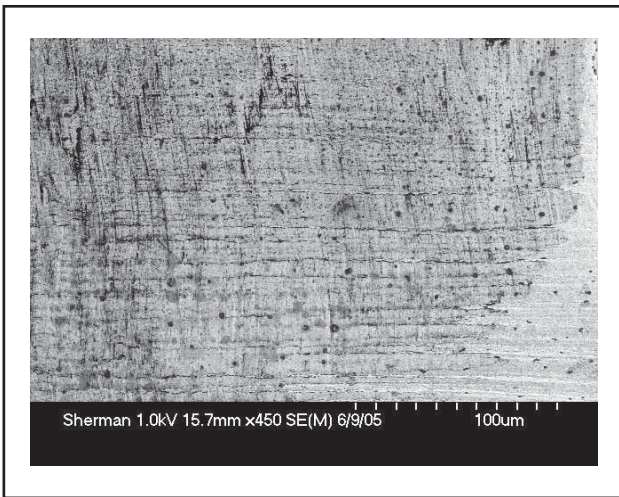


図 35. グループ3、SOIC NiPdAuメッキ、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ未観測

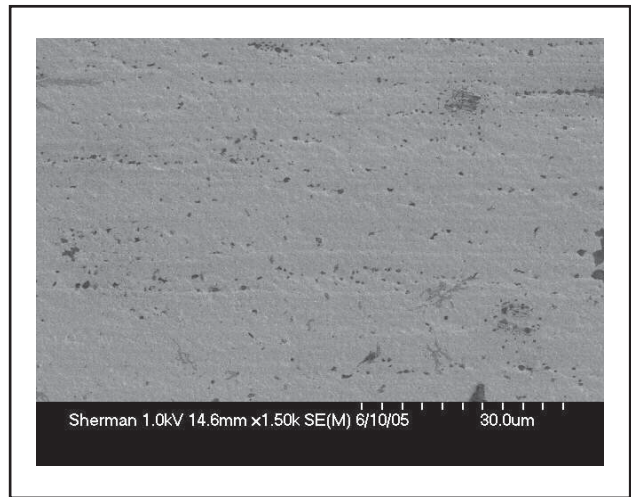


図 36. グループ3、SOIC NiPdAuメッキ、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ未観測

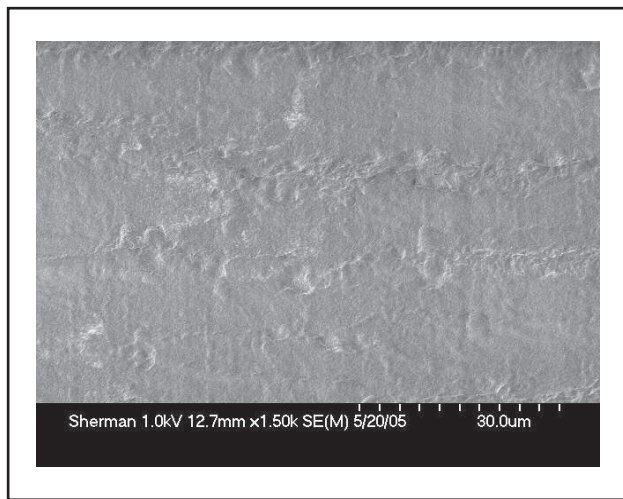


図 37. グループ4、PDIP NiPdAuメッキ、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ未観測

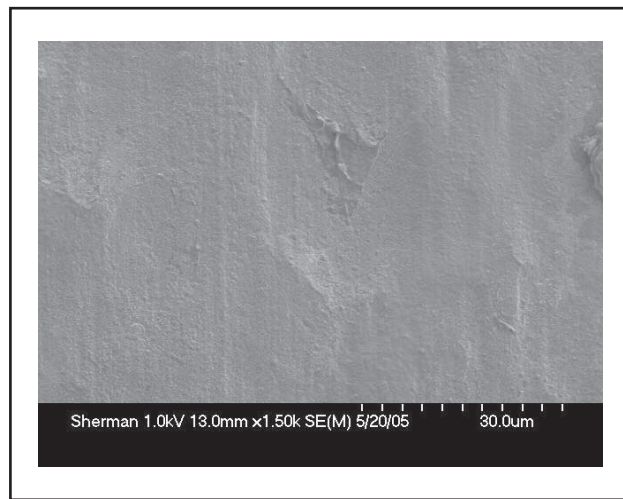


図 38. グループ4、PDIP NiPdAuメッキ、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ未観測

3.3 無光沢Snメッキ・パッケージの検査結果

協力工場S1で製造されたグループ5の無光沢SnメッキSOICには、ウィスカの成長は見られませんでした。しかし、同じ協力工場で2002年頃に製造されたSOICパッケージ(グループ6)には、この研究の試験でウィスカの成長が見られました。協力工場S2で製造された無光沢SnメッキSOICパッケージ(グループ7)に

は、ウィスカの成長は見られませんでした。協力工場S1で製造された無光沢SnメッキPDIPパッケージ(グループ8)には、2000時間放置と3000時間放置の両方(バイアスあり、なし)の条件でウィスカの成長が見られました(図39～図42を参照)。



図 39. グループ6、SOIC無光沢Snメッキ(2000倍)、
51°C/85%RH/バイアスあり、2000時間、
ウィスカ長5.36µm



図 40. グループ6、SOIC無光沢Snメッキ(3000倍)、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ長9.7µm

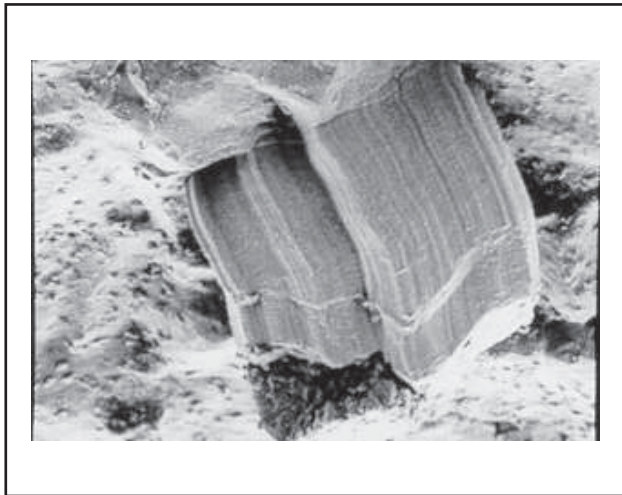


図 41. グループ8、PDIP無光沢Snメッキ(4500倍)、
51℃/85%RH/バイアスなし、3000時間、
ウイスカ長10.3μm

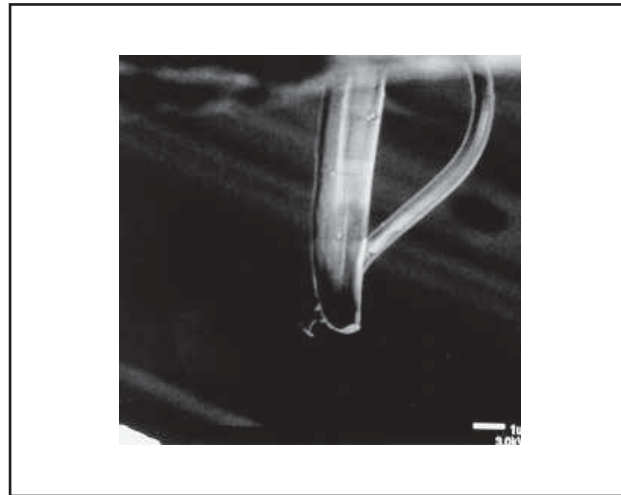


図 42. グループ8、PDIP無光沢Snメッキ(6000倍)、
51℃/85%RH/バイアスあり、3000時間、
ウイスカ長12.21μm

3.4 SnBiメッキ・パッケージの検査結果

協力工場S3で製造されたSnBiメッキSOTパッケージには、この研究ではウイスカの成長が見られませんでした。この結果は、2002年の試験でSnBiメッキSOTパッケージにウイスカ成長が見られたという結果と食い違っています^[7]。

3.5 光沢Snメッキ・パッケージの検査結果

協力工場S1で製造された光沢SnメッキSOICパッケージ(グループ10)には、51℃/85%RH(バイアスあり、なし)の条件で3000時間放置した後にウイスカの成長が見られました(図43および図44を参照)。

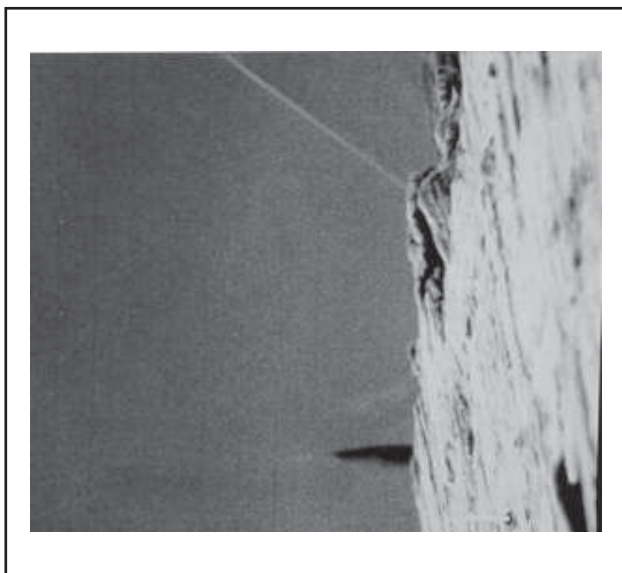


図 43. グループ10、SOIC光沢Snメッキ(10000倍)、
51℃/85%RH/バイアスなし、3000時間、
ウイスカ長4.93μm

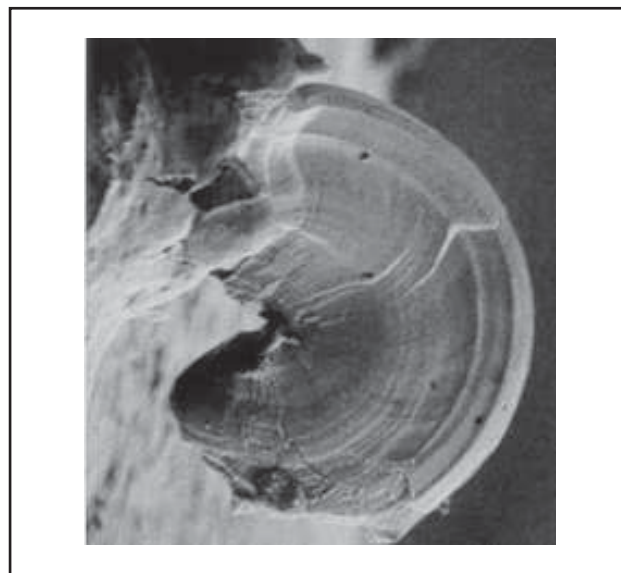


図 44. グループ10、SOIC光沢Snメッキ(3500倍)、
51℃/85%RH/バイアスあり、3000時間、
ウイスカ長20.73μm



図 45. グループ11、SOIC無光沢Snメッキ(真鍮母材、1500倍)、
51℃/85%RH/バイアスあり、3000時間、
ウィスカ長29.4μm

3.6 真鍮母材のSnメッキ・パッケージの検査結果

協力工場S1で製造された、真鍮母材のSnメッキSOICパッケージ(グループ11)には、51℃/85%RH/バイアスありの条件で3000時間放置した後にウィスカの成長が見られました(図45を参照)。

3.7 SnCuメッキ・パッケージの検査結果

協力工場S4で製造されたSnCuメッキTO-92パッケージ(グループ12)には、51℃/85%RH/バイアスなしの条件で2000時間放置した後、および51℃/85%RH/バイアスありの条件で3000時間放置した後にウィスカの成長が見られました。成長したウィスカの例を図46と図47に示します。



図 46. グループ12、TO-92 SnCuメッキ(23000倍)、
51℃/85%RH/バイアスなし、2000時間、
ウィスカ長3.2μm

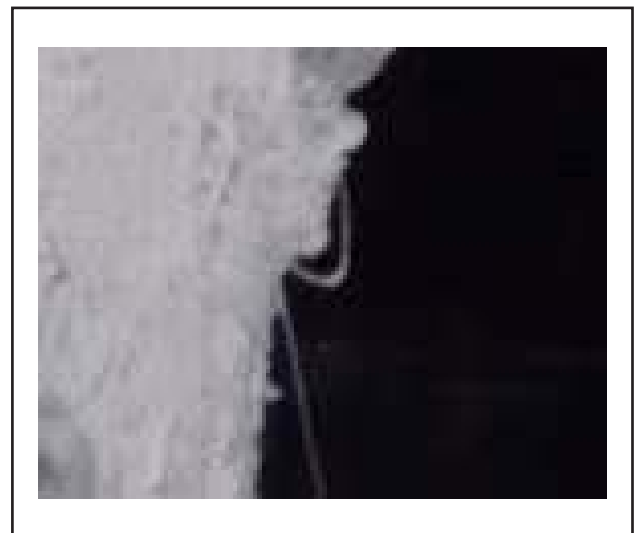


図 47. グループ12、TO-92 SnCuメッキ(13000倍)、
51℃/85%RH/バイアスあり、3000時間、
ウィスカ長2.39μm

3.8 Ni下地メッキ・パッケージの検査結果

グループ13 (0.5NiおよびウイスカSn) では、すべての組み合わせでウイスカの成長が見られました。グループ14 (0.5Ni+ウイスカ・フリーSn) では、バイアスあり、バイアスなしのどちらの場合も3000時間放置でウイスカの成長が見られました。グループ

15および16(ウイスカ無光沢Sn、ウイスカ・フリー無光沢Sn)では、51°C/85%RH (2000時間放置および3000時間放置) および51°C/85%RH/バイアスあり (3000時間放置) の条件でウイスカの成長が見られました (図48～図55を参照)。

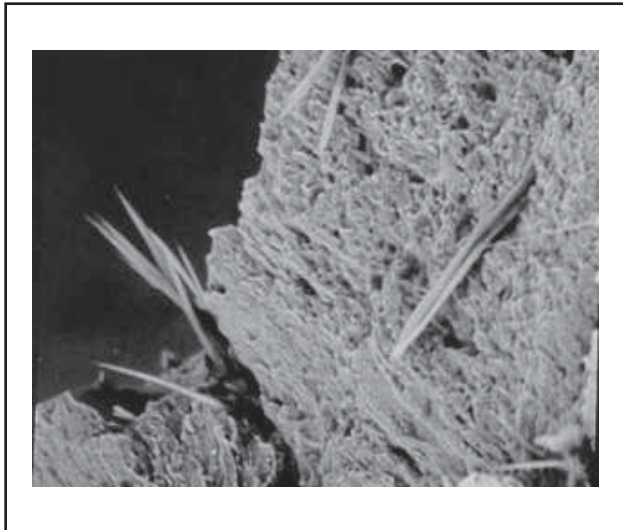


図 48. グループ13、SOIC 0.5Ni+ウイスカSn (2000倍)、51°C/85%RH/バイアスなし、3000時間、ウイスカ長19.94μm



図 49. グループ13、SOIC 0.5Ni+ウイスカSn (3300倍)、51°C/85%RH/バイアスあり、3000時間、ウイスカ長27.95μm



図 50. グループ14、SOIC 0.5Ni+ウイスカ・フリーSn (3000倍)、51°C/85%RH/バイアスなし、3000時間、ウイスカ長9.53μm

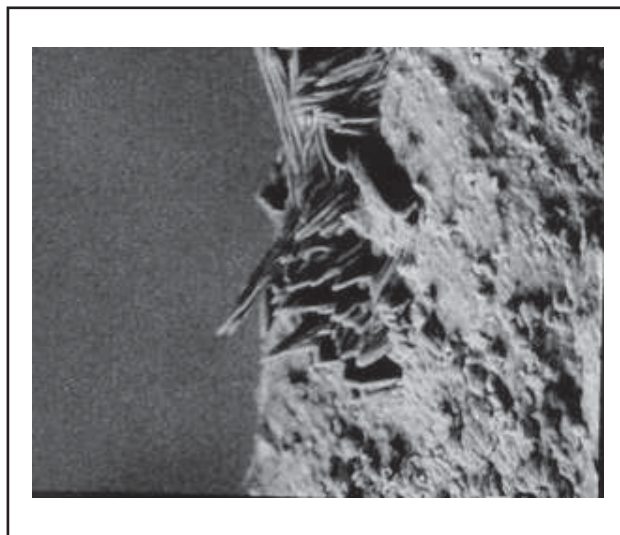


図 51. グループ14、SOIC 0.5Ni+ウイスカ・フリーSn (4000倍)、51°C/85%RH/バイアスあり、3000時間、ウイスカ長7.53μm



図 52. グループ15、SOICウイスカSn(9000倍)、
51°C/85%RH/バイアスなし、3000時間、
ウイスカ長2.52μm

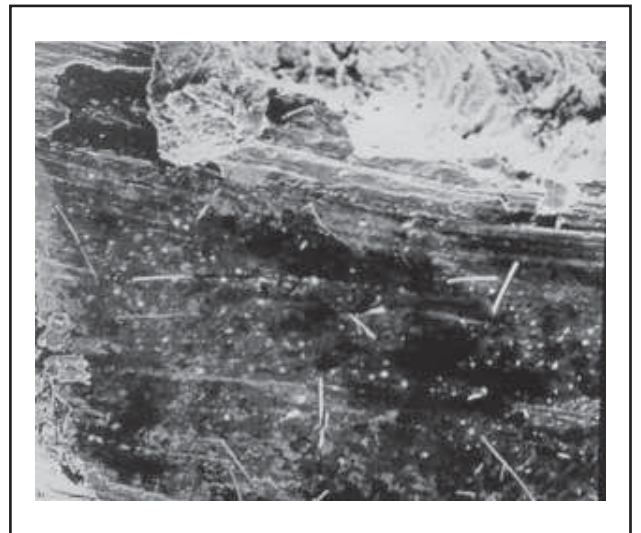


図 53. グループ15、SOICウイスカSn(1200倍)、
51°C/85%RH/バイアスあり、3000時間、
ウイスカ長10.92μm

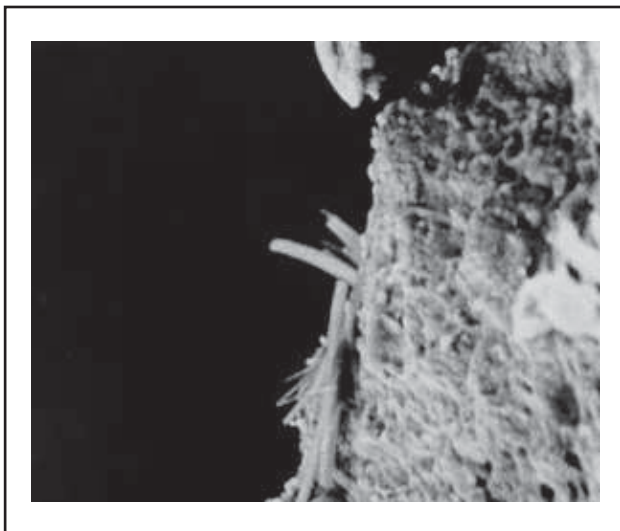


図 54. グループ16、SOICウイスカ・フリーSn(3700倍)、
51°C/85%RH/バイアスなし、3000時間、
ウイスカ長3.67μm

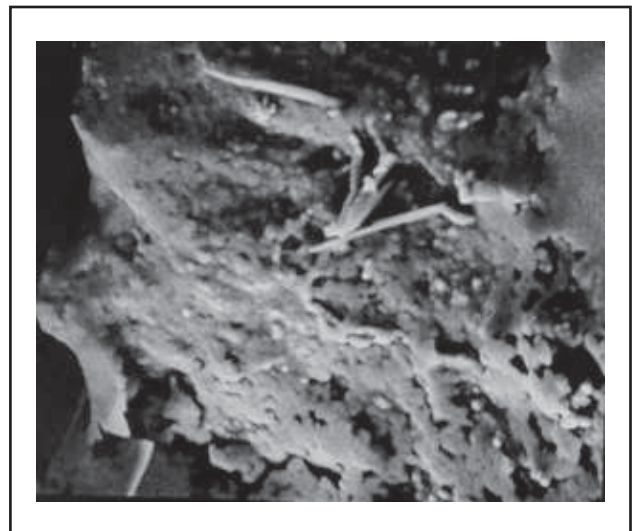


図 55. グループ16、SOICウイスカ・フリーSn(8500倍)、
51°C/85%RH/バイアスあり、3000時間、
ウイスカ長2.52μm



図 56. グループ17、QFN Snメッキ
(SnPbペーストを使用してPWBに半田付け、3000倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長4.17μm



図 57. グループ18、QFN Snメッキ
(SnAgCuペーストを使用してPWBに半田付け、4300倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長3.95μm

3.9 QFNパッケージの検査結果

SnメッキQFNパッケージはSnPbペーストまたはSnAgCuペーストを使用してPWBに半田付けしました。どちらのグループのパッケージ(グループ17および18)でも、51°C/85%RHの条件に3000時間放置した場合にウィスカの成長が見られました。ウィスカの成長が見られたのは、半田接合の上のリードフレームが露出している領域でした(図56と図57を参照)。

3.10 アニール無光沢Snパッケージの検査結果

グループ19および21(アニール無光沢Sn TO-220およびTO-263)では、すべての組み合わせでウィスカの成長が見られました。グループ20(無光沢Sn TO-220)では、51°C/85%RH(2000時間放置と3000時間放置)と51°C/85%RH/バイアスあり(3000時間放置)の条件でウィスカの成長が見られました。グループ22(無光沢Sn TO-263)では、すべての組み合わせでウィスカの成長が見られました(図58～図67を参照)。

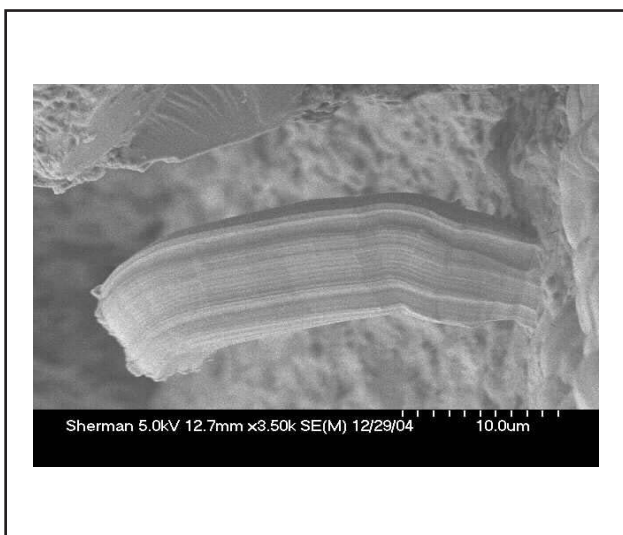


図 58. グループ19、TO-220アニール無光沢Sn(3500倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長29.2μm

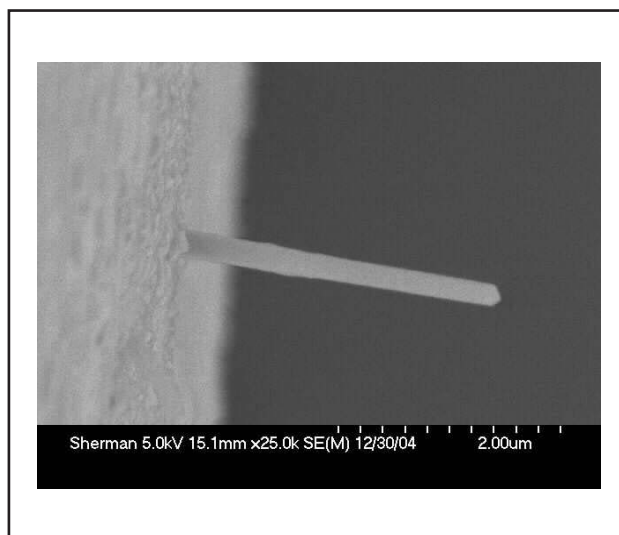


図 59. グループ19、TO-220アニール無光沢Sn(25000倍)、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ長3.21μm

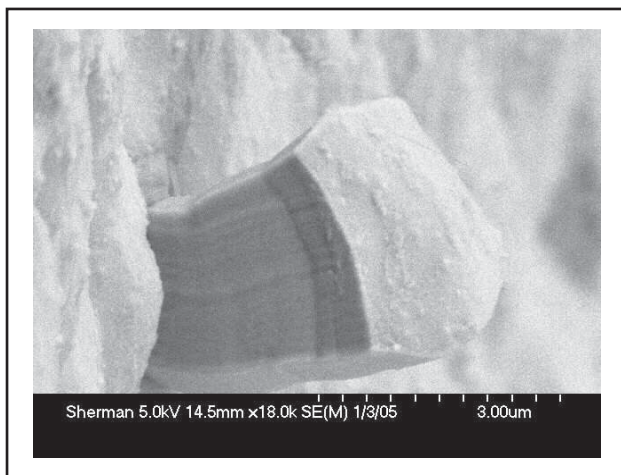


図 60. グループ20、TO-220無光沢Sn (15000倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長4.2μm

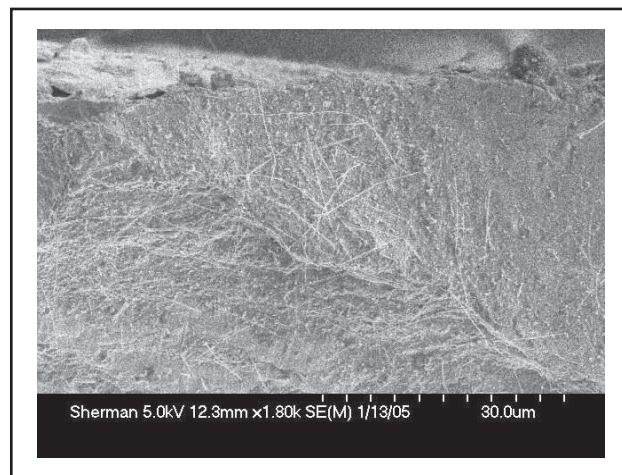


図 61. グループ20、TO-220無光沢Sn (1800倍)、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ長14.2μm

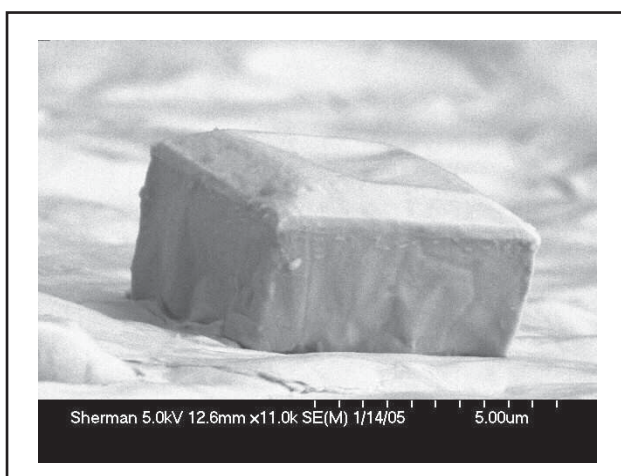


図 62. グループ21、TO-263アニール無光沢Sn (13000倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長2.6μm

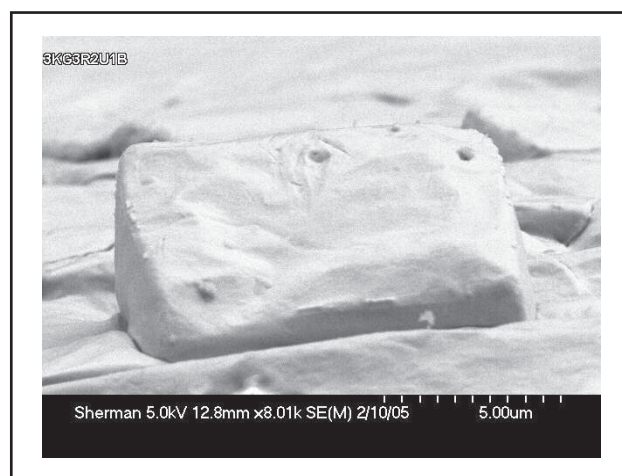


図 63. グループ21、TO-263アニール無光沢Sn (8000倍)、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ長5.1μm

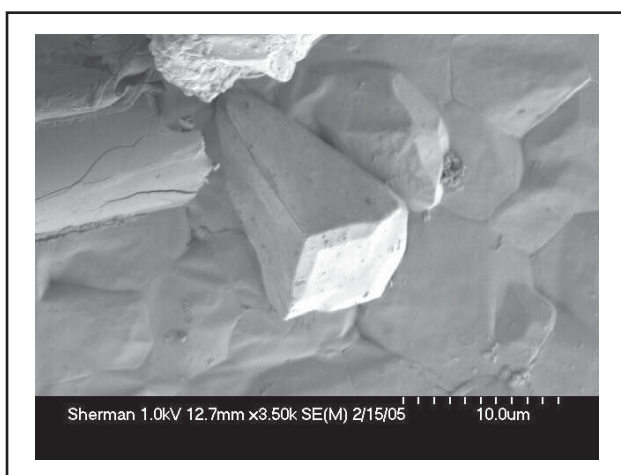


図 64. グループ22、TO-263無光沢Sn (3500倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長10.3μm

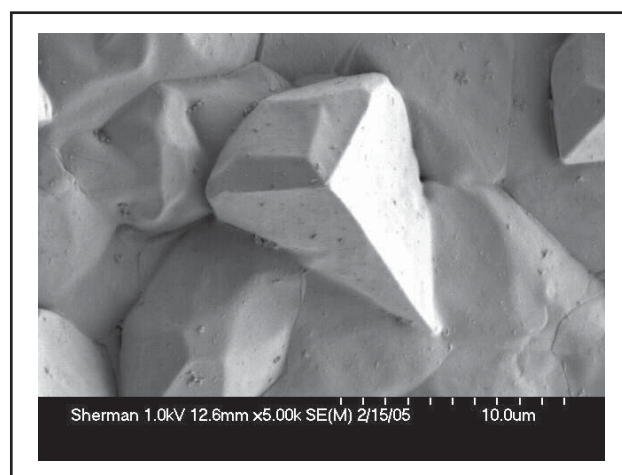


図 65. グループ22、TO-263無光沢Sn (5000倍)、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ長8.2μm

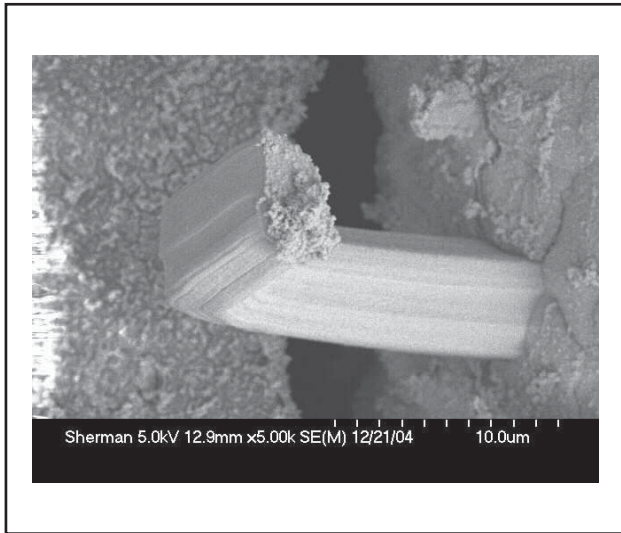


図 66. グループ23、TO-92アニール無光沢Sn (5000倍)、
51°C/85%RH/バイアスなし、3000時間、
ウィスカ長16.4μm

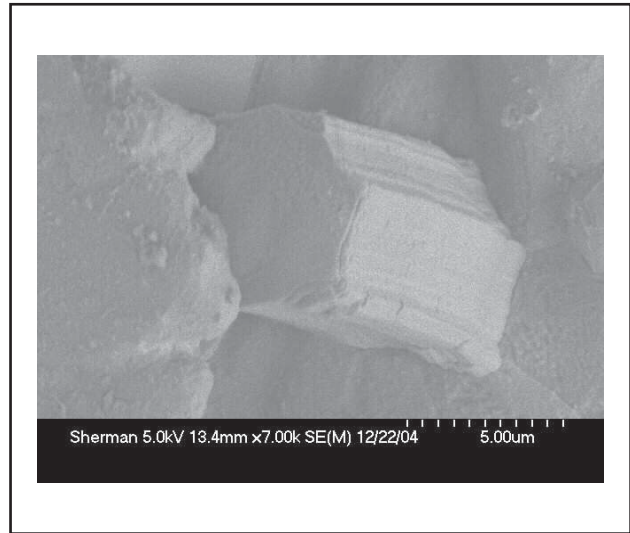


図 67. グループ23、TO-92アニール無光沢Sn (7000倍)、
51°C/85%RH/バイアスあり、3000時間、
ウィスカ長5.81μm

3.11 所見

23グループのうち、8グループで明確な結晶粒界ウィスカの成長が見られました。これらのグループで見られたウィスカには、表面メッキからウィスカが発生したことを示す明確な形跡がありました。粒状に成長したウィスカの多くには、全体に深い溝が走っていることもわかりました。

0.5μm未満という最小のウィスカ (45000倍という最大の倍率レベルが必要でした) が観測されたのは、グループ2の16ピンPDIP SnPbメッキパッケージでした。反対に、29.4μmという最大のウィスカ (倍率レベル1500倍で発見されました) が観測されたのは、グループ11の真鍮母材を使用した無光沢SnメッキSOICでした。

2000時間放置と比較して、3000時間放置ではウィスカ成長が大幅に増加していました。2000時間放置では17のウィスカが見つかったのに対し、3000時間放置では27のウィスカが見つかりました。2000時間放置では、10個のバイアスなしサンプルと7個のバイアスありサンプルでウィスカが成長していました。

3000時間放置では、13個のバイアスなしサンプルと14個のバイアスありサンプルでウィスカが成長していました。

グループ19 (アニール無光沢Sn TO-220)、21 (アニール無光沢Sn TO-263)、22 (無光沢Sn TO-263) のすべてで、表4に示した試験条件に放置する前に、粒子がメッキ表面から浮き上がっている様子が観察されました。

NEMI/JEDECによるウィスカ分類カテゴリ (表5を参照) に従えば、主に観測されたウィスカの形状はタイプ1 (Tin-whisker filaments) およびタイプ2 (Whiskers with a consistent cross-section) でした

ウィスカの成長が見られなかったのは、検査したグループの25% (24グループのうち6グループ) でした。

4 結果および結論

試験対象のSnPbパッケージでは、ウィスカは非常に大きな倍率を使って発見され、長さは1μm未満でした。NiPdAuメッキパッケージの表面は滑らかで、ウィスカの成長はありませんでした。無光沢Snメッキパッケージ(グループ5~8)では、4グループのうち2グループにウィスカが見られました。試験対象のSnBi SOTパッケージには、ウィスカの成長が見られませんでした。これは、当社の従来の研究と食い違う結果です。光沢SnメッキSOICでは、ウィスカの成長が見られました。真鍮母材のSnメッキパッケージには、ウィスカの成長が見られました。SnCuメッキTO-92パッケージには、ウィスカの成長が見られました。Ni下地メッキを使用した2グループのパッケージには、ウィスカの成長が見られました。メッキ・サプライヤの分類(ウィスカおよびウィスカ・フリー)によるメッキ処理の影響はなく、各グループでウィスカの成長が見られました。QFNパッケージの2つのグループでは、PWBへのパッケージの半田付けに使用された半田合金の種類に関係なく、ウィスカの成長が見られました。半田付けの上のリードが露出している領域に、ウィスカの成長が見られました。アニールしたパッケージにもアニールしていないパッケージにも(TO-220、TO-263、TO-92)、ウィスカの成長が見られました。

この研究で使用した温湿度試験条件(51°C/85%RH)は2003年に確立されたものです。当時、この問題を研究するさまざまなグループ(特にNEMI)で、代表的な条件として考えられてきました。この条件は2002年にTIが行ったウィスカの研究でも使用され、エレクトロニクス業界で使用されていた一般的なリード・メッキでSnウィスカを生成することに成功しました^[7]。最近承認されたJESD22A121ドキュメント「Test Method for Measuring Whisker Growth on Tin and Tin Alloy Surface Finishes」に記載されている温湿度条件は、境界条件60°C±5°C、85%~90%RHです。同様に、提案中のJEDEC JESD201規格(Environmental Acceptance Requirements for Tin Whisker Susceptibility of Tin and Tin Alloy Surface Finishes、本レポートの作成時点では投票の段階です)では、温湿度試験条件は60°C±5°C、87+3/-2%RHです。このように、この研究で使用された温湿度条件はエレクトロニクス業界の標準条件として提案されている条件に非常に近いものです。

提案中のJEDEC JESD201規格(Environmental Acceptance Requirements for Tin Whisker Susceptibility of Tin and Tin Alloy Surface Finishes)の全般ガイドラインでは、製品のクラスが次のように定義されています。

クラス1A: 一般消費者向け製品

クラス1: 産業用製品

クラス2: ビジネス用途(電気通信、ハイエンド・サーバ、その他)

クラス3: 特殊用途/人命救助(軍事、航空宇宙、医療)

この提案中のドキュメントの「Technology Acceptance Criteria」で定められている、高温度/高湿度保存時に許容されるウィスカ長さの上限は、クラス2製品で45μmです。注: このドキュメントでは、クラス3製品で純錫および錫含有量の多い合金を使用することを禁じています。この研究では、ウィスカの成長が観測されたサンプルすべてで、ウィスカの最大長は3000時間放置の後で45μm未満でした。一般消費者向け製品(クラス1A)については、「Technology Acceptance Criteria」で許容されているウィスカの最大長さを大きく下回っています。

4.1 結論

この研究では、数種類のパッケージのメッキにおけるウィスカ試験の性能を記録することに成功しました。予想通り、NiPdAuメッキではウィスカが成長しませんでした。SnPb、無光沢Sn、光沢Sn、無光沢Sn(真鍮母材)、SnCuによるメッキを施したパッケージには、すべて1つ以上のサンプルでウィスカの成長が見られました。エレクトロニクス業界で推奨されているNi下地メッキとアニールによる低減手法では、ウィスカの成長を防止できませんでした。この評価では以前の研究結果と異なり、SnBiメッキ・パッケージにウィスカの成長が見られませんでした^[7]。

この研究では、バイアスを加えたパッケージと加えないパッケージの比較も行われました。この試験もエレクトロニクス業界で提唱された試験条件で行われましたが、試験結果からは明確なバイアスの影響は判明しませんでした。

試験対象のほとんどのグループでウィスカの成長が見られたものの、現在の業界の「Technology Acceptance Criteria」を超える大きさのウィスカは観測されませんでした。

5 References

1. D. C. Abbott, R. M. Brook, N. McLelland, and J. S. Wiley, *Palladium as a Lead Finish for Surface Mount Integrated Circuit Packages*, IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. 14, September 1991, pp. 567-572
2. Douglas Romm, Bernhard Lange, and Donald Abbott, *Evaluation of Nickel/Palladium/Gold-Finished Surface-Mount Integrated Circuits*, <http://focus.ti.com/lit/an/szza026/szza026.pdf>
3. Donald Abbott, Douglas Romm, Bernhard Lange, *Ni-Pd-Au Component Lead Finish and Its Potential for Solder-Joint Embrittlement*, <http://focus.ti.com/lit/an/szza031/szza031.pdf>
4. George Gaylon, *Annotated Tin Whisker Bibliography and Anthology*, IEEE Transactions on Electronics Packaging Manufacturing, Vol. 28, January 2005, pp. 94-122
5. *Special Issue on Tin Whiskers*, IEEE Transactions on Electronics Packaging Manufacturing, Vol. 28, No. 1, January 2005
6. http://www.inemi.org/cms/newsroom/Presentations/tin_whisker_workshop_may_2005.html
7. Douglas W. Romm, Donald C. Abbott, Stu Grenney, and Muhammad Khan, *Whisker Evaluation of Tin-Plated Logic Component Leads*, <http://focus.ti.com/lit/an/szza037a/szza037a.pdf>
8. *Tin Whisker Acceptance Test Requirements*, iNEMI Tin Whisker User Group, July 28, 2004, http://thor.inemi.org/webdownload/projects/ese/tin_whiskers/Tin_Whisker_Accept_paper.pdf
9. JEDEC Standard JESD22A121, *Measuring Whisker Growth on Tin and Tin Alloy Surface Finishes*, <http://www.jedec.org/download/search/22a121.pdf>
10. iNEMI Tin Whisker User Group, *Recommendations on Lead-Free Finishes for Components Used in High-Reliability Products* Version 3, Updated May 2005, http://thor.inemi.org/webdownload/projects/ese/tin_whiskers/User_Group_mitigation_May05.pdf
11. J. W. Osenbach, R. L. Shook, B. T. Vaccaro, A. Amin, B. D. Pottier, and K. N. Hooghan, *The Effect of Board Attachment Processing on Sn Whisker Formation on Electroplated Matte-Sn on Cu Alloy Lead Frames*, http://www.agere.com/ehs/leadfree/docs/Tin_Whisker_Matte_Tin_on_Cu.pdf
12. P. Oberndorff, M. Dittes, P. Crema, and S. Chopin, *Whisker Formation on Matte Sn Influencing of High Humidity*, 55th Electronic Components and Technology Conference, May 31-June 3, 2005
13. K. W. Moon, M. E. Williams, C. E. Johnson, G. R. Stafford, C. A. Handwerker, and W. J. Boettinger, *The Formation of Whiskers on Electroplated Tin Containing Copper*, http://www.metallurgy.nist.gov/reports/NIST_Whisker_PRICM4.pdf

ご注意

日本テキサス・インスツルメンツ株式会社 (以下TIJといいます) 及びTexas Instruments Incorporated (TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます) は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上