

TI Designs: TIDEP-0070

66AK2Gxベース・システムのメモリ信頼性を向上するDDR ECC のリファレンス・デザイン



TI Designs

このリファレンス・デザインでは、66AK2GxマルチコアDSP + ARM®システム・オン・チップ(SoC)を基礎とする高信頼性アプリケーションにおける、エラー訂正コード(ECC)をサポートするDDR-SDRAMメモリ・インターフェイスのシステム考慮事項について解説します。システム・インターフェイス、基板のハードウェア、ソフトウェア、スループット性能、および診断手順について説明します。DDRインターフェイスの詳細な説明については、デバイスのテクニカル・リファレンス・マニュアル(TRM)を参照してください。

設計リソース

TIDEP0070	デザイン・フォルダ
66AK2G02	プロダクト・フォルダ
66AK2G12	プロダクト・フォルダ
K2G汎用EVM	EVMツール・フォルダ
K2GのプロセッサSDK	ソフトウェアのダウンロード



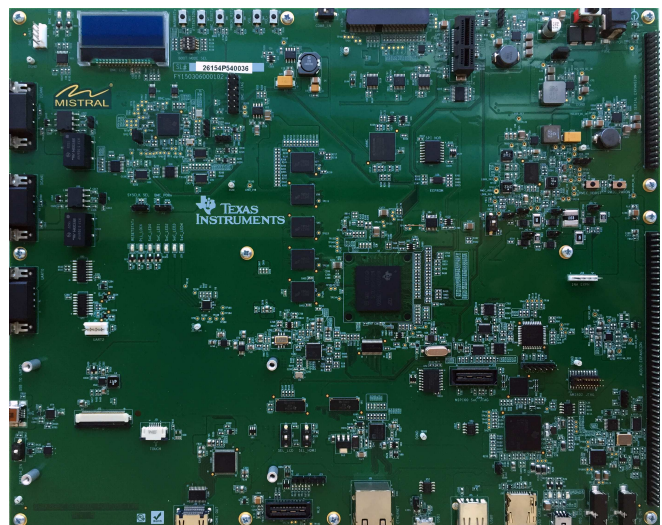
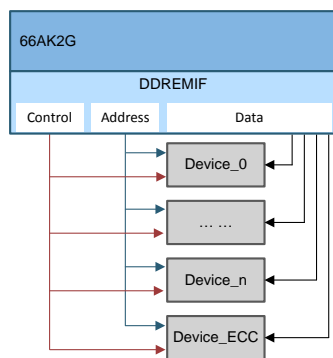
[E2Eエキスパートに質問](#)

特長

- 32ビットのDDR3Lインターフェイス、オプションとして高信頼性システム設計用に4ビットECCを使用可能
- DDR ECCによる柔軟なシステム構成
- 非アラインド・アクセスでECC動作をサポートする読み取り-変更-書き込み(RMW)ハードウェアを搭載
- 性能への影響が最小限
- EVMK2Gハードウェアに実装してテスト済みで、K2G用のプロセッサSDKによりサポート

アプリケーション

- 車載用オーディオ・アンプ
- ホーム・オーディオ
- プロフェッショナル・オーディオ
- 電源保護
- 産業用通信および制御



使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE (重要な注意事項)をご参照くださいますようお願いいたします。

1 Introduction

The 66AK2Gx SoC supports the following features:

- **Processor Cores and Memory**

- Arm® Cortex-A15 up to 1000 MHz
 - 32 KB L1D, 32 KB L1P, 512 KB L2 cache
- C66x DSP up to 1000 MHz
 - 32 KB L1D, 32 KB L1P, 1 MB L2 cache or RAM
- 1MB of Shared L2 MSMC SRAM
- ECC on all memory

- **Industrial and Control Peripherals**

- 2 Industrial Communication Subsystems enable cut through, real-time and low-latency Industrial Ethernet protocols
- Programmable real-time I/O enables versatile field bus and control interfaces
- PCIe for connection to an FPGA or ASIC that provides industrial network connections, backplane communication or connection to another 66AK2Gx device

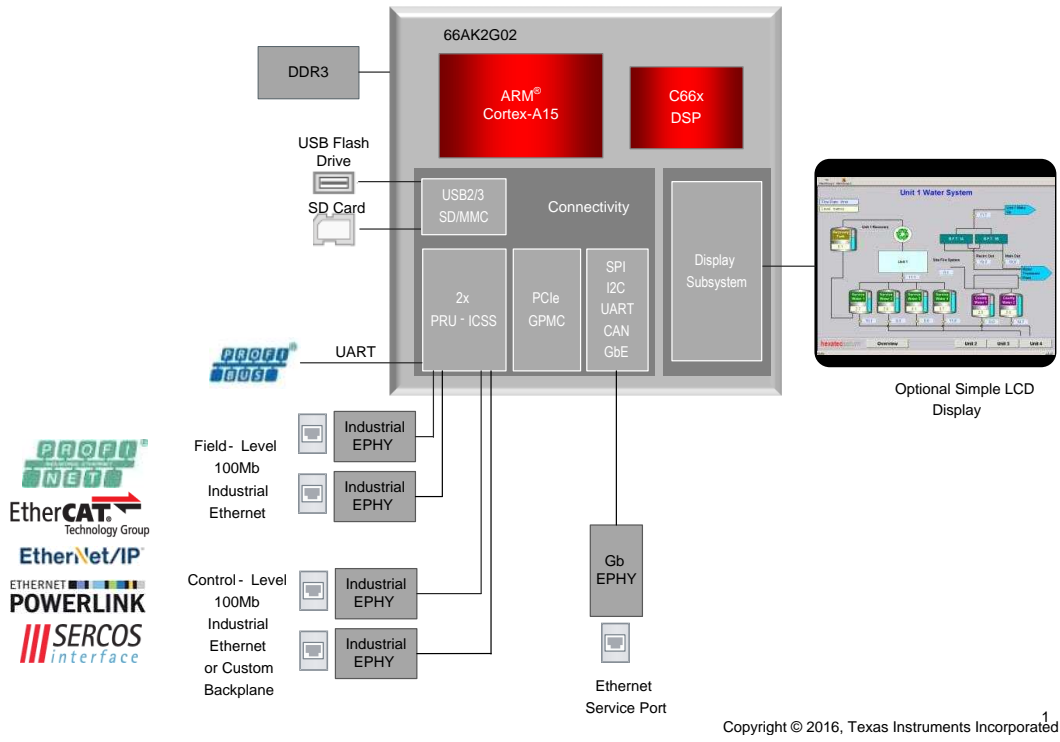
- **Security and Crypto**

- Standard secure boot with customer programmable OTP keys
- Crypto Engine hardware accelerator and TRNG

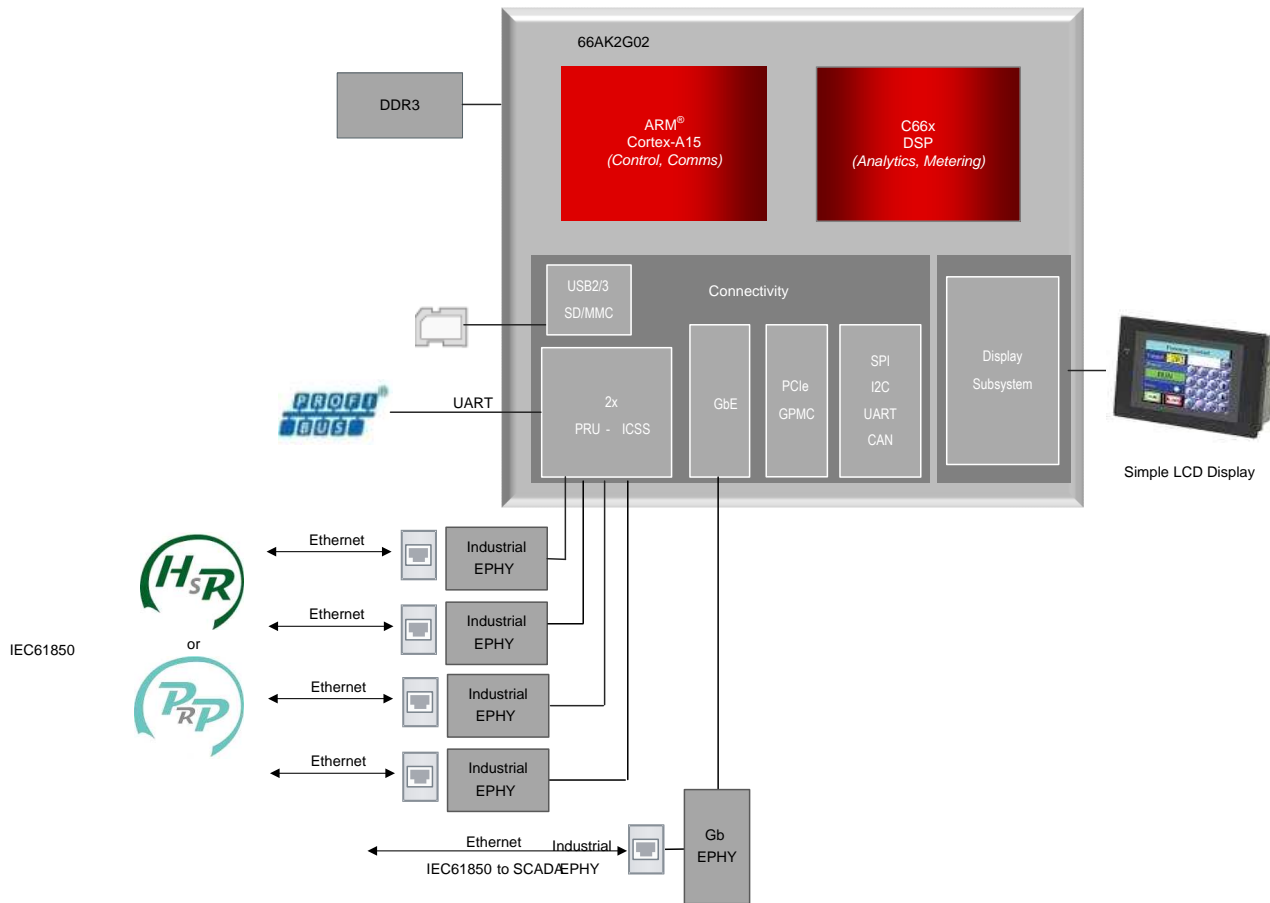
- **Package**

- 21 x 21 mm, 0.8 mm pitch BGA 625 pins

The 66AK2Gx SoC is suited for applications such as Industrial PLC and Protection Relay as shown in [Figure 1](#) and [Figure 2](#). In these systems ECC on the memory is required for achieving reliability requirements. Device reliability requires managing failures that can cause the device not to function correctly at any point during its expected lifetime.



1. Industrial PLC System Block Diagram



Copyright © 2016, Texas Instruments Incorporated

図 2. Protection Relay System Block Diagram

Error Correcting Code (ECC) memory is commonly used in server and communications infrastructure systems today and has significantly improved system reliability. In embedded systems, a similar trend is observed, where ECC memory is required for a variety of applications, such as:

- Safety-critical industrial and factory automation systems
- Harsh operating environment such as extreme temperature, pressure or radiation environment
- Always-on systems with extended duty hours

図 3 shows the relative failure rate reduction when ECC is used.

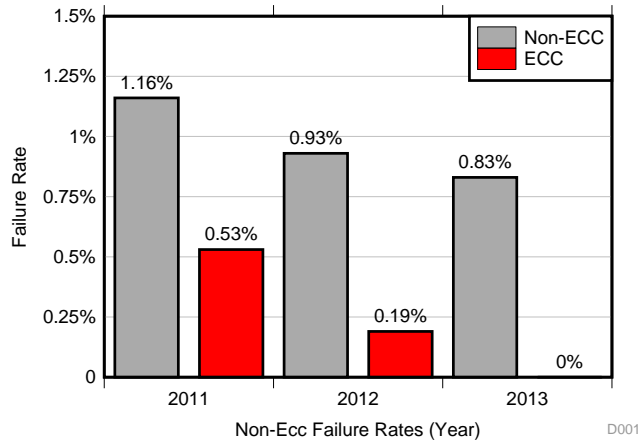


図 3. Memory Failure Rate Reduction With ECC

The 66AK2Gx SoC supports various methods of ECC in its internal memory and external memory interfaces. Namely, ECC is supported on:

- Processor core memory blocks
- Internal Multicore Shared Memory Controller (MSMC) SRAM
- Embedded SRAM memory blocks in other subsystems
- DDR3L memory interface

Except for the L1P in the A15 processor core, all ECC functions listed above implement Single Error Correction and Double Error Detection (SECCDED) method using Hamming Code.

This design guide focuses on the DDR interface design with ECC in systems where high reliability is required. The DDR3L memory interface supports standard 32-bit DDR3L interface up to 800MT/s. Additional 4-bit data is available to support optional Error Correcting Code (ECC). ECC is performed on 32-bit quanta based on the SECCDED algorithm. When the DDREMIF is used as 16-bit interface, no ECC is supported.

2 System Overview

The DDR3L interface consists of the following subsystems:

- DDREMIF controller — digital interface, FIFOs, and ECC module
- DDR3LPHY — consists of DDR3L PHY macros and system interface logic

Figure 4 shows the interconnect of the sub-modules in the 66AK2Gx SoC.

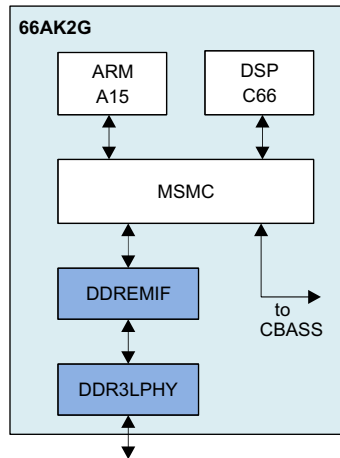
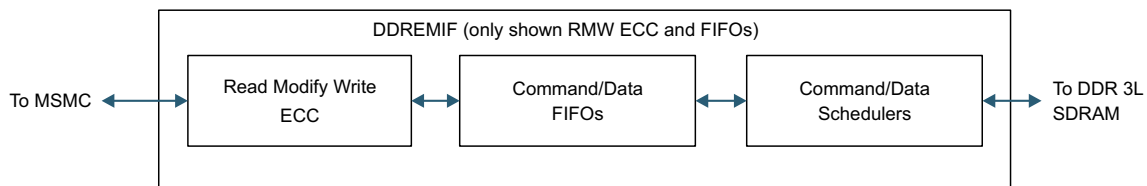


Figure 4. DDREMIF and DDR3L PHY Subsystems in 66AK2Gx Devices

The ECC block is connected in front of the data and command FIFOs within the DDREMIF controller, as shown in Figure 5. The ECC block enables the Read-Modify-Write (RMW) feature that is not available in some earlier KeyStone™ II devices. The RMW block allows data write that is not aligned to a 32-bit boundary, by first read, the full quanta data from the DDR device merges with the non-aligned data, recalculates ECC, and writes back to DDR. This procedure incurs extra write latency.



Copyright © 2016, Texas Instruments Incorporated

Figure 5. ECC Block With RMW in DDREMIF Controller

3 System Specifications

表 1 lists different DDR configurations depending on the required DDR interface for the device.

注: The 4-bit devices are not supported unless the device is used as an ECC device.

表 1. DDR Configurations for 66AK2Gx-Based Systems

CONFIGURATION	DDR WIDTH	DDR DEVICES	ECC
1	16-bit DDR3L with no ECC	2 × 8b	–
2	16-bit DDR3L with no ECC	1 × 16b	–
3	32-bit DDR3L with no ECC	4 × 8b	–
4	32-bit DDR3L with no ECC	2 × 16b	–
5	32-bit DDR3L with 4-bit ECC	4 × 8b	1 × 4b
6	32-bit DDR3L with 4-bit ECC	4 × 8b	1 × 8b (tie-off upper 4-bit)
7	32-bit DDR3L with 4-bit ECC	2 × 16b	1 × 4b
8	32-bit DDR3L with 4-bit ECC	2 × 16b	1x8b (tie-off upper 4-bit)
9	No DDR	–	–

Figure 6 shows an example system interconnection between 66AK2Gx and five 8-bit external devices.

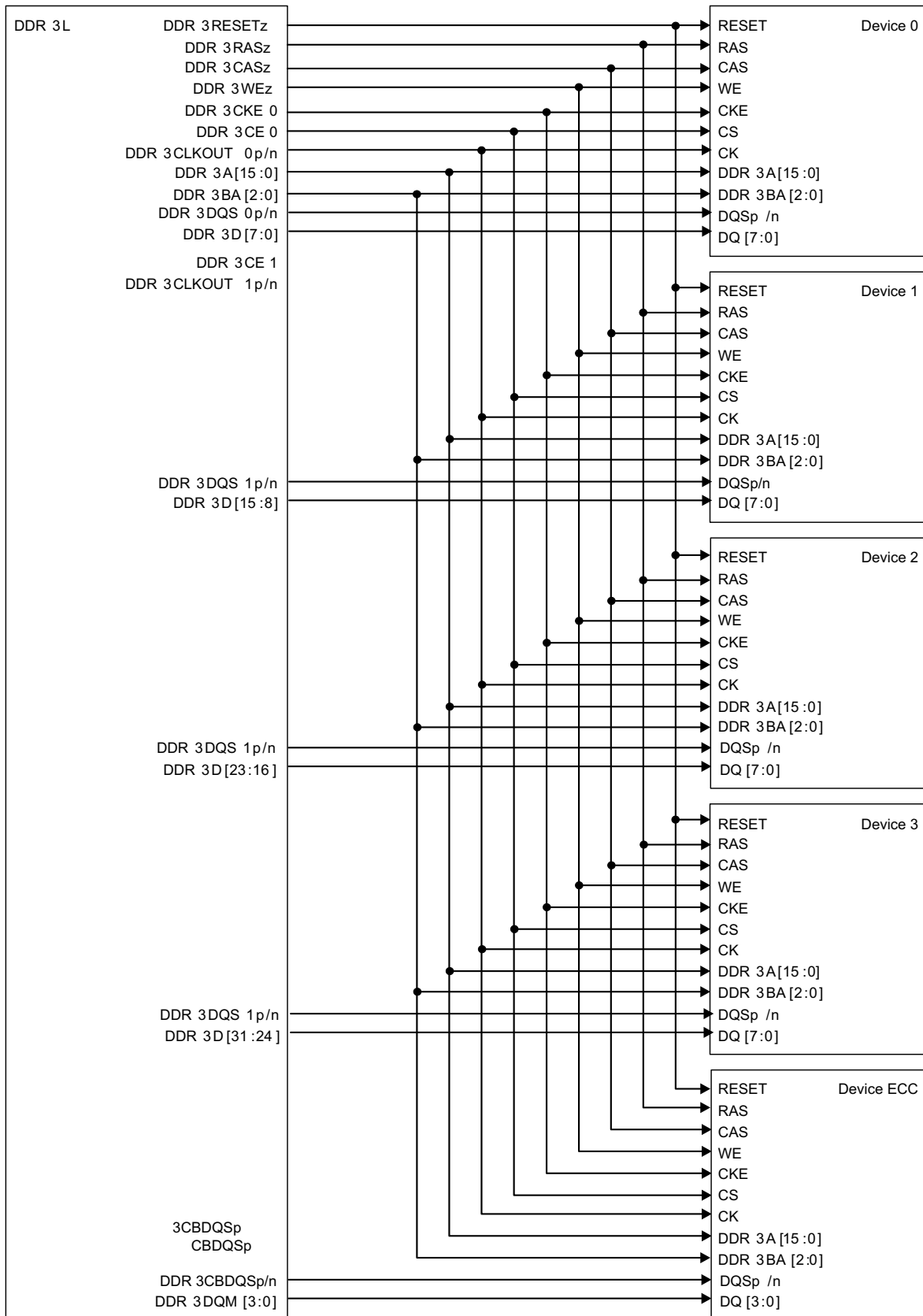
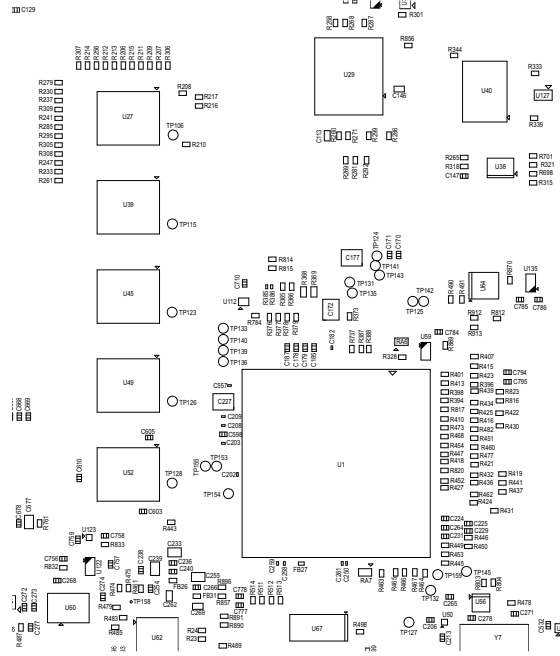


図 6. Signal Interconnect of 4 x 8 + 1 x 8 32-bit DDR configuration with ECC

Figure 7 shows the DDR3L device placement relative to the 66AK2Gx device on the EVMK2G board.



Copyright © 2016, Texas Instruments Incorporated

Figure 7. DDR3L Device Placement near the 66AK2Gx Device on the EVMK2G Board

Figure 8 shows the DDR devices on the EVMK2G.

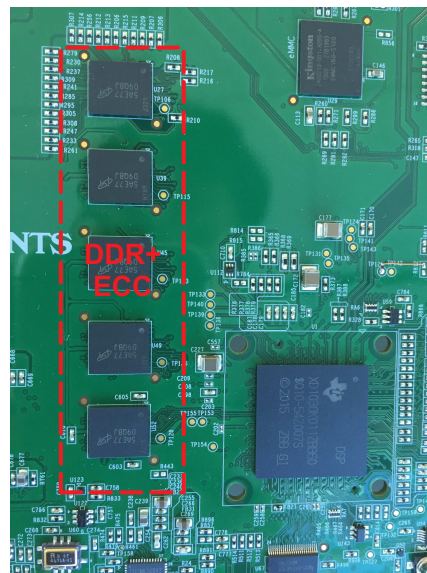


Figure 8. DDR Devices on the EVMK2G

4 Software

The processor SDK supports configuration, initialization, and testing on the DDR ECC, for systems using the feature.

4.1 Initialization

ECC and RMW options are controlled by memory mapped registers. Refer to the device datasheet ([SPRSP07](#)) for the exact register address and assignment. The RMW feature is always enabled whenever ECC is enabled. The following steps are involved to enable ECC:

1. Enable bit[35:32] of the PHY macro (including leveling and training)
2. Enable ECC + RMW
3. Read back control register and verify ECC+RMW is enabled
4. Initialize DDR memory to validate ECC syndrome

注: The entire ECC enabled DDR space must be initialized before any of the ECC memory region is used. Otherwise, due to RMW operations, a non-aligned write operation may invoke the DDREMIIF to read back an incorrect ECC syndrome and thus cause ECC error.

☒ 9 shows an example GEL script to enable ECC.

```

ddr3A_setup(int ECC_Enable, int DUAL_RANK)
{
    ... ..

    if(ECC_Enable == 0)
    {
        read_val = DDR3A_DATX8_4;
        DDR3A_DATX8_4 = read_val & 0xFFFFFFFF; //Disable ECC byte lane
    }
    ... ..

    if(ECC_Enable==1)
    {
        //Enable ECC
        //0xB0000000: ECC_EN=1, ECC_VERIFY_EN=1, RMW_EN=1
        //0x50000000: ECC_EN=1, ECC_VERIFY_EN=0, RMW_EN=1
        DDR3A_ECC_CTRL = 0xB0000000;
        read_val = DDR3A_ECC_CTRL;
        if(read_val!=0xB0000000){
            GEL_TextOut("\nIncorrect data written to DDR3A_ECC_CTRL..");
        }
    }
}

```

☒ 9. GEL Script to Enable ECC and RMW

4.2 Verification and Diagnostics

Frequently, it may be required to verify the proper operation of the ECC, especially when the final product is presented to an independent safety compliance assessment body. A simple technique to prove out the proper operation of ECC may be:

1. Enable ECC, write a set of data to DDR. The data could be a combination of aligned and non-aligned bytes.
2. Read and verify these data matched to originals.
3. Disable the ECC by changing the control register.
4. Write a modified data set to the same address, modified means some data has 1 bit errors and some data has 2 or more bits of errors.
5. Reenable ECC.
6. Read back these data and compare with original, verify that single bit error counter increased when accessing single bit modified data, and a kernel panic happened when more than one bit modified data is accessed.

This procedure must be performed to ensure that no other DDR access is present. A real-life random memory bit error may be generated in a laboratory where the device is running under bombardment of high-energy particles such as a high-energy physics accelerator facility.

4.3 ECC Error Handling

Kernels of operating systems typically handle ECC error interrupts. Single-bit errors are automatically corrected when the data is presented to the host, however, data stored in the memory is not corrected. To reduce the probability of another single-bit error from happening in the same quanta block, perform software scrubbing where a scrubbing software performs periodic access to ECC-protected DDR space. When a single-bit error occurs, the scrubbing software first reads, and then writes back the correct data so the memory content is correct. Current K2G Processor SDK Linux® kernel does not perform scrubbing. For a 1-bit ECC error, no direct interrupt will be generated, instead the EMIF can be programmed with a threshold to its ECC Error Count Register. An interrupt will be generated so the host software can re-write memory addresses containing error bits.

The 2-bit ECC will immediately trigger an interrupt to the host, typically causes a kernel panic and subsequently causes a device reset.

4.4 Processor SDK Software Support

Both Linux and RTOS branch of the Processor SDK support initialization, verification and error handing of the ECC. Table II lists sub-modules in each branch related to ECC functions.

ECC and RMW are enabled by default in both Processor SDK Linux and Processor SDK TI-RTOS to match to K2G GP EVM hardware. But can be disabled if not required by customer systems.

表 2 lists software support for DDR ECC.

表 2. Software Support for DDR ECC

OPERATIONS	DESCRIPTION	PROCSDK-RTOS	PROCSDK-Linux
Enablement / Initialization	Enable data macros, leveling and training	GEL file scripts	u-boot
Memory Initialization	Initialize memory for correct syndrome	Yes	u-boot
Kernel Handling – Scrubbing	Frequently scrub memory to correct single-bit errors in memory device	No (user software)	No (user software)

表 2. Software Support for DDR ECC (continued)

OPERATIONS	DESCRIPTION	PROCSDK-RTOS	PROCSDK-Linux
Kernel Handling – Unrecoverable	Cause kernel panic if double-bit error is encountered	Not supported (user software)	Kernel Panic
Verification / Diagnostics	Utility or example to verify ECC support	Example code (user software)	Linux Utility (user software)

5 Test Data

For DDR access 8-byte aligned addresses, the ECC is transparently read and verified by the hardware controller. Therefore no impact on latency or memory throughput is expected. 表 3 lists measured block data transfers from the C66x L2 memory to the DDR space, with- and without- ECC enabled in the controller.

表 3. Throughput Comparison of DDR ECC With and Without ECC Enabled

TEST	SOURCE	DESTINATION	ACNT	BCNT	BIT LENGTH	THROUGHPUT
1	DSP L2	DDR3L	16384	1	131072	98.27%
2	DSP L2	DDR3L	32768	1	262144	99.13%
3	DSP L2	DDR3L	1	32768	262144	99.19%
5	DSP L2	DDR3L	2	32768	524288	99.59%
6	DSP L2	DDR3L	4	32768	1048576	99.65%
7	DSP L2	DDR3L	8	32768	131072	98.27%

In cases where non-aligned write access made to the DDR, the RMW procedure will be performed, where the DDREMIF controller first read the aligned data from the DDR, merge with requested write bytes, re-calculate ECC error correction code, then write to the DDR memory. Latency due to RMW operation is dependent on the background simultaneous access to the DDR, and the DDR command and data FIFO fill levels.

6 Design Files

The design files for the K2G General Purpose EVM may be found at <http://www.ti.com/tool/evmk2gx>.

7 Related Documentation

1. *Keystone II Architecture DDR3 Memory Controller User's Guide* ([SPRUHN7](#))
2. *Hardware Design Guide for KeyStone II Devices* ([SPRABV0](#))
3. *DDR3 Design Requirements for KeyStone Devices* ([SPRAB11](#))
4. *Advantages of ECC Memory*, <https://www.pugetsystems.com/labs/articles/Advantages-of-ECC-Memory-520/>
5. *66AK2Gx Multicore DSP + ARM KeyStone II System-on-Chip (SoC) Technical Reference Manual* ([SPRUHY8](#))

7.1 商標

KeyStone is a trademark of Texas Instruments.
 Arm is a registered trademark of ARM Limited.
 Linux is a registered trademark of Linus Torvalds.

8 About the Author

DR. JIAN WANG is a Chip Architect with the Catalog Processor Group. Dr. Wang joined TI in 2006 as a Video Systems Engineer, working on Davinci family of digital media processors. His recent roles focus on SOC system architecture for machine vision and next-generation industrial applications.

改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

2016年4月発行のものから更新	Page
• ドキュメントのタイトルを「66AK2Gx」に変更	1
• 66AK2G12のプロダクト・フォルダを追加	1
• EVMツール・フォルダをEVMK2G (1GHzバージョン)に変更	1
• Changed "at 600 MHz" to "up to 1000 MHz" for both Cortex-A15 and C66x	2
• Added MSMC subsystem details	2
• Changed datasheet URL to 66AK2G12 version (SPRSP07)	11

TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示的保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。