

DS50PCI401,DS64BR401



Literature Number: JAJA435

データセンタのサーバやSAN(ストレージ・エリア・ネットワーク)での高速信号駆動

— Lee Sledjeski, Applications Engineer



システムの継続的な「アップグレード」に回せる資金が減少する中で、新しいデータセンタ・ソリューションはシステムの多様な拡張をサポートし、ユーザーの

データ・ストレージ・ニーズを先取りする必要があります。さらに、省スペースと高エネルギー効率も実現しなければなりません。現在および将来のデータセンタのニーズに対応した高効率アーキテクチャ開発のためにエンジニアが活用しているのは、PCI Express(PCIe)やSAS/SATAなどのオープン業界標準です。しかし、こうした業界標準で規定された入出力シグナル・コンディショニングでは、ケーブルやプリント板での高速シリアル・データの減衰がハードウェア設計の制約要因となってきます。システムの1つのラック内でさえも、バックプレーン上の信号はPCIe標準の仕様を上回る損失を示します。

ナショナル セミコンダクターの新しいPowerWise® 4レーン双方向トランシーバDS50PCI402/DS64BR401は、さまざまな標準で規定されているシグナル・コンディショニング要件を上回る能力を提供します。本稿では、この2つのICがインターコネクタ減衰に伴う課題にいかにか直接対応しているかについて解説します。PCIe 2.0の設定最大送信ディエンファシスは6dBで、SASの推奨値は3dBです。しかし、PCIeケーブルのインサージョン・ロスは、7mの24 AWGケーブル性能の最適化には12dBの補正が必要なことを示しています。今日、サーバ設計で一般的に使用されている24インチから30インチのバックプレーン・トレースでも同等の損失があり、補正が必要になります。DS50PCI402トランシーバはPCIeアプリケーションに対し最大26dB@2.5GHzのゲインを提供し、DS64BR401トランシーバはSAS/SATAと

その他の高速シグナリング技術に対し最大33dB@3.2GHzのゲインを提供します。

データ伝送距離延長を目的に開発された汎用の半導体製品の場合、PCIeおよびSAS/SATA仕様ではいくつかの技術的課題が発生します。イニシエータ - ターゲット間またはルート・コンプレックス・エンドポイント・ステート・マシン間の同期の信頼性を高めるためには、複数のサイドバンド信号、リモート検出メカニズムのほか、アウト・オブ・バンド(OOB)やビーコンなどのハイレベルなシグナリング技術を適切に使いこなすことが必要です。

PCIeを使用した通信

PCI Expressリンクは、2つの異なる動作環境、すなわちPCIe外付けケーブルとバックプレーン・スロットに分類できます。PCIeケーブル内ではいくつかのサイドバンド信号が定義されており、その実現が必要です。こうした信号にはCPWRON、CPERST#およびCPRSNT#があります。システム設計に応じて、ハードウェア制御にはいくつかのオプションが考えられます。CPWRONは、電源電圧レールが最小公称値に達していることをアップストリーム・システムに対して示す信号です。CPERST#(ケーブル・プラットフォーム・リセットの略)は、リセット状態であることをアップストリーム・サブシステムからダウンストリーム・サブシステムに対して示すリセット信号です。CPRSNT#は、ケーブルが実際に存在し、その電源が公称制限値内で動作していることを示すダウンストリーム・サブシステムからの応答信号です。

特集記事	1-8
基地局ソリューション	9
設計リソース	10

データセンターのサーバやSAN(ストレージ・エリア・ネットワーク)での高速信号駆動

Figure 1 に示したケーブリング環境を例にとると、ダウンストリーム・サブシステムからアップストリーム・サブシステムへの初期通信は、CPRSNT#補助信号によって行われます。「パワーグッド」状態が確立されると、ダウンストリーム回路によって示されるCPRSNT#信号はLowになります。このメカニズムにより、ダウンストリーム・サブシステム内で「パワーグッド」の状態によりパワーが存在するかどうかを、アップストリーム・サブシステムが判定することができます。さらに、リファレンス・クロックをイネーブルにし、リンク・トレーニング・シーケンスを開始できます。

補助信号はダウンストリーム・サブシステム内で容易に複製が可能で、DS50PCI402トランシーバではRXDETA/B入力のマニュアル制御に使用できます。パワーアップ、パワーダウン、省電力モード、ホット・インサージョンなどの制御のために、オンボード・マイクロコントローラがしばしば使用されます。マイクロコントローラは同じ情報を使用してDS50PCI402のRx入力終端のイネーブルとディスエーブルの切り替えタイミングを決定します。SMBus制御を必要とするアプリケーションでは、マイクロコン

トローラはアップストリーム・サブシステムへの応答を遅らせ、DS50PCI402トランシーバと基板上的のその他のデバイスの正確なプログラミングに必要な時間を確保します。

Figure 1 に示すように、PCIeリンクのソフトウェア構成に先立ち、PCIeトランスミッタ(Tx) はレシーバ(Rx)検出プロセスをおこないます。コモンモード・レベルがグラウンド電位からシフトするTxドライバのハイスピード出力により、検出のプロセスが開始されます。レシーバが存在すると、Rx側がV_{CC}に終端されることによりコモンモード電圧をシフトさせます。Tx側の検出モニター回路は、終端条件(Rxあり)と未終端条件(Rxなし)を判読できなければなりません。DS50PCI402のRx終端のON/OFFは直接、RXDETA/B入力ピンを通じて制御可能です。また、Rx側の終端をTx側の出力の状態に応じて自動的にON/OFFするオートマッチックRxディテクション機能をDS50PCI402はサポートしています。(DS50PCI401ではオートマッチックRxディテクション機能はありません)

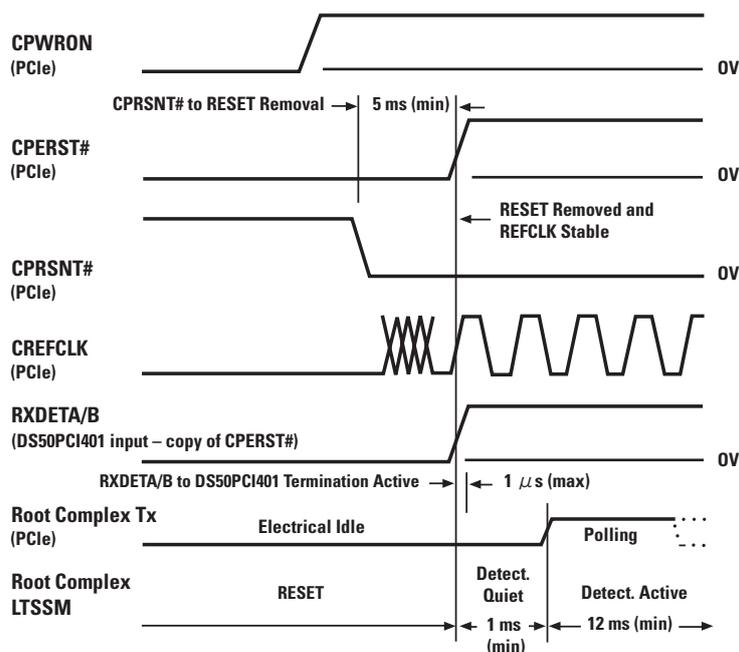


Figure 1. PCIeケーブリング・イベント・タイミング

PCIe仕様を使ったバックプレーン・アプリケーションでは、これらの補助信号が必ずしも存在しない可能性があります。

ルート・コンプレックスとエンドポイント間のハイレベルな通信をサポートするため、PCIeはビーコンと呼ばれるシグナリング技術を定義しています。ビーコンは、少なくとも高速シリアル・データ・バスのレーン0上で送信される低速信号(30KHzから500MHz)です。ビーコン信号送信の目的は、電力の再印加を要請し、L2ステートすなわち低消費電力ステートから脱却することです。この動作にはWAKE#サイドバンド信号を使うこともできます。ビーコンはGEN2または5Gbpsで動作するシステムでは不要なオプション信号です。しかし、古いGEN1デバイスでは継続的なサポートを必要とする可能性があります。ビーコン信号を通過させるため、マニュアル制御の場合はDS50PCI402の入力は50Ωの入力終端を「アクティブ」にする必要があります。そうしないと、ビーコン信号はDS50PCI402出力上で再送信されません。

バックプレーン/サーバ・アプリケーションで使用されるその他の通信方式には、PRSENT#などのサイドバンド信号のサブセットや、手動保持ラッチ(MRL)などの物理的なメカニズムがあります。

SAS/SATAを使用した通信

ステートの変化情報を伝達する補助信号がないため、SAS/SATA高速シグナルパスは低速通信ポートの役割を兼ねています。アウト・オブ・バンド(OOB)信号 (**Figure 2**)はSAS/SATAリンク上で送信および検出された信号バースト時間、アイドル時間、ネゲーション時間の一連の流れで、いわば現代版モールス信号と言えます。リンク・イニシエータとターゲットはこの情報を使い、通信を開始し、リンク・プロトコルを確立します。あらゆるOOBシグナリング・エンベロープ・ディストーションを最小化するために緊密に整合した、アクティブからアイドルおよびアイドルからアクティブへの伝搬遅延が、DS64BR401トランシーバにとって重要なOOB関連仕様となります。

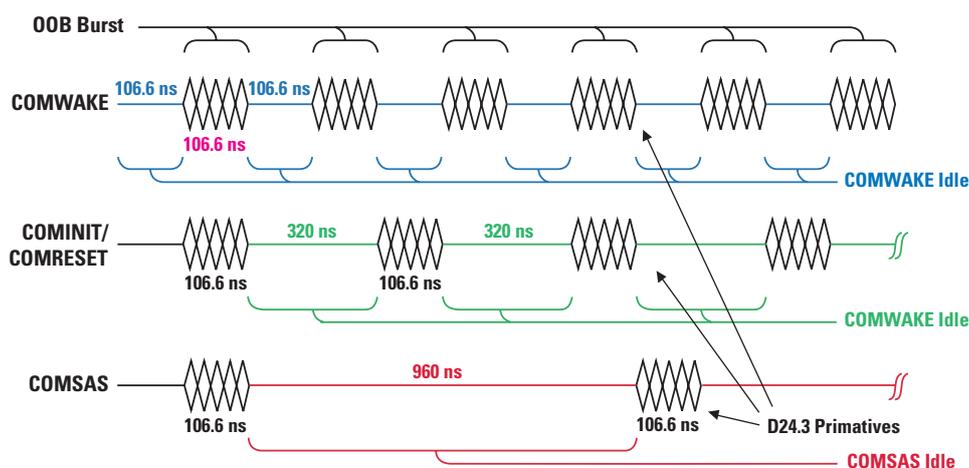


Figure 2. 公称アウト・オブ・バンド信号タイミング

データセンターのサーバやSAN(ストレージ・エリア・ネットワーク)での高速信号駆動

AS/SATA OOBシグナリングに求められるのは、物理層ステータス・マシンの速度ネゴシエーション・ステートおよび識別シーケンス・ステートへの移行です。SASからのSASへの通信の場合では、ターゲット・デバイスはCOMSAS OOBを受けて、COMSAS OOBを返します。SASからSATAの接続は、SATAターゲットはCOMSAS OOBにตอบสนองしません。この違いにより、イニシエータ・デバイスはSASホストとして機能するか、SATAホストをエミュレートします。

SASスピード・ネゴシエーション・シーケンスは、可能な限り高速の転送レートでフィジカル・リンク通信を確立しようとしています。SAS速度ネゴシエーション・シーケンスは、もはやイニシエータとターゲット間の通信ではなく、ピア・ツー・ピア通信となります。速度ネゴシエーションのためのルールは関係する双方のデバイスに対し共通です。その結果、イニシエータ/インターコネクタ/ターゲットの組み合わせに対して、可能な限り高速で信頼性の高い双方向通信が実現します。

標準に基づくシグナル・コンディショニング

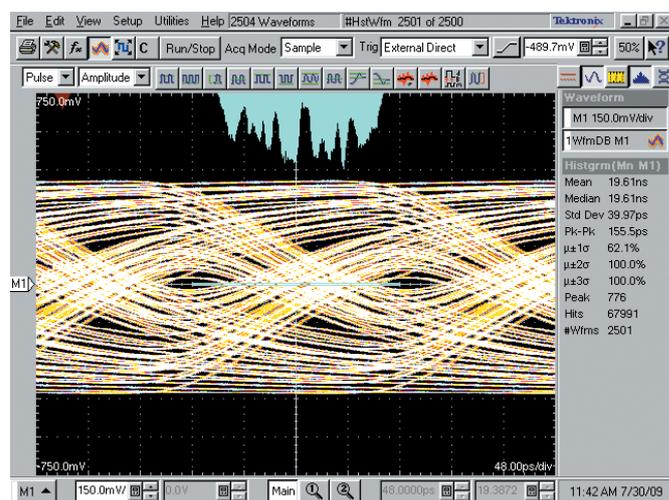
PCIeとSAS/SATAは、送信および受信イコライゼーションに関する性能記述を、必要最小限のレベルに抑えてきました。これにより、実現が容易になり、一般的な例ではコストを低く抑えることができます。しかし、こうした特長をすべてのアプリケーションで発揮できるわけではありません。GEN2の速度でシステム全体にPCIeを使用する設計者が増え、さらにユーザーからの高速ストレージへの要求が強まるにつれ、システムのインターコネクタ上の信号減衰が共通の問題となります。

ケーブルとPCBトレースで周波数依存損失が発生する主要な仕組みは2つあります。

1. 表皮損失: 表皮効果とは高周波電流の大部分が導体の表面(表皮)を伝わる現象です。結果として導体の実効抵抗は周波数が高くなるにつれて高くなります。表皮損失は信号周波数の平方根に直接比例するため、緩やかな周波数ロールオフの特性となります。

2. 誘電体損失: 誘電体材料によって他の導体から絶縁されている導体を信号が通過する過程で、誘電体材料が信号エネルギーの一部を吸収する現象です。誘電体損失は信号周波数に直接比例するため、急峻な周波数ロールオフの特性となります。

Figure 3に示すように、表皮損失と誘電体損失は高周波パナリ信号のエッジ・レートを低下させ、単一ビットを複数ビット周期にまたがって広げてしまうシンボル間干渉(ISI)となります。



**Figure 3. 信号減衰によるISI
またはデタニスティック・ジッタ
(確定的ジッタ)**

PCIe 2.0の設定最大送信ディエンファシスは6dBです。SASの推奨値は3dBですが、この推奨値から逸脱することで余裕が増える可能性も明記されています。PCIeケーブル・アセンブリの応答は、7mの24AWGケーブルでの性能の最適化には12dBの補正が必要なことを示しています。今日、サーバ設計で一般的に使用されている24インチから30インチのバックプレーン・トレースでも同等の損失補正が必要になります。DS50PCI402/DS64BR401トランシーバはこうした要求を満たすか、それ以上の性能を実現します。

ディエンファシス性能

最適なシグナル・コンディショニング応答により、複数世代のシリアル標準をサポートするためには、デバイスを通過する信号の基礎データレートを理解することが極めて重要です。内部デバイス回路はPCIe 2.5/5.0GおよびSAS/SATA 3.0/6.0G動作を検出し、それに応じて出力ディエンファシス・パルス幅を調整します。PCIeおよびSAS/SATAの電気仕様に100パーセント準拠するため、双方のデバイスとも個々の規格に対応した設定を備えています。



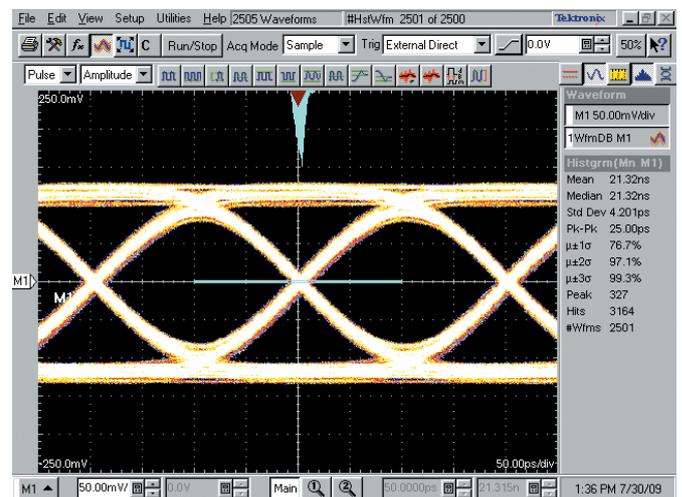
Figure 4. 2.5Gおよび5.0G動作のディエンファシス波形

Figure 4で、詳細なオシロスコープ波形は異なる手法のディエンファシス(DE) 約6dBのゲインの波形を示しています。理想的なDEパルス幅は迅速に最大振幅に到達しますが、減衰にはそれをわずかに上回る長い時間が必要です。このアナログ・ディエンファシスは、高速デジタル・シリアルライザのマルチタップ設計に非常に似た挙動を示し、ナイキスト周波数で最大ゲインを生成し、さらに、周波数の低下とともにゲインが減少します。この技術により伝送メディアの減衰を近似化し、補正を行います。

シグナル・コンディショニング・デバイスはメディア・ロス補正において重要な役割を果たします。数Gbpsレベルの速度では、

ケーブルおよびPCBトレースにおける減衰はシステム内およびシステム間の通信に影響を与えます。データ損失の起こりやすいインターコネクト上で入出力シグナル・コンディショニング技術を採用することにより、信頼性の高い通信を維持できます。PCIeおよびSAS/SATA標準は全二重高速シグナリング・パスを使用していることから、DS50PCI401/DS64BR401シグナル・コンディショニング・デバイスは受信イコライゼーションと送信ディエンファシス(EQ/DE)機能を1つのICに集積しています。

Figure 5はバックプレーン/サーバ・アプリケーションでDS50PCI402を使用した場合の代表的な結果を示しています。バックプレーンをエミュレートするため、短い50Ω SMAケーブルを通じて28インチの5mil 100Ω差動ストリップラインがトランシーバ評価ボードに接続されています。



メディア: 28インチのFR4ストリップライン
 設定: -12dB出力ディエンファシス
 垂直方向のアイ・オープニング: 170mV
 メディア減衰: -11.5 dB@1.25GHz
 データレート: PRBS7パターンで5.0Gbps
 全ジッタ(ピーク・ツー・ピーク): 25.0ps

Figure 5. DS50PCI402の出力シグナル・コンディショニング

データセンタのサーバやSAN(ストレージ・エリア・ネットワーク)での高速信号駆動

イコライゼーション性能

残念ながら、長いケーブルや大きなバックプレーンをイコライズする能力だけでは不十分です。イコライズ設定は容易であると同時に、データレートおよびケーブル長が異なっても対応できなければなりません。DS50PCI5402のコンティニューアス・タイム・リニア・イコライゼーション(CTLE)は、個々のデータレートに応じたリチューンあるいは調整の必要がありません。おそらくサーバの設計サイクルに基づくアップグレードが原因であったり、あるいは古いカードと新しいカードが混在して使われていることが原因で、多くのシステムに複数のデータレートが存在している可能性があります。2.5Gbpsに対する設定も5.0Gbpsに対する設定も同じです。データレートの違いによる自動ディエンファシス調整とともに、こうした特長により、リンク上のシグナル・

コンディショニング設定を変更せずに、ダイナミックなPCIeおよびSAS/SATA速度ネゴシエーションを可能にします。

インターコネクト上のデータレートが増加するにつれ、減衰も増加します。**Figure 6**は、速度が2.5Gbpsから5.0Gbpsに上昇するにつれて完全にアイの閉じたパターンが現れ、さらに低周波振幅が低減することを示しています。**Figure 7**に示すように、2.5GHzでのメディア減衰に最も整合したイコライゼーション設定にすることで、2つのデータレート(1.25GHz/2.5GHz)での最適な信号補正が実現します。

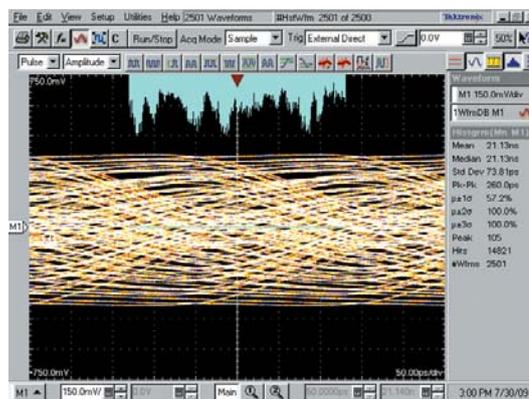
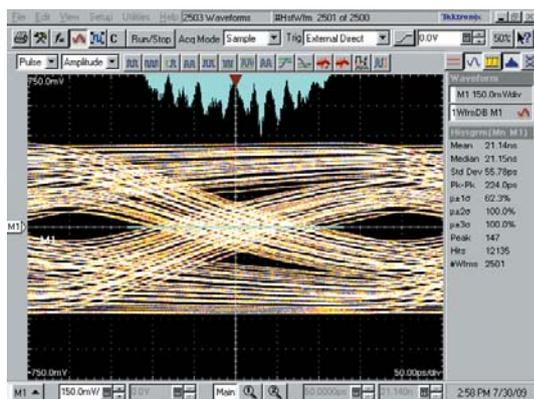
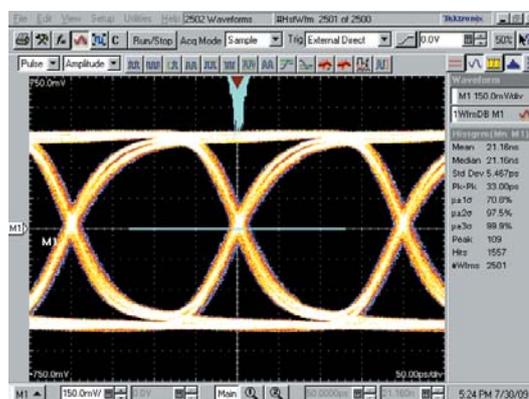
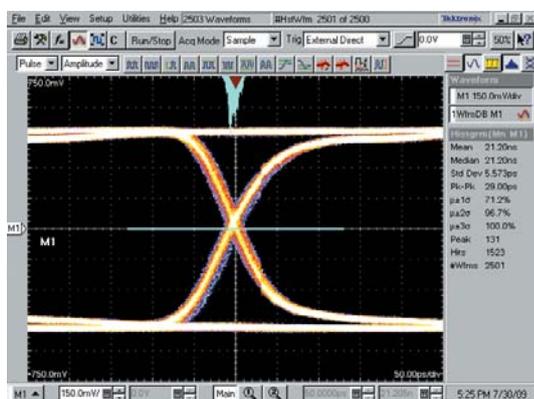


Figure 6. FR4における減衰 vs. データレート



メディア: 42インチのFR4ストリップライン
 メディア減衰: -10.2dB@1.25GHz
 イコライゼーション設定: 17dB@2.5GHz
 データレート: PRBS7パターンで2.5Gbps
 全ジッタ(ピーク・ツー・ピーク): 29.0ps

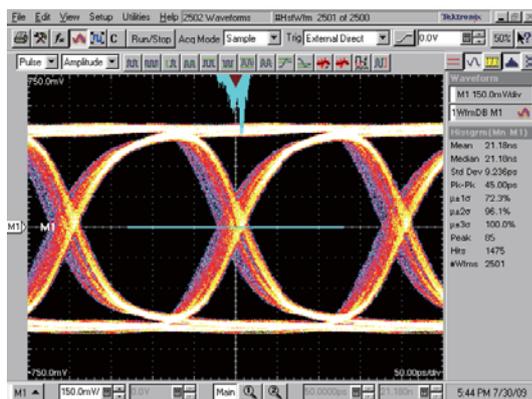
メディア: 42インチのFR4ストリップライン
 メディア減衰: -17.6dB@2.5GHz
 イコライゼーション設定: 17dB@2.5GHz
 データレート: PRBS7パターンで5.0Gbps
 全ジッタ(ピーク・ツー・ピーク): 33.0ps

Figure 7. マルチレート・イコライゼーション

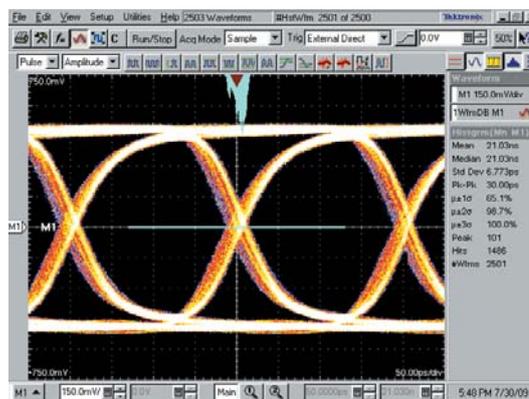
外付けケーブリング・アプリケーションに対して、設計者は1つのイコライゼーション設定だけを選択して複数のケーブル長を補正しなければならない場合があります。ケーブル長が増加するにつれ、受信信号がより小さくなり、イコライゼーション設定がさらに重要になります。PCIeケーブルは長さによりケーブルのワイヤゲージが異なります。短いケーブルでは単位長さあたりの減衰が大きな28AWGワイヤが使用されています。長いケーブルでは損失の最小化のために24AWGワイヤを使用しており、その結果、最短ケーブル・アセンブリと最長ケーブル・アセンブリ間の減衰の変化を少なくしています。

双方のトランシーバの入力設計には、アクティブ・イコライザが含まれています。その名前が示すように、信号の低周波を減衰せず

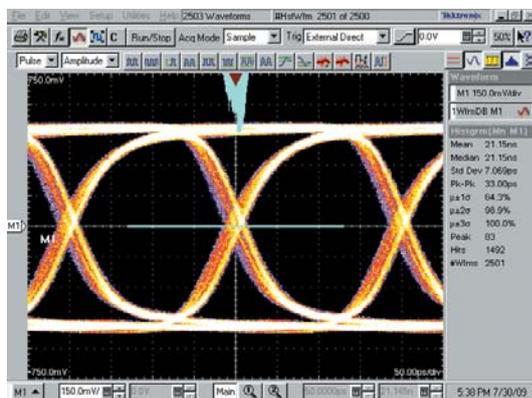
に高周波のみをアクティブ・トランジスタを使って増幅する方法を使用しています。イコライザ入力で低信号増幅が予想される時でも、このイコライゼーション方法はうまく機能し、それにより、拡張された補正エンベロップの提供と、より長く軽量(細い)のケーブル・アセンブリの使用が可能になります。さらに、ほとんどのアクティブ・イコライザは高入力振幅を許容でき、ケーブル長が不明な際に優れたフレキシビリティを提供します。**Figure 8**は1メートルから10メートルの長さのPCIeケーブル・アセンブリへのイコライザ応答を示しており、フレキシビリティが高いことがわかります。イコライザ設定を調整しなくても実際のケーブルではこうした結果を実現でき、設計者はシステムのファームウェアの再プログラムを必要とせず複数のケーブル長を使用することもできます。



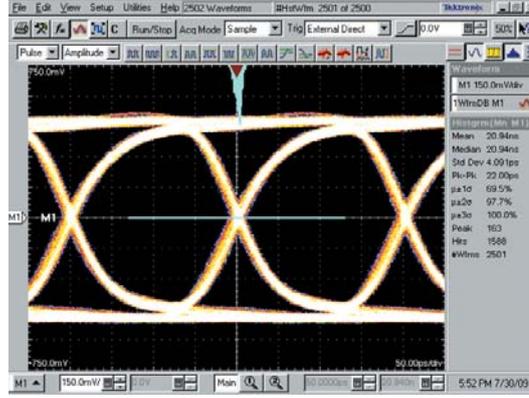
メディア: 1メートルの28AWG PCIe 4xケーブル
イコライゼーション設定: 17dB@2.5GHz
データレート: PRBS7パターンで5.0Gbps
全ジッタ (ピーク・ツー・ピーク): 45.0ps



メディア: 5メートルの26AWG PCIe 4xケーブル
イコライゼーション設定: 17dB@2.5GHz
データレート: PRBS7パターンで5.0Gbps
全ジッタ (ピーク・ツー・ピーク): 30.0ps



メディア: 7メートルの24AWG PCIe 4xケーブル
イコライゼーション設定: 17dB@2.5GHz
データレート: PRBS7パターンで5.0Gbps
総ジッタ (ピーク・ツー・ピーク): 33.0ps



メディア: 10メートルの24AWG PCIe 4xケーブル
イコライゼーション設定: 17dB@2.5GHz
データレート: PRBS7パターンで5.0Gbps
総ジッタ (ピーク・ツー・ピーク): 22.0ps

Figure 8. 複数のケーブル長でのDS50PCI402シングル設定イコライゼーション

データセンタのサーバやSAN(ストレージ・エリア・ネットワーク)での高速信号駆動

Figure 8で使用されたEQ設定値のほか、このトランシーバはピンまたはSMBus制御を通して、3.0GHzにおいて10dBまでの入カイコライゼーションを提供できます。また、大きな減衰を補正できるため、クロストークに余裕があれば設計者はより小さいゲージのワイヤを使用したケーブル・アセンブリを選択できます。ケーブルが軽量になればコネクタと筐体への影響が軽減し、スペース的な制約が多いアプリケーションでケーブル密度とケーブルが柔らかくなるための取り扱い易さが向上します。

設計に成功するための戦略

減衰信号の回復には単に優れたイコライザがあるだけでは不十分で、実際の出発点となるのはトランスミッタです。低ジッタ出力のトランスミッタが必要なのは明白ですが、優れたリターンロス特性も同様の重要性を持っています。リンク上のすべての初期波形の出発点となるのはトランスミッタで、そこでは初期波形が最大レベルの高周波・高調波成分を含んでいます。トランスミッタに反射されたエネルギーが、トランスミッタ出力中の1UI (unit interval) 時間内で完全に吸収されない場合、その後のデータに影響を与える可能性があります。

トランスミッタとレシーバの間の伝送路には、いくつかのインピーダンスミスマッチが発生する機会があります。それぞれのミスマッチの規模と程度の最小化に必要な対策をすべてとれば、残留ジッタの低減とシステムへの余裕の増加につながります。伝送路の構成とリターン・パスの連続性の変化に特に留意することにより、信号忠実度を可能な限り高めることができます。以下では、いくつかの問題とその対応のための戦略について検討します。

ビア:

ビアは絶対的に必要なリンク構造の一部ですが、ない方が好ましいと言えます。幸い、「シグナル・インテグリティ・レーダー」からそれらを除去するための方法がいくつか存在します。

1. リファレンス・プレーン上のコモンモード・ノイズ除去と信号リファレンス・プレーン内の変化により生じるインピーダンスミスマッチの最小化のため、伝送路上のビアの近くにリターン電流のためのビアを常に追加する必要があります。

2. ビアは必要以上のキャパシタンスを保有する傾向があるため、ビア構成全体に特別な注意を払う必要があります。モデリング・ツールにわずかな時間を費やすだけで、伝送ラインのインピーダンスに整合するスタックアップが実現します。厚いPCB内では、ビア・パレルがスタブを作ることがあります。バックドリル加工を行うことで構造上の帯域幅を拡張できます。

スペース:

高速信号ペアでは、コネクタと部品は常にボトルネックになります。また複数のPCBレイヤが使用されますが、信号ペア間の距離を最大化するためには、信号の均一な分配が必要です。

対称:

差動のあらゆるものが完全に対称で、トランスミッタでの純粋な差動信号が減衰し、レシーバに到達し、純粋な差動信号になるのが理想です。第1のステップは、差動ペアの2つの信号の電気的な長さを整合させることです。第2のステップは、2本のトレースを平等に扱うことです。テスト・ポイントや他の負荷をつける場合でも、一方のトレースと他方のトレースとが鏡に映したように同じでなければなりません。この追加的な作業によってもたらされる最も重要なメリットは、システムEMIの低減です。いかなるコモンモード信号の減衰にも効果的です。

まとめ

PCIe、SAS/SATAやその他のシリアル・リンクの伝送距離を延長することにより、システム開発者は競争上の優位を得ることができます。バックプレーン、ケーブル・アセンブリで複数のデータレートにわたって動作する入出力シグナル・コンディショニングにより、ナショナル セミコンダクターのDS50PCI402/DS64BR401トランシーバは設計者に、課題の多い今日のシリアル・リンク・アプリケーション向けのフレキシブルで高効率なシグナル・コンディショニング・ソリューションを提供します。

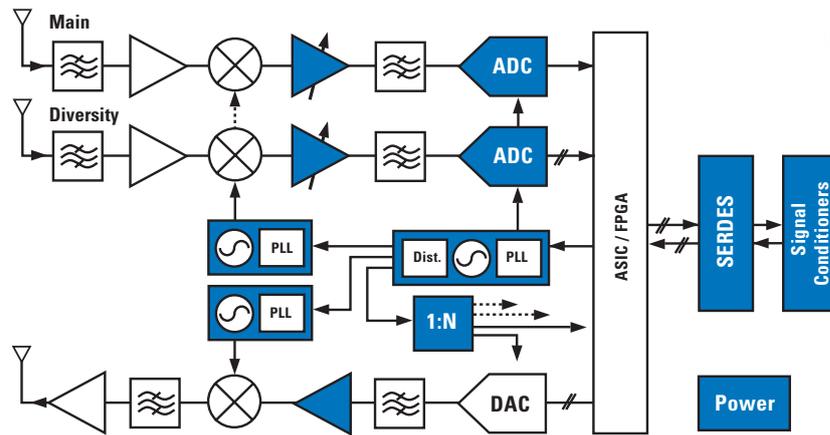
ナショナル セミコンダクターの通信インフラ・ソリューションの詳細はnational.com/commsをご覧ください。

最大の効率。 最小の電力損失。

エネルギー効率の高いワイヤレス基地局向けソリューション

ワイヤレス基地局の設計ではいくつかの技術的課題に直面します。その1つが、いかに効率を最適化するかです。さらに、いかに信頼性の高いシステム性能を実現するかも、設計上の重要な課題となります。シグナル・コンディショニングのためのアンプ。周波数変換とクロック生成のためのタイミング製品。高いダイナミック・レンジ・データ変換を実現するADC。シグナルパスおよびデジタル・プロセッシング・システムへの給電のための電源IC。こうしたアナログ製品を使って基地局の受信システムを設計する際には、高い効率と信頼性の実現が重要な技術的課題となります。

- ✓ サブシステム・ソリューション
- ✓ リファレンス・デザイン
- ✓ オンライン設計支援ツール



ワイヤレス基地局アプリケーションのダイアグラム

低ノイズ、低消費電力

高性能基地局の設計では、直線性と低ノイズ動作がレシーバの感度を最大化するためのカギとなります。ナショナル セミコンダクターのLMH6517 DVGA、16ビットADCのADC16V130、LMK04000 クロック・ジッタ・クリーナ、LMX2541 周波数シンセサイザの組み合わせにより、次世代のマルチ・キャリア GSM、LTE、UMTSおよびWiMAX 基地局の最適化を実現できます。

高電力密度

高電力密度と高効率性は、総消費電力の低減、電力損失による発熱の最小化、システムの信頼性と安全性向上を実現するために極めて重要な意味を持っています。ナショナル セミコンダクターのLM5000 パワー・マネジメント・ソリューションの多彩な製品ラインナップは、電力密度とエンド・ツー・エンドのパワー・チェーン効率の最大化を可能にします。

設計のフレキシビリティ

ナショナル セミコンダクターのDS64BR401クワッド6.4Gbps トランシーバは、入力(EQ)段および出力(ディエンファシス)段の両方でシグナル・コンディショニングを実行し、基地局設計のフレキシビリティ最大化とともに、バックプレーンまたはケーブル・インターコネクタに起因する伝送損失を補正可能にします。

ナショナル セミコンダクターの設計リソース



アナログ回路の設計、製作、検証がオンラインで完了。開発期間を短縮する設計/プロトタイプ製作ツール。
national.com/webench



アナログに関する知識と理解を深めるオンライン・トレーニング。ご利用は無料。
www.national.com/training



電源回路設計に役立つヒントやテクニックを満載した設計エンジニア向け専門情報誌。隔月刊行。
national.com/powerdesigner



シグナルパス回路設計に役立つヒントやテクニックを満載した設計エンジニア向け専門情報誌。年4回発行。
national.com/spdesigner



アナログ設計に関するナショナル セミコンダクターの技術情報誌。
national.com/edge



リック・ザーがホストをつとめるアナログにフォーカスしたウェブTV放送。いつでも好きなときに視聴可能。
national.com/powerwisetv

ナショナル セミコンダクターの日本語サイト:

www.national.com/jpn

お問い合わせ:

jpn.feedback@nsc.com

ニュースレター

製品や技術に関する最新情報を日本語でお届けする 月刊Eメールニュースレター。迷惑メール対策も万全。お申込みはウェブサイトです。
national.com/newsletters

エネルギー効率の高い設計を実現する支援ツール

PowerWise® 製品およびシステムに関するホワイト・ペーパー、リファレンス・デザイン、およびアプリケーション・ノートを提供。
www.national.com/JPN/powerwise

製品カタログと検索

製品フォルダの検索、または特異別に分類されたデータベースからも選択可能。
www.national.com/cat

アプリケーション・ソリューション

医療、コンSUMER・エレクトロニクス、通信など、100点を超えるアプリケーションのダイアグラム。
national.com/solutions

アプリケーション・ノート

リニア・レギュレータ、スイッチング・レギュレータ、スイッチング・コントローラ、LEDドライバなど、電源回路設計の多彩なテーマを扱った250点以上のアプリケーション・ノート。
www.national.com/apnotes/

FPGAデザイン・ガイド

XilinxやAlteraなど、FPGAメーカー別にナショナル セミコンダクターのソリューションと製品を紹介。
national.com/xilinx
national.com/altera

ドキュメント一覧

エンドマーケットでのソリューションと製品の検討に役立つナショナル セミコンダクターのソリューション・ガイド。
www.national.com/guides



ナショナル セミコンダクター ジャパン株式会社

〒135-0042 東京都江東区木場 2-17-16

TEL 03-5639-7300 (大代表) www.national.com/jpn

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上