

LMK00301 3GHz 10 路输出超低附加抖动 差分时钟缓冲器和电平转换器

1 特性

- 3:1 输入多路复用器
 - 两个通用输入运行频率高达 3.1GHz，且接受 lvpecl、lvds、cml、sstl、hstl、hcs1 或单端时钟
 - 一个晶体输入可接受 10MHz 至 40MHz 的晶体或单端时钟
- 分为两组，每组具有五路差分输出
 - LVPECL, LVDS, HCSL 或高阻态 (每个组可选)
 - LMK03806 时钟源为 156.25MHz 时的 LVPECL 附加抖动：
 - 20fs RMS (10kHz 至 1MHz)
 - 51fs RMS (12kHz 至 20MHz)
- 频率范围：
 - LVPECL (DC 至 3100MHz)
 - LVDS (DC 至 2100MHz)
 - HCSL (DC 至 800MHz)
 - LVCMOS (DC 至 250MHz)
- 经过 PCIe 滤波器后的附加 RMS 抖动：
 - 第 7 代：9.38fs (LVPECL)、10.1fs (HCSL)、12.6fs (LVDS) (最大值)
 - 第 6 代：13.4fs (LVPECL)、14.3fs (HCSL)、18.0fs (LVDS) (最大值)
 - 第 5 代：21.8fs (LVPECL)、23.6fs (HCSL)、30.3fs (LVDS) (最大值)
- 高 PSRR：156.25MHz 时，-65dBc (LVPECL) 和 -76dBc (LVDS)
- 通过同步使能输入提供 LVCMOS 输出
- 由引脚控制的配置
- V_{CC} 内核电源：3.3V $\pm$ 5%
- 三个独立的 V_{CCO} 输出电源：3.3V 或 2.5V $\pm$ 5%
- 工业温度范围：-40°C 至 +85°C

2 应用

- 面向 ADC、DAC、多千兆以太网、XAUI、光纤通道、SATA/SAS、SONET/SDH、CPRI 和 高频背板的时钟分配和电平转换
- 交换机、路由器、线路接口卡、定时卡
- 服务器、计算、PCI express (PCIe 3.0、4.0、5.0、6.0、7.0)
- 远程无线电单元和基带单元

3 说明

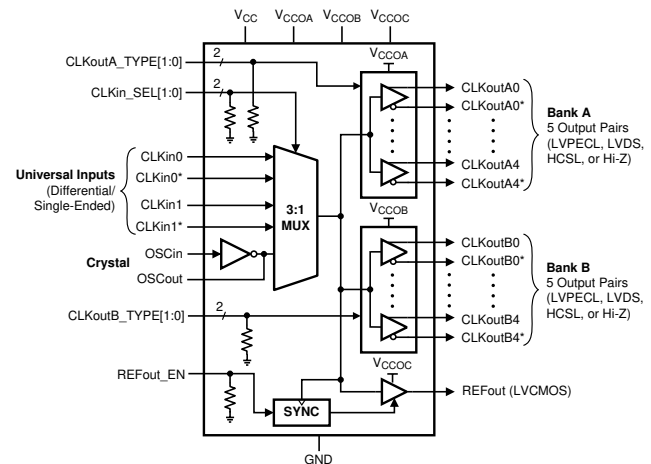
LMK00301 是一款 3GHz、10 路输出差分扇出缓冲器，旨在用于高频、低抖动时钟和数据分配以及电平转换。可以从两个通用输入或一个晶体输入中选择输入时钟。所选择的输入时钟被分配到两组输出，每组输出包含 5 个差分输出和 1 个 LVCMOS 输出。两个差分输出组都可以独立配置为 LVPECL、LVDS 或 HCSL 驱动器，也可禁用。LVCMOS 输出具有用于在启用或禁用时实现无短脉冲运行的同步使能输入。LMK00301 由一个 3.3V 内核电源和三个独立的 3.3V 或 2.5V 输出电源供电运行。

LMK00301 具有高性能、多用途和高功效特性，该器件旨在替代固定输出缓冲器器件，同时还能增加系统中的时序余裕。LMK00301 提供一种设计版本，即 LMK00301A，该版本在内核和输出电源域之间没有电源时序要求。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽³⁾
LMK00301 ⁽²⁾	RHS (WQFN, 48)	7.00mm $\times$ 7.00mm

- (1) 有关更多信息，请参阅节 12。
- (2) LMK00301A 是一款可订购的设计版本，可在数据表末尾的可订购产品附录中找到。
- (3) 封装尺寸 (长 $\times$ 宽) 为标称值，并包括引脚 (如适用)。



功能方框图



内容

1 特性	1	8.3 特性说明	22
2 应用	1	8.4 器件功能模式	22
3 说明	1	9 应用和实施	24
4 器件比较	3	9.1 应用信息.....	24
5 引脚配置和功能	3	9.2 典型应用.....	24
6 规格	6	9.3 电源相关建议.....	31
6.1 绝对最大额定值.....	6	9.4 布局.....	35
6.2 ESD 等级.....	6	10 器件和文档支持	37
6.3 建议运行条件.....	6	10.1 文档支持.....	37
6.4 热性能信息.....	6	10.2 接收文档更新通知.....	37
6.5 电气特性.....	7	10.3 支持资源.....	37
6.6 典型特性.....	14	10.4 商标.....	37
7 参数测量信息	20	10.5 静电放电警告.....	37
7.1 差分电压测量术语.....	20	10.6 术语表.....	37
8 详细说明	21	11 修订历史记录	37
8.1 概述.....	21	12 机械、封装和可订购信息	39
8.2 功能方框图.....	21		

4 器件比较

表 4-1. 器件比较

订货编号	需要电源时序
LMK00301	是 ⁽¹⁾
LMK00301A	否 ⁽²⁾

- (1) 需要电源时序控制，其中所有内核和输出电源都同时上电或必须连接在一起。
(2) 内核与输出电源域之间无电源时序要求。

5 引脚配置和功能

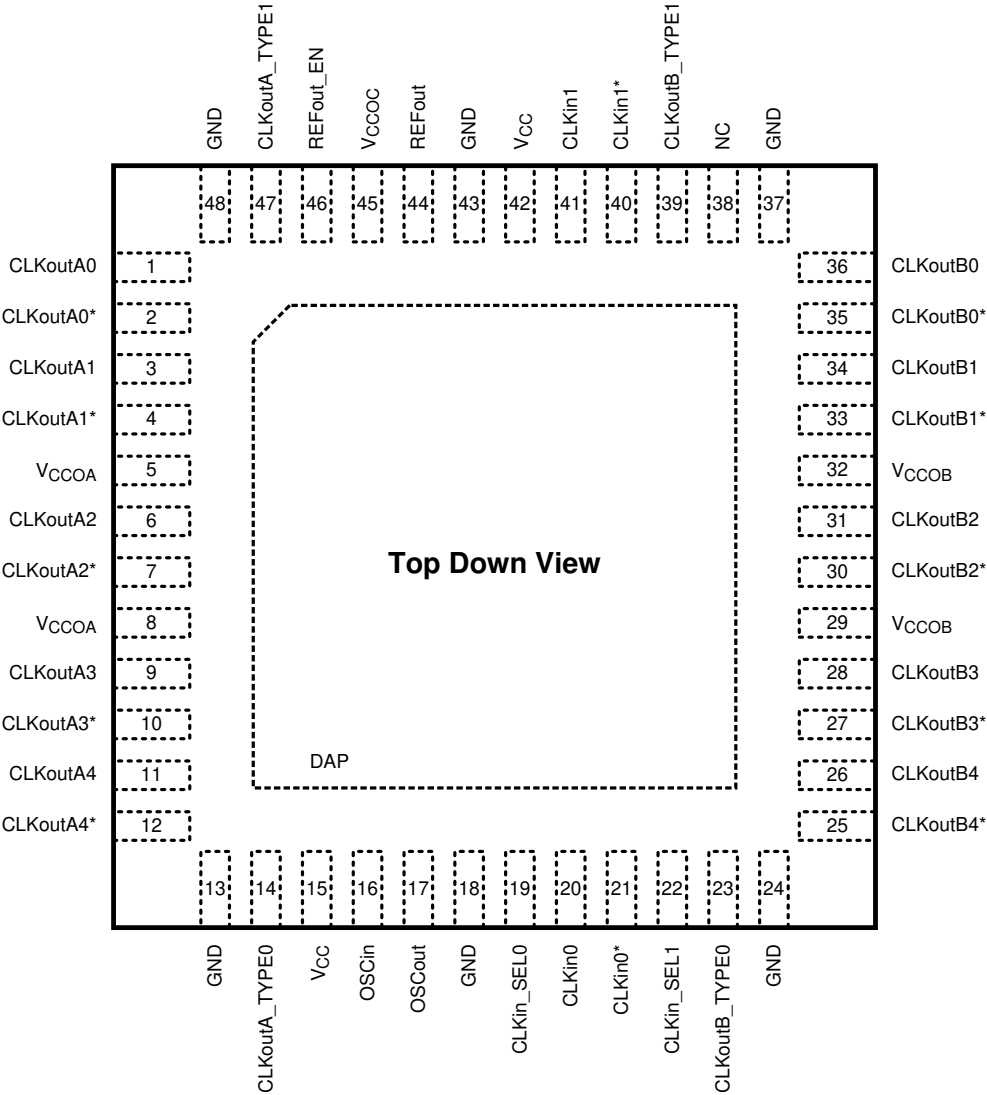


图 5-1. RHS 封装 48 引脚 WQFN 顶视图

表 5-1. 引脚功能 ⁽⁴⁾

引脚		类型 ⁽¹⁾	说明
名称	编号		
CLKin_SEL0	19	I	时钟输入选择引脚 ⁽³⁾
CLKin_SEL1	22		
CLKin0	20	I	通用时钟输入 0 (差分或单端)
CLKin0*	21		
CLKin1	40	I	通用时钟输入 1 (差分或单端)
CLKin1*	40		
CLKoutA_TYPE0	14	I	A 组输出缓冲器类型选择引脚 ⁽³⁾
CLKoutA_TYPE1	47		
CLKoutB_TYPE0	23	I	B 组输出缓冲器类型选择引脚 ⁽³⁾
CLKoutB_TYPE1	39		
CLKoutA0	1	O	差分时钟输出 A0。输出类型由 CLKoutA_TYPE 引脚设定。
CLKoutA0*	2		
CLKoutA1	3	O	差分时钟输出 A1。输出类型由 CLKoutA_TYPE 引脚设定。
CLKoutA1*	4		
CLKoutA2	6	O	差分时钟输出 A2。输出类型由 CLKoutA_TYPE 引脚设定。
CLKoutA2*	7		
CLKoutA3	9	O	差分时钟输出 A3。输出类型由 CLKoutA_TYPE 引脚设定。
CLKoutA3*	10		
CLKoutA4	11	O	差分时钟输出 A4。输出类型由 CLKoutA_TYPE 引脚设定。
CLKoutA4*	12		
CLKoutB4*	25	O	差分时钟输出 B4。输出类型由 CLKoutB_TYPE 引脚设定。
CLKoutB4	26		
CLKoutB3*	27	O	差分时钟输出 B3。输出类型由 CLKoutB_TYPE 引脚设定。
CLKoutB3	28		
CLKoutB2*	30	O	差分时钟输出 B2。输出类型由 CLKoutB_TYPE 引脚设定。
CLKoutB2	31		
CLKoutB1*	33	O	差分时钟输出 B1。输出类型由 CLKoutB_TYPE 引脚设定。
CLKoutB1	34		
CLKoutB0*	35	O	差分时钟输出 B0。输出类型由 CLKoutB_TYPE 引脚设定。
CLKoutB0	36		
DAP	DAP	GND	裸片连接焊盘连接到 PCB 接地平面以实现散热。
GND	13、18、 24、37、 43、48	GND	接地
NC	38	—	内部未连接。引脚可以悬空、接地或以其他方式连接到 绝对最大额定值 中规定的电源电压范围内的任何电位。
OSCin	16	I	晶体的输入。也可由 XO、TCXO 或其他外部单端时钟驱动。
OSCut	17	O	晶体的输出。如果 OSCin 由单端时钟驱动，则将 OSCut 保持悬空。
REFout	44	O	LVC MOS 基准输出。通过将 REFout_EN 引脚拉至高电平来使能输出。
REFout_EN	46	I	REFout 使能输入。使能信号与所选时钟输入内部同步。 ⁽³⁾
V _{CC}	15、42	PWR	内核和输入缓冲器块的电源。V _{CC} 电源工作电压为 3.3V。使用靠近每个 V _{CC} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。
V _{CCOA}	5、8	PWR	A 组输出缓冲器的电源。V _{CCOA} 工作电压为 3.3V 或 2.5V。V _{CCOA} 引脚在内部相互连接。使用靠近每个 V _{CCOA} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。 ⁽²⁾

表 5-1. 引脚功能⁽⁴⁾ (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
V _{CCOB}	29、32	PWR	B 组输出缓冲器的电源。V _{CCOB} 工作电压为 3.3V 或 2.5V。V _{CCOB} 引脚在内部相互连接。使用靠近每个 V _{CCO} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。 ⁽²⁾
V _{CCOC}	45	PWR	REFout 输出缓冲器的电源。V _{CCOC} 工作电压为 3.3V 或 2.5V。使用靠近每个 V _{CCO} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。 ⁽²⁾

(1) I = 输入, O = 输出, PWR = 电源

(2) 当不需要区分, 或可根据输出组/类型推断输出电源时, 输出电源电压或引脚 (V_{CCOA}、V_{CCOB} 和 V_{CCOC}) 通常统称为 V_{CCO}。

(3) CMOS 控制输入, 具有内部下拉电阻器。

(4) 任何未使用的输出引脚都必须以最短的覆铜长度保持悬空 (请参阅[时钟输出](#)中的注释); 或者, 如果连接到传输线, 则必须正确端接, 或在可能的情况下禁用或设置为高阻态 (如果可能)。有关输出配置, 请参阅[时钟输出](#); 有关输出接口和端接技术, 请参阅[终止和使用时钟驱动器](#)。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{CC} 、 V_{CCO}	电源电压	-0.3	3.6	V
V_{IN}	输入电压	-0.3	($V_{CC} + 0.3$)	V
T_{STG}	贮存温度	-65	+150	°C
T_L	引线温度 (焊接 4s)		+260	°C
T_J	结温		+150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 如果需要军用/航天专用器件, 请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	机器模型 (MM)	±150	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22C101(2)	±750	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施, 不足 500V HBM 时也能进行生产。列为 ±2000V 的引脚实际上可能具有更高的性能。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施, 不足 250V CDM 时也能进行生产。列为 ±750V 的引脚实际上可能具有更高的性能。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	参数	最小值	典型值	最大值	单位
T_A	环境温度范围	-40	25	85	°C
T_J	结温			125	°C
V_{CC}	内核电源电压范围	3.15	3.3	3.45	V
V_{CCO}	输出电源电压范围 (1) (2)	3.3 – 5% 2.5 – 5%	3.3 2.5	3.3 + 5% 2.5 + 5%	V

- (1) 当不需要区分, 或可根据输出组/类型推断输出电源时, 输出电源电压或引脚 (V_{CCOA} 、 V_{CCOB} 和 V_{CCOC}) 通常统称为 V_{CCO}
- (2) 任何输出组的 V_{CCO} 必须小于或等于 V_{CC} ($V_{CCO} \leq V_{CC}$)。

6.4 热性能信息

热指标(1) (2)		LMK00301	单位
		RHS0048A (WQFN)	
		48 引脚	
$R_{\theta JA}$	结至环境热阻	28.5	°C/W
$R_{\theta JC(top)}$ (DAP)	结至外壳 (顶部) 热阻	7.2	

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。
- (2) 规格假设有 16 个散热过孔将裸片连接焊盘连接到 4 层 JEDEC 板上的嵌入式覆铜平面。这些过孔在提升封装的热性能方面发挥着关键作用。在电路板布局中使用最大数量的过孔。

6.5 电气特性

除非另有说明：V_{CC} = 3.3V ± 5%，V_{CCO} = 3.3V ± 5%，2.5V ± 5%，-40°C ≤ T_A ≤ 85°C，CLKin 采用差分驱动，输入压摆率 ≥ 3V/ns。典型值表示在 V_{CC} = 3.3V、V_{CCO} = 3.3V、T_A = 25°C 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。⁽¹⁾

参 数		测试条件		最小值	典型值	最大值	单位
电流消耗 (2)							
I _{CC_CORE}	内核电源电流，所有输出均已禁用	选择 CLKinX		8.5	10.5		mA
		选择 OSCin		10	13.5		mA
I _{CC_PECL}	每使能一个 LVPECL 组时的附加内核电源电流			20	27		mA
I _{CC_LVDS}	每使能一个 LVDS 组时的附加内核电源电流	LMK00301		26	32.5		mA
		LMK00301A		31	38		
I _{CC_HCSL}	每使能一个 HCSL 组时的附加内核电源电流			35	42		mA
I _{CC_CMOS}	LVC MOS 输出已使能时的附加内核电源电流			3.5	5.5		mA
I _{CCO_PECL}	每使能一个 LVPECL 组时的附加输出电源电流	包括输出组偏置和负载电流，组内所有输出上 R _T = 50Ω 接至 V _{CCO} - 2V		165	197		mA
I _{CCO_LVDS}	每使能一个 LVDS 组时的附加输出电源电流	LMK00301		34	44.5		mA
		LMK00301A		24	33.5		
I _{CCO_HCSL}	每使能一个 HCSL 组时的附加输出电源电流	包括输出组偏置和负载电流，组内所有输出上 R _T = 50Ω	V _{CCO} = 3.3V ± 5%	87	104		mA
			V _{CCO} = 2.5V ± 5%				
I _{CCO_CMOS}	附加输出电源电流，LVC MOS 输出已使能	200MHz，C _L = 5pF	V _{CCO} = 3.3V ± 5%	9	10		mA
			V _{CCO} = 2.5V ± 5%	7	8		mA
电源纹波抑制 (PSRR)							
PSRR _{PECL}	纹波引起的相位杂散电平(3) 差分 LVPECL 输出	V _{CCO} 上注入的 100kHz、100mVpp 纹波， V _{CCO} = 2.5V	156.25MHz	-65			dBc
			312.5MHz	-63			
PSRR _{HCSL}	纹波引起的相位杂散电平(3) 差分 HCSL 输出		156.25MHz	-76			dBc
			312.5MHz	-74			
PSRR _{LVDS}	纹波引起的相位杂散电平(3) 差分 LVDS 输出		156.25MHz	-72			dBc
			312.5MHz	-63			
CMOS 控制输入 (CLKin_SELn、CLKoutX_TYPEn、REFout_EN)							
V _{IH}	高电平输入电压		1.6		V _{CC}		V
V _{IL}	低电平输入电压		GND		0.4		V
I _{IH}	高电平输入电流	V _{IH} = V _{CC} ，内部下拉电阻器			50		μA
I _{IL}	低电平输入电流	V _{IL} = 0V，内部下拉电阻器	-5	0.1			μA
时钟输入 (CLKin0/CLKin0*、CLKin1/CLKin1*)							

6.5 电气特性 (续)

除非另有说明： $V_{CC} = 3.3V \pm 5\%$ ， $V_{CC0} = 3.3V \pm 5\%$ ， $2.5V \pm 5\%$ ， $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ ，CLKin 采用差分驱动，输入压摆率 $\geq 3V/ns$ 。典型值表示在 $V_{CC} = 3.3V$ 、 $V_{CC0} = 3.3V$ 、 $T_A = 25^{\circ}C$ 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。(1)

参数		测试条件		最小值	典型值	最大值	单位	
f _{CLKin}	输入频率范围 ⁽¹⁰⁾	可在高达 3.1GHz 的频率下正常工作 输出频率范围和时序根据输出类型指定 (请参阅 LVPECL、LVDS、HCSL、LVCMOS 输出规格)		DC		3.1	GHz	
V _{IHD}	差分输入高电压	CLKin 以差分方式驱动				V _{CC}	V	
V _{ILD}	差分输入低电压					GND	V	
V _{ID}	差分输入电压摆幅 ⁽⁴⁾					0.15	1.3	V
V _{CMD}	差分输入共模电压	V _{ID} = 150mV		0.25		V _{CC} - 1.2	V	
		V _{ID} = 350mV		0.25		V _{CC} - 1.1		
		V _{ID} = 800mV		0.25		V _{CC} - 0.9		
V _{IH}	单端输入高电压	CLKinX 驱动单端 (交流或直流耦合)，CLKinX* 交流耦 合至 GND 或在 V _{CM} 范围内外部偏置				V _{CC}	V	
V _{IL}	单端输入低电压					GND	V	
V _{I_SE}	单端输入电压摆幅 ⁽¹⁵⁾ ⁽¹⁷⁾					0.3	2	V _{pp}
V _{CM}	单端输入共模电压					0.25	V _{CC} - 1.2	V
ISO _{MUX}	多路复用器隔离， CLKin0 至 CLKin1	f _{OFFSET} > 50kHz， P _{CLKinX} = 0dBm	f _{CLKin0} = 100MHz			-84	dBc	
			f _{CLKin0} = 200MHz			-82		
			f _{CLKin0} = 500MHz			-71		
			f _{CLKin0} = 1000MHz			-65		
晶体接口 (OSCin、OS Cout)								
F _{CLK}	外部时钟频率范围 ⁽¹⁰⁾	OSCin 驱动单端，OS Cout 悬空				250	MHz	
F _{XTAL}	晶体频率范围	基本模式晶体 ESR ≤ 200Ω (10 到 30MHz) ESR ≤ 125Ω (30 到 40MHz) ⁽⁵⁾		10		40	MHz	
C _{IN}	OSCin 输入电容					4	pF	
LVPECL 输出 (CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*)								

6.5 电气特性 (续)

除非另有说明： $V_{CC} = 3.3V \pm 5\%$ ， $V_{CCO} = 3.3V \pm 5\%$ ， $2.5V \pm 5\%$ ， $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ ，CLKin 采用差分驱动，输入压摆率 $\geq 3V/ns$ 。典型值表示在 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^{\circ}C$ 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。(1)

	参数	测试条件	最小值	典型值	最大值	单位
f_{CLKout_FS}	最大输出频率全 V_{OD} 摆幅 ^{(10) (11)}	$V_{OD} \geq 600mV$ ， $R_L = 100\Omega$ 差分	$V_{CCO} = 3.3V \pm 5\%$ ， $R_T = 160\Omega$ 至 GND	1.0	1.2	GHz
			$V_{CCO} = 2.5V \pm 5\%$ ， $R_T = 91\Omega$ 至 GND	0.75	1.0	
f_{CLKout_RS}	最大输出频率降低的 V_{OD} 摆幅 ^{(10) (11)}	$V_{OD} \geq 400mV$ ， $R_L = 100\Omega$ 差分	$V_{CCO} = 3.3V \pm 5\%$ ， $R_T = 160\Omega$ 至 GND	1.5	3.1	GHz
			$V_{CCO} = 2.5V \pm 5\%$ ， $R_T = 91\Omega$ 至 GND	1.5	2.3	
$Jitter_{ADD}$	附加 RMS 抖动积分带宽 10kHz 到 20MHz ^{(15) (6) (16)}	$V_{CCO} = 2.5V \pm 5\%$ ： $R_T = 91\Omega$ 至 GND， $V_{CCO} = 3.3V \pm 5\%$ ： $R_T = 160\Omega$ 至 GND， $R_L = 100\Omega$ 差分	CLKin：100MHz，压摆率 $\geq 3V/ns$	77	98	fs
			CLKin：156.25MHz，压摆率 $\geq 3V/ns$	54	78	
$Jitter_{ADD}$	附加 RMS 抖动积分带宽 1MHz 到 20MHz ⁽⁶⁾	$V_{CCO} = 3.3V$ ， $R_T = 160\Omega$ 至 GND， $R_L = 100\Omega$ 差分	CLKin：100MHz，压摆率 $\geq 3V/ns$	59		fs
			CLKin：156.25MHz，压摆率 $\geq 2.7V/ns$	64		
			CLKin：625MHz，压摆率 $\geq 3V/ns$	30		
$Jitter_{ADD}$	来自 LMK03806 的 LVPECL 时钟源的附加 RMS 抖动 ^{(6) (7)}	$V_{CCO} = 3.3V$ ， $R_T = 160\Omega$ 至 GND， $R_L = 100\Omega$ 差分	CLKin：156.25MHz， $J_{SOURCE} = 190fs$ RMS (10kHz 至 1MHz)	20		fs
			CLKin：156.25MHz， $J_{SOURCE} = 195fs$ RMS (12kHz 至 20MHz)	51		
本底噪声	本底噪声 $f_{OFFSET} \geq 10MHz$ ^{(8) (9)}	$V_{CCO} = 3.3V$ ， $R_T = 160\Omega$ 至 GND， $R_L = 100\Omega$ 差分	CLKin：100MHz，压摆率 $\geq 3V/ns$	-162.5		dBc/Hz
			CLKin：156.25MHz，压摆率 $\geq 2.7V/ns$	-158.1		
			CLKin：625MHz，压摆率 $\geq 3V/ns$	-154.4		
占空比	占空比 ⁽¹⁰⁾	50% 输入时钟占空比		45%	55%	
V_{OH}	输出高电压	$T_A = 25^{\circ}C$ ，直流测量， $R_T = 50\Omega$ 至 $V_{CCO} - 2V$	$V_{CCO} - 1.2$	$V_{CCO} - 0.9$	$V_{CCO} - 0.7$	V
V_{OL}	输出低电压		$V_{CCO} - 2.0$	$V_{CCO} - 1.75$	$V_{CCO} - 1.5$	V
V_{OD}	输出电压摆幅 ⁽⁴⁾		600	830	1000	mV
t_R	输出上升时间 20% 至 80% ⁽¹⁵⁾	$R_T = 160\Omega$ 至 GND，长达 10 英寸的均匀传输线路，具有 50Ω 特性阻抗， $R_L = 100\Omega$ 差分， $C_L \leq 5pF$		175	300	ps

6.5 电气特性 (续)

除非另有说明： $V_{CC} = 3.3V \pm 5\%$ ， $V_{CCO} = 3.3V \pm 5\%$ ， $2.5V \pm 5\%$ ， $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，CLKin 采用差分驱动，输入压摆率 $\geq 3V/ns$ 。典型值表示在 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^{\circ}\text{C}$ 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。(1)

	参数	测试条件		最小值	典型值	最大值	单位
t _F	输出下降时间 80% 至 20%(15)			175	300		ps
LVDS 输出 (CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*)							
f _{CLKout_FS}	最大输出频率 全 V _{OD} 摆幅(10) (11)	V _{OD} ≥ 250mV , R _L = 100 Ω 差分		1.0	1.6		GHz
f _{CLKout_RS}	最大输出频率 降低的 V _{OD} 摆幅(10) (11)	V _{OD} ≥ 200mV , R _L = 100 Ω 差分		1.5	2.1		GHz
Jitter _{ADD}	附加 RMS 抖动 , 积分带宽 10kHz 到 20MHz(15) (6) (16)	R _L = 100Ω 差分	CLKin : 100MHz , 压摆率 ≥ 3V/ns	94	115	fs	
			CLKin : 156.25MHz , 压摆率 ≥ 3V/ns	70	90		
Jitter _{ADD}	附加 RMS 抖动 积分带宽 1MHz 到 20MHz(6)	V _{cco} = 3.3V , R _L = 100 Ω 差分	CLKin : 100MHz , 压摆率 ≥ 3V/ns	89		fs	
			CLKin : 156.25MHz , 压摆率 ≥ 2.7V/ns	77			
			CLKin : 625MHz , 压摆率 ≥ 3V/ns	37			
本底噪声	本底噪声 f _{OFFSET} ≥ 10MHz(8) (9)	V _{cco} = 3.3V , R _L = 100 Ω 差分	CLKin : 100MHz , 压摆率 ≥ 3V/ns	-159.5		dBc/Hz	
			CLKin : 156.25MHz , 压摆率 ≥ 2.7V/ns	-157.0			
			CLKin : 625MHz , 压摆率 ≥ 3V/ns	-152.7			
占空比	占空比(10)	50% 输入时钟占空比		45%	55%		
V _{OD}	输出电压摆幅(4)	T _A = 25°C , 直流测量 , R _L = 100 Ω 差分		250	400	450	mV
Δ V _{OD}	针对互补输出状态的 V _{OD} 幅值变化			-50		50	mV
V _{OS}	输出失调电压			1.125	1.25	1.375	V
Δ V _{OS}	针对互补输出状态的 V _{OS} 幅值变化			-35		35	mV
I _{SA} I _{SB}	单端输出短路电流	T _A = 25°C , 单端输出短接至 GND		-24		24	mA
I _{SAB}	差分输出短路电流	互补输出端连接在一起		-12		12	mA
t _R	输出上升时间 20% 至 80%(15)	长达 10 英寸的均匀传输线路 , 具有 50 Ω 特性阻抗 , R _L = 100 Ω 差分 , C _L ≤ 5pF		175	300		ps
t _F	输出下降时间 80% 至 20%(15)			175	300		ps
HCSL 输出 (CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*)							

6.5 电气特性 (续)

除非另有说明：V_{CC} = 3.3V ± 5%，V_{CCO} = 3.3V ± 5%，2.5V ± 5%，-40°C ≤ T_A ≤ 85°C，CLKin 采用差分驱动，输入压摆率 ≥ 3V/ns。典型值表示在 V_{CC} = 3.3V、V_{CCO} = 3.3V、T_A = 25°C 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。(1)

	参数	测试条件		最小值	典型值	最大值	单位
f _{CLKout}	输出频率范围 ⁽¹⁰⁾	R _L = 50 Ω 至 GND , C _L ≤ 5pF		DC		800	MHz
抖动 ADD_PCIE	PCIe 7.0 ⁴ 的附加 RMS 相位抖动	PLL BW : 0.5 - 1MHz ; CDR = 10MHz		2.79	6.28	10.1	fs
	PCIe 6.0 ⁴ 的附加 RMS 相位抖动	PLL BW : 0.5 - 1MHz ; CDR = 10MHz	CLKin : 100MHz , 压摆率 ≥ 2V/ns	4.00	8.99	14.3	
	PCIe 5.0 ⁴ 的附加 RMS 相位抖动		PCIe5.0 滤波器	3.64	12.9	23.6	
	PCIe 3.0 的附加 RMS 相位抖动 ⁽¹⁰⁾	PCIe 第 3 代 , PLL BW = 2MHz-5MHz , CDR = 10MHz	CLKin : 100MHz , 压摆率 ≥ 0.6V/ns	15.9	36.2	56.3	
	PCIe 4.0 ⁽⁴⁾ 的附加 RMS 相位抖动	PCIe 第 4 代 , PLL BW = 2MHz-5MHz , CDR = 10MHz	CLKin : 100MHz , 压摆率 ≥ 1.8V/ns	15.9	36.2	56.3	
Jitter _{ADD}	附加 RMS 抖动 积分带宽 1MHz 到 20MHz ⁽⁶⁾	V _{cco} = 3.3V , R _T = 50 Ω 至 GND	CLKin : 100MHz , 压摆率 ≥ 3V/ns	77		fs	
			CLKin : 156.25MHz , 压摆率 ≥ 2.7V/ns	86			
本底噪声	本底噪声 f _{OFFSET} ≥ 10MHz ^{(8) (9)}	V _{cco} = 3.3V , R _T = 50 Ω 至 GND	CLKin : 100MHz , 压摆率 ≥ 3V/ns	-161.3		dBc/Hz	
			CLKin : 156.25MHz , 压摆率 ≥ 2.7V/ns	-156.3			
占空比	占空比 ⁽¹⁰⁾	50% 输入时钟占空比	CLKin ≤ 400MHz	45%		55%	
V _{OH}	输出高电压	T _A = 25°C , 直流测量 ,		520	810	920	mV
V _{OL}	输出低电压			-150	0.5	150	mV
V _{CROSS}	绝对交叉电压 ^{(10) (12)}	R _L = 50 Ω 至 GND , C _L ≤ 5pF	CLKin ≤ 400MHz	160	350	460	mV
Δ V _{CROSS}	V _{CROSS} 的总变化 ^{(10) (12)}					140	mV
t _R	输出上升时间 20% 至 80% ^{(15) (12)}	250MHz , 长达 10 英寸的均匀传输线路 , 具有 50 Ω 特性阻抗 , R _L = 50 Ω 至 GND , C _L ≤ 5pF			300	500	ps
t _F	输出下降时间 80% 至 20% ^{(15) (12)}				300	500	ps

6.5 电气特性 (续)

除非另有说明： $V_{CC} = 3.3V \pm 5\%$ ， $V_{CCO} = 3.3V \pm 5\%$ ， $2.5V \pm 5\%$ ， $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ ，CLKin 采用差分驱动，输入压摆率 $\geq 3V/ns$ 。典型值表示在 $V_{CC} = 3.3V$ 、 $V_{CCO} = 3.3V$ 、 $T_A = 25^{\circ}C$ 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。(1)

	参数	测试条件		最小值	典型值	最大值	单位
LVCMOS 输出 (REFout)							
f _{CLKout}	输出频率范围 ⁽¹⁰⁾	C _L ≤ 5pF		DC	250		MHz
Jitter _{ADD}	附加 RMS 抖动 积分带宽 1MHz 到 20MHz ⁽⁶⁾	V _{cco} = 3.3V , C _L ≤ 5pF	100MHz, 输入压摆率 ≥ 3V/ns		95		fs
本底噪声	本底噪声 f _{OFFSET} ≥ 10MHz ^{(8) (9)}	V _{cco} = 3.3V , C _L ≤ 5pF	100MHz, 输入压摆率 ≥ 3V/ns		-159.3		dBc/Hz
占空比	占空比 ⁽¹⁰⁾	50% 输入时钟占空比		45%	55%		
V _{OH}	输出高电压	1mA 负载		V _{cco} - 0.1			V
V _{OL}	输出低电压			0.1			V
I _{OH}	输出高电平电流 (拉电流)	Vo = Vcco / 2	Vcco = 3.3V	28			mA
			Vcco = 2.5V	20			
I _{OL}	输出低电平电流 (灌电流)		Vcco = 3.3V	28			mA
			Vcco = 2.5V	20			
t _R	输出上升时间 20% 至 80% ^{(15) (12)}	250MHz, 长达 10 英寸的均匀传输线路, 具有 50 Ω 特性阻抗, R _L = 50 Ω 至 GND , C _L ≤ 5pF		225	400		ps
t _F	输出下降时间 80% 至 20% ^{(15) (12)}			225	400		ps
t _{EN}	输出使能时间 ⁽¹³⁾	C _L ≤ 5pF				3	周期
t _{DIS}	输出禁用时间 ⁽¹³⁾					3	周期

6.5 电气特性 (续)

除非另有说明：V_{cc} = 3.3V ± 5%，V_{cco} = 3.3V ± 5%，2.5V ± 5%，-40°C ≤ T_A ≤ 85°C，CLKin 采用差分驱动，输入压摆率 ≥ 3V/ns。典型值表示在 V_{cc} = 3.3V、V_{cco} = 3.3V、T_A = 25°C 条件下以及产品表征时的建议运行条件下最有可能达到的参数标准，不做保证。(1)

	参数	测试条件	最小值	典型值	最大值	单位
传播延迟和输出偏斜						
t _{PD_PECL}	传播延迟 CLKin-to-LVPECL (15)	R _T = 160 Ω 至 GND, R _L = 100 Ω 差分, C _L ≤ 5pF	180	360	540	ps
t _{PD_LVDS}	传播延迟 CLKin-to-LVDS (15)	R _L = 100 Ω 差分, C _L ≤ 5pF	200	400	600	ps
t _{PD_HCSL}	传播延迟 CLKin-to-HCSL (15) (12)	R _T = 50 Ω 至 GND, C _L ≤ 5pF	295	590	885	ps
t _{PD_CMOS}	传播延迟 CLKin-to-LVCMOS (15) (12)	C _L ≤ 5pF	V _{cco} = 3.3V	900	1475	2300
			V _{cco} = 2.5V	1000	1550	2700
t _{SK(O)}	输出偏斜 LVPECL/LVDS/HCSL (10) (12) (14)	相同缓冲器类型的任意两个 CLKout 之间的偏斜。各输出类型的负载条件与传播延迟规格中的负载条件相同。		30	50	ps
t _{SK(PP)}	器件间输出偏斜 LVPECL/LVDS/HCSL (15) (12) (14)			80	120	ps

- 电气特性表列出了在所列推荐工作条件下的已验证规格，除非电气特性条件或注释另有修改或指定。典型规格仅为估计值，不能确保实现。
- 有关电流消耗和功率耗散计算的更多信息，请参阅 [电源相关建议](#)。除非测试条件中另有规定，否则 LMK00301 与 LMK00301A 的特性相同。
- 电源纹波抑制 (或 PSRR) 定义为：在 V_{cco} 电源上注入单音正弦信号 (纹波) 时，调制到时钟输出上的单边带相位杂散电平 (单位为 dBc)。假设没有幅度调制效应且调制指数较小，则可以使用测量的单边带相位杂散电平 (PSRR) 来计算峰值间确定性抖动 (DJ)，如下所示：DJ (ps pk-pk) = [(2 × 10^(PSRR/20)) / (π × f_{CLK})] × 1E12
- 有关 V_{ID} 和 V_{OD} 电压的定义，请参阅 [差分电压测量术语](#)。
- 必须满足规定的 ESR 要求，以验证振荡器电路是否存在启动问题。但是，要保持低于晶体的最大功率耗散 (驱动电平) 规格，可能需要使用 ESR 更低的晶体。有关晶体驱动电平注意事项，请参阅 [晶体接口](#)。
- 对于 100MHz 和 156.25MHz 时钟输入条件，使用方法 1 计算附加 RMS 抖动 (J_{ADD})：J_{ADD} = SQRT(J_{OUT}² - J_{SOURCE}²)，其中 J_{OUT} 是在输出驱动器上测得的总 RMS 抖动，J_{SOURCE} 是应用于 CLKin 的时钟源的 RMS 抖动。对于 625MHz 时钟输入条件，使用方法 2 近似计算附加 RMS 抖动：J_{ADD} = SQRT(2 × 10^(dBc/10)) / (2 × π × f_{CLK})，其中 dBc 是从 1MHz 到 20MHz 带宽内积分得到的输出本底噪声的相位噪声功率。相位噪声功率的计算公式如下：dBc = Noise Floor + 10 × log₁₀(20MHz - 1MHz)。对于 625MHz 频率下的附加 RMS 抖动，因为时钟源的 RMS 抖动未低至可实际使用方法 1 的程度，故采用方法 2 进行估算。请参阅 [典型特性](#) 中的“本底噪声与 CLKin 压摆率间的关系”和“RMS 抖动与 CLKin 压摆率间的关系”图。
- 来自 LMK03806 的 156.25MHz LVPECL 时钟源，具有 20MHz 晶体基准频率 (晶体器件型号：ECS-200-20-30BU-DU)。典型 J_{SOURCE} = 190fs RMS (10kHz 至 1MHz) 和 195fs RMS (12kHz 至 20MHz)。更多信息，请参阅 LMK03806 数据表。
- 输出缓冲器的本底噪声作为缓冲器的远端相位噪声进行测量。通常，此偏移 ≥ 10MHz，但对于较低的频率，由于测量设备限制，此测量偏移可低至 5MHz。
- 随着时钟输入压摆率降低，相位噪底降低。与单端时钟相比，由于共模噪声抑制，差分时钟输入 (LVDS、LVPECL) 在较低压摆率下不易受到本底噪声降低的影响。对差分时钟使用尽可能高的输入压摆率，以在器件输出端实现出色的本底噪声性能。
- 规格根据表征进行验证，而未经生产测试。
- 有关随频率变化的输出运行，请参阅 [典型特性](#)。
- HCSL 或 CMOS 的交流时序参数取决于输出电容负载。
- 输出使能时间是 REFout_EN 被拉至高电平后使能输出所需的输入时钟周期数。同样，输出禁用时间是 REFout_EN 被拉至低电平后禁用输出所需的输入时钟周期数。为了实现精确测量，REFout_EN 信号的边沿转换速度必须远快于输入时钟周期。
- 输出偏斜是在相同电源电压和温度条件下运行时，具有相同输出缓冲器类型和相同负载的任意两个输出之间的传播延迟差值。
- 参数根据设计指定，未经生产测试。
- 100MHz 和 156.25MHz 输入信号源自 Rohde & Schwarz SMA100A 低噪声信号发生器及正弦波-方波转换模块
- 当时钟输入频率 ≥ 100MHz 时，CLKinX 可采用单端 (LVCMOS) 驱动，输入摆幅最高可达 3.3Vpp。当时钟输入频率 < 100MHz 时，单端输入摆幅必须限制为最大 2Vpp，以防止输入饱和 (有关 2.5V/3.3V LVCMOS 时钟输入 (< 100MHz) 连接到 CLKinX 的接口信息，请参阅 [驱动时钟输入](#))。

6.6 典型特性

除非另有说明： $V_{CC} = 3.3V$ ， $V_{CCO} = 3.3V$ ， $T_A = 25^\circ C$ ，CLKin 以差分方式驱动，输入压摆率 $\geq 3V/ns$ 。请查阅典型特性末尾的表 6-1 以了解图注。

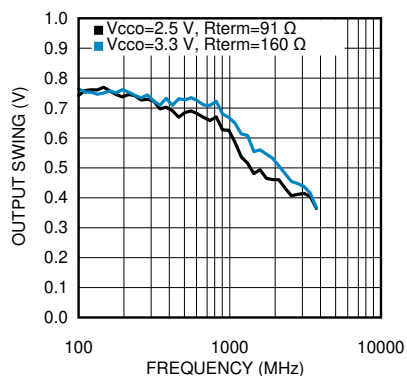


图 6-1. LVPECL 输出摆幅 (V_{OD}) 与频率间的关系

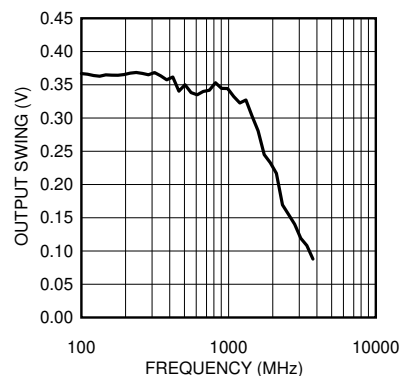


图 6-2. LVDS 输出摆幅 (V_{OD}) 与频率间的关系

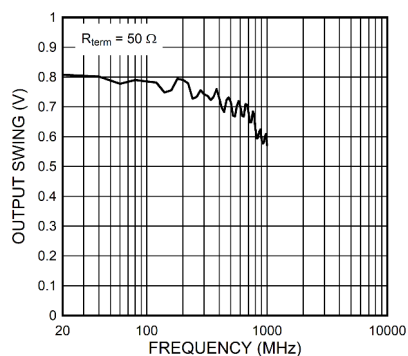


图 6-3. HCSL 输出摆幅 (V_{OD}) 与频率间的关系

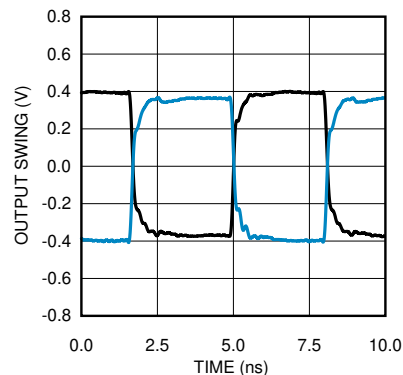


图 6-4. 156.25MHz 时的 LVPECL 输出摆幅

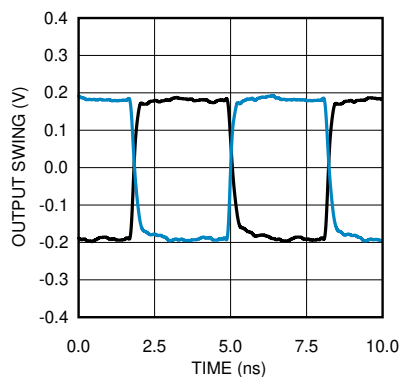


图 6-5. 156.25MHz 时的 LVDS 输出摆幅

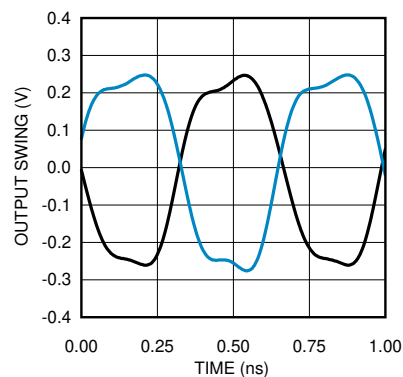


图 6-6. 1.5GHz 时的 LVPECL 输出摆幅

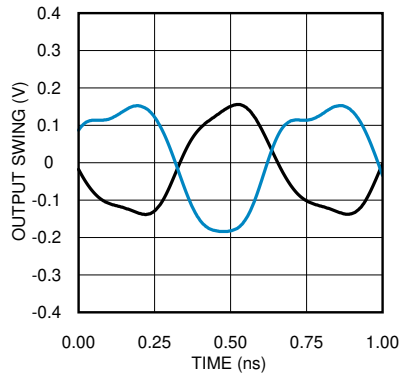


图 6-7. 1.5GHz 时的 LVDS 输出摆幅

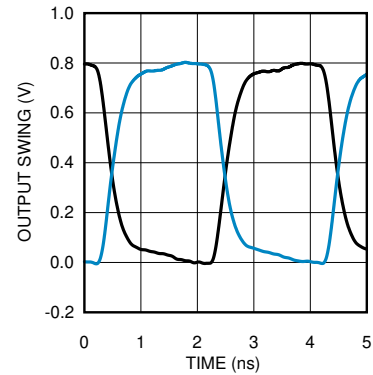


图 6-8. 250MHz 时的 HCSL 输出摆幅

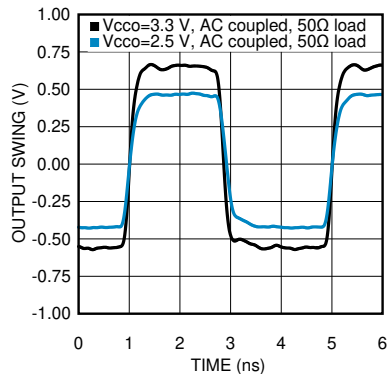


图 6-9. 250MHz 时的 LVCMOS 输出摆幅

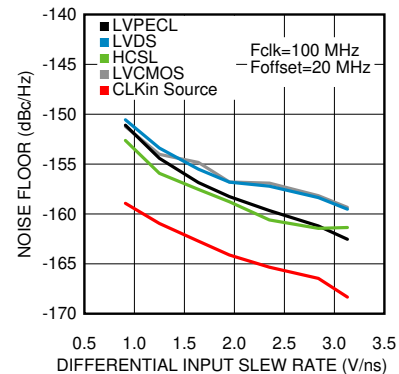


图 6-10. 100MHz 时本底噪声与 CLKIn 压摆率间的关系

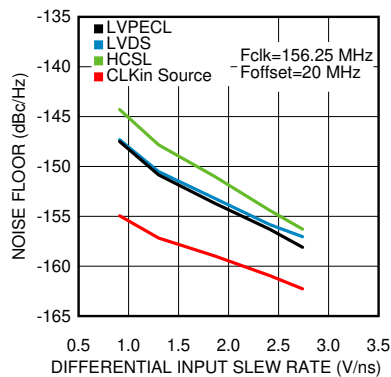


图 6-11. 156.25MHz 时本底噪声与 CLKIn 压摆率间的关系

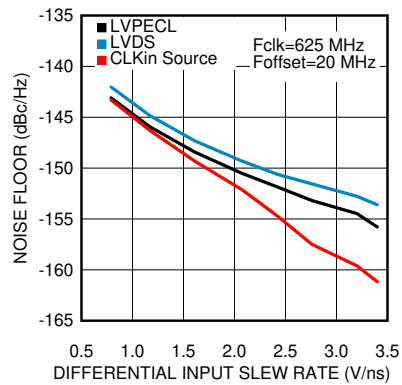
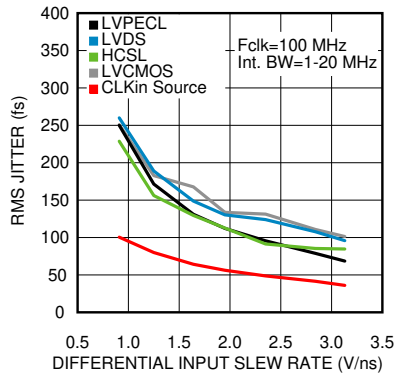
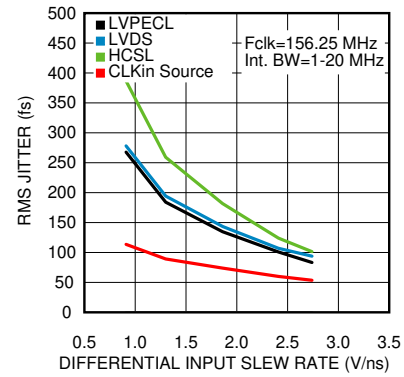


图 6-12. 625MHz 时本底噪声与 CLKIn 压摆率间的关系



请参阅“图注”表中的注释 1

图 6-13. 100MHz 时 RMS 抖动与 CLKIn 压摆率间的关系



请参阅“图注”表中的注释 1

图 6-14. 156.25MHz 时 RMS 抖动与 CLKIn 压摆率间的关系

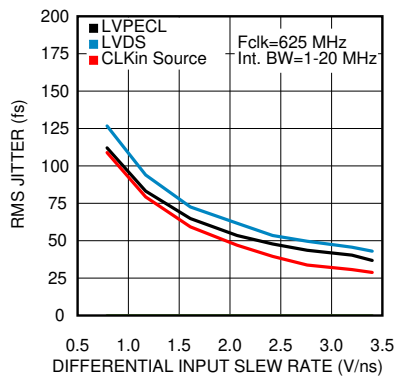


图 6-15. 625MHz 时 RMS 抖动与 CLKIn 压摆率间的关系

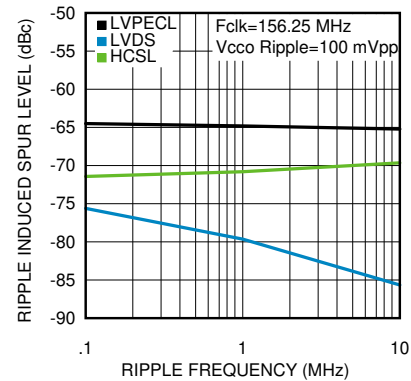


图 6-16. 156.25MHz 时 PSRR 与纹波频率间的关系

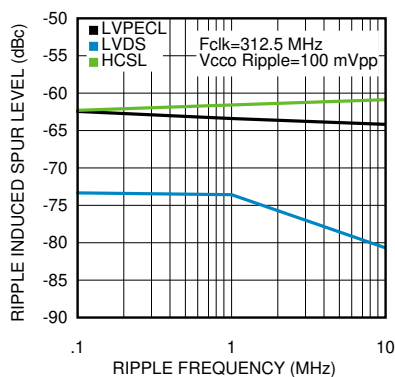


图 6-17. 312.5MHz 时 PSRR 与纹波频率间的关系

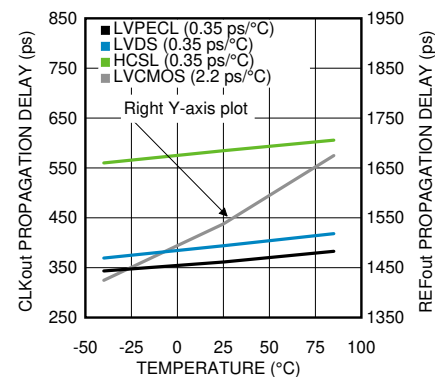
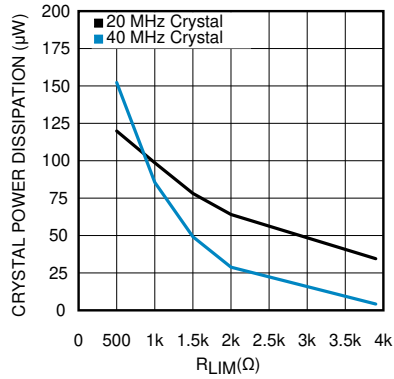
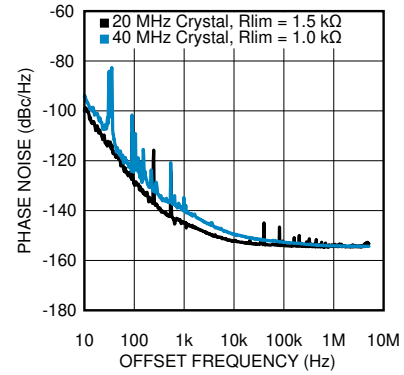


图 6-18. 传播延迟与温度间的关系



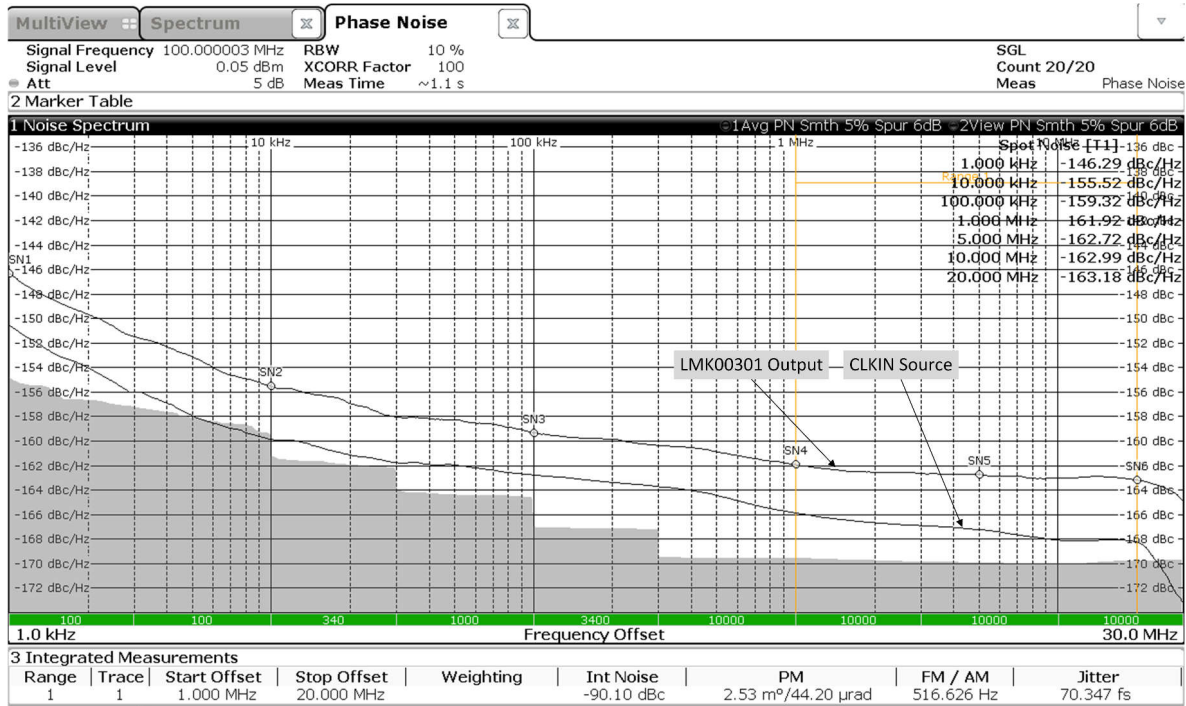
请参阅“图注”表中的注释 2 和注释 3

图 6-19. 晶体功率耗散与 R_{LIM} 间的关系



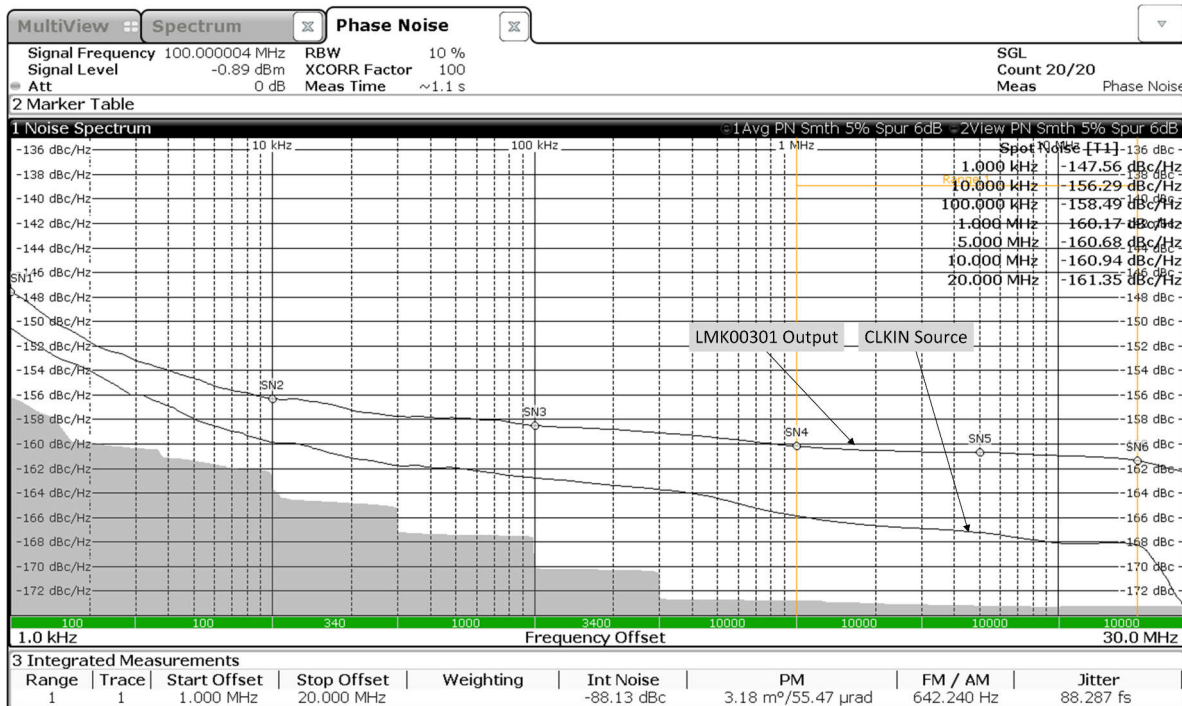
请参阅“图注”表中的注释 2 和注释 3

图 6-20. 晶体模式下的 LVDS 相位噪声



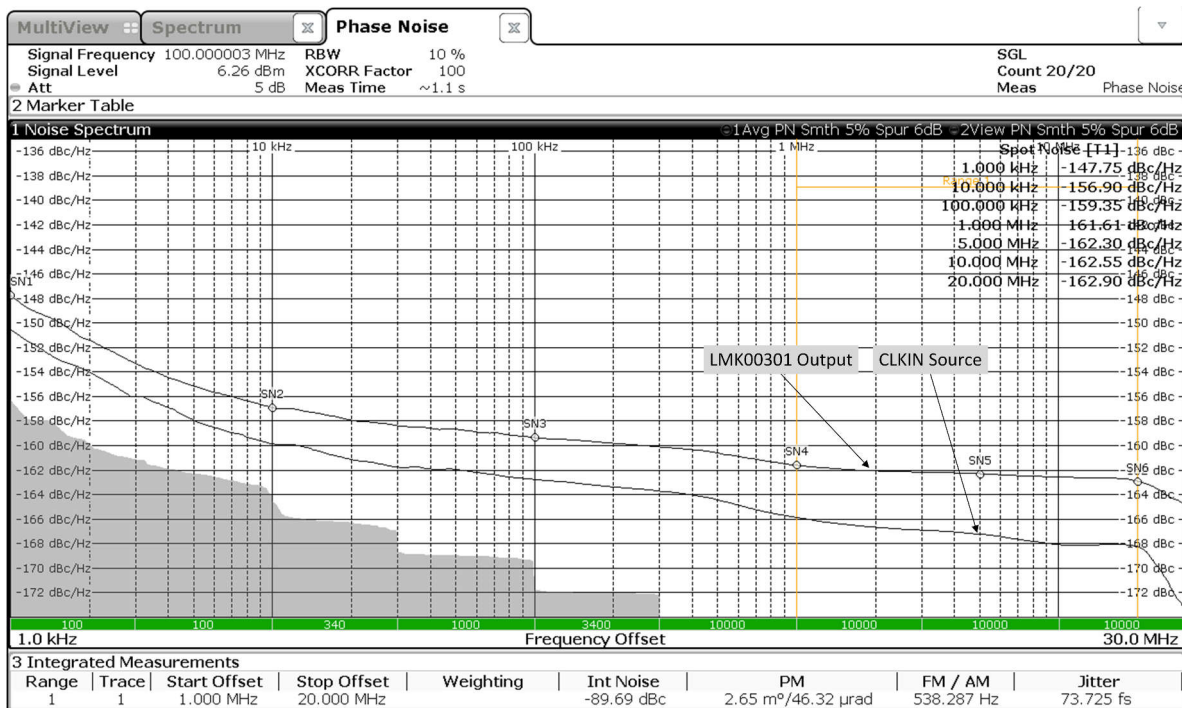
请参阅“图注”表中的注释 1

图 6-21. 100MHz 频率下的 HCSL 相位噪声



请参阅“图注”表中的注释 1

图 6-22. 100MHz 频率下的 LVDS 相位噪声



请参阅“图注”表中的注释 1

图 6-23. 100MHz 频率下的 LVPECL 相位噪声

表 6-1. 图注

注释	
(1)	图中的典型 RMS 抖动值显示了每种输出缓冲器类型的总输出 RMS 抖动 (J_{OUT}) 和源时钟 RMS 抖动 (J_{SOURCE})。根据这些值, 附加 RMS 抖动可计算为: $J_{ADD} = \text{SQRT}(J_{OUT}^2 - J_{SOURCE}^2)$ 。
(2)	20MHz 晶体特性: Abracon ABL 系列, AT 切割, $C_L = 18\text{pF}$, $C_0 = 4.4\text{pF}$ (测量值, 最大 7pF), $ESR = 8.5\Omega$ (测量值, 最大 40Ω), 驱动电平 = 1mW (最大值, 典型值 100μW)。
(3)	40MHz 晶体特性: Abracon ABLS2 系列, AT 切割, $C_L = 18\text{pF}$, $C_0 = 5\text{pF}$ (测量值, 最大 7pF), $ESR = 5\Omega$ (测量值, 最大 40Ω), 驱动电平 = 1mW (最大值, 典型值 100μW)。

7 参数测量信息

7.1 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，这会导致用户在阅读数据表或与其他工程师交流时产生混淆。本节将讨论差分信号的测量和描述，以便读者在使用差分信号时能够理解和辨别这两种不同的定义。

差分信号的第一种定义是反相和同相信号之间电势差的绝对值。这种测量的符号通常为 V_{ID} 或 V_{OD} ，具体取决于说明对象是输入电压还是输出电压。

差分信号的第二种定义测量的是同相信号相对于反相信号的电势。这种测量的符号为 V_{SS} ，该参数通过计算得出。在 IC 中，该信号相对于接地是不存在的，它仅相对于差分对存在。可以用具有浮动基准的示波器来直接测量 V_{SS} ，否则可以将该值计算为第一种描述中所述的 V_{OD} 值的两倍。

图 7-1 并排显示了针对输入的两种不同定义，而图 7-2 并排显示了针对输出的两种不同定义。 V_{ID} (或 V_{OD}) 定义中给出了 V_A 和 V_B (或 V_{OH} 和 V_{OL}) 直流电平，同相信号和反相信号均在这两种电平之间切换 (相对于接地)。在 V_{SS} 输入和输出定义中，如果将反相信号视为基准电势，则此时同相信号的电势将超出以接地为基准时的同相电势范围。因此，可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常定义为电压 (V)， V_{SS} 通常定义为电压峰峰值 (V_{PP})。

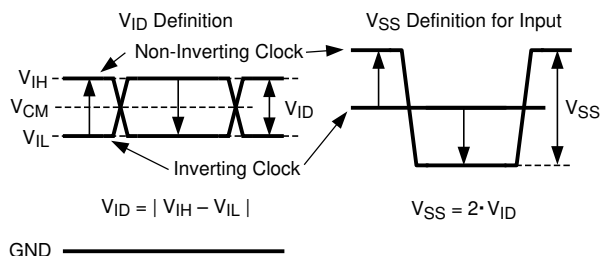


图 7-1. 差分输入信号的两种不同定义

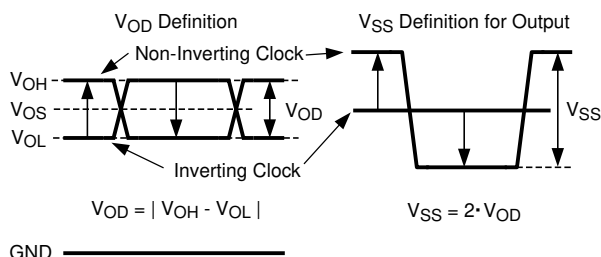


图 7-2. 差分输出信号的两种不同定义

另请参阅 [AN-912 通用数据传输参数及其定义](#) 应用手册。

8 详细说明

8.1 概述

LMK00301 是一款具有低附加抖动的 10 路输出差分时钟扇出缓冲器，工作频率可高达 3.1GHz。该器件配备一个 3:1 输入多路复用器（具有可选晶体振荡器输入）、两组 5 对差分输出（配备多模式缓冲器，兼容 LVPECL、LVDS、HCSL 或高阻态）、一个 LVCMOS 输出以及三个独立的输出缓冲器电源。输入选择和输出缓冲器模式通过引脚绑定进行控制。该器件采用 48 引脚 WQFN 封装，并利用了 LMK04800 系列时钟调节器中大量应用的高速、低噪声电路设计。

8.2 功能方框图

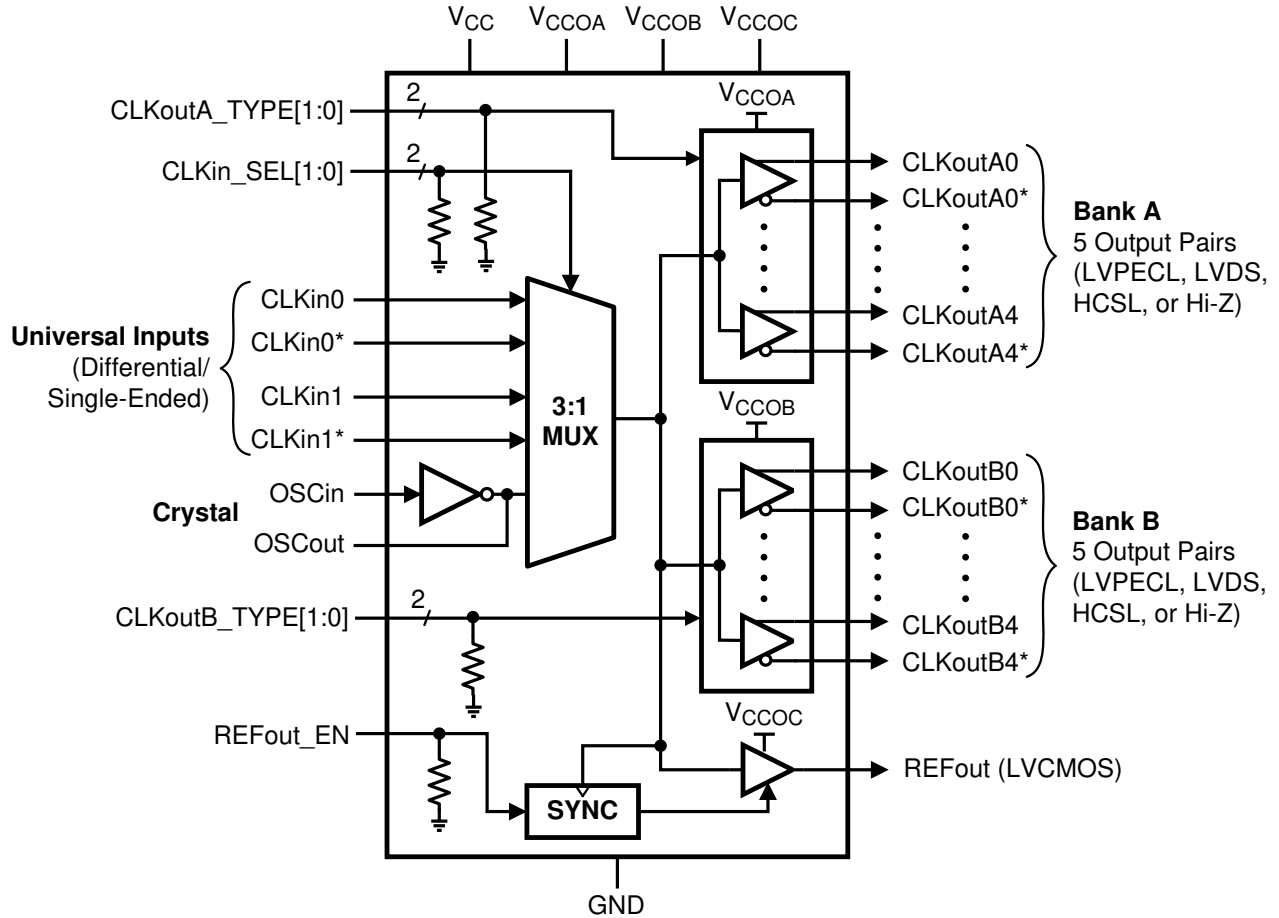


图 8-1. 功能方框图

8.3 特性说明

8.3.1 V_{CC} 和 V_{CCO} 电源

LMK00301 具有独立的 3.3V 内核电源 (V_{CC}) 和三个独立的 3.3V 或 2.5V 输出电源 (V_{CCOA} 、 V_{CCOB} 、 V_{CCOC})。输出电源在 2.5V 电压下工作可实现更低的功耗，并使输出电平与 2.5V 接收器器件兼容。LVPECL (V_{OH} 、 V_{OL}) 和 LVCMOS (V_{OH}) 的输出电平以各自的 V_{CCO} 电源为基准，而 LVDS 和 HCSL 的输出电平在规定的 V_{CCO} 范围内相对恒定。有关功率耗散、电源旁路和电源纹波抑制 (PSRR) 等其他电源相关注意事项，请参阅 [电源相关建议](#)。

备注

请务必确认 V_{CCO} 电压未超过 V_{CC} 电压，以防止内部 ESD 保护电路导通。

8.4 器件功能模式

8.4.1 时钟输入

输入时钟可从 CLKIn0/CLKIn0*、CLKIn1/CLKIn1* 或 OSCin 中选择。时钟输入选择通过 CLKIn_SEL[1:0] 输入控制，如表 8-1 所示。有关时钟输入要求，请参阅 [驱动时钟输入](#)。选择 CLKIn0 或 CLKIn1 后，晶体电路断电。选择 OSCin 后，晶体振荡器电路启动，并且时钟将分配给所有输出。有关更多信息，请参阅 [晶体接口](#)。或者，OSCin 可以由单端时钟 (最高 250MHz) 而不是晶体驱动。

表 8-1. 输入选择

CLKIn_SEL1	CLKIn_SEL0	所选输入
0	0	CLKIn0, CLKIn0*
0	1	CLKIn1, CLKIn1*
1	X	OSCin

表 8-2 显示选择 CLKIn0/CLKIn0* 或 CLKIn1/CLKIn1* 时输出逻辑状态与输入状态间的关系。选择 OSCin 时，输出状态是 OSCin 输入状态的反相复制。

表 8-2. CLKIn 输入与输出状态间的关系

所选 CLKIn 的状态	已使能输出的状态
CLKInX 和 CLKInX* 输入悬空	逻辑低电平
CLKInX 和 CLKInX* 输入短接	逻辑低电平
CLKIn 逻辑低电平	逻辑低电平
CLKIn 逻辑高电平	逻辑高电平

8.4.2 时钟输出

A 组和 B 组输出的差分输出缓冲器类型可以分别使用 CLKoutA_TYPE[1:0] 和 CLKoutB_TYPE[1:0] 输入进行配置，如表 8-3 所示。对于不需要所有差分输出的应用，任何未使用的输出引脚都必须以最小的覆铜长度保持悬空（请参阅下文注释），以最大限度地减小电容和潜在耦合并降低功耗。如果未使用整个输出组，TI 建议禁用（高阻态）该组以降低功耗。有关输出接口和端接技术的更多信息，请参阅[终止和使用时钟驱动器](#)。

备注

为实现最佳焊接效果，任何未使用输出引脚的最小布线长度都必须延长至包含引脚阻焊层。这样，在回流焊过程中，焊料具有与连接引脚相同的覆铜区域。这样可以形成良好、均匀的圆角焊点，有助于在回流焊过程中保持 IC 水平。

表 8-3. 差分输出缓冲器类型选择

CLKoutX_TYPE1	CLKoutX_TYPE0	CLKoutX 缓冲器类型 (A 组或 B 组)
0	0	LVPECL
0	1	LVDS
1	0	HCSL
1	1	禁用（高阻态）

8.4.2.1 基准输出

基准输出 (REFout) 提供所选输入时钟的 LVCMOS 复制信号。LVCMOS 输出高电平以 V_{CCO} 电压为基准。可以使用使能输入引脚 REFout_EN 来使能或禁用 REFout，如表 8-4 所示。

表 8-4. 基准输出使能

REFout_EN	REFout 状态
0	禁用（高阻态）
1	启用

REFout_EN 输入由 SYNC 块与所选输入时钟进行内部同步。此同步功能可防止在使能或禁用时 REFout 时钟上出现毛刺和短脉冲。REFout_EN 切换为高电平后，将在输入时钟的三个周期 (t_{EN}) 内使能 REFout。REFout_EN 切换为低电平后，将在输入时钟的三个周期 (t_{DIS}) 内禁用 REFout。

禁用 REFout 后，可以使用电阻负载将输出设置为预先确定的电平。例如，如果 REFout 配置为 $1k\Omega$ 负载接地，则禁用时输出被拉至低电平。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

常见的 PCIe 应用（例如服务器卡）由多个构建块组成，这些构建块都需要基准时钟。在最常用的通用 RefClk 架构中，时钟从单个源分配给 RX 和 TX。这需要一个具有高输出数的时钟发生器，或一个类似 LMK00301 的缓冲器。缓冲器可简化时钟树，并提供成本和空间优化型解决方案。使用缓冲器分配时钟时，需考虑附加抖动。LMK00301 是一款超低附加抖动的 PCIe 时钟缓冲器，专为当前和未来的所有各代 PCIe 而设计。

9.2 典型应用

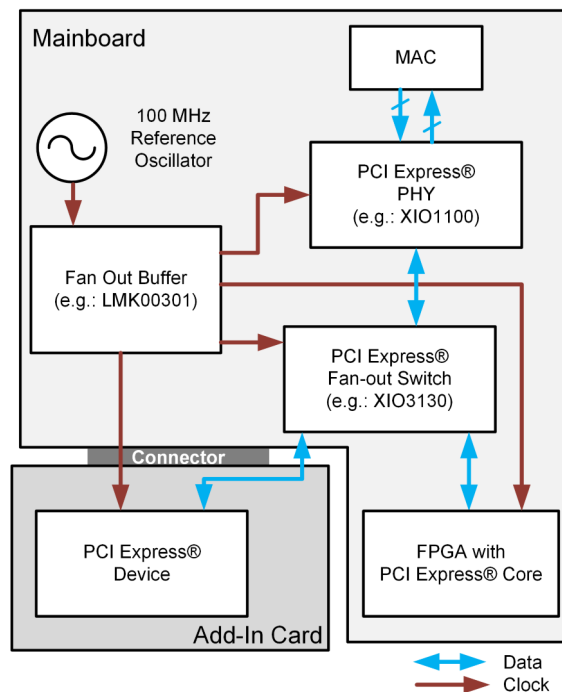


图 9-1. PCI Express 应用示例

9.2.1 设计要求

9.2.1.1 驱动时钟输入

LMK00301 具有两个通用输入（CLKin0/CLKin0* 和 CLKin1/CLKin1*），可接受符合 [电气特性](#) 中规定输入要求的交流耦合或直流耦合 3.3V 或 2.5V LVPECL、LVDS、CML、SSTL 及其他差分 and 单端信号。由于具有宽输入共模电压范围 (V_{CM}) 和输入电压摆幅 (V_{ID})/动态范围，该器件可以接受各种信号。对于 50% 占空比和直流平衡信号，还可以采用交流耦合将输入信号移位到 V_{CM} 范围内。请参阅 [终止和使用时钟驱动器](#) 以了解信号接口和端接技术。

为了实现可能的更佳相位噪声和抖动性能，输入必须具有 3V/ns（差分）或更高的高压摆率。以较低的压摆率驱动输入可降低本底噪声和抖动。因此，TI 建议使用差分信号输入而不是单端信号，因为这种信号输入通常可提供更高的压摆率和共模抑制。请参阅 [典型特性](#) 部分中的 [本底噪声与 CLKin 压摆率间的关系](#) 和 [RMS 抖动与 CLKin 压摆率间的关系](#) 图。

虽然 TI 建议使用差分信号输入来驱动 CLKIn/CLKIn* 对，但如果时钟符合 [电气特性](#) 中列出的 CLKIn 引脚的单端输入规格，也可以使用单端时钟来驱动。对于较大的单端输入信号（例如 3.3V 或 2.5V LVCMOS），需在输入端附近放置一个 50Ω 负载电阻器，用于信号衰减以防止输入过驱，以及用于线路端接以最大程度地减少反射。同样，单端输入压摆率必须尽可能高，以更大限度地减少性能下降。CLKIn 输入的内部偏置电压约为 1.4V，因此输入可以进行交流耦合，如图 9-2 所示。LVCMOS 驱动器的输出阻抗加上 Rs 必须接近 50Ω，以匹配传输线路和负载终端的特征阻抗。

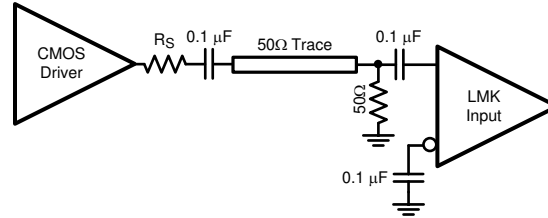


图 9-2. 交流耦合单端 LVCMOS 输入

单端时钟也可以直流耦合到 CLKInX，如图 9-3 所示。在 CLKInX 输入端附近放置 50Ω 负载电阻，用于信号衰减和线路端接。由于驱动器单端摆幅的一半 ($V_{O,PP}/2$) 驱动 CLKInX，因此 CLKInX* 必须从外部偏置到衰减输入摆幅的中点电压 ($(V_{O,PP}/2) \times 0.5$)。外部偏置电压必须在规定的输入共模电压 (V_{CM}) 范围内。这可以通过使用 kΩ 范围内的外部偏置电阻器 (R_{B1} 和 R_{B2}) 或另一个低噪声电压基准来实现。这验证了输入摆幅在输入压摆率最高点是否超过阈值电压。

如果 CLKInX 输入端采用 50Ω 负载直流端接时，LVCMOS 驱动器无法实现足够摆幅，如图 9-3 所示，则可考虑通过电容器 (C_{AC}) 将 50Ω 负载端接至地。这种交流端接可阻断驱动器上的直流负载电流，因此输入端电压摆幅由源端 ($R_o + R_s$) 与 50Ω 负载电阻构成的分压电路决定。 C_{AC} 的值取决于 50Ω 传输线路的布线延迟 T_d ；

$$C_{AC} \geq 3 \times T_d / 50\Omega \quad (1)$$

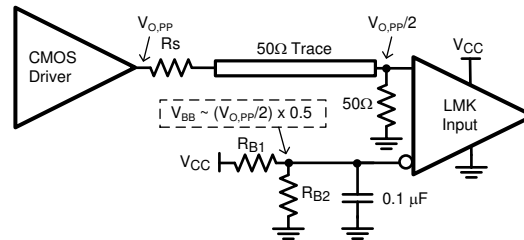


图 9-3. 单端 LVCMOS 输入，直流耦合并带共模偏置

如果未使用晶体振荡器电路，则可以使用单端外部时钟驱动 OSCin 输入，如图 9-4 所示。输入时钟必须交流耦合到 OSCin 引脚（该引脚具有内部生成的输入偏置电压），并且 OSCout 引脚必须保持悬空。虽然 OSCin 提供了一个多路复用外部时钟的备用输入，但 TI 建议使用任一通用输入 (CLKInX)，因为这些输入可提供更高的工作频率、更好的共模和电源噪声抑制，并在电源电压和温度变化范围内具有更优的性能。

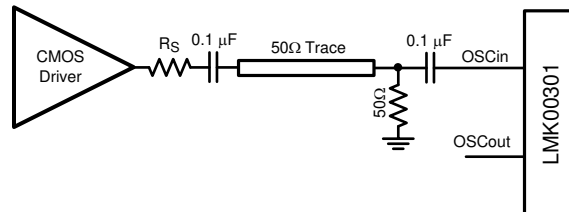


图 9-4. 使用单端输入驱动 OSCin

9.2.1.2 晶体接口

LMK00301 具有一个集成式晶体振荡器电路，可支持基频 AT 切割晶体。图 9-5 显示了晶体接口。

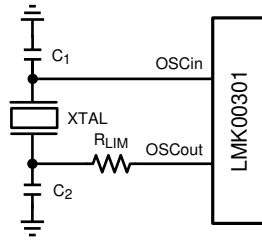


图 9-5. 晶体接口

负载电容 (C_L) 取决于晶体，但通常约为 18pF 至 20pF。虽然为晶体指定了 C_L ，但器件的 OSCin 输入电容 (典型值 $C_{IN} = 4\text{pF}$) 和 PCB 杂散电容 (C_{STRAY} 约为 1pF 到 3pF) 会影响分立式负载电容值 C_1 和 C_2 。

对于并联谐振电路，分立式电容值可按如下方式计算：

$$C_L = (C_1 \times C_2) / (C_1 + C_2) + C_{IN} + C_{STRAY} \quad (2)$$

通常， $C_1 = C_2$ 以获得最佳对称性，因此可以仅使用 C_1 重写方程式 2：

$$C_L = C_1^2 / (2 \times C_1) + C_{IN} + C_{STRAY} \quad (3)$$

最后，求解 C_1 ：

$$C_1 = (C_L - C_{IN} - C_{STRAY}) \times 2 \quad (4)$$

电气特性 为晶体接口规格提供了验证晶体启动的条件，但电气特性未规定晶体功率耗散。设计人员需确认晶体功率耗散未超过晶体制造商指定的最大驱动电平。过度驱动晶体会导致过早老化、频率移位，并最终导致故障。驱动电平必须保持在足以启动和保持稳态运行所需的电平。

晶体中耗散的功率 P_{XTAL} 可通过以下公式计算：

$$P_{XTAL} = I_{RMS}^2 \times R_{ESR} \times (1 + C_0/C_L)^2 \quad (5)$$

其中

- I_{RMS} 是通过晶体的 RMS 电流。
- R_{ESR} 为晶体规定的最大等效串联电阻
- C_L 是为晶体规定的负载电容
- C_0 是为晶体规定的最小并联电容

I_{RMS} 可以通过电流探头（例如 Tektronix CT-6 或等效器件）进行测量，该探头放在连接到 OSCout 的晶体引脚上（振荡电路处于激活状态）。

如图 9-5 所示，必要时可以使用外部电阻器 R_{LIM} 限制晶体驱动电平。如果所选晶体中耗散的功率高于在 R_{LIM} 短接时为晶体规定的驱动电平，则必须使用更大的电阻值以避免过驱晶体。但是，如果晶体中耗散的功率低于 R_{LIM} 短接时的驱动电平，则 R_{LIM} 可以使用零值。作为起始值， R_{LIM} 的建议值为 1.5kΩ。

9.2.2 详细设计过程

9.2.2.1 终止和使用时钟驱动器

在端接时钟驱动器时，请牢记以下有关实现出色相位噪声和抖动性能的指导原则：

- 为了实现良好的阻抗匹配以防止反射，必须遵循传输线路理论。
- 时钟驱动器必须具有适当的负载。
 - LVDS 输出为电流驱动型，需依赖闭合电流环路才能工作。
 - HCSL 驱动器是开关电流输出，需要通过 50Ω 端接电阻器接地的直流路径。
 - LVPECL 输出为开射极型，需接地的直流路径才能工作。
- 为了确保接收器正常工作，必须向接收器发送偏置到指定直流偏置电平（共模电压）的信号。一些接收器具有自偏置输入，可自动偏置到适当的电压电平；在这种情况下，信号通常必须是交流耦合的。

只要遵循上述指导原则，就可以使用 LVDS 或 LVPECL 驱动器驱动非 LVPECL 或非 LVDS 接收器。需查阅受驱动的接收器或输入的数据表，以确定最佳的端接和耦合方法，并验证接收器是否偏置在最佳直流电压（共模电压）下。

9.2.2.1.1 直流耦合差分操作的端接

对于 LVDS 驱动器的直流耦合操作，在尽可能靠近 LVDS 接收器的位置端接 100Ω 电阻器，如图 9-6 所示。

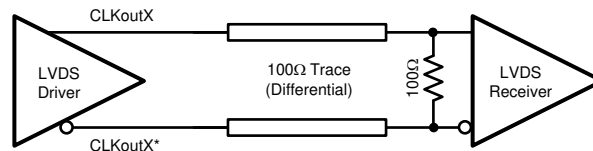


图 9-6. 直流耦合差分 LVDS 操作 (接收器无偏置)

对于 HCSL 驱动器的直流耦合操作，在驱动器输出端附近使用 50Ω 电阻器接地，如图 9-7 所示。可以使用串联电阻器 R_s 来限制由快速瞬态电流引起的过冲。由于 HCSL 驱动器需要直流接地路径，因此不允许在输出驱动器和 50Ω 端接电阻器之间使用交流耦合。

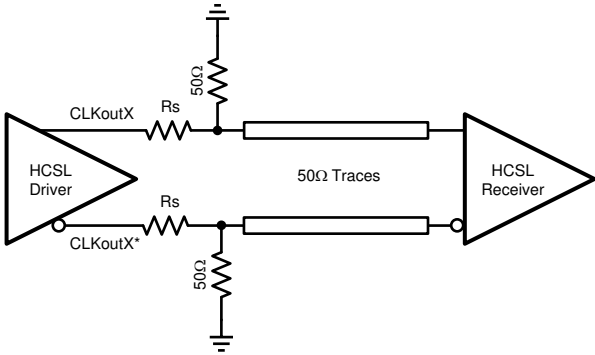


图 9-7. HCSL 操作，直流耦合

对于 LVPECL 驱动器的直流耦合操作，在 $V_{CCO} - 2V$ 处端接 50Ω 电阻器，如图 9-8 所示。对于 V_{CCO} (输出驱动器电源电压) = 3.3V 和 2.5V 的情况，也可采用戴维南等效电路端接，如图 9-9 所示。在戴维南等效电路中，电阻分压器将输出端接电压 (V_{TT}) 设置为 $V_{CCO} - 2V$ 。

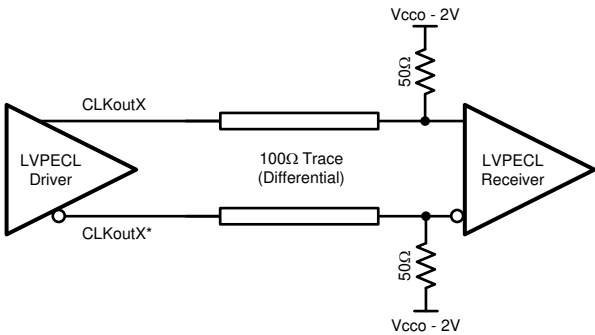


图 9-8. 直流耦合差分 LVPECL 操作

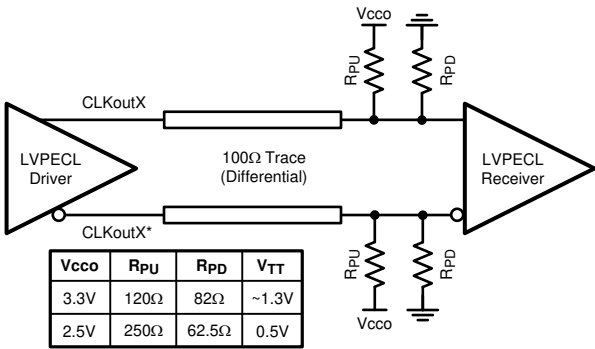


图 9-9. 直流耦合差分 LVPECL 操作 (戴维南等效电路)

9.2.2.1.2 交流耦合差分操作的端接

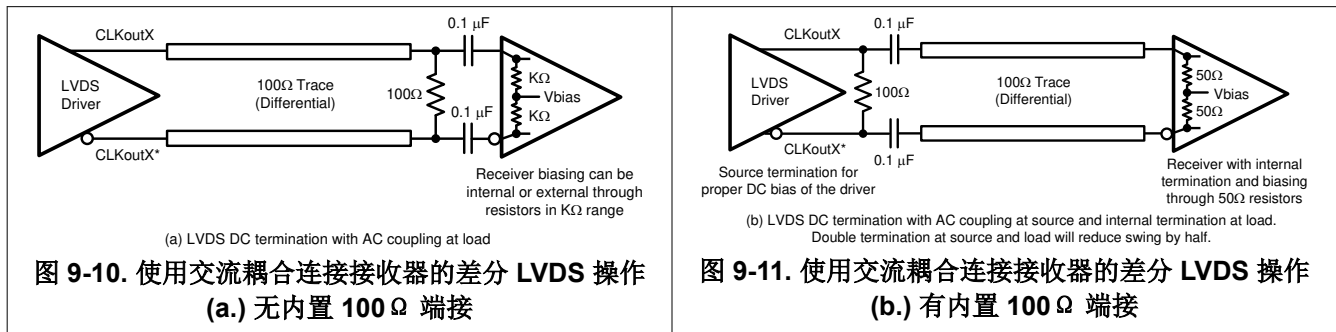
交流耦合可在驱动不同接收器标准时改变直流偏置电平（共模电压）。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压，因此请验证接收器是否偏置到其理想的直流电平。

使用 LVDS 驱动器驱动差分接收器时，可以通过添加直流阻断电容器对信号进行交流耦合；但是，需要在驱动器侧和接收器侧均建立适当的直流偏置点。推荐的端接方案取决于差分接收器是否集成了端接电阻。

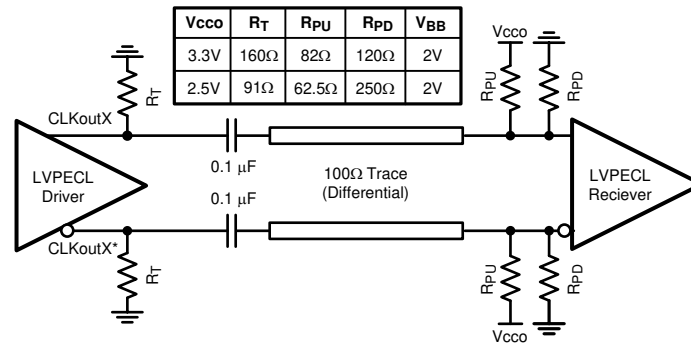
驱动无内置 $100\ \Omega$ 差分端接的差分接收器时，需将交流耦合电容置于负载端接电阻与接收器之间，为 LVDS 驱动器的正常偏置提供一条直流路径。图 9-10 展示了这种情况。负载端接电阻与交流耦合电容需尽可能靠近接收器输入端，以尽可能缩短支线长度。接收器可通过千欧级电阻实现内部偏置，或外部偏置至其共模输入范围内的参考电压。

驱动内置 $100\ \Omega$ 差分端接的差分接收器时，需在交流耦合电容前放置源端接电阻，为驱动器提供正常直流偏置（如图 9-11 所示）。但源端与负载端均接 $100\ \Omega$ 电阻（即双端接）时，LVDS 驱动器看到的等效电阻为 $50\ \Omega$ ，会导致输入端有效信号摆幅减半。如果自端接接收器要求输入摆幅大于 250mVpp （差分）且需交流耦合输入，则图 9-11 中双端接配置的 LVDS 驱动器可能无法满足最小输入摆幅要求；此时建议采用带交流耦合的 LVPECL 或 HCSL 输出驱动器形式，以满足自端接接收器的最小输入摆幅需求。

当对 LVDS 输出使用交流耦合时，可能会由于电容器充电而在时钟输出中观察到启动延迟。图 9-10 和图 9-11 中的示例 $0.1\ \mu\text{F}$ 电容，但该值可根据具体应用的启动要求调整。



LVPECL 驱动器需要一条直流接地路径。当对 LVPECL 信号进行交流耦合时，需在 LVPECL 驱动器附近采用 $160\ \Omega$ 发射极电阻器（ $V_{CC0}=2.5\text{V}$ 时为 $91\ \Omega$ ）来提供一条直流接地路径，如图 9-15 所示。为了使接收器正常运行，信号必须偏置到接收器指定的直流偏置电平（共模电压）。LVPECL 接收器的典型直流偏置电压（共模电压）为 2V 。此外，如图 9-12 所示，对于 $V_{CC0}=3.3\text{V}$ 和 2.5V 的情况，戴维南等效电路可作为有效端接。注意：该戴维南电路与图 9-9 中的直流耦合示例不同，因其分压电路用于设定接收器的输入共模电压。



9.2.2.1.3 单端操作的端接

平衡-非平衡变压器可与 LVDS 或 LVPECL 驱动器一起使用，将平衡、差分信号转换为不平衡的单端信号。

将 LVPECL 驱动器用作一个或两个独立的 800mVpp 信号。当对 CLKoutX/CLKoutX* 对中的一个 LMK00301 LVPECL 驱动器进行直流耦合时，请确保正确端接未使用的驱动器。当直流耦合其中一个 LMK00301 LVPECL 驱动器时，端接方式必须为 50Ω 接至 $V_{CCO} - 2V$ ，如图 9-13 所示。在 $V_{CCO} = 3.3V$ 的情况下，戴维南等效电路也是有效的端接，如图 9-14 所示。

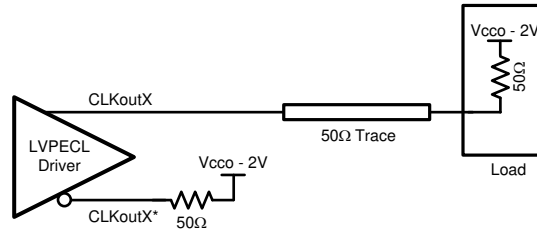


图 9-13. 直流耦合单端 LVPECL 操作

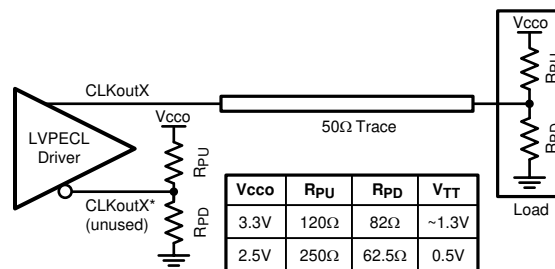


图 9-14. 直流耦合单端 LVPECL 操作（戴维南等效电路）

当对 LVPECL 驱动器进行交流耦合时，使用 160Ω 发射极电阻器（ $V_{CCO} = 2.5V$ 时为 91Ω ）来提供一条直流接地路径，并为接收器提供具有适当直流偏置电平的 50Ω 端接。LVPECL 接收器的典型直流偏置电压为 2V。如果不使用配套驱动器，则必须对配套驱动器进行适当的交流或直流端接。后一个交流耦合、单端 LVPECL 信号的示例可用于使用频谱分析仪或相位噪声分析仪测量单端 LVPECL 性能。使用大多数射频测试设备时，无需直流偏置点 (0VDC) 即可确保安全和正常运行。测试设备的内部 50Ω 端接电阻正确端接要测量的 LVPECL 驱动器，如图 9-15 所示。当只使用 CLKoutX/CLKoutX* 对中的一个 LVPECL 驱动器时，请确保正确端接未使用的驱动器。

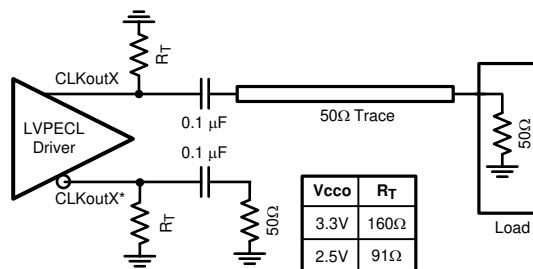


图 9-15. 交流耦合单端 LVPECL 操作

9.2.3 应用曲线

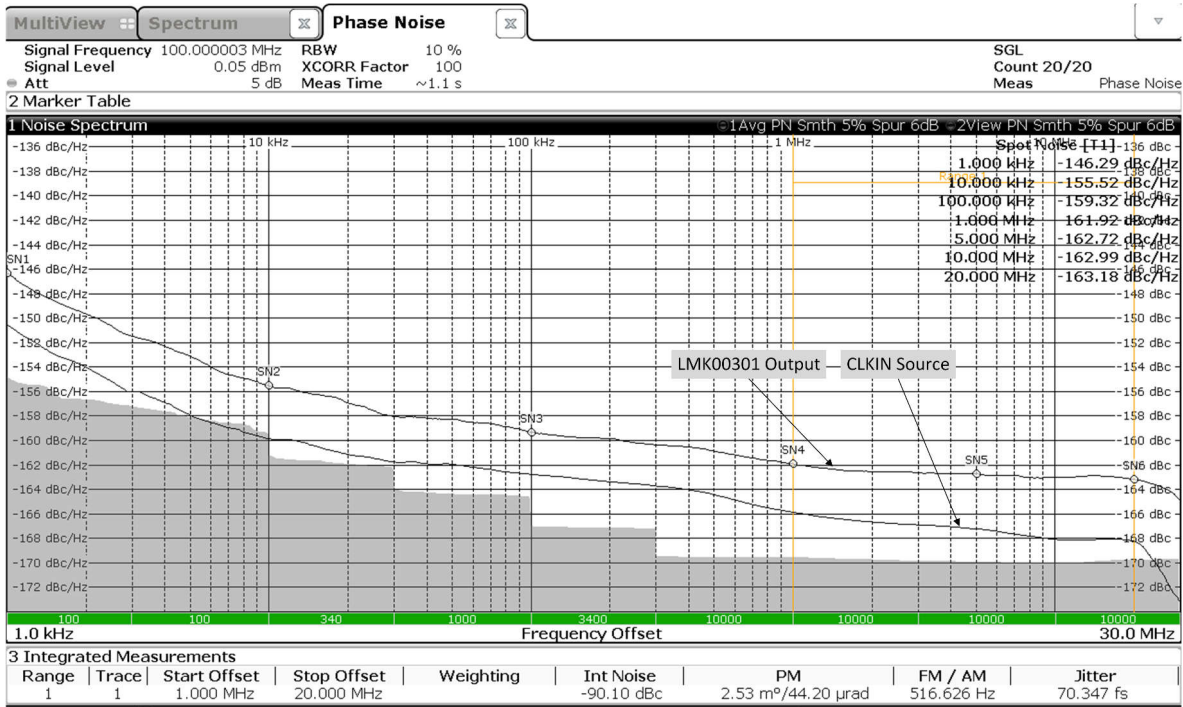


图 9-16. 100MHz 频率下的 HCSL 相位噪声

9.3 电源相关建议

9.3.1 电源时序

对于 LMK00301，当 V_{CC} 和 V_{CCO} 引脚由独立电源轨供电时，TI 对电源的建议是：这两个电源上电时应大致同时达到稳定调节点；断电时应同时降至地电位。采用同步或比例式电源时序可防止当 V_{CC} 先于 V_{CCO} 上电时可能出现的从 V_{CC} 到 V_{CCO} 引脚的内部电流。

对于 LMK00301A， V_{CC} 与 V_{CCO} 之间没无电源时序要求。

9.3.2 电流消耗和功率耗散计算

电气特性中指定的电流消耗值可用于计算任何器件配置的总功率耗散和 IC 功率耗散。使用方程式 6 计算总 V_{CC} 内核电源电流 (I_{CC_TOTAL})：

$$I_{CC_TOTAL} = I_{CC_CORE} + I_{CC_BANK_A} + I_{CC_BANK_B} + I_{CC_CMOS} \quad (6)$$

其中

- I_{CC_CORE} 是内核逻辑和输入块的电流，取决于所选输入 (CLKinX 或 OSCin)。
- $I_{CC_BANK_A}$ 是 A 组的电流，取决于输出类型 (I_{CC_PECL} 、 I_{CC_LVDS} 、 I_{CC_HCSL} ，禁用时为 0mA)。
- $I_{CC_BANK_B}$ 是 B 组的电流，取决于输出类型 (I_{CC_PECL} 、 I_{CC_LVDS} 、 I_{CC_HCSL} ，禁用时为 0mA)。
- I_{CC_CMOS} 是 LVCMOS 输出的电流 (如果禁用 REFout，则为 0mA)。

由于输出电源 (V_{CCOA} 、 V_{CCOB} 、 V_{CCOC}) 可以由 3 个独立的电压供电，因此必须分别计算相应的输出电源电流 ($I_{CCO_BANK_A}$ 、 $I_{CCO_BANK_B}$ 、 I_{CCO_CMOS})。

如果输出负载与指定条件相匹配，则 A 组或 B 组的 I_{CCO_BANK} 可直接从对应的输出电源电流规格 (I_{CCO_PECL} 、 I_{CCO_LVDS} 或 I_{CCO_HCSL}) 获取。否则，需按以下方式计算 I_{CCO_BANK} ：

$$I_{CCO_BANK} = I_{BANK_BIAS} + (N \times I_{OUT_LOAD}) \quad (7)$$

其中

- I_{BANK_BIAS} 是输出组偏置电流 (固定值)。
- I_{OUT_LOAD} 是每个负载输出对的直流负载电流。
- N 是组中已加载的输出对数 ($N = 0$ 到 5)。

表 9-1 显示了三种差分输出类型的典型 I_{BANK_BIAS} 值和 I_{OUT_LOAD} 表达式。

对于 LVPECL, 可采用更大阻值的端接电阻器 (R_T) 接地, 而非采用 $50\ \Omega$ 电阻端接至 $V_{TT} = V_{CCO} - 2V$; 该方法通常用于省去额外的端接电压电源 (V_{TT}), 并可能以降低的输出摆幅为代价降低器件功耗。例如, 当 V_{CCO} 为 $3.3V$ 时, R_T 值采用 $160\ \Omega$ 可省去 $1.3V$ 端接电源, 且不会大幅牺牲输出摆幅。在本例中, 典型的 I_{OUT_LOAD} 为 $25mA$, 因此满载组的 I_{CCO_PECL} 降至 $158mA$ (而采用 $50\ \Omega$ 电阻器端接至 $V_{CCO} - 2V$ 时为 $165mA$)。

表 9-1. 典型输出组偏置和负载电流

电流参数	LVPECL	LVDS	HCSL
I_{BANK_BIAS}	33mA	34mA	6mA
I_{OUT_LOAD}	$(V_{OH} - V_{TT})/R_T + (V_{OL} - V_{TT})/R_T$	0mA (无直流负载电流)	V_{OH}/R_T

计算或知悉每个电源的电流消耗后, 可按以下方式计算总功率耗散 (P_{TOTAL}):

$$P_{TOTAL} = (V_{CC} \times I_{CC_TOTAL}) + (V_{CCOA} \times I_{CCO_BANK_A}) + (V_{CCOB} \times I_{CCO_BANK_B}) + (V_{CCOC} \times I_{CCO_CMOS}) \quad (8)$$

如果器件配置具有 LVPECL 或 HCSL 输出, 则还需要计算任何端接电阻器 (P_{RT_PECL} 和 P_{RT_HCSL}) 和任何端接电压 (V_{TT}) 中耗散的功率。外部功耗值可按以下方式计算:

$$P_{RT_PECL} \text{ (per LVPECL pair)} = (V_{OH} - V_{TT})^2/R_T + (V_{OL} - V_{TT})^2/R_T \quad (9)$$

$$P_{VTT_PECL} \text{ (per LVPECL pair)} = V_{TT} \times [(V_{OH} - V_{TT})/R_T + (V_{OL} - V_{TT})/R_T] \quad (10)$$

$$P_{RT_HCSL} \text{ (per HCSL pair)} = V_{OH}^2 / R_T \quad (11)$$

最后, 可以通过从 P_{TOTAL} 中减去外部功率耗散值来计算 IC 功率耗散 (P_{DEVICE}), 如下所示:

$$P_{DEVICE} = P_{TOTAL} - N_1 \times (P_{RT_PECL} + P_{VTT_PECL}) - N_2 \times P_{RT_HCSL} \quad (12)$$

其中

- N_1 是端接电阻器接至 V_{TT} (通常为 $V_{CCO} - 2V$ 或 GND) 的 LVPECL 输出对数量。
- N_2 是端接电阻器接至 GND 的 HCSL 输出对数量。

9.3.2.1 功率耗散示例 1: 独立 V_{CC} 和 V_{CCO} 电源且含未使用输出

本示例说明针对具有独立的 V_{CC} 和 V_{CCO} 电源且含未使用输出的配置如何计算 IC 功率耗散。由于部分输出未使用, 无法直接采用 [电气特性](#) 指定的 I_{CCO_PECL} 值, 并且必须计算输出组电流 (I_{CCO_BANK}) 才能准确估算 IC 功率耗散。

- $V_{CC} = 3.3V$, $V_{CCOA} = 3.3V$, $V_{CCOB} = 2.5V$ 。典型 I_{CC} 和 I_{CCO} 值。
- 所选 CLKIn0/CLKIn0* 输入。
- A 组配置为 LVPECL: 4 对输出使用 $R_T = 50\ \Omega$ 端接至 $V_T = V_{CCO} - 2V$ (1 对未使用)。
- B 组配置为 LVDS: 3 对输出使用 $R_L = 100\ \Omega$ 差分端接 (2 对未使用)。
- 禁用 REFout。
- $T_A = 85^\circ C$

利用前一节的电流与功率计算方法, 可求出 P_{TOTAL} 和 P_{DEVICE} 。

- 根据 [方程式 6](#) : $I_{CC_TOTAL} = 8.5mA + 20mA + 26mA + 0mA = 54.5mA$
- 根据 [表 9-1](#) : $I_{OUT_LOAD} (LVPECL) = (1.6V - 0.5V) / 50\Omega + (0.75V - 0.5V) / 50\Omega = 27mA$
- 根据 [方程式 7](#) : $I_{CCO_BANK_A} = 33mA + (4 \times 27mA) = 141mA$
- 根据 [方程式 8](#) : $P_{TOTAL} = (3.3V \times 54.5mA) + (3.3V \times 141mA) + (2.5V \times 34mA) = 730mW$
- 根据 [方程式 9](#) : $P_{RT_PECL} = ((2.4V - 1.3V)^2 / 50\Omega) + ((1.55V - 1.3V)^2 / 50\Omega) = 25.5mW$ (每个输出对)
- 根据 [方程式 10](#) : $P_{VTT_PECL} = 0.5V \times [((2.4V - 1.3V) / 50\Omega) + ((1.55V - 1.3V) / 50\Omega)] = 13.5mW$ (每个输出对)
- 根据 [方程式 11](#) : $P_{RT_HCSL} = 0mW$ (无 HCSL 输出)
- 根据 [方程式 12](#) : $P_{DEVICE} = 730mW - (4 \times (25.5mW + 13.5mW)) - 0mW = 574mW$

本示例中, IC 器件消耗约 574mW, 即总功率 (730mW) 的 79%, 而其余 21% 消耗在发射极电阻 (4 对共 102mW) 和端接电压 ($V_{CCO} - 2V$ 侧 54mW) 上。

根据 $28.5^{\circ}C/W$ 的结到壳热阻 $R_{\theta JA}$, 在 $T_A = 85^{\circ}C$ 时估算的裸片结温比环境温度高约 $16.4^{\circ}C$ (即 $101.4^{\circ}C$)。

9.3.2.2 功率耗散示例 2 : 最坏情况下的功耗

本示例展示如何计算配置的 IC 功率耗散以估计**最坏情况下的功率耗散**。在这种情况下, 使用 [电气特性](#) 中指定的最大电源电压和电源电流值。

- 最大 $V_{CC} = V_{CCO} = 3.465V$ 。最大 I_{CC} 和 I_{CCO} 值
- 所选 CLKIn0/CLKIn0* 输入
- A 组和 B 组配置为 LVPECL : 所有输出均通过 50Ω 端接至 $V_T = V_{CCO} - 2V$
- 使能 REFout, 负载为 5pF
- $T_A = 85^{\circ}C$

采用上一节的最大电源电流与功率计算方法, 可计算出 P_{TOTAL} 和 P_{DEVICE} 。

- 根据 [方程式 6](#) : $I_{CC_TOTAL} = 10.5mA + 27mA + 27mA + 5.5mA = 70mA$
- 来自 I_{CCO_PECL} 最大规格 : $I_{CCO_BANK_A} = I_{CCO_BANK_B} = 197mA$
- 根据 [方程式 8](#) : $P_{TOTAL} = 3.465V \times (70mA + 197mA + 197mA + 10mA) = 1642.4mW$
- 根据 [方程式 9](#) : $P_{RT_PECL} = ((2.57V - 1.47V)^2 / 50\Omega) + ((1.72V - 1.47V)^2 / 50\Omega) = 25.5mW$ (每个输出对)
- 根据 [方程式 10](#) : $P_{VTT_PECL} = 1.47V \times [((2.57V - 1.47V) / 50\Omega) + ((1.72V - 1.47V) / 50\Omega)] = 39.5mW$ (每个输出对)
- 根据 [方程式 11](#) : $P_{RT_HCSL} = 0mW$ (无 HCSL 输出)
- 根据 [方程式 12](#) : $P_{DEVICE} = 1642.4mW - (10 \times (25.5mW + 39.5mW)) - 0mW = 992.4mW$

在该最坏情况示例中, IC 器件消耗约为 992.4mW, 即总功率 (1642.4mW) 的 60%, 而其余的 40% 则消耗在 LVPECL 发射极电阻 (10 对共 255mW) 和端接电压 ($V_{CCO} - 2V$ 侧 395mW) 中。

根据 $28.5^{\circ}C/W$ 的 θ_{JA} , 在 $T_A = 85^{\circ}C$ 时估算的裸片结温比环境高约 $28.3^{\circ}C$ (即 $113.3^{\circ}C$)。

9.3.3 电源旁路

V_{CC} 和 V_{CCO} 电源必须靠近每个电源引脚放置一个高频旁路电容器 (例如 $0.1\mu\text{F}$ 或 $0.01\mu\text{F}$)。在电源与接地平面之间的器件附近放置 $1\mu\text{F}$ 至 $10\mu\text{F}$ 去耦电容器。所有旁路电容器和去耦电容器都必须通过短走线或过孔与电源和接地平面进行短连接,以便更大限度地减小串联电感。

9.3.3.1 电源纹波抑制

在实际系统应用中,电源噪声(纹波)可能由开关电源、数字 ASIC 或 FPGA 等产生。虽然电源旁路可以帮助滤除部分此类噪声,但了解电源纹波对器件性能的影响非常重要。将单音正弦信号施加到 LMK00301 等时钟分配器件的电源时,该信号可以在时钟输出(载波)上产生窄带相位调制以及幅度调制。在单边带相位噪声频谱中,纹波引起的相位调制显示为相对于载波的相位杂散电平(测量单位为 dBc)。

对于 LMK00301,电源纹波抑制(或 PSRR)测量为:将纹波信号注入 V_{CCO} 电源时,调制到时钟输出上的单边带相位杂散电平(单位为 dBc)。图 9-17 展示了 PSRR 测试设置。

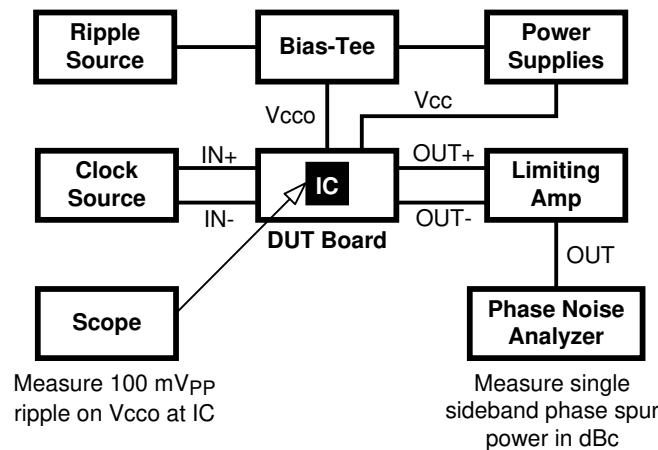


图 9-17. PSRR 测试设置

信号发生器用于将正弦信号注入 DUT 板的 V_{CCO} 电源,在器件的 V_{CCO} 引脚处测量峰值间纹波幅度。限幅放大器用于消除差分输出时钟上的幅度调制,并将该幅度调制转换为单端信号供相位噪声分析仪使用。在以下电源纹波条件下,对 156.25MHz 和 312.5MHz 的时钟频率进行相位杂散电平测量:

- 纹波幅度: $V_{CCO} = 2.5\text{V}$ 时为 100mV_{pp}
- 纹波频率: 100kHz、1MHz 和 10MHz

假设没有幅度调制效应且调制指数较小,则可以使用测量的单边带相位杂散电平 (PSRR) 来计算峰值间确定性抖动 (DJ),如下所示:

$$\text{DJ (ps pk-pk)} = [(2 \times 10^{(\text{PSRR} / 20)}) / (\pi \times f_{\text{CLK}})] \times 10^{12} \quad (13)$$

典型特性中的 PSRR 与纹波频率间的关系图显示 156.25MHz 和 312.5MHz 处不同差分输出类型在电源纹波影响下产生的相位杂散电平。LMK00301 在所有差分输出类型下,均在整个纹波频率范围内表现出非常出色且性能良好的 PSRR 特性。LVPECL 的相位杂散电平在 156.25MHz 处低于 -64dBc,在 312.5MHz 处低于 -62dBc。使用方程式 13,这些相位杂散电平对应的峰值间确定性抖动值为:在 156.25MHz 处为 2.57ps 和在 312.5MHz 处为 1.62ps。测试表明,在相同的纹波幅度和频率条件下,当 $V_{CCO} = 3.3\text{V}$ 时,器件的 PSRR 性能有所提升。

9.3.4 热管理

LMK00301 器件中的功率耗散可能非常高,需要注意热管理。出于可靠性和性能原因,芯片温度必须限制为最高 125°C。也就是说,根据估算, T_A (环境温度) 加上器件功率耗散乘以 $R_{\theta JA}$ 不得超过 125°C。

该器件封装具有外露焊盘，为印刷电路板提供了主要散热路径以及良好的电气接地。为了最大限度地从封装中散热，必须在 PCB 上封装尺寸内设置一个散热焊盘布局，其中包含通往接地层的多个过孔。必须将外露焊盘焊接到下方，从而为封装提供充分的导热。

建议的焊盘和过孔布局如图 9-18 所示。如需焊接 WQFN 封装的更多信息，可从以下网址获得：<http://www.ti.com/packageing>。

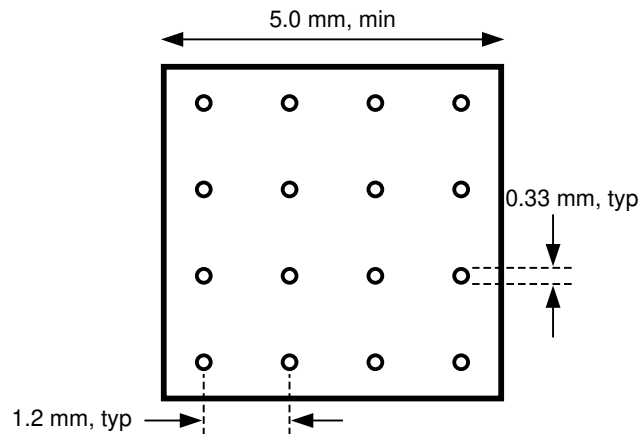


图 9-18. 建议的焊盘和过孔布局

为了最大限度地降低结温，可在 PCB 中集成一个简易散热片（如果接地平面层未外露）。这将在 PCB 与器件侧相对的一侧包含大约 2 平方英寸的覆铜区域来实现。该覆铜区域可以进行电镀或焊接涂覆以防止腐蚀，但不得采用能够提供热绝缘的敷形涂层（如果可行）。图 9-18 中所示的过孔必须连接这些顶部和底部覆铜层并连接到接地层。这些过孔相当于导热管道，将热能从电路板的器件侧传导到可以更有效地散热的位置。

9.4 布局

9.4.1 布局指南

该器件需遵循以下布局指南：

- 使旁路电容器与器件电源之间的连接尽可能短。
- 使用与接地平面的低阻抗连接将电容器的另一侧接地。
- 如果电容器安装在背面，则可以采用 0402 元件。但是，很难焊接到散热焊盘上。
- 如果安装在元件侧，请使用 0201 本体尺寸的电容器以方便信号布线。

9.4.2 布局示例

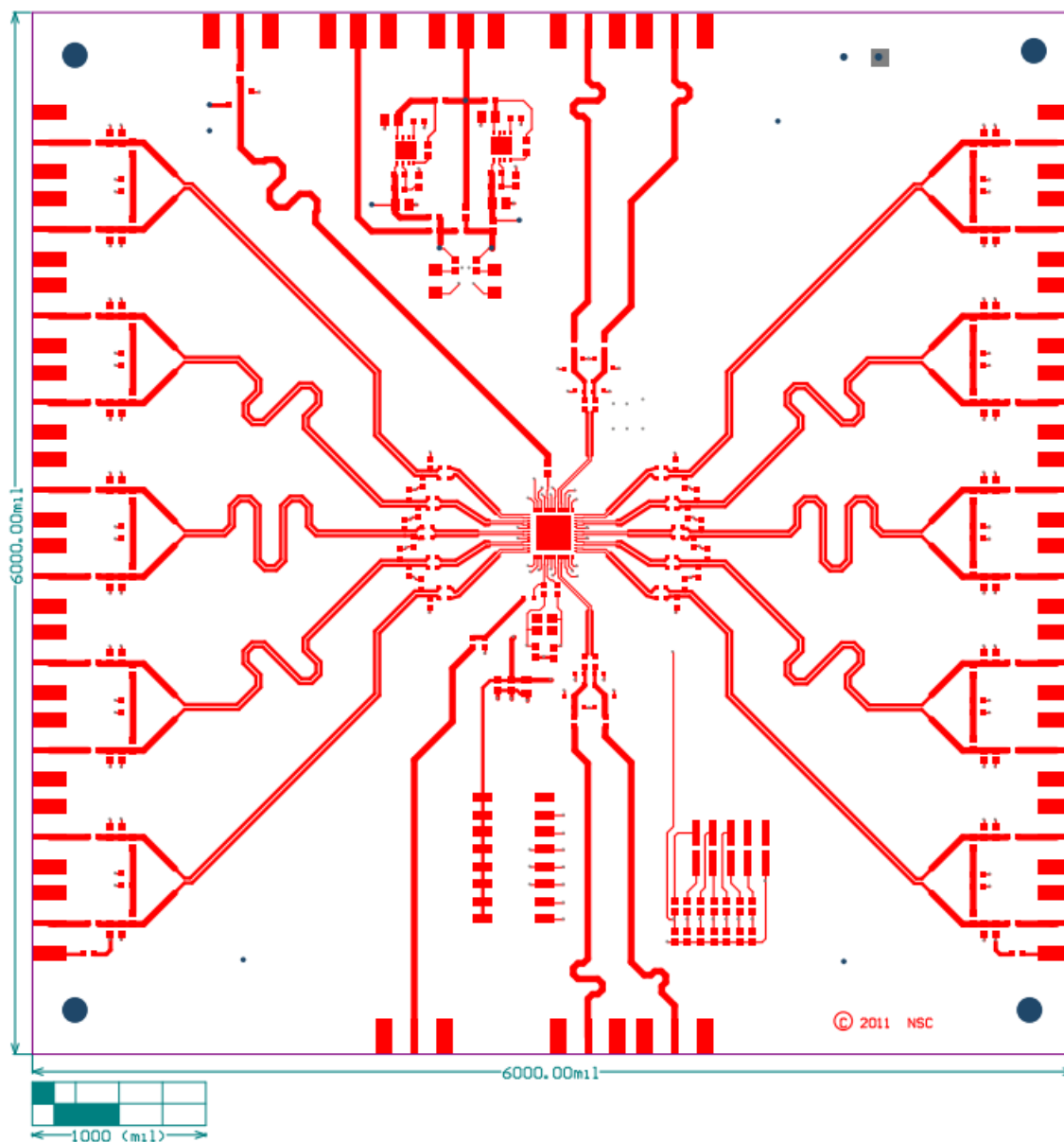


图 9-19. LMK00301 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

- 德州仪器 (TI), [通用数据传输参数及其定义](#) 应用手册

10.2 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision J (May 2023) to Revision K (October 2025)	Page
• 更新了 <i>特性</i> 和 <i>应用</i> 部分, 以加入 PCIe 第 7.0 代规范.....	1
• 已在 <i>规格</i> 部分全面更新, 以包含 PCIe 第 7.0 代规范.....	6

Changes from Revision I (December 2017) to Revision J (May 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了 <i>器件功能模式</i> 、 <i>应用信息</i> 、 <i>典型应用</i> 和 <i>布局</i> 部分.....	1
• 在 <i>特性</i> 部分中添加了 LVPECL、LVDS、HCSL 和 LVCMOS 的频率范围.....	1
• 向 <i>应用</i> 添加了 PCIe 5.0 和 6.0.....	1
• 在 <i>封装信息</i> 表中添加了 LMK00301A.....	1
• 添加了 PCIe 5.0 与 PCIe 6.0 附加抖动规格到 <i>电气特性</i> 。.....	7
• 在 <i>电气特性</i> 表中, 将 HCSL 最大输出频率范围更改为 800MHz。.....	7
• 添加了 HCSL 占空比和 ΔV_{CROSS} 的测试条件到 <i>电气特性</i> 。.....	7
• 更新了 <i>典型特性</i> 部分中 HCSL、LVDS 和 LVPECL 在 100MHz 下的相位噪声典型图。.....	14
• 在 <i>典型特性</i> 部分中添加了 HCSL 输出摆幅 (V_{OD}) 与频率间的关系典型图。.....	14

• 将时钟输入 和时钟输出 移至 器件功能模式 部分。	22
• 在应用信息 中添加了应用用例.....	24
• 在典型应用 部分中添加了 PCI Express 应用示例。	24
• 在设计要求 部分添加了 驱动时钟输入 和 晶体接口 主题。	24
• 将时钟驱动器端接和使用 内容移至 详细设计过程 部分。	27
• 在应用性能图 部分中添加了 HCSL 相位噪声图。	31
• 在布局指南 部分添加了新的布局指南。	35
• 在布局示例 部分中添加了 LMK00301 的 PCB 布局示例。	36

Changes from Revision H (March 2016) to Revision I (December 2017)

Page

• 添加并更新了以下部分的信息：应用、说明、电气特性：电流消耗、电气特性：HCSL 输出 和 电源时序	1
• 添加了 LMK00301A 可订购器件.....	1
• 向应用 添加了 PCIe 4.0.....	1
• 在说明 中添加了 LMK00301 与 LMK00301A 之间的区别.....	1
• 添加了 器件比较表	3
• 添加了 LMK00301A LVDS 驱动器的 I _{CC} 与 I _{CCO} 数据到 电气特性：电流消耗	7
• 添加了 PCIe 4.0 附加抖动规格到 电气特性：HCSL 输出	7
• 添加了有关 LMK00301 和 LMK00301A 规格的注释到 电气特性 的脚注 (2) 中.....	7
• 在 电源时序 中添加了有关 LMK00301A 的简短说明段落.....	31

Changes from Revision G (May 2013) to Revision H (March 2016)

Page

• 向文档标题添加了“超低附加抖动“.....	1
• 添加、更新或重命名了以下各个部分：规格、详细说明、应用和实施、电源相关建议、器件和文档支持、机械、封装和订购信息	1
• 在以下部分中将 C _{in} (典型值) 从 1pF 修改为 4pF (基于更新后的测试方法)：电气特性：晶体接口。	7
• 在以下部分中添加了“附加 RMS 抖动、积分带宽 10kHz 至 20MHz”参数以及 100MHz 和 156.25MHz 测试条件、典型值、最大值和脚注：电气特性：LVPECL 输出.....	7
• 在以下部分中添加了“附加 RMS 抖动、积分带宽 10kHz 至 20MHz”参数以及 100MHz 和 156.25MHz 测试条件、典型值、最大值和脚注：电气特性：LVDS 输出.....	7
• 添加了 V _{ISE} 参数的脚注到 电气特性 表。	7
• 在 驱动时钟输入 末尾添加了新段落.....	24
• 在 晶体接口 中将 C _{in} 修改为 4pF (典型值，基于更新后的测试方法)	26
• 添加了“电源时序”相关内容.....	31

Changes from Revision F (February 2013) to Revision G (May 2013)

Page

• 更改了 目标应用，方法为将附加应用添加到第二个和第三个要点，并且从第一个要点中删除高速和串行接口。	1
• 将 V _{CM} 文本内容更改为 V _{IH} 至 V _{CM} 参数的条件.....	7
• 从电气特性表中删除 V _{IH} 最小值。	7
• 从电气特性表中删除 V _{IL} 最大值。	7
• 添加了 V _{ISE} 参数和规格限值以及相应的表格注释到电气特性表。	7
• 更改了 驱动时钟输入 部分中的第三段以包含 CLK _{in} * 和 LVCMOS 文本内容。修订了内容以更好地匹配电气特性表中的信息。	24
• 将 驱动时钟输入 部分第四段的旁路电容文本内容更改为信号衰减文本内容。	24
• 将单端 LVCMOS 输入，带共模偏置的直流耦合 图替换为修订后的图表。	24

- 在交流耦合差分操作的端接的第二段中添加了文本内容，以解释使用交流耦合连接接收器的差分 LVDS 操作的图形更新情况..... 29
- 更改了差分 LVDS 操作，交流耦合，接收器无偏置的图并更新了标题。..... 29

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK00301ARHSR	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301ARHSR.A	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301ARHST	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301ARHST.A	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301A
LMK00301SQ/NOPB	Active	Production	WQFN (RHS) 48	1000 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQ/NOPB.A	Active	Production	WQFN (RHS) 48	1000 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQE/NOPB	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQE/NOPB.A	Active	Production	WQFN (RHS) 48	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQX/NOPB	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301
LMK00301SQX/NOPB.A	Active	Production	WQFN (RHS) 48	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	LMK00301

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK00301ARHSR	WQFN	RHS	48	2500	330.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301ARHST	WQFN	RHS	48	250	178.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301SQ/NOPB	WQFN	RHS	48	1000	330.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301SQE/NOPB	WQFN	RHS	48	250	178.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1
LMK00301SQX/NOPB	WQFN	RHS	48	2500	330.0	16.4	7.3	7.3	1.3	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK00301ARHSR	WQFN	RHS	48	2500	356.0	356.0	36.0
LMK00301ARHST	WQFN	RHS	48	250	208.0	191.0	35.0
LMK00301SQ/NOPB	WQFN	RHS	48	1000	356.0	356.0	36.0
LMK00301SQE/NOPB	WQFN	RHS	48	250	208.0	191.0	35.0
LMK00301SQX/NOPB	WQFN	RHS	48	2500	356.0	356.0	36.0



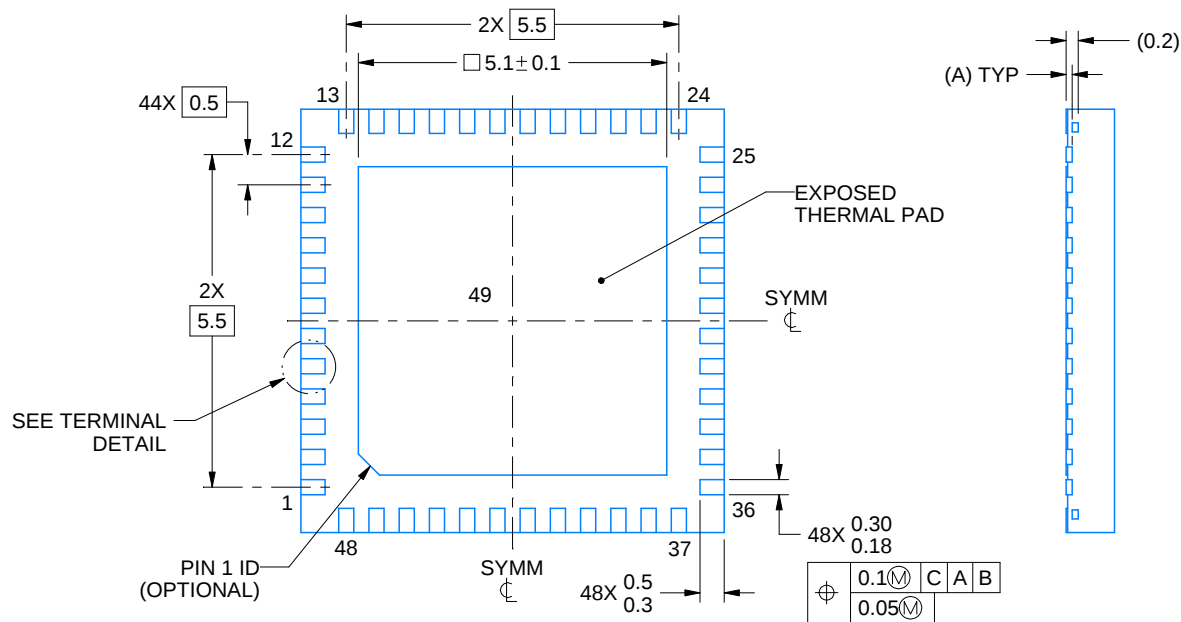
PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



DIM A	
OPT 1	OPT 2
(0.1)	(0.2)



4214990/B 04/2018

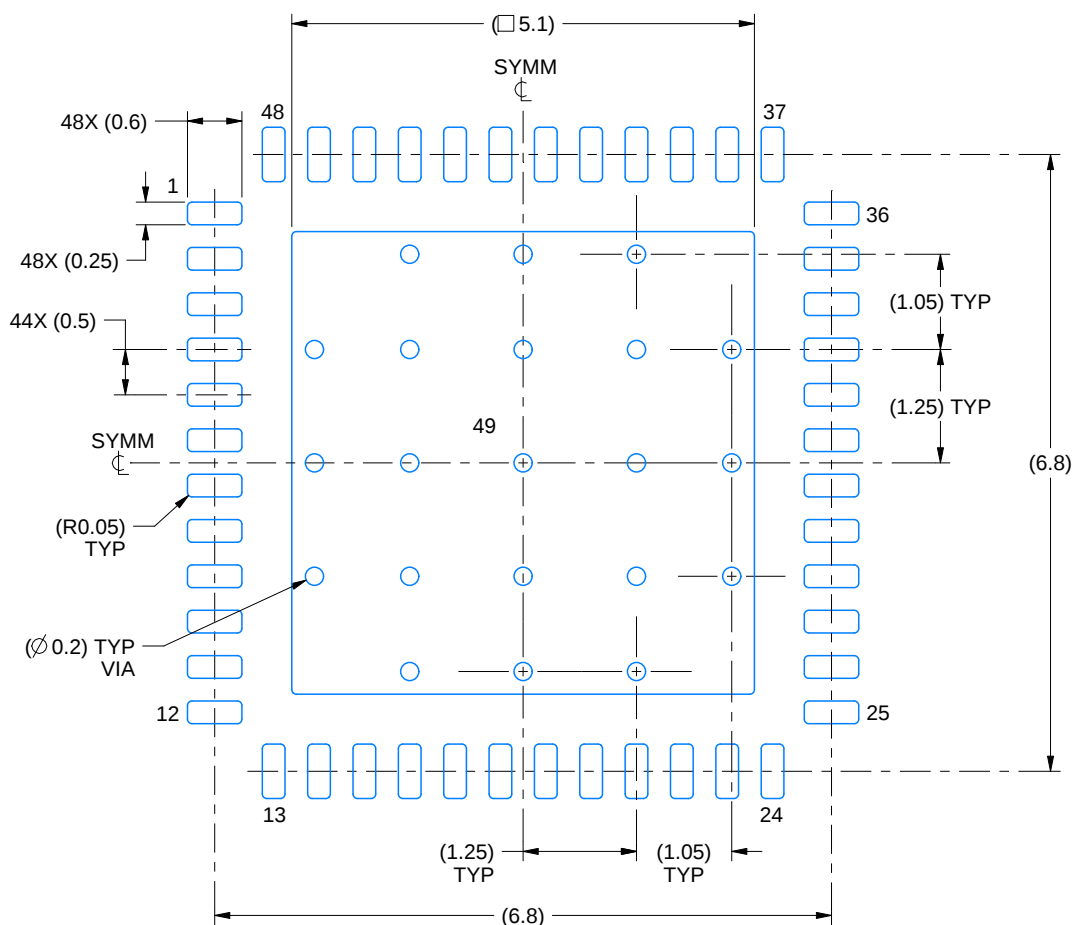
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

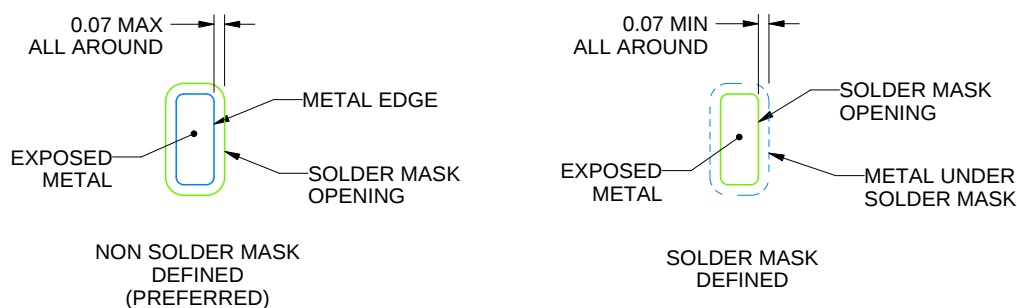
RHS0048A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4214990/B 04/2018

NOTES: (continued)

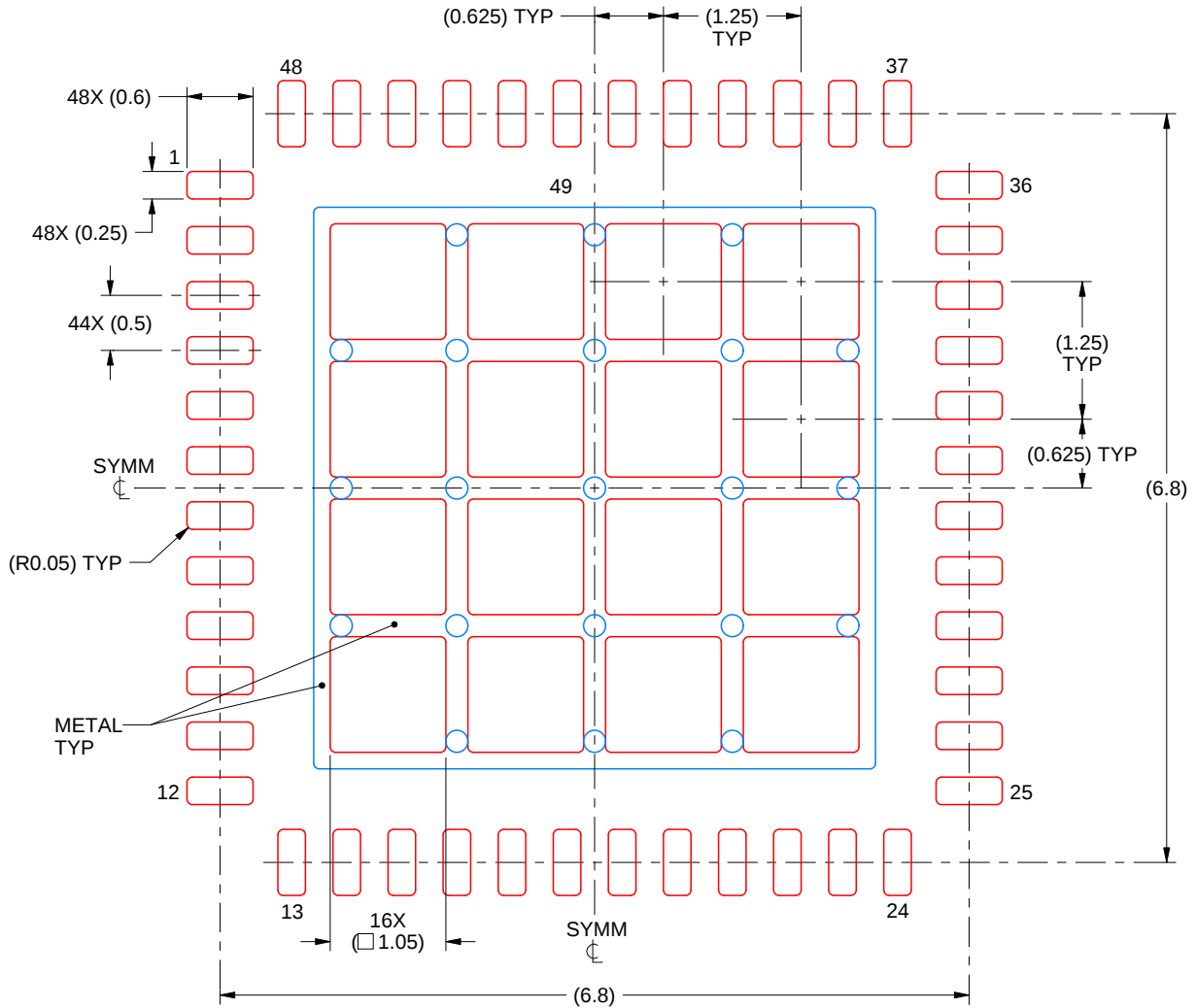
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHS0048A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
68% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4214990/B 04/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月