TEXAS INSTRUMENTS

LMV611, LMV612, LMV614

ZHCSB02D – APRIL 2012 – REVISED MARCH 2017

LMV61x 单路、双路和四路 1.4MHz 低功耗、通用 1.8V 运算放大器

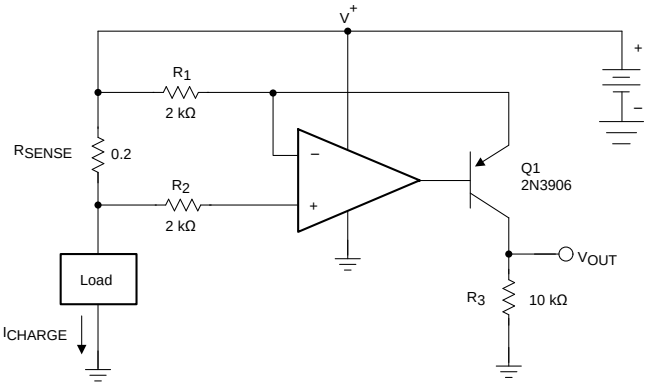
1 特性

- 电源电压值：1.8V（典型值）
- 得到保证的 1.8V、2.7V 和 5V 规格
- 输出摆幅：
  - 600Ω 负载时，电源轨摆幅 80mV
  - 2kΩ 负载时，电源轨摆幅 30mV
- V_{CM} = 超过电源轨 200mV
- 100µA 电源电流（每个通道）
- 1.4MHz 增益带宽积
- 最大 V_{OS} = 4mV
- 温度范围：−40°C 至 +125°C
- 使用 LMV61x 并借助 WEBENCH® 电源设计器创建定制设计方案

2 应用

- 消费类通信产品
- 消费类计算产品
- 掌上电脑 (PDA)
- 前置音频放大器
- 便携式或电池供电类电子设备
- 电源电流监控
- 电池监控

典型应用



$$V_{OUT} = \frac{R_{SENSE} \bullet R_3}{R_1} \bullet I_{Charge} = 1\,\Omega \bullet I_{Charge}$$

Copyright © 2016, Texas Instruments Incorporated

3 说明

LMV61x 器件是单路、双路和四路低电压、低功耗运算放大器。此器件专为低电压、通用 应用而设计的集成栅极驱动器其他重要的产品特性包括轨至轨输入/输出、1.8V 的低电源电压以及宽温度范围。LMV61x 输入共模在电源基础上向外扩展了 200mV，无负载时提供轨至轨输出摆幅，而在由 1.8V 电源供电且负载为 2kΩ 时提供 30mV 以内的输出电压。当消耗的静态电流为 100µA（典型值）时，LMV61x 可实现 1.4MHz 的增益带宽积。

−40°C 至 125°C 的工业增强型温度范围使得 LMV61x 能够适应各种扩展环境 设计的集成栅极驱动器

LMV611 采用微型 5 引脚 SC70 封装，LMV612 采用节省空间的 8 引脚 VSSOP 和 SOIC 封装，而 LMV614 采用 14 引脚 TSSOP 和 SOIC 封装。对于需要最小 PCB 尺寸的 应用来说， 这些小型封装放大器是理想的解决方案。在 PCB 要求方面需要受到空间限制的应用 包括便携式和电池供电类电子产品。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
LMV611	SOT-23 (5)	2.92mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
LMV612	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm × 3.91mm
LMV614	TSSOP (14)	5.00mm x 4.40mm
	SOIC (14)	8.64mm × 3.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 5
6.1 绝对最大额定值 ... 5
6.2 ESD 额定值 ... 5
6.3 建议运行条件 ... 5
6.4 热性能信息 ... 5
6.5 电气特性 – 1.8V（直流） ... 6
6.6 电气特性 – 1.8V（交流） ... 6
6.7 电气特性 – 2.7V（直流） ... 7
6.8 电气特性 – 2.7V（交流） ... 8
6.9 电气特性 – 5V（直流） ... 9
6.10 电气特性 – 5V（交流） ... 10
6.11 典型特性 ... 11
7 详细 说明 ... 16
7.1 概述 ... 16
7.2 功能框图 ... 16
7.3 特性 说明 ... 16
7.4 器件功能模式 ... 17
8 以下一些应用中 ... 18
8.1 应用信息 ... 18
8.2 典型 应用 ... 20
9 电源相关建议 ... 22
10 布局 ... 22
10.1 布局指南 ... 22
10.2 布局示例 ... 22
11 器件和文档支持 ... 23
11.1 器件支持 ... 23
11.2 文档支持 ... 23
11.3 相关链接 ... 23
11.4 接收文档更新通知 ... 24
11.5 社区资源 ... 24
11.6 商标 ... 24
11.7 静电放电警告 ... 24
11.8 术语表 ... 24
12 机械、封装和可订购信息 ... 24

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision C (July 2016) to Revision D — **Page**

- 已添加 WEBENCH 链接 ... 1
- 已更改 “压摆率与电源间的关系”标题以便仅反映 LMV611 和 LMV614 ... 13
- 已添加 仅适用于 LMV612 的“压摆率与电源间的关系”图 ... 13

Changes from Revision B (March 2013) to Revision C — **Page**

- 已添加 *ESD 额定值表*，*特性 说明*部分、*器件功能模式*、*应用和实现*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分 ... 1
- 已更改 *热性能信息* 表中的值以便与 JEDEC 标准一致 ... 5

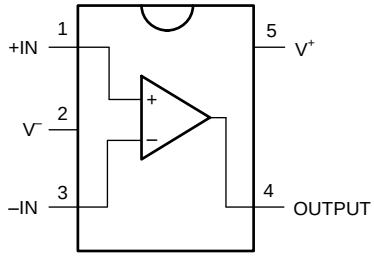
Changes from Revision A (March 2012) to Revision B — **Page**

- 已更改 将 National Semiconductor 产品说明书的布局更改为 TI 格式 ... 1

版权 © 2012–2017, Texas Instruments Incorporated

5 引脚配置和功能

DCK 和 DBV 封装
5 引脚 SC70 和 SOT-23
俯视图

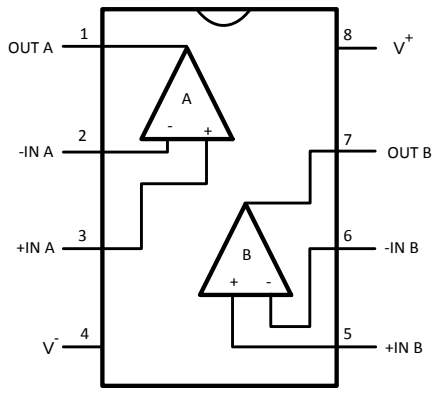


SOT-23 的 – LMV611

引脚		类型(1)	说明
编号	名称		
1	+IN	I	同相输入
2	V–	P	负电源输入
3	–IN	I	反相输入
4	OUTPUT	O	Output
5	V+	P	正电源输入

(1) I = 输入，O = 输出，而 P = 电源

DGK 和 D 封装
8 引脚 VSSOP 和 SOIC
俯视图



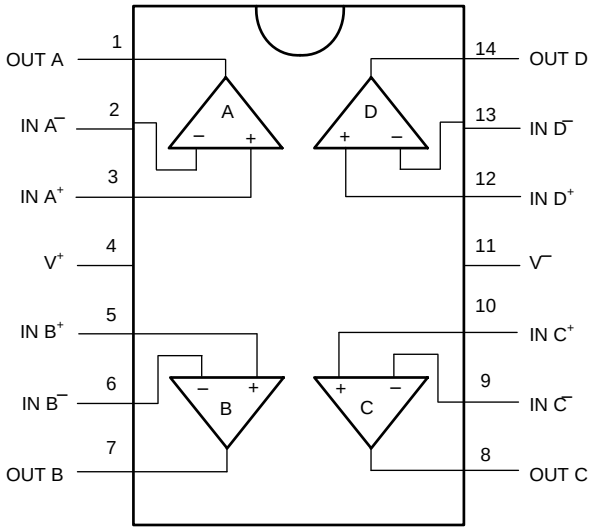
SOT-23 的 – LMV612

引脚		类型(1)	说明
编号	名称		
1	OUT A	O	输出 A
2	–IN A	I	反相输入 A
3	+IN A	I	同相输入 A
4	V–	P	负电源输入
5	+IN B	I	同相输入 B
6	–IN B	I	反相输入 B
7	OUT B	O	Output B
8	V+	P	正电源输入

(1) I = 输入，O = 输出，而 P = 电源

版权 © 2012–2017, Texas Instruments Incorporated

PW 和 D 封装
14 引脚 TSSOP 和 SOIC
俯视图



SOT-23 的 – LMV614

引脚		类型(1)	说明
编号	名称		
1	OUT A	O	输出 A
2	IN A–	I	反相输入 A
3	IN A+	I	同相输入 A
4	V+	P	正电源输入
5	IN B+	I	同相输入 B
6	IN B–	I	反相输入 B
7	OUT B	O	Output B
8	OUT C	O	Output C
9	IN C–	I	反相输入 C
10	IN C+	I	同相输入 C
11	V–	P	负电源输入
12	IN D+	I	同相输入 D
13	IN D–	I	反相输入 D
14	OUT D	O	Output D

(1) I = 输入，O = 输出，而 P = 电源

版权 © 2012–2017, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）(1)(2)(3)

	最小值	最大值	单位
差分输入电压	正负电源电压		
电源电压 ($V^+ – V^–$)		6	V
输入/输出引脚电压	$V^–$ – 0.3	V^+ + 0.3	V
结温，T_{JMAX}(4)		150	°C
贮存温度，T_{stg}	–65	150	°C

(1) 应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出*推荐的操作条件*下的任何其它操作时，器件能够功能性运行. 长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。
(3) 如需了解所有封装的焊接规格，请参阅 www.ti.com.cn 和*《焊接的绝对最大额定值》*。
(4) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} – T_A) / R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
	机器放电模型 (MM)(2)	±200	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) 机器放电模型，适用标准 JESD22-A115-A（JEDEC 的 ESD MM 标准）电场诱导充电器件模型，适用标准 JESD22-C101-C（JEDEC 的 ESD FICDM 标准）。

6.3 建议运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

	最小值	最大值	单位
电源电压	1.8	5.5	V
温度	-40	125	°C

6.4 热性能信息

热指标(1)		LMV611		LMV612		LMV614		单位
		DBV (SOT-23)	DCK (SC70)	D (SOIC)	DGK (VSSOP)	D (SOIC)	PW (TSSOP)	
		5 引脚	5 引脚	8 引脚	8 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	197.2	285.9	125.9	184.5	94.4	124.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	156.7	115.9	70.2	74.3	52.5	51.4	°C/W
$R_{\theta JB}$	结至电路板热阻	55.6	63.7	66.5	105.1	48.9	67.2	°C/W
ψ_{JT}	结至顶部特征参数	41.4	4.5	19.8	13.1	14.3	6.6	°C/W
ψ_{JB}	结至电路板特征参数	55	62.9	65.9	103.6	48.6	66.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	—	—	—	—	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 电气特性 – 1.8V（直流）

所有限值均基于以下条件：T_J = 25°C，V^+ = 1.8V，V^- = 0V，V_{CM} = V^+/ 2，V_O = V^+/ 2，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件		最小值(2)	典型值(3)	最大值(2)	单位
V_{OS}	输入失调电压	LMV611（单通道）			1	4	mV
		LMV612（双通道）和 LMV614（四通道）			1	5.5	
TCV_{OS}	输入失调电压平均漂移				5.5		µV/°C
I_B	输入偏置电流				15		nA
I_{OS}	输入失调电流				13		nA
I_S	电源电流（每通道）				103	185	µA
CMRR	共模抑制比	LMV611，0V ≤ V_{CM} ≤ 0.6V，1.4V ≤ V_{CM} ≤ 1.8V(4)		60	78		dB
		LMV612 和 LMV614，0V ≤ V_{CM} ≤ 0.6V，1.4V ≤ V_{CM} ≤ 1.8V(4)		55	76		
		−0.2V ≤ V_{CM} ≤ 0V，1.8V ≤ V_{CM} ≤ 2V		50	72		
PSRR	电源抑制比	1.8V ≤ V^+ ≤ 5V			100		dB
CMVR	输入共模电压	当 CMRR 范围 ≥ 50dB 时	V^-，T_A = 25°C	V^- – 0.2	–0.2		V
			V^+，T_A = 25°C		2.1	V^+ + 0.2	
			T_A = −40°C 至 85°C	V^-		V^+	
			T_A = 125°C	V^- + 0.2		V^+ – 0.2	
A_V	大信号电压增益 LMV611（单通道）	R_L = 600Ω（连接至 0.9V），V_O = 0.2V 至 1.6V，V_{CM} = 0.5V		77	101		dB
		R_L = 2kΩ（连接至 0.9V），V_O = 0.2V 至 1.6V，V_{CM} = 0.5V		80	105		
	大信号电压增益 LMV612（双通道）和 LMV614（四通道）	R_L = 600Ω（连接至 0.9V），V_O = 0.2V 至 1.6V，V_{CM} = 0.5V		75	90		
		R_L = 2kΩ（连接至 0.9V），V_O = 0.2V 至 1.6V，V_{CM} = 0.5V		78	100		
V_O	输出摆幅	R_L = 600Ω（连接至 0.9V）		1.65	1.72		V
		V_{IN} = ±100mV			0.077	0.105	
		R_L = 2kΩ（连接至 0.9V）		1.75	1.77		
		V_{IN} = ±100mV			0.024	0.035	
I_O	输出短路电流(5)	拉电流，V_O = 0V，V_{IN} = 100mV			8		mA
		灌电流，V_O = 1.8V，V_{IN} = –100mV			9		

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅*以下一些应用中*。*绝对最大额定值* 表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
(2) 所有限值均根据测试或统计分析确定。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 对于规定的温度范围，请参阅输入共模电压规格。
(5) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。

6.6 电气特性 – 1.8V（交流）

所有限值均基于以下条件：T_J = 25°C，V^+ = 1.8V，V^- = 0V，V_{CM} = V^+/ 2，V_O = V^+/ 2，且 R_L > 1MΩ（除非另有说明）。(1)

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅*以下一些应用中*。*绝对最大额定值* 表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。

版权 © 2012–2017, Texas Instruments Incorporated

电气特性 – 1.8V（交流） (接下页)

所有限值均基于以下条件：T_J = 25°C，V^+ = 1.8V，V^- = 0V，V_{CM} = V^+/ 2，V_O = V^+/ 2，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件	最小值(2)	典型值(3)	最大值(2)	单位
SR	转换速率(4)			0.35		V/µs
GBW	增益带宽积			1.4		MHz
Φ_m	相位裕度			67		°
G_m	增益裕量			7		dB
e_n	输入基准电压噪声	f = 10kHz，V_{CM} = 0.5V		60		nV/√Hz
i_n	输入基准电流噪声	f = 10kHz		0.08		pA/√Hz
THD	总谐波失真	f = 1kHz，A_V = +1， R_L = 600Ω，V_{IN} = 1V_{PP}		0.023%		
	放大器到放大器隔离(5)			123		dB

(2) 所有限值均根据测试或统计分析确定。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 作为电压跟随器连接且输入阶跃为 V^- 至 V^+。标注的数字是正负压摆率中较低的值。
(5) 以输入为参考，R_L = 100kΩ（连接至 V^+ / 2）。每个放大器依次以 1kHz 的频率接受激励以便产生 V_O = 3V_{PP}（电源电压小于 3 V 时，V_O = V^+）。

6.7 电气特性 – 2.7V（直流）

所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = V^+/ 2，V_O = V^+/ 2，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件		最小值(2)	典型值(3)	最大值(2)	单位
V_{OS}	输入失调电压	LMV611（单通道）			1	4	mV
		LMV612（双通道）和 LMV614（四通道）			1	5.5	
TCV_{OS}	输入失调电压平均漂移				5.5		µV/°C
I_B	输入偏置电流				15		nA
I_{OS}	输入失调电流				8		nA
I_S	电源电流（每通道）				105	190	µA
CMRR	共模抑制比	LMV611，0V ≤ V_{CM} ≤ 1.5V， 2.3V ≤ V_{CM} ≤ 2.7V(4)		60	81		dB
		LMV612 和 LMV614， 0V ≤ V_{CM} ≤ 1.5V， 2.3V ≤ V_{CM} ≤ 2.7V(4)		55	80		
		−0.2V ≤ V_{CM} ≤ 0V， 2.7V ≤ V_{CM} ≤ 2.9V		50	74		
PSRR	电源抑制比	1.8V ≤ V^+ ≤ 5V， V_{CM} = 0.5V			100		dB
V_{CM}	输入共模电压	当 CMRR 范围 ≥ 50dB 时	V^-，T_A = 25°C	V^- – 0.2	–0.2		V
			V^+，T_A = 25°C		3	V^+ + 0.2	
			T_A = –40°C 至 85°C	V^-		V^+	
			T_A = 125°C	V^- + 0.2		V^+ – 0.2	

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅*以下一些应用中*。*绝对最大额定值* 表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
(2) 所有限值均根据测试或统计分析确定。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 对于规定的温度范围，请参阅输入共模电压规格。

版权 © 2012–2017, Texas Instruments Incorporated

电气特性 – 2.7V（直流） (接下页)

所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = V^+/ 2，V_O = V^+/ 2，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件	最小值(2)	典型值(3)	最大值(2)	单位
A_V	大信号电压增益 LMV611（单通道）	R_L = 600Ω（连接至 1.35V），V_O = 0.2V 至 2.5V	87	104		dB
		R_L = 2kΩ（连接至 1.35V），V_O = 0.2V 至 2.5V	92	110		
	大信号电压增益 LMV612（双通道）和 LMV614（四通道）	R_L = 600Ω（连接至 1.35V），V_O = 0.2V 至 2.5V	78	90		
		R_L = 2kΩ（连接至 1.35V），V_O = 0.2V 至 2.5V	81	100		
V_O	输出摆幅	R_L = 600Ω（连接至 1.35V）	2.55	2.62		V
		V_{IN} = ±100mV		0.083	0.11	
		R_L = 2kΩ（连接至 1.35V）	2.65	2.675		
		V_{IN} = ±100mV		0.025	0.04	
I_O	输出短路电流(5)	拉电流，V_O = 0V，V_{IN} = 100mV		30		mA
		灌电流，V_O = 0V，V_{IN} = –100mV		25		

(5) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。

6.8 电气特性 – 2.7V（交流）

所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = 1V，V_O = 1.35V，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件	最小值(2)	典型值(3)	最大值(2)	单位
SR	转换速率(4)			0.4		V/µs
GBW	增益带宽积			1.4		MHz
Φ_m	相位裕度			70		°
G_m	增益裕量			7.5		dB
e_n	输入基准电压噪声	f = 10kHz，V_{CM} = 0.5V		57		nV/√Hz
i_n	输入基准电流噪声	f = 10kHz		0.08		pA/√Hz
THD	总谐波失真	f = 1kHz，A_V = +1，R_L = 600Ω，V_{IN} = 1V_{PP}		0.022%		
	放大器到放大器隔离(5)			123		dB

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅*以下一些应用中*。*绝对最大额定值* 表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
(2) 所有限值均根据测试或统计分析确定。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 作为电压跟随器连接且输入阶跃为 V^- 至 V^+。标注的数字是正负压摆率中较低的值。
(5) 以输入为参考，R_L = 100kΩ（连接至 V^+ / 2）。每个放大器依次以 1kHz 的频率接受激励以便产生 V_O = 3V_{PP}（电源电压小于 3 V 时，V_O = V^+）。

版权 © 2012–2017, Texas Instruments Incorporated

6.9 电气特性 – 5V（直流）

所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = V^+/ 2，V_O = V^+/ 2，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件		最小值(2)	典型值(3)	最大值(2)	单位
V_{OS}	输入失调电压	LMV611（单通道）			1	4	mV
		LMV612（双通道）和 LMV614（四通道）			1	5.5	
TCV_{OS}	输入失调电压平均漂移				5.5		µV/°C
I_B	输入偏置电流				14	35	nA
I_{OS}	输入失调电流				9		nA
I_S	电源电流（每通道）				116	210	µA
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 3.8V，4.6V ≤ V_{CM} ≤ 5V(4)		60	86		dB
		−0.2V ≤ V_{CM} ≤ 0V，5V ≤ V_{CM} ≤ 5.2V		50	78		
PSRR	电源抑制比	1.8V ≤ V^+ ≤ 5V，V_{CM} = 0.5V			100		dB
CMVR	输入共模电压	当 CMRR 范围 ≥ 50dB 时	V^-，T_A = 25°C	V^- – 0.2	–0.2		V
			V^+，T_A = 25°C		5.3	V^+ + 0.2	
			T_A = –40°C 至 85°C	V^-		V^+	
			T_A = 125°C	V^- + 0.3		V^+ – 0.3	
A_V	大信号电压增益 LMV611（单通道）	R_L = 600Ω（连接至 2.5V），V_O = 0.2V 至 4.8V		88	102		dB
		R_L = 2kΩ（连接至 2.5V），V_O = 0.2V 至 4.8V		94	113		
	大信号电压增益 LMV612（双通道）和 LMV614（四通道）	R_L = 600Ω（连接至 2.5V），V_O = 0.2V 至 4.8V		81	90		
		R_L = 2kΩ（连接至 2.5V），V_O = 0.2V 至 4.8V		85	100		
V_O	输出摆幅	R_L = 600Ω（连接至 2.5V）		4.855	4.89		V
		V_{IN} = ±100mV			0.12	0.16	
		R_L = 2kΩ（连接至 2.5V）		4.945	4.967		
		V_{IN} = ±100mV			0.037	0.065	
I_O	输出短路电流(5)	LMV611，拉电流，V_O = 0V，V_{IN} = 100mV			100		mA
		灌电流，V_O = 5V，V_{IN} = –100mV			65		

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅*以下一些应用中*。*绝对最大额定值* 表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
(2) 所有限值均根据测试或统计分析确定。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 对于规定的温度范围，请参阅输入共模电压规格。
(5) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。

版权 © 2012–2017, Texas Instruments Incorporated

6.10 电气特性 – 5V（交流）

所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = V^+/ 2，V_O = 2.5V，且 R_L > 1MΩ（除非另有说明）。(1)

参数		测试条件	最小值(2)	典型值(3)	最大值(2)	单位
SR	转换速率(4)			0.42		V/µs
GBW	增益带宽积			1.5		MHz
Φ_m	相位裕度			71		°
G_m	增益裕量			8		dB
e_n	输入基准电压噪声	f = 10kHz，V_{CM} = 1V		50		nV/√Hz
i_n	输入基准电流噪声	f = 10kHz		0.08		pA/√Hz
THD	总谐波失真	f = 1kHz、A_V = +1， R_L = 600Ω，V_O = 1V_{PP}		0.022%		
	放大器到放大器隔离(5)			123		dB

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅*以下一些应用中*。*绝对最大额定值* 表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
(2) 所有限值均根据测试或统计分析确定。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 作为电压跟随器连接且输入阶跃为 V^- 至 V^+。标注的数字是正负压摆率中较低的值。
(5) 以输入为参考，R_L = 100kΩ（连接至 V^+ / 2）。每个放大器依次以 1kHz 的频率接受激励以便产生 V_O = 3V_{PP}（电源电压小于 3 V 时，V_O = V^+）。

版权 © 2012–2017, Texas Instruments Incorporated

6.11 典型特性

V_S = 5V，单电源，T_A = 25°C（除非另有说明）

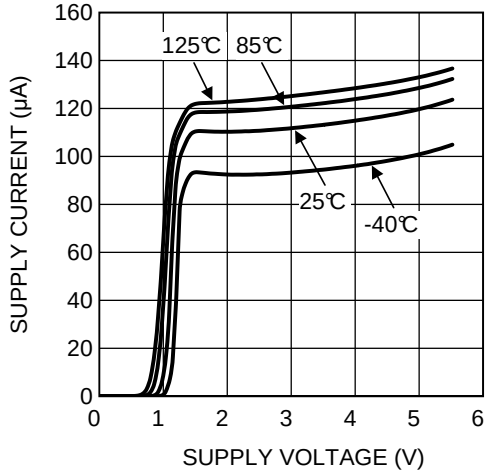


图 **1.** 电源电流与电源电压间的关系 **(LMV611)**

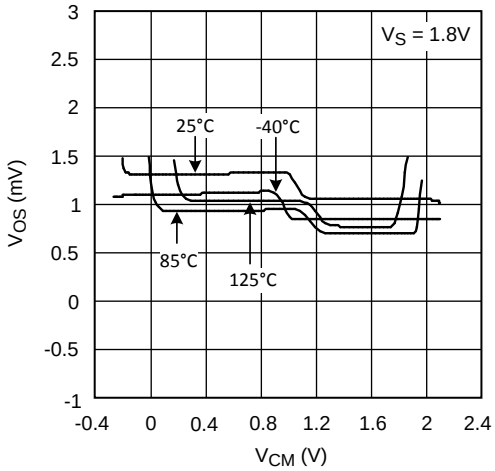


图 **2.** 失调电压与共模范围间的关系

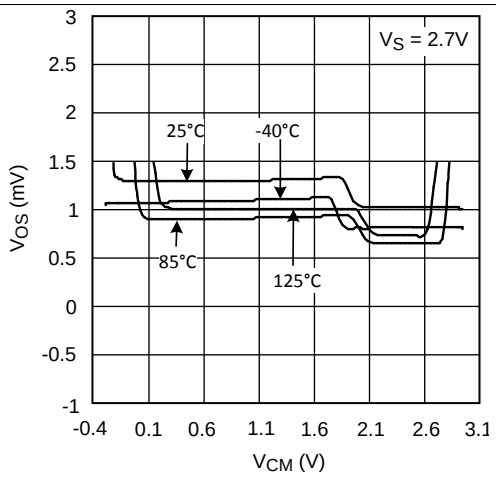


图 **3.** 失调电压与共模范围间的关系

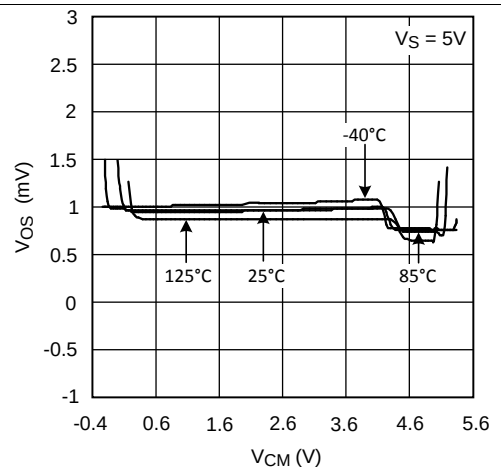


图 **4.** 失调电压与共模范围间的关系

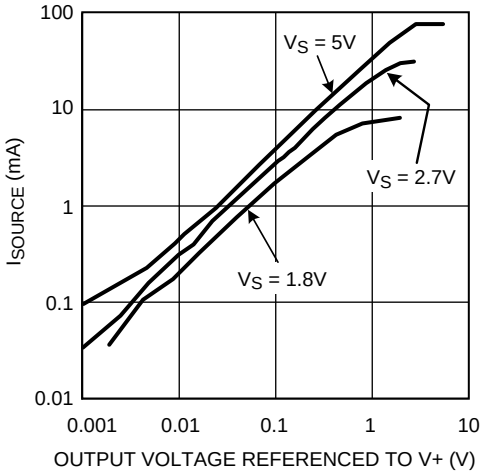


图 **5.** 拉电流与输出电压间的关系

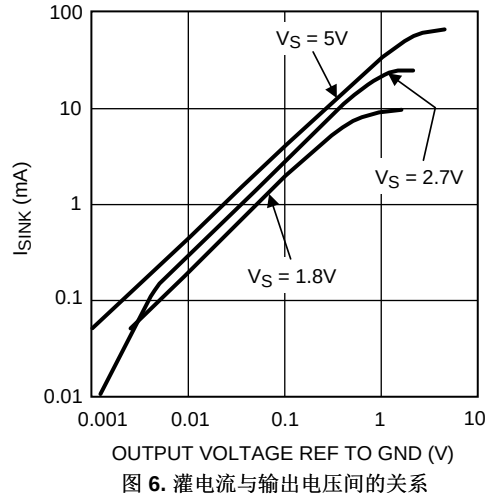


图 **6.** 灌电流与输出电压间的关系

典型特性 (接下页)

V_S = 5V，单电源，T_A = 25°C（除非另有说明）

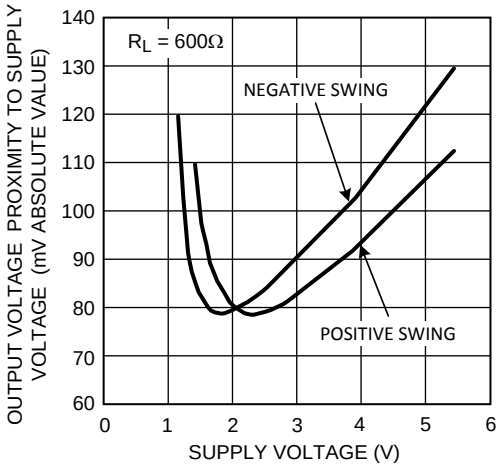


图 **7.** 输出电压摆幅与电源电压间的关系

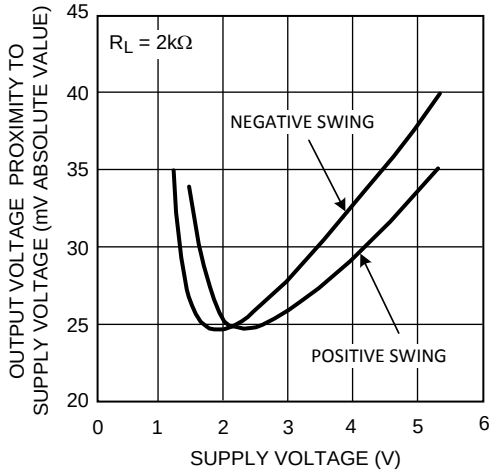


图 **8.** 输出电压摆幅与电源电压间的关系

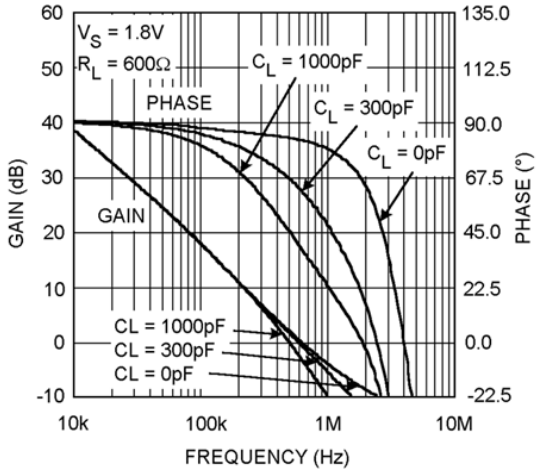


图 **9.** 增益和相位与频率间的关系

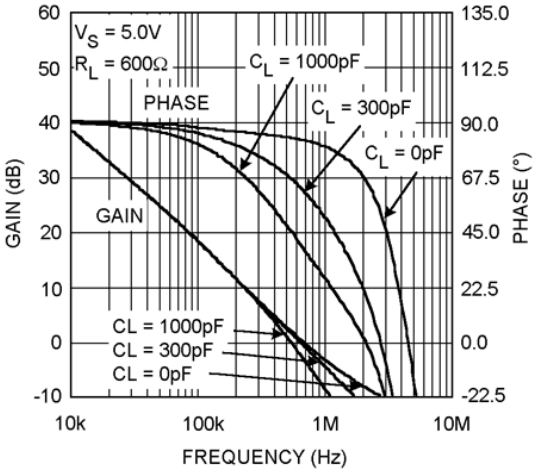


图 **10.** 增益和相位与频率间的关系

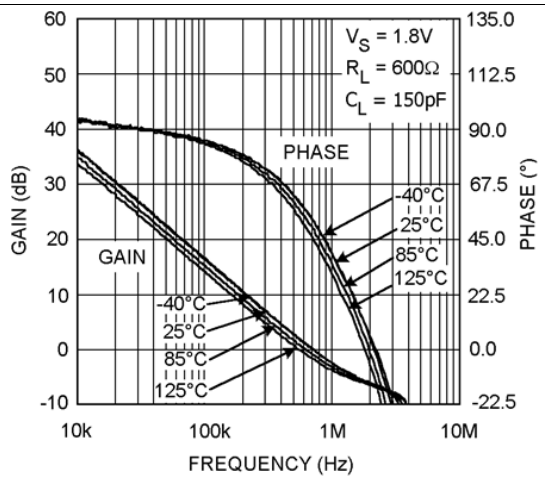


图 **11.** 增益和相位与频率间的关系

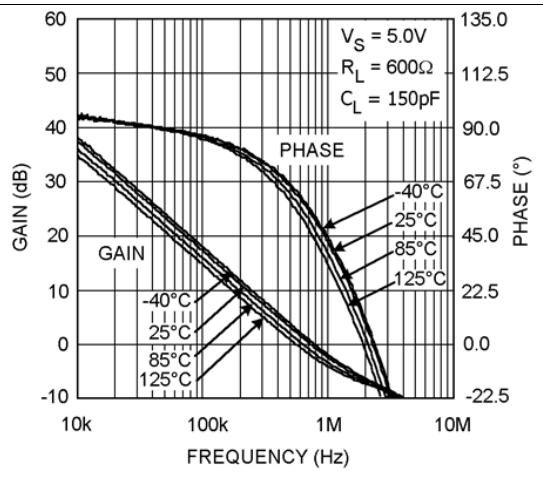


图 **12.** 增益和相位与频率间的关系

版权 © 2012–2017, Texas Instruments Incorporated

典型特性 (接下页)

V_S = 5V，单电源，T_A = 25°C（除非另有说明）

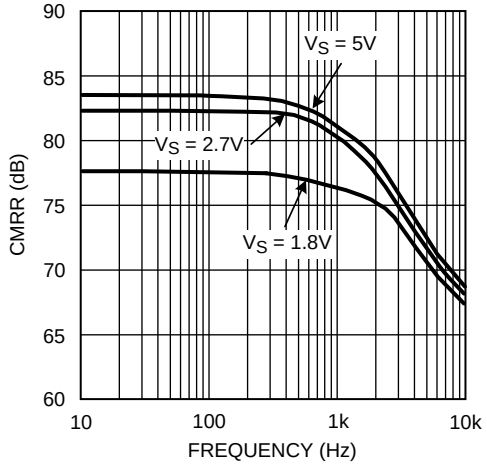


图 **13. CMRR** 与频率间的关系

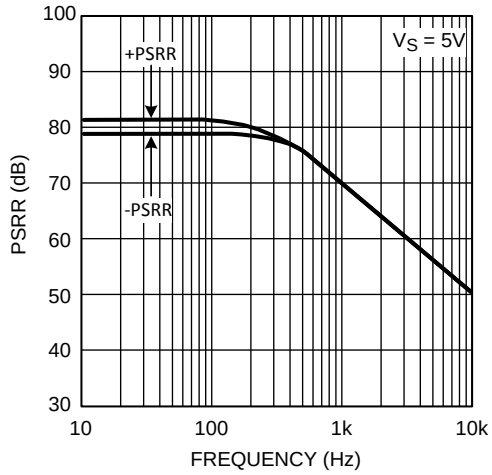


图 **14. PSRR** 与频率间的关系

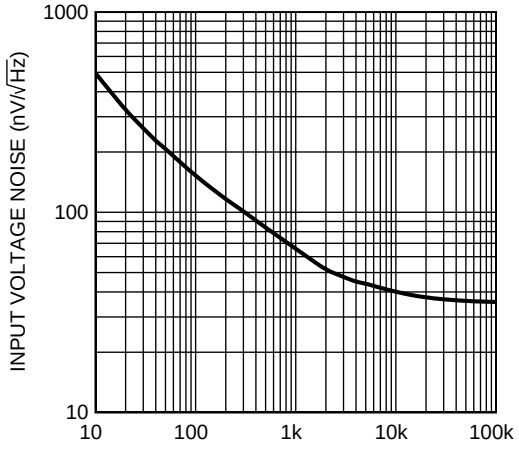


图 **15.** 输入电压噪声与频率间的关系

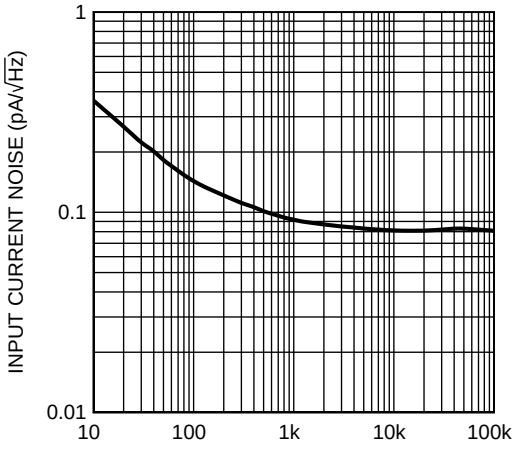


图 **16.** 输入电流噪声与频率间的关系

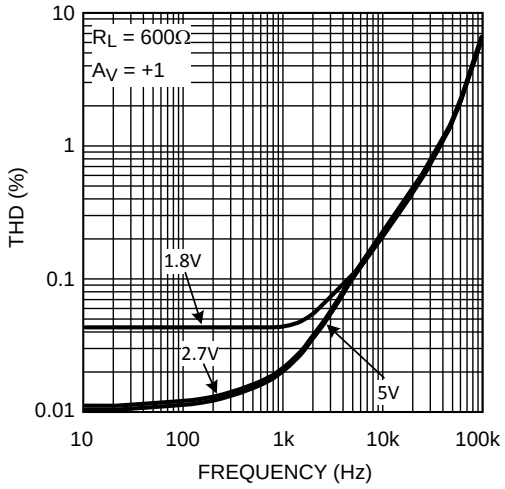


图 **17. THD** 与频率间的关系

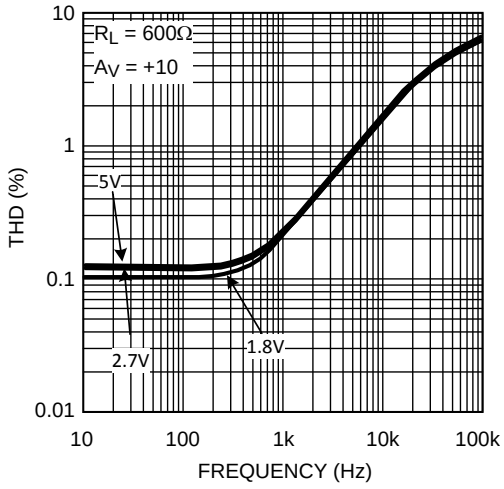


图 **18. THD** 与频率间的关系

典型特性 (接下页)

V_S = 5V，单电源，T_A = 25°C（除非另有说明）

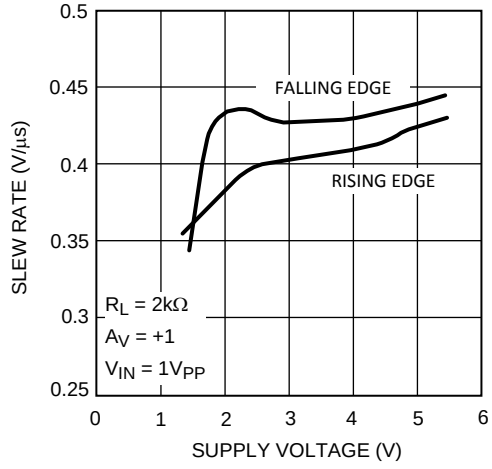


图 **19.** 压摆率与电源电压间的关系
LMV611 和 **LMV614**

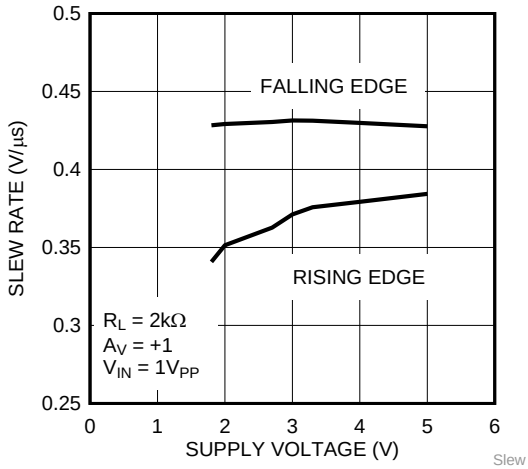


图 **20.** 压摆率与电源电压间的关系
仅 **LMV612**

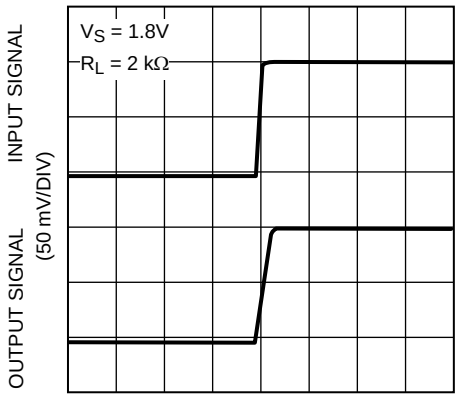


图 **21.** 小信号同相响应

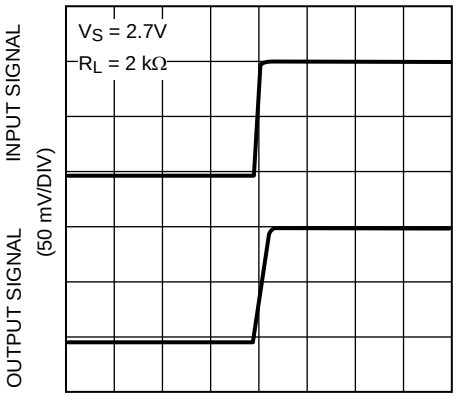


图 **22.** 小信号同相响应

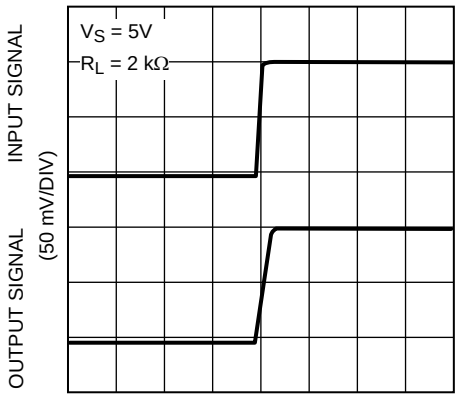


图 **23.** 小信号同相响应

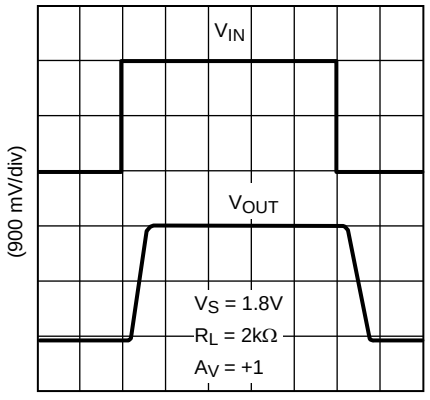


图 **24.** 大信号同相响应

版权 © 2012–2017, Texas Instruments Incorporated

典型特性 (接下页)

V_S = 5V，单电源，T_A = 25°C（除非另有说明）

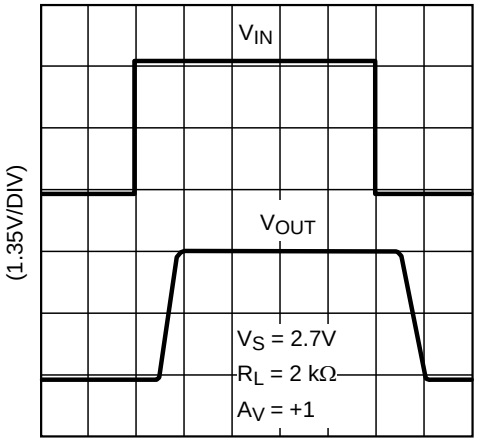


图 **25.** 大信号同相响应

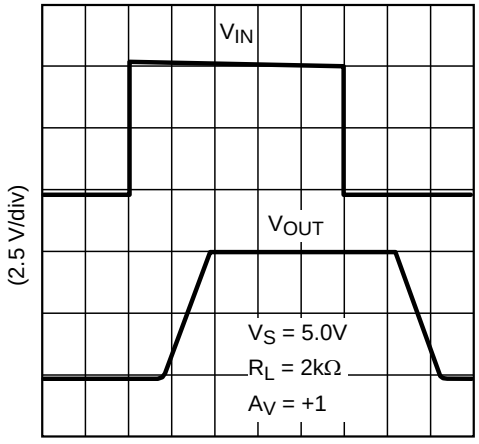


图 **26.** 大信号同相响应

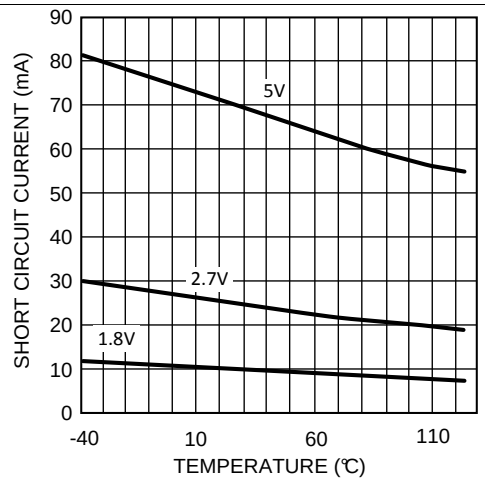


图 **27.** 短路电流与温度间的关系（灌电流）

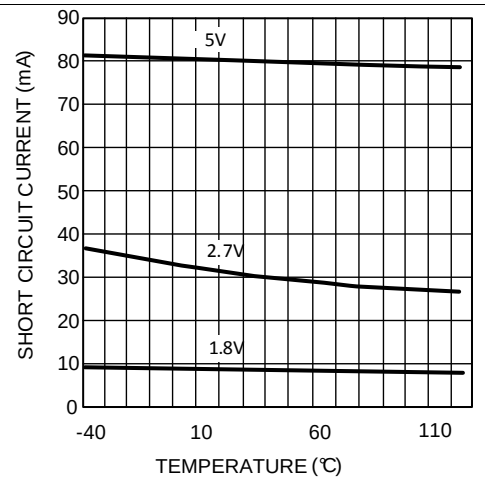


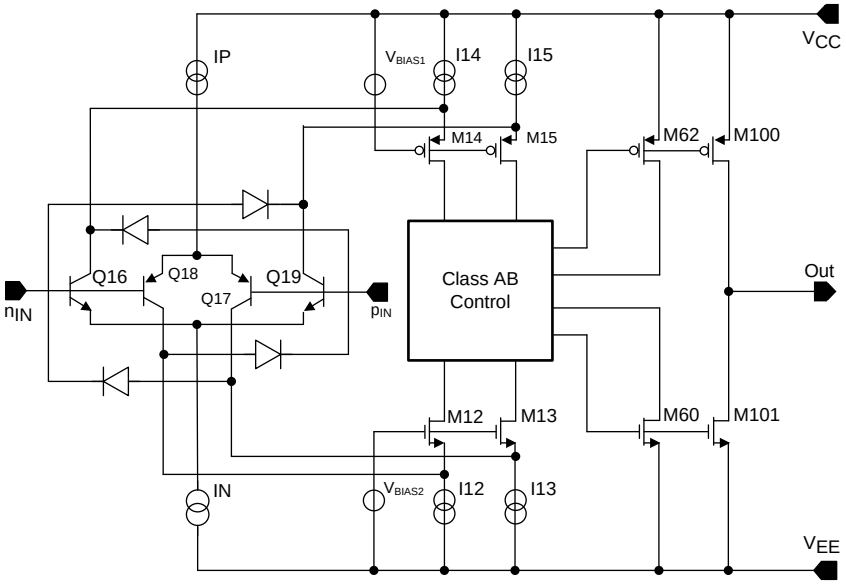
图 **28.** 短路电流与温度间的关系（拉电流）

7 详细 说明

7.1 概述

当消耗的静态电流为 100μA（典型值）时，LMV61x 器件可实现 1.4MHz 的增益带宽。它们还提供最大输入失调电压为 4mV 的轨至轨输入。最后，LMV61x 输入共模在电源基础上向外扩展了 200mV，无负载时提供轨至轨输出摆幅，
而在由 1.8V 电源供电且负载为 2kΩ 时提供 30mV 以内的输出电压。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 输入和输出级

此系列器件的轨至轨输入级可为设计人员提供更多灵活性。LMV61x 采用互补的 PNP 和 NPN 输入级，其中的 PNP 级可感测 V^- 附近的共模电压，而 NPN 级可感测 V^+ 附近的共模电压。从 PNP 级到 NPN 级的转换发生在 V^+ 下方 1V 位置。由于两个输入级都有自己的失调电压，因此放大器的失调电压将成为输入共模电压的函数，并且其交叉点位于 V^+ 下方 1V 位置。

如不采取适当的预防措施，这个 V_{OS} 交叉点可能会给直流耦合和交流耦合信号带来问题。包含 V_{OS} 交叉点的大输入信号会导致输出信号失真。避免这种失真的一种方法是让信号远离交叉点。例如，在单位增益缓冲器配置中，当 V_S = 5V 时，5V 峰间信号包含输入交越失真，而以 1.5V 为中心的 3V 峰间信号不包含输入交越失真，因为它避开了交叉点。避免大信号失真的另一种方法是使用增益为 −1 的电路，该电路可避免放大器输入端子处发生任何电压偏移。在该电路中，共模直流电压可设置为远离 V_{OS} 交叉点的电平。对于小信号，V_{OS} 发生的这种转换表现为与输入信号串联并与 V_{CM} 相关的杂散信号，并且可有效地使小信号参数（如增益和共模抑制比）降级。为了解决此问题，放置小信号时必须让其避开 V_{OS} 交叉点。除了轨至轨性能外，输出级还可提供足够的输出电流
来驱动 600Ω 负载。由于器件具有高电流能力，请注意不要超过 150°C 的最大结温规格。

版权 © 2012–2017, Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 输入偏置电流注意事项

LMV61x 系列具有互补双极输入级。输入偏置电流 (I_B) 典型值为 15nA。输入偏置电流可产生较大的失调电压。此失调电压主要归因于 I_B 流经负反馈电阻器 R_F。例如，如果 I_B 为 50nA 且 R_F 为 100kΩ，则会产生 5mV 的失调电压 ($V_{OS} = I_B \times R_F$)。使用补偿电阻器 (R_C)（如图 29 所示）可以消除这种影响。但是，输入失调电流 (I_{OS}) 仍以同样的方式影响失调电压。

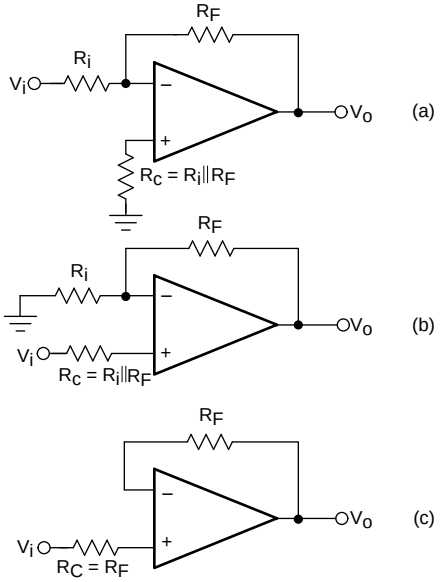


图 **29.** 消除因输入偏置电流而产生的失调电压

8 以下一些应用中

注

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

LMV61x 器件为低电压、低功耗系统带来了出色的性能、经济性和易用性。这些器件可向重负载提供轨至轨输入和轨至轨输出摆幅。

8.1.1 具有轨至地输出摆幅的半波整流器

由于 LMV61x 输入共模范围同时包括正电源轨和负电源轨，并且输出也可以摆动到任一电源轨，因此在任一方向实现半波整流器功能都非常容易。所需要的只是两个外部电阻器；不需要二极管和匹配的电阻器。半波整流器可提供正向或负向输出，具体取决于电路布局。

在图 30 中，电路以地为参考，而在图 31 中，电路偏置于正电源。这些配置可实现半波整流器，因为 LMV61x 无法响应输入波形的一半。之所以无法响应输入波形的一半，是因为放大器无法将输出摆动到任一电源轨之外。所以，在这半个周期，输出会脱离。然而，在另半个周期内，放大器可以实现半波，且峰值可与总电源电压相等。R_I 必须足够大以便不加载 LMV61x。

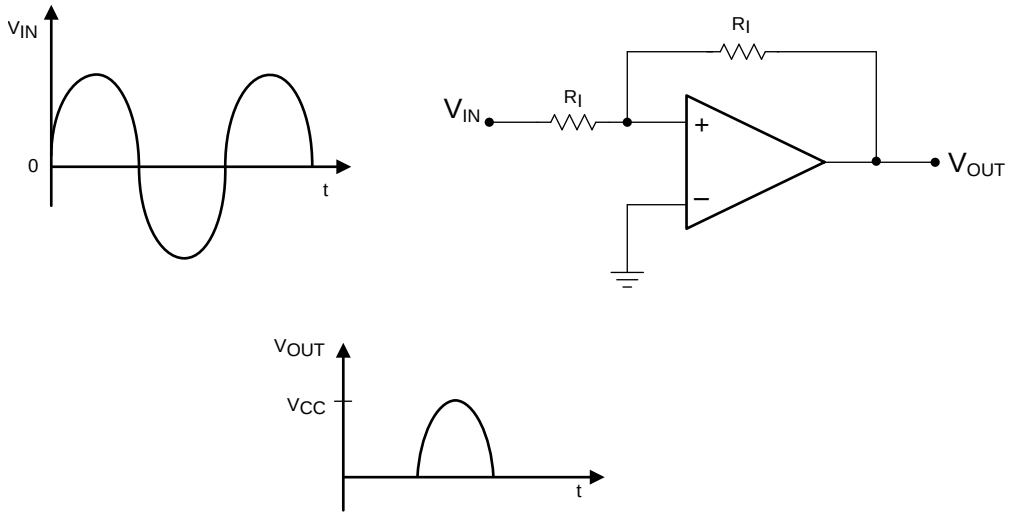


图 **30.** 半波整流器的轨至地输出摆幅以地为参考

版权 © 2012–2017, Texas Instruments Incorporated

应用信息 (接下页)

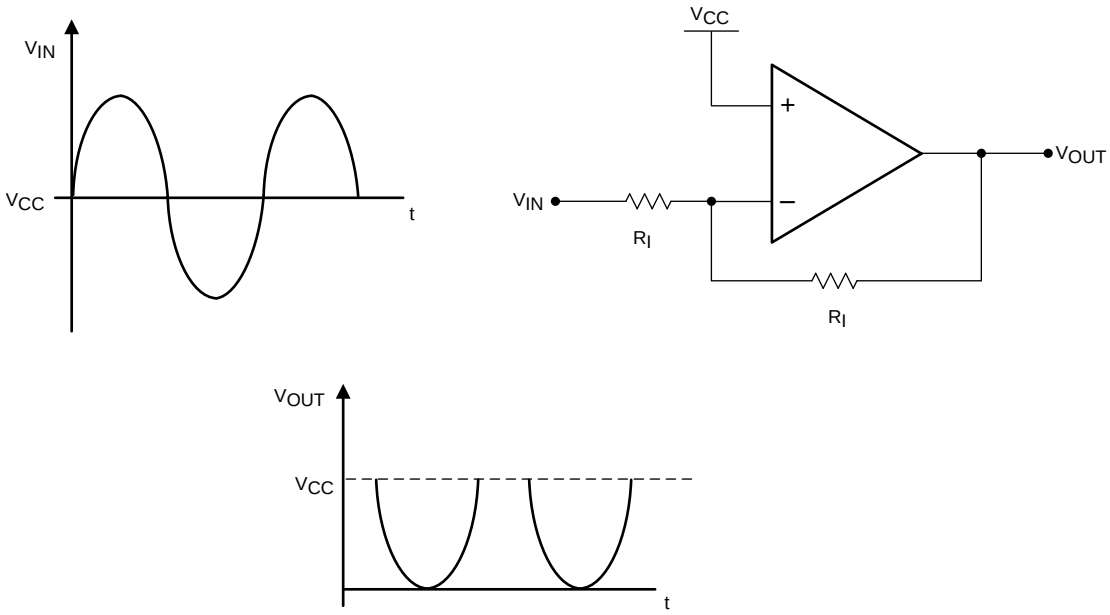


图 **31.** 半波整流器的负向输出以 V_{CC} 为参考

8.1.2 具有轨至轨输入和输出的仪表放大器

一些制造商通过在输入端使用电阻分压器使非轨至轨运算放大器变为轨至轨运算放大器。电阻器会将输入电压分压以获得轨至轨输入范围。这种方法的问题在于它也会将信号分割，所以为了获得所需的增益，放大器必须具有较高的闭环增益。这样就会按照内部增益系数提高噪声和漂移，并降低输入阻抗。此外，这些精密电阻器有任何不匹配都会降低 CMRR。LMV61x 是轨至轨放大器，因此不存在这些缺点。

使用三个 LMV61x 放大器可以设计出一种具有轨至轨输入和输出的仪表放大器（如图 32 所示）。

在以下示例中，左侧的放大器充当差分级的缓冲器。这些缓冲器可确保输入阻抗很高，并且无需在输入级使用精密匹配电阻器。它们还能确保差分放大器通过电压源驱动。为了维持 CMRR（通过匹配 R_1-R_2 与 R_3-R_4 进行设定），这是必要的。增益通过 R_2/R_1 的比值确定，并且 R_3 必须等于 R_1，R_4 必须等于 R_2。在轨至轨输入和输出范围内，输入和输出仅受电源电压限制。请注意，即使具有轨至轨输出，输出也不能摆动越过电源，所以共模电压加上信号的组合值不得超过电源值，否则将实施限制。

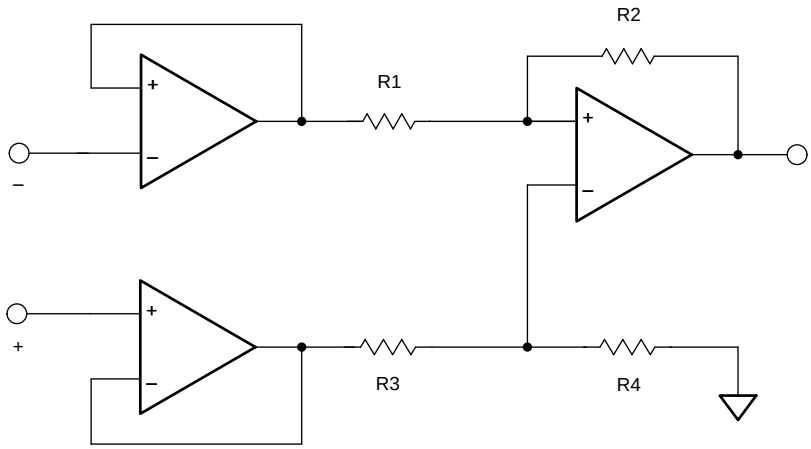
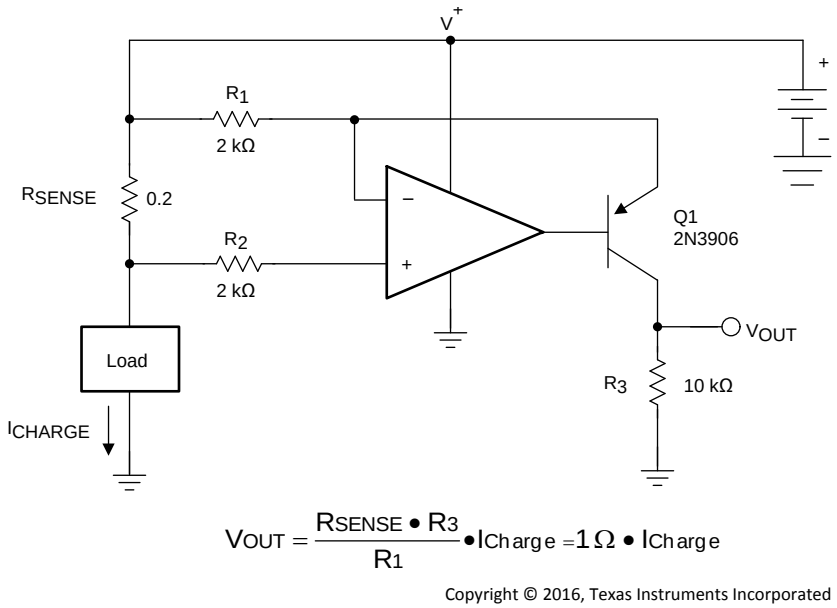


图 **32.** 轨至轨仪表放大器

8.2 典型 应用

8.2.1 高侧电流检测



$$V_{OUT} = \frac{R_{SENSE} \bullet R_3}{R_1} \bullet I_{Charge} = 1\,\Omega \bullet I_{Charge}$$

Copyright © 2016, Texas Instruments Incorporated

图 **33.** 高侧电流检测原理图

8.2.1.1 设计要求

高侧电流检测电路（图 33）通常在电池充电器中用于监测充电电流，从而防止过充。一个检测电阻器 R_{SENSE} 直接连接到电池。此系统需要一个具有轨至轨输入的运算放大器。LMV61x 是此应用的理想选择，因为它的共模输入范围能达到电源轨。

版权 © 2012–2017, Texas Instruments Incorporated

典型 应用 (接下页)

8.2.1.1.1 使用 WEBENCH® 工具创建定制设计

请单击此处，使用 LMV61x 器件并借助 WEBENCH® 电源设计器创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化关键参数设计，如效率、封装和成本。
3. 将生成的设计与德州仪器 (TI) 的其他解决方案进行比较。

WEBENCH 电源设计器可提供定制原理图以及罗列实时价格和组件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案导出至常用 CAD 格式
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com.cn/WEBENCH。

8.2.1.2 详细设计流程

如图 33 所示，I_{CHARGE} 电流流经检测电阻器 R_{SENSE} 将产生等于 V_{SENSE} 的压降。负检测点处的电压现在小于正检测点的电压，此差值与 V_{SENSE} 电压成比例。

LMV61x 的低偏置电流通过 R_2 时产生的压降很小，因此 LMV61x 放大器的负输入与负检测输入处于基本相同的电位。

LMV61x 会检测其输入之间的这个电压误差，并驱使晶体管基极让更多电流通过 Q1，从而增加 R_1 两端的压降，直到 LMV61x 反相输入与同相输入匹配为止。此时，R_1 上的压降与 V_{SENSE} 匹配。

I_G 电流与 I_{CHARGE} 成比例，并根据公式 1 运行。

$$I_G = V_{RSENSE} / R_1 = (R_{SENSE} \times I_{CHARGE}) / R_1 \quad (1)$$

I_G 也流经增益电阻器 R_3，从而产生等于公式 2 的压降。

$$V_3 = I_G \times R_3 = (V_{RSENSE} / R_1) \times R_3 = ((R_{SENSE} \times I_{CHARGE}) / R_2) \times R_3 \quad (2)$$

$$V_{OUT} = (R_{SENSE} \times I_{CHARGE}) \times G$$

其中

- $G = R_3 / R_1$ (3)

LMV61x 的另一个通道可用于缓冲 R3 上的电压以驱动后续各级。

8.2.1.2.1 应用曲线

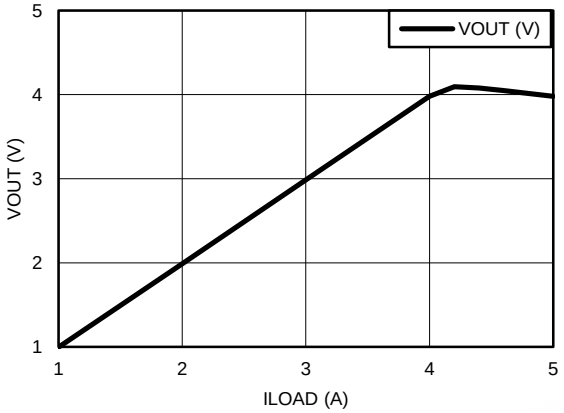


图 **34.** 高侧电流检测结果

9 电源相关建议

为了正确运行，必须适当地对电源进行去耦。为了对电源线进行去耦，TI 建议将 10nF 电容器尽可能靠近运算放大器电源引脚放置。对于单电源，应在 V^+ 和 V^- 电源引线之间放置一个电容器。对于双电源，应在 V^+ 和接地端之间放置一个电容器，并在 V^- 和接地端之间放置一个电容器。

10 布局

10.1 布局指南

为了正确旁路掉电源，必须考虑印刷电路板上的多个位置。必须
在放大器的电源被引入电路板的位置放置一个 6.8μF 或更大的钽电容器。必须在尽可能靠近放大器电源引脚的位置放置另一个 0.1μF 的陶瓷电容器。如果放大器在单电源供电的情况下工作，则只需要使用 0.1μF 的电容器旁路掉 V^+ 引脚。如果放大器在双电源供电的情况下工作，则 V^+ 和 V^- 引脚都必须旁路掉。

最好在印刷电路板上使用接地平面为所有组件提供低电感接地连接。

TI 建议在 LMV611-N 应用电路中使用 0805 或更小尺寸的表面贴装组件。设计人员可以利用 VSSOP 微型尺寸来缩小电路板布局以便节省空间并减少杂散电容。

10.2 布局示例

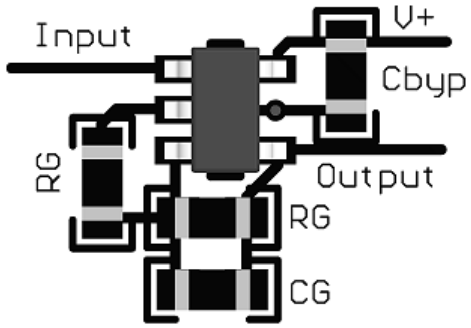


图 **35. SOT-23** 布局示例

版权 © 2012–2017, Texas Instruments Incorporated

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

相关开发支持请参阅以下文档：

- LMV611 SPICE 模型
- LMV612 SPICE 模型
- LMV614 SPICE 模型
- 基于 SPICE 的模拟仿真程序，TINA-TI
- DIP 适配器评估模块，DIP 适配器 EVM
- TI 通用运算放大器评估模块，运算放大器 EVM
- TI 软件，FilterPro

11.1.1.1 使用 WEBENCH® 工具创建定制设计

请单击此处，使用 LMV61x 器件并借助 WEBENCH® 电源设计器创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化关键参数设计，如效率、封装和成本。
3. 将生成的设计与德州仪器 (TI) 的其他解决方案进行比较。

WEBENCH 电源设计器可提供定制原理图以及罗列实时价格和组件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案导出至常用 CAD 格式
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com.cn/WEBENCH。

11.2 文档支持

11.2.1 相关文档

请参阅如下相关文档：

- *《焊接的绝对最大额定值》*
- AN-29《AN-29 IC 运算放大器的输入电流规格优于 FET》
- *《AN-31 运算放大器电路汇总》*
- AN-71《AN-71 使用 LM4250 可编程运算放大器的微功耗电路》
- *《AN-127 LM143 单片高电压运算放大器 应用》*

11.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
LMV611	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
LMV612	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
LMV614	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

版权 © 2012–2017, Texas Instruments Incorporated

11.4 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.6 商标

E2E is a trademark of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.7 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.8 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

版权 © 2012–2017, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV611MF/NOPB	Active	Production	SOT-23 (DBV) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AE9A
LMV611MF/NOPB.A	Active	Production	SOT-23 (DBV) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AE9A
LMV611MFX/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AE9A
LMV611MFX/NOPB.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AE9A
LMV611MG/NOPB	Active	Production	SC70 (DCK) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AVA
LMV611MG/NOPB.A	Active	Production	SC70 (DCK) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AVA
LMV611MGX/NOPB	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AVA
LMV611MGX/NOPB.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AVA
LMV612MA/NOPB	Active	Production	SOIC (D) | 8	95 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV6 12MA
LMV612MA/NOPB.A	Active	Production	SOIC (D) | 8	95 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV6 12MA
LMV612MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV6 12MA
LMV612MAX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV6 12MA
LMV612MM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 125	AD9A
LMV612MM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AD9A
LMV612MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 125	AD9A
LMV612MMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AD9A
LMV614MA/NOPB	Active	Production	SOIC (D) | 14	55 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV614MA
LMV614MA/NOPB.A	Active	Production	SOIC (D) | 14	55 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV614MA
LMV614MAX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV614MA
LMV614MAX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV614MA
LMV614MT/NOPB	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV61 4MT
LMV614MT/NOPB.A	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV61 4MT
LMV614MTX/NOPB	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV61 4MT

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV614MTX/NOPB.A	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV61 4MT

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

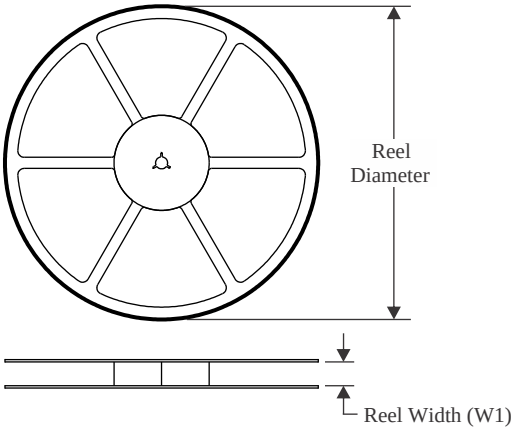
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

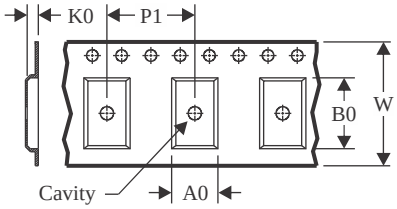
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

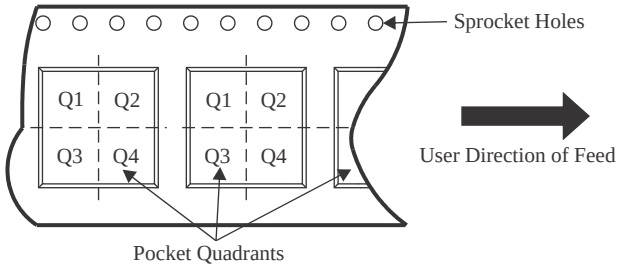


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

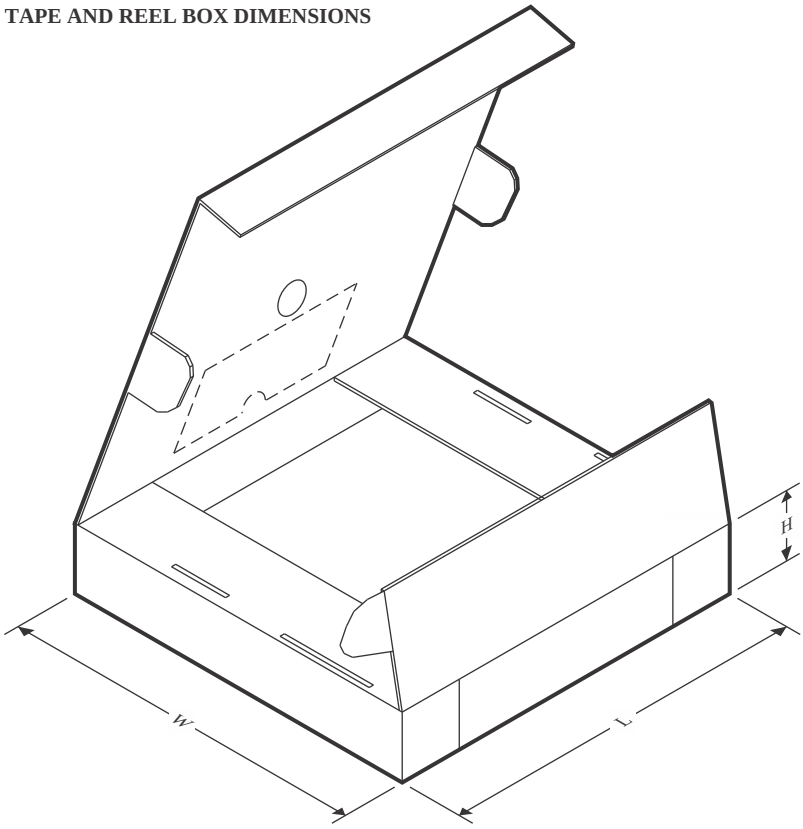
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV611MF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV611MF/NOPB	SOT-23	DBV	5	1000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV611MFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV611MFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV611MG/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV611MGX/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV612MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV612MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV612MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV614MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV614MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV614MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

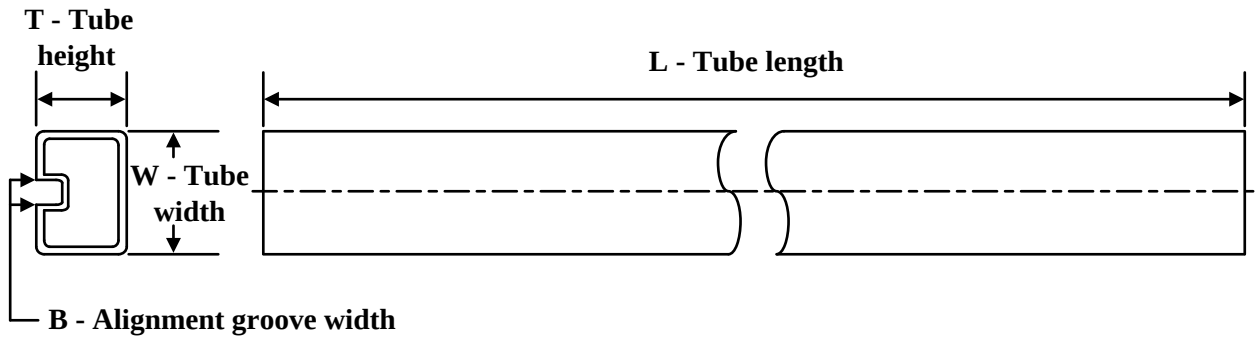
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV611MF/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV611MF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
LMV611MFX/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV611MFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV611MG/NOPB	SC70	DCK	5	1000	208.0	191.0	35.0
LMV611MGX/NOPB	SC70	DCK	5	3000	208.0	191.0	35.0
LMV612MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV612MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV612MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV614MAX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMV614MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV614MTX/NOPB	TSSOP	PW	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

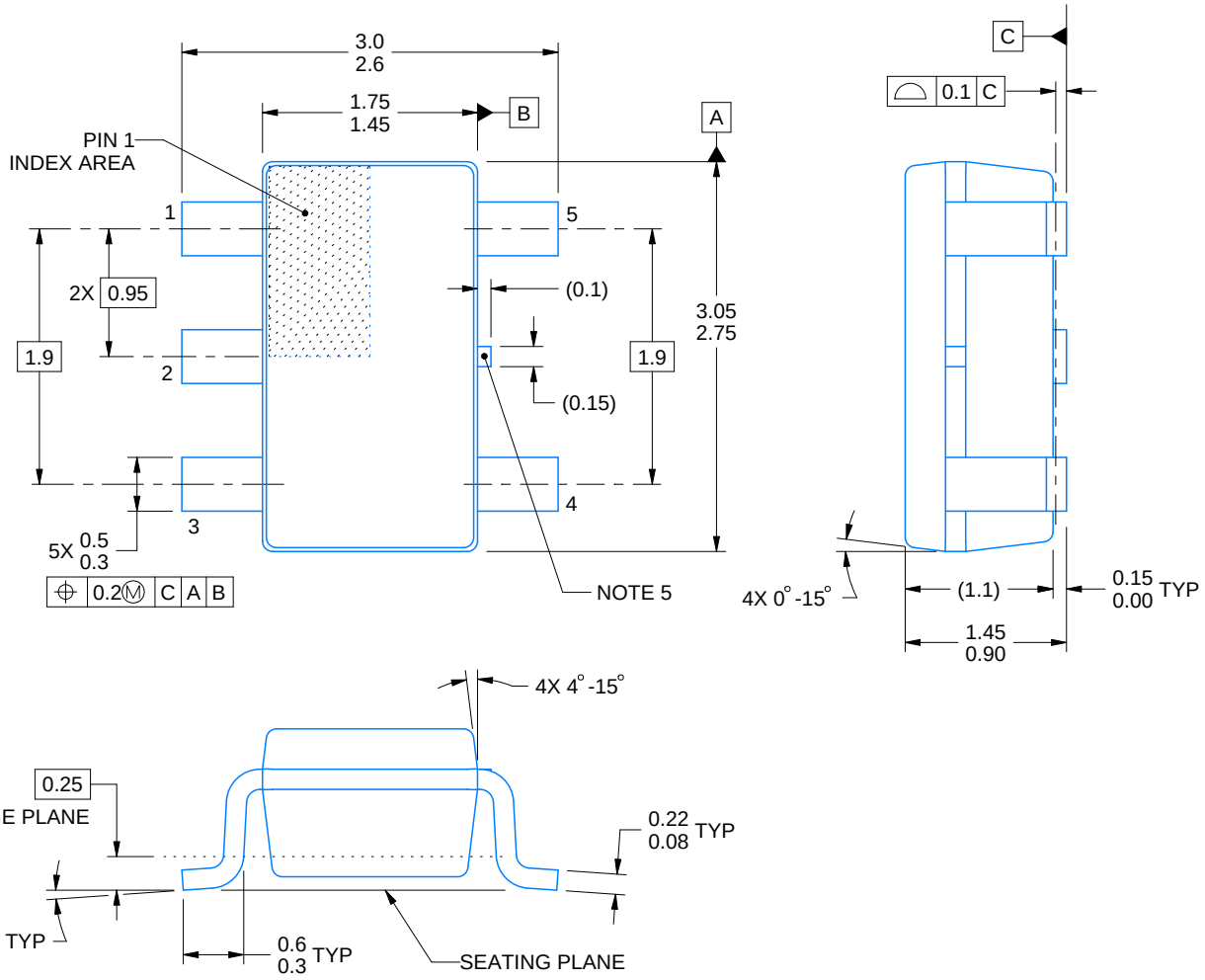
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMV612MA/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV612MA/NOPB.A	D	SOIC	8	95	495	8	4064	3.05
LMV614MA/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV614MA/NOPB.A	D	SOIC	14	55	495	8	4064	3.05
LMV614MT/NOPB	PW	TSSOP	14	94	530	10.2	3600	3.5
LMV614MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV614MT/NOPB.A	PW	TSSOP	14	94	530	10.2	3600	3.5
LMV614MT/NOPB.A	PW	TSSOP	14	94	495	8	2514.6	4.06

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

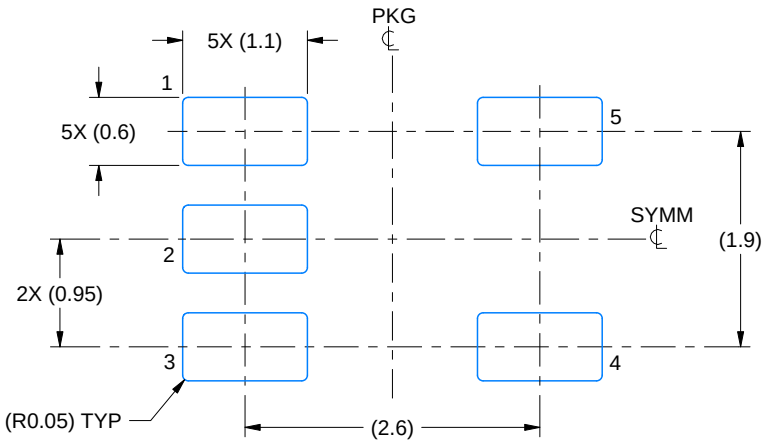
SMALL OUTLINE TRANSISTOR



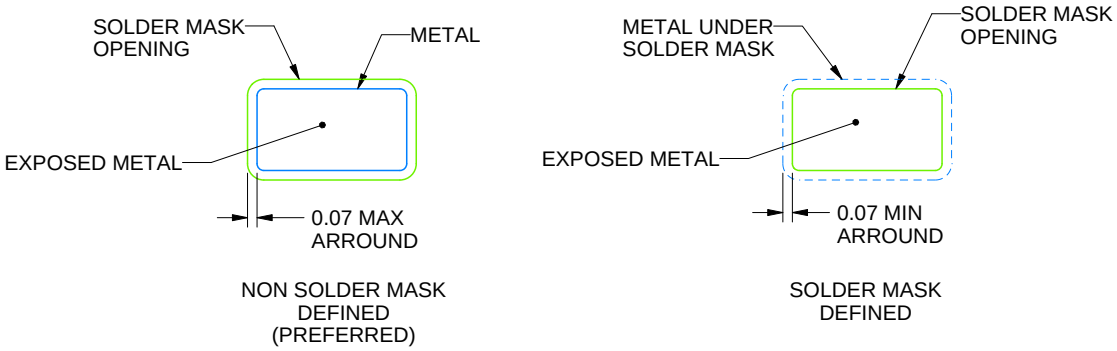
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

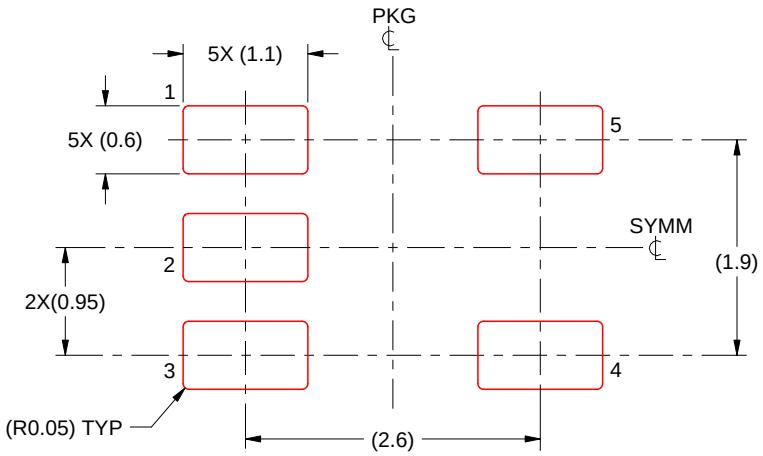


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

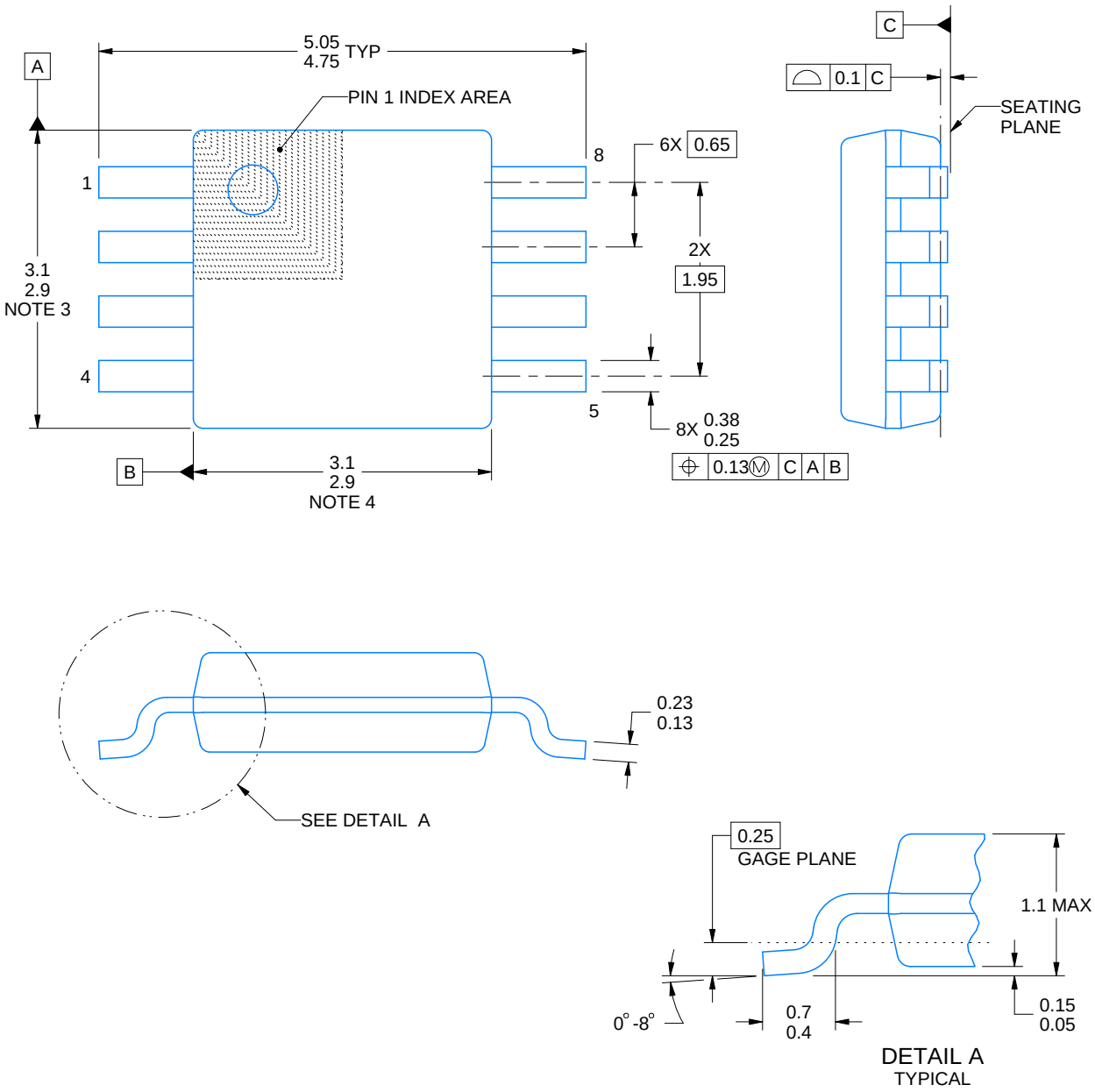
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

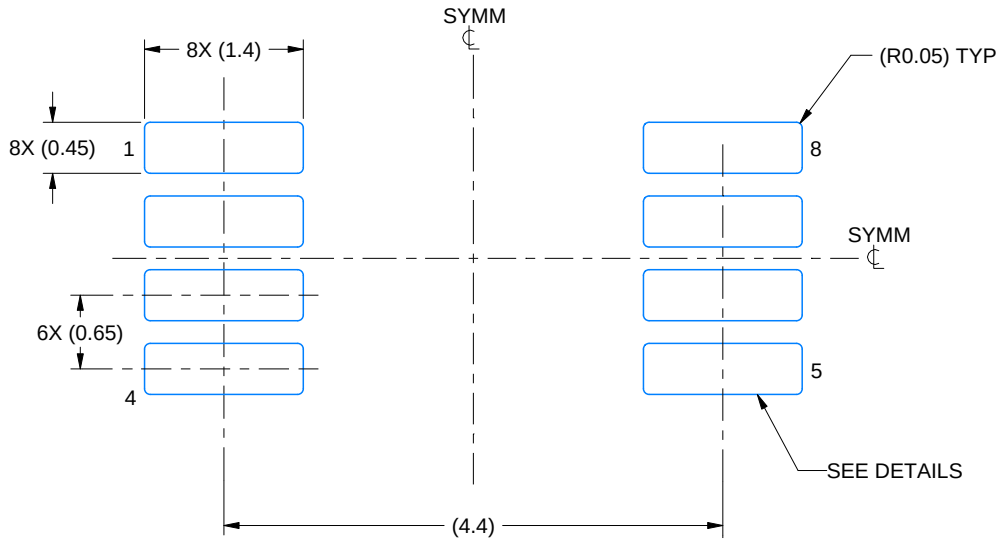
SMALL OUTLINE PACKAGE



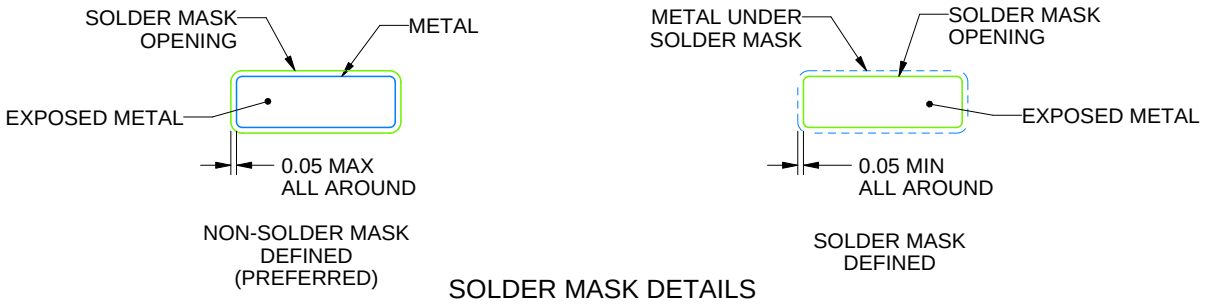
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

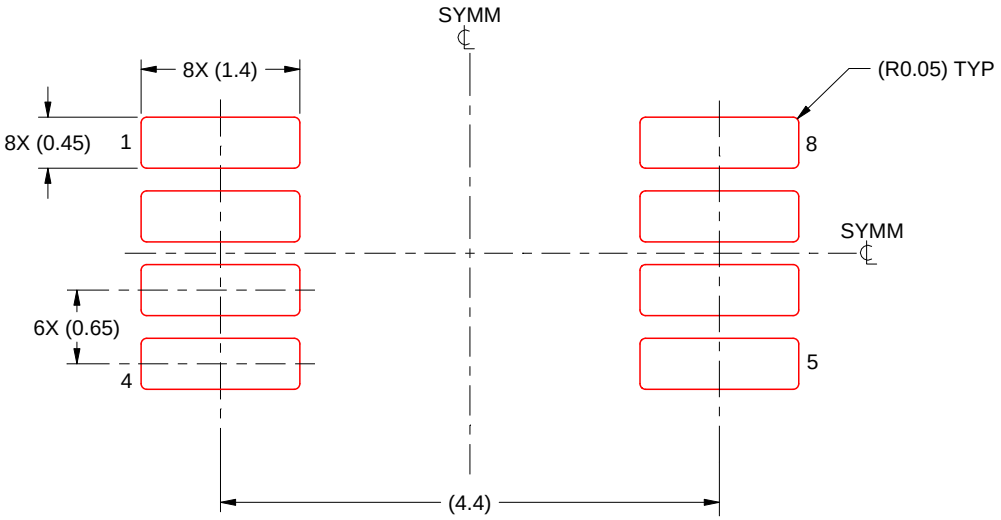


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

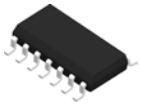


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

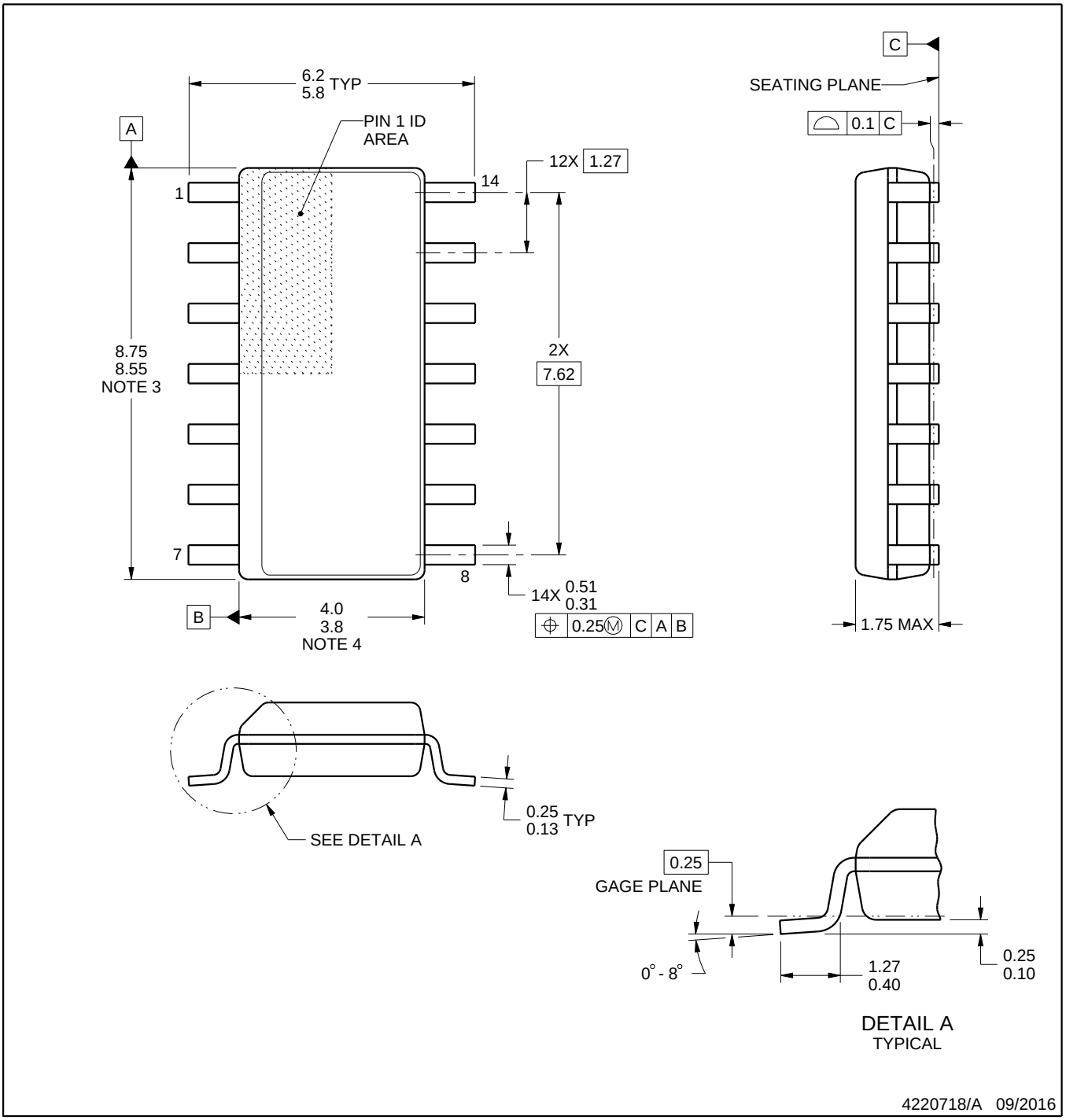


PACKAGE OUTLINE

D0014A

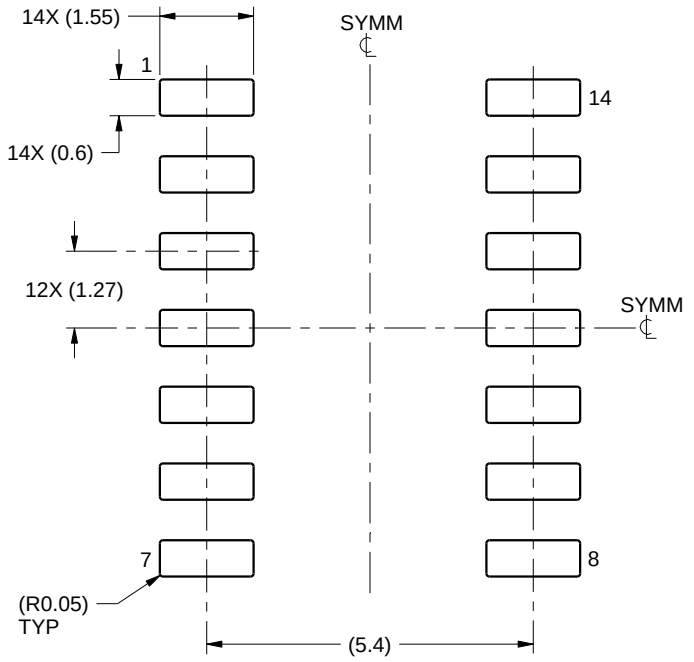
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

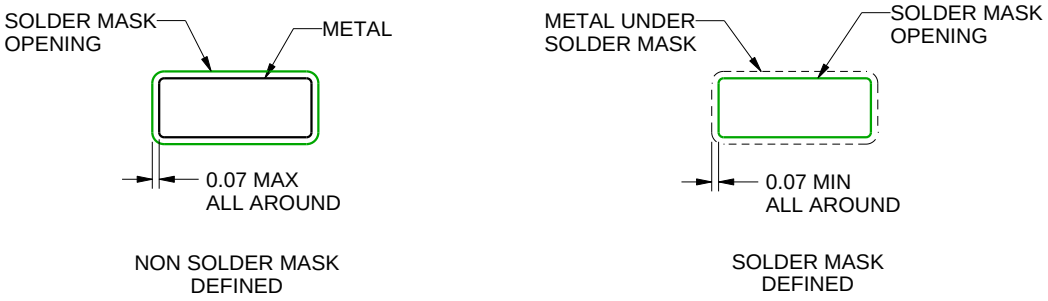


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

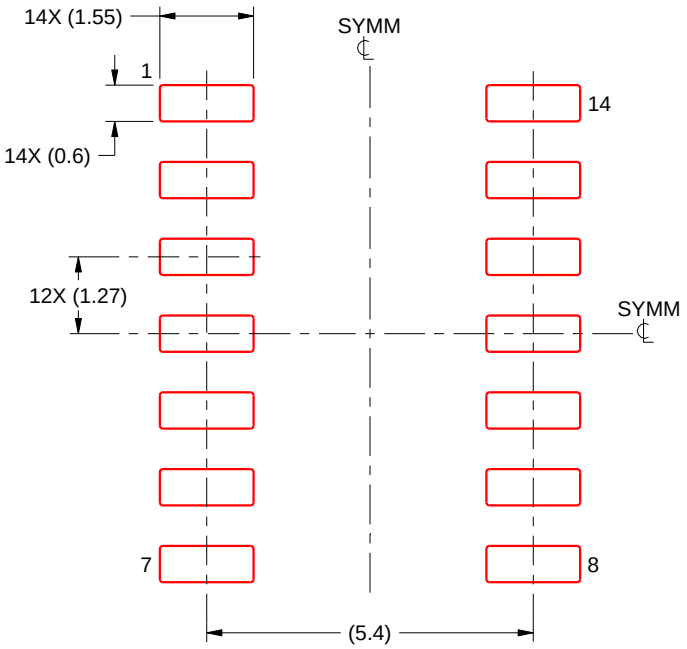
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

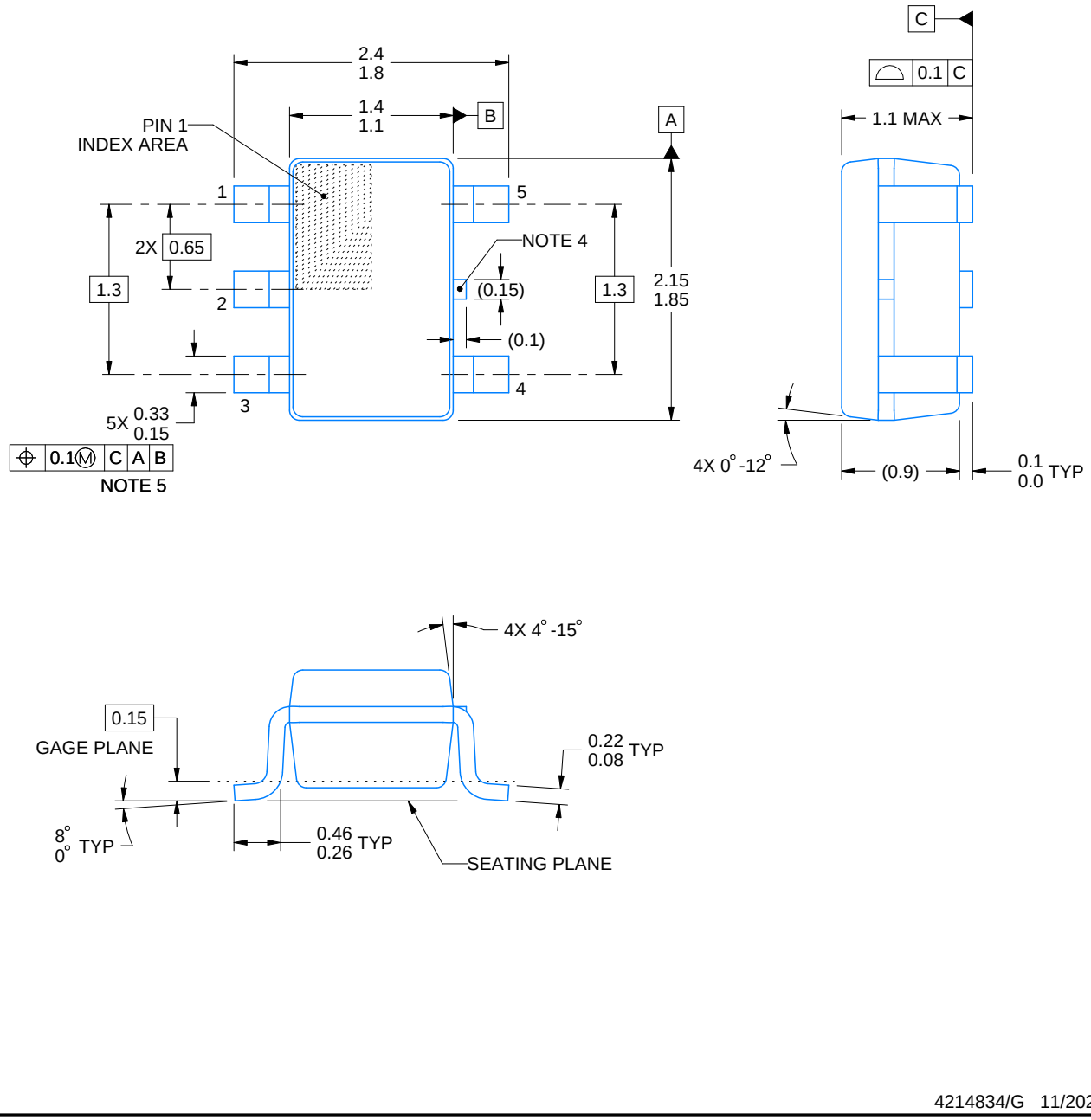
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

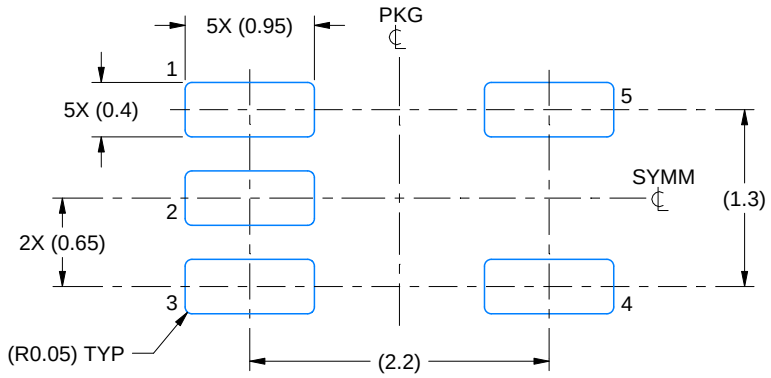
SMALL OUTLINE TRANSISTOR



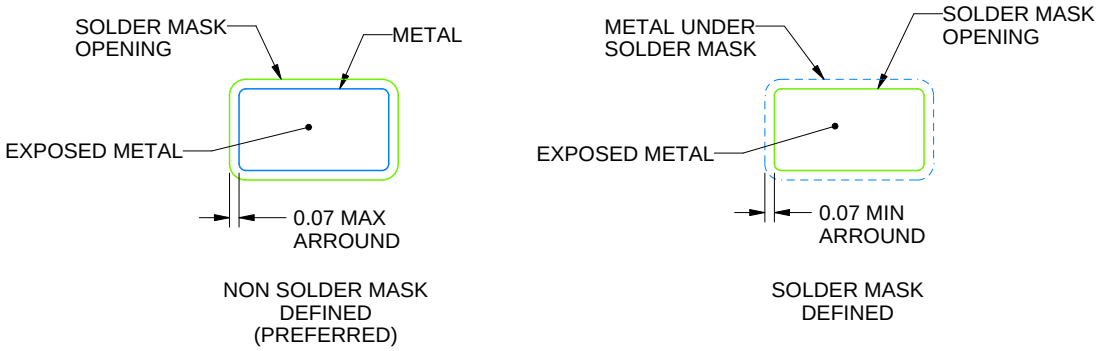
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

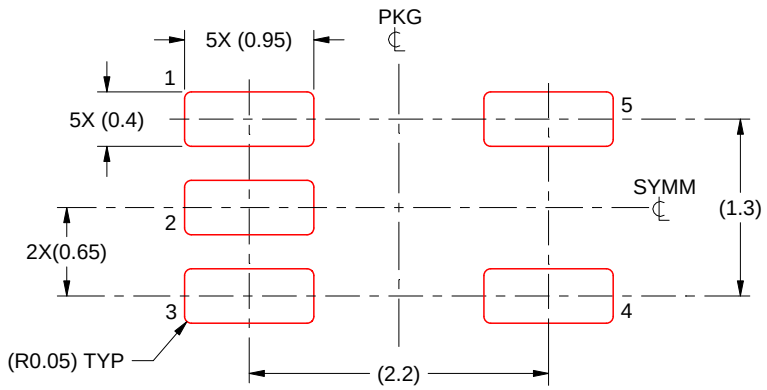


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

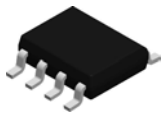


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

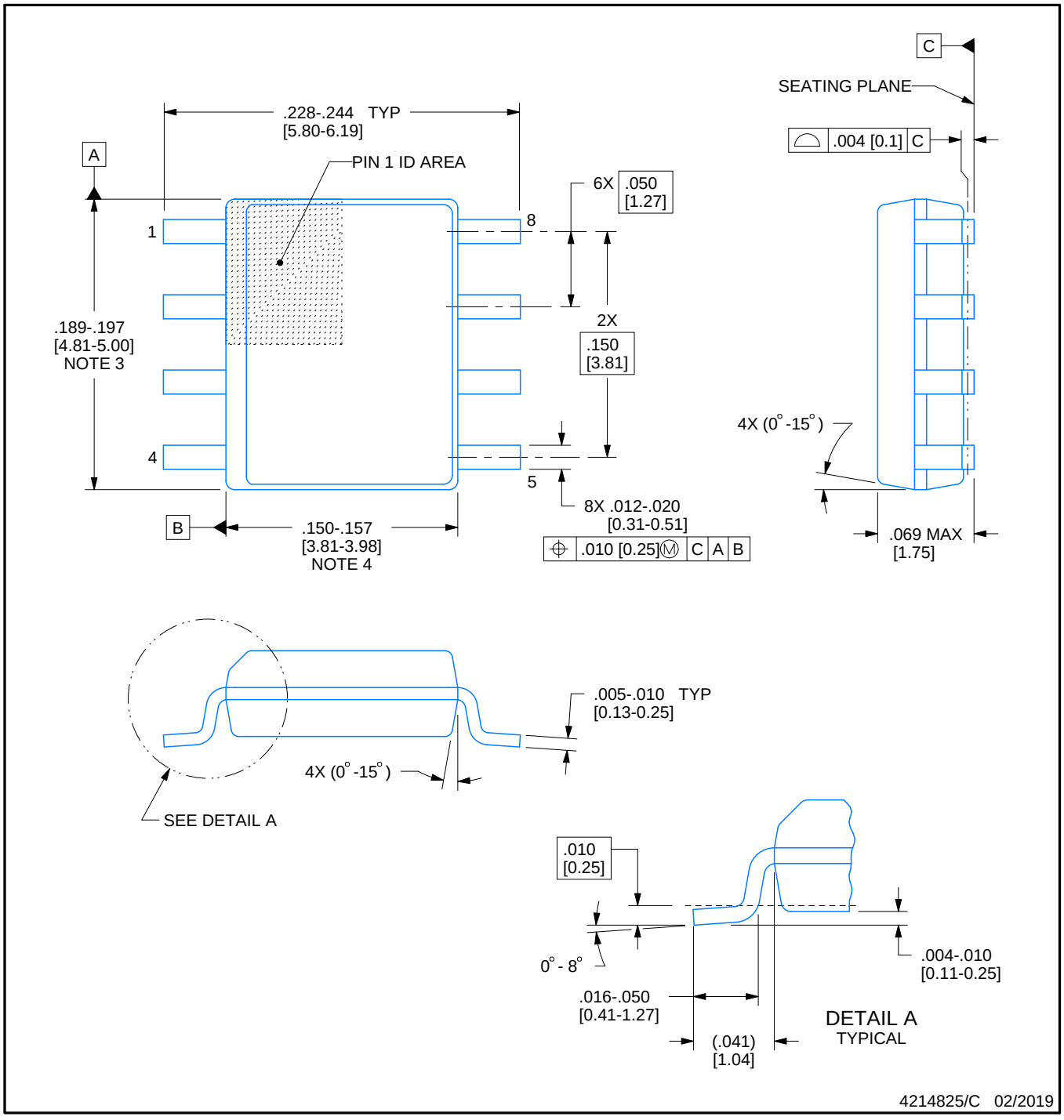


PACKAGE OUTLINE

D0008A

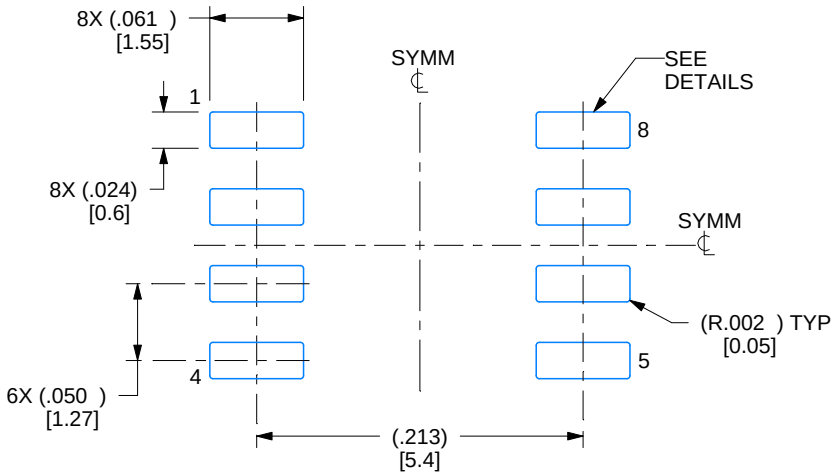
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

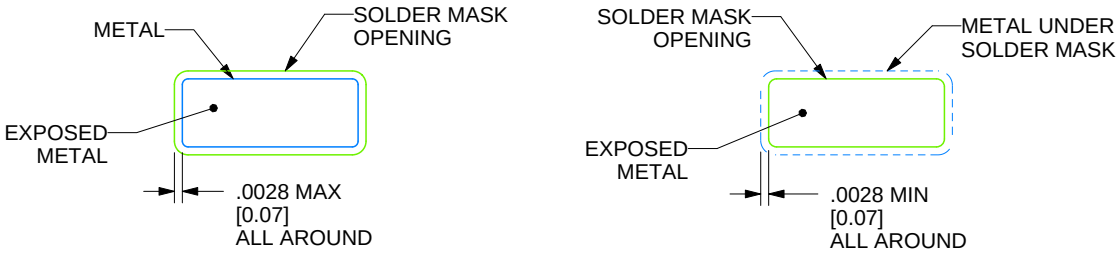


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

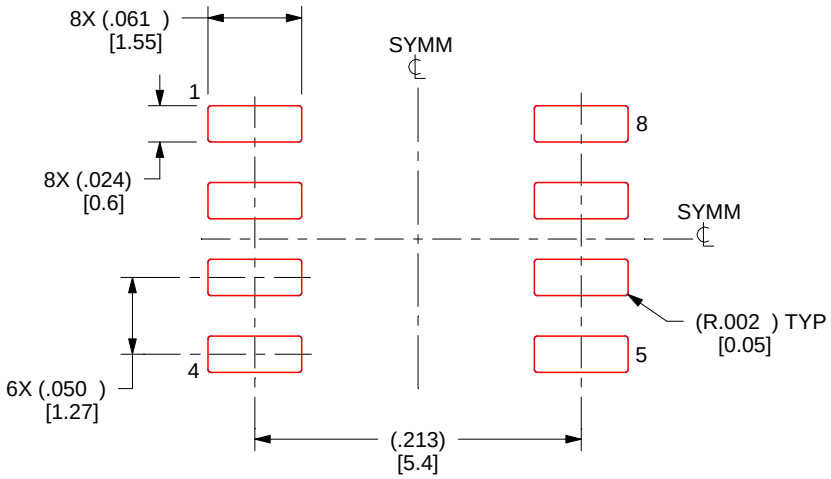
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

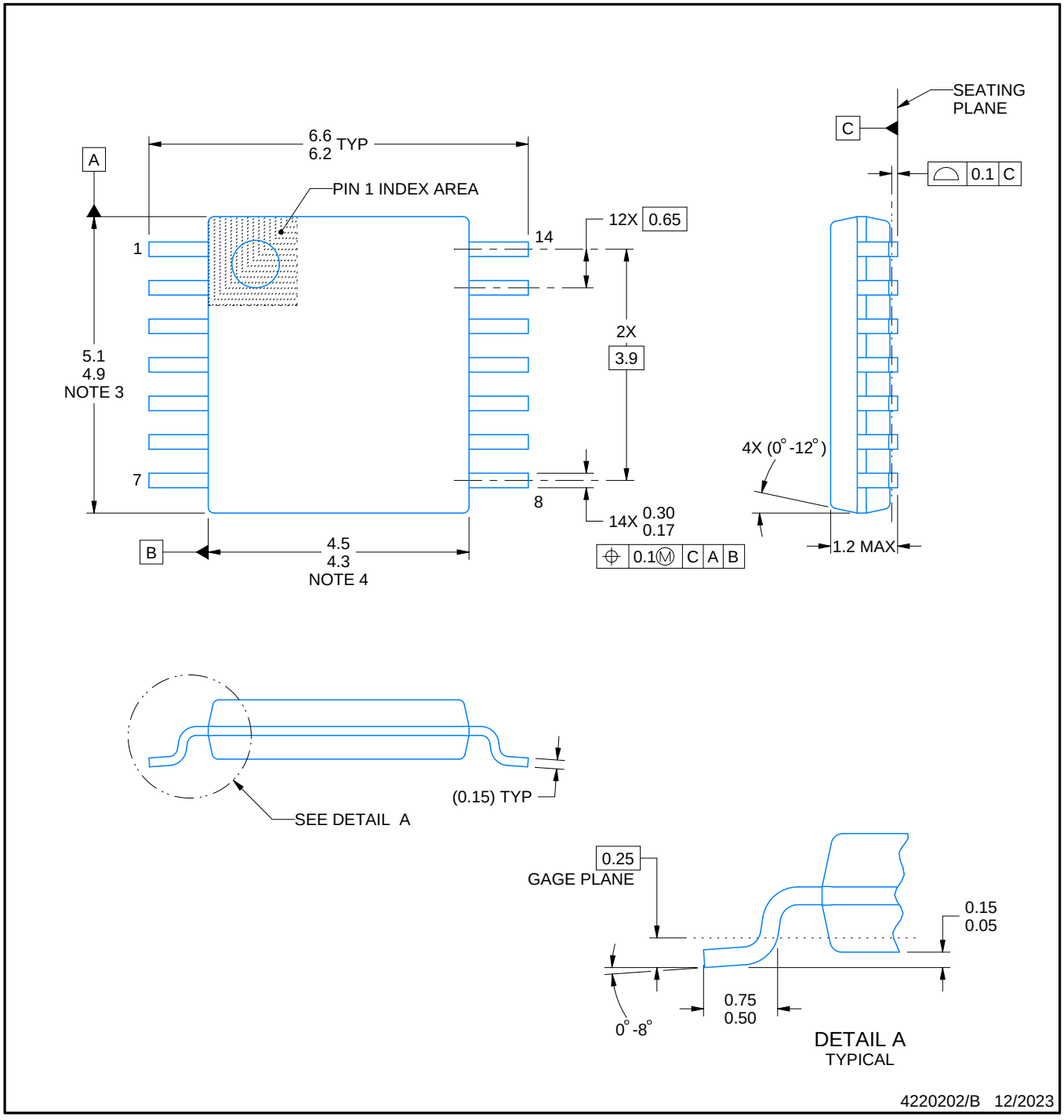
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

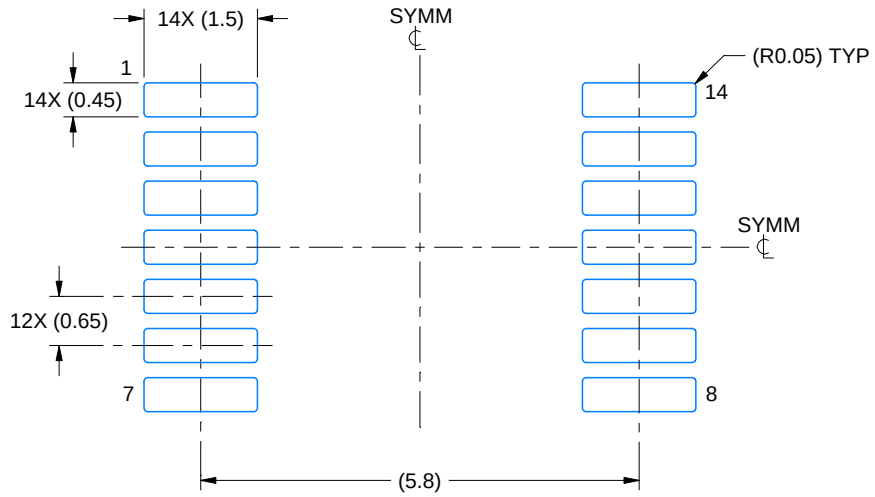
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

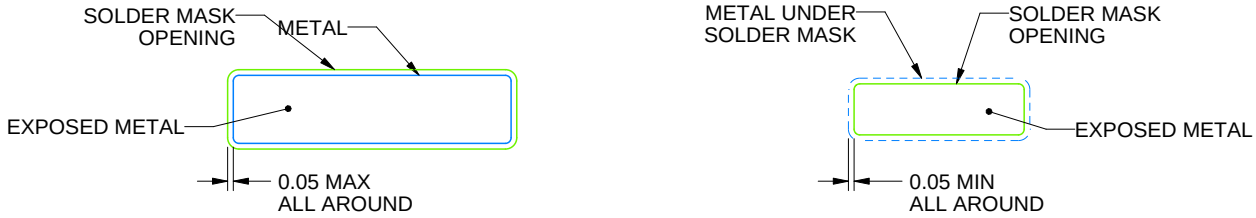


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

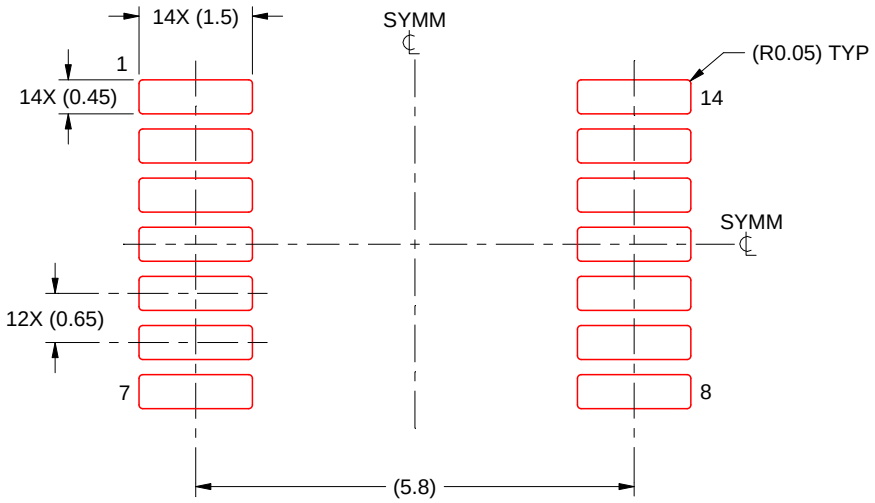


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月