SN74HCT08 四通道双输入正与门

1 特性

- 4.5V 至 5.5V 的工作电压范围
- 输出可驱动多达 10 个 LSTTL 负载
- 低功耗，I_{CC} 最大值为 20 μA
- t_{pd} 典型值 = 13ns
- 5V 时，输出驱动为 ±4mA
- 低输入电流，最大值 1μA
- 输入兼容 TTL 电压

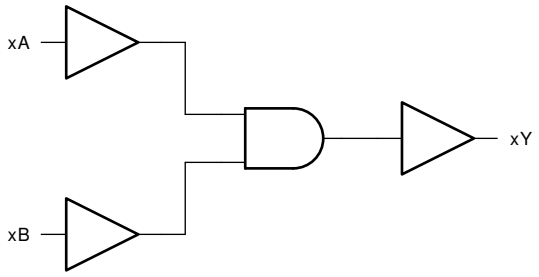
2 说明

这些器件包含四个独立的 2 输入与门。它们以正逻辑执行布尔函数 Y = A • B。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(2)
SN74HCT08	D（SOIC，14）	8.65mm × 6mm	8.65mm × 3.9mm
	DB（SSOP，14）	6.20mm × 7.8mm	6.20mm × 5.30mm
	N（PDIP，14）	19.30mm × 9.4mm	19.30mm × 6.35mm
	NS（SO，4）	10.20mm × 7.8mm	10.20mm × 5.30mm
	PW（TSSOP，14）	5.00mm × 6.4mm	5.00mm × 4.40mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 本体尺寸（长 × 宽）为标称值，不包括引脚。



功能方框图

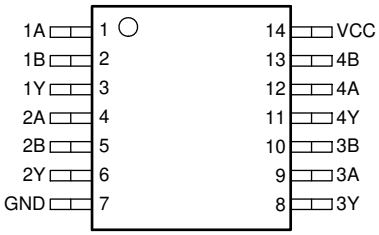
本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 建议运行条件.....4
4.3 热性能信息.....4
4.4 电气特性.....5
4.5 开关特性.....5
4.6 工作特性.....5
5 参数测量信息.....6
6 详细说明.....7
6.1 概述.....7
6.2 功能方框图.....7
6.3 器件功能模式.....7
7 应用和实施.....8
7.1 电源相关建议.....8
7.2 布局.....8
8 器件和文档支持.....9
8.1 文档支持.....9
8.2 接收文档更新通知.....9
8.3 支持资源.....9
8.4 商标.....9
8.5 静电放电警告.....9
8.6 术语表.....9
9 修订历史记录.....9
10 机械、封装和可订购信息.....10

Copyright © 2024 Texas Instruments Incorporated

3 引脚配置和功能



D、DB、J、N、NS、PW 或 W 封装
14 引脚 SOIC、SSOP、PDIP、SO 或 TSSOP
顶视图

表 3-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
1A	1	输入	通道 1，输入 A
1B	2	输入	通道 1，输入 B
1Y	3	输出	通道 1，输出 Y
2A	4	输入	通道 2，输入 A
2B	5	输入	通道 2，输入 B
2Y	6	输出	通道 2，输出 Y
GND	7	—	接地
3Y	8	输出	通道 3，输出 Y
3A	9	输入	通道 3，输入 A
3B	10	输入	通道 3，输入 B
4Y	11	输出	通道 4，输出 Y
4A	12	输入	通道 4，输入 A
4B	13	输入	通道 4，输入 B
V_{CC}	14	—	正电源

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[1]

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
I_{IK}	输入钳位电流 [2]	（V_I < 0 或 V_I > V_{CC}）		±20	mA
I_{OK}	输出钳位电流 [2]	（V_O < 0 或 V_O > V_{CC}）		±20	mA
I_O	持续输出电流	（V_O = 0 至 V_{CC}）		±25	mA
V_{CC} 或 GND	持续电流，通过			±50	mA
T_J	结温			150	℃
T_{stg}	贮存温度		-65	150	℃

(1) 超出*最大绝对额定值*下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值，对于在应力额定值下或者在任一其他超过*建议的工作条件*中所标出的额定值的器件的功能运行情况，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）[1]

			SN74HCT08			单位
			最小值	标称值	最大值	
V_{CC}	电源电压		4.5	5	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 4.5V 至 5.5V	2			V
V_{IL}	低电平输入电压	V_{CC} = 4.5V 至 5.5V			0.8	V
V_I	输入电压		0		V_{CC}	V
V_O	输出电压		0		V_{CC}	V
Δt/Δv	输入转换上升/下降时间				500	ns
T_A	自然通风条件下的工作温度范围		– 40		85	℃

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 SMOS 输入缓慢变化或悬空的影响，文献编号 SCBA004。

4.3 热性能信息

热指标		D (SOIC) 14 引脚	DB (SSOP) 14 引脚	N (PDIP) 14 引脚	NS (SO) 14 引脚	PW (TSSOP) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻 [1]	138.7	114.8	103.8	129.3	157.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	93.8	60	91.6	85.7	84.1	°C/W
$R_{\theta JB}$	结至电路板热阻	94.7	63.8	83.5	89.9	100.8	°C/W
Ψ_{JT}	结至顶部特征参数	49.1	19.7	71.1	48.2	27.5	°C/W
Ψ_{JB}	结至电路板特征参数	94.3	63.1	83.4	89.4	100.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

4.4 电气特性

参数		测试条件[1]	V_{CC} (V)	T_A = 25°C			SN74HCT08		单位
				最小值	典型值	最大值	最小值	最大值	
V_{OH}	高电平输出电压	I_{OH}=-20 μ A	4.5	4.4	4.499		4.4		V
		I_{OH} = -4mA		3.98	4.3		3.84		
V_{OL}	低电平输出电压	I_{OL} = 20 μ A	4.5		0.001	0.1		0.1	V
		I_{OL} = 4mA			0.17	0.26		0.33	
I_I	输入保持电流	V_I = V_{CC} 或 0	5.5		±0.1	±100		±1000	nA
I_{CC}	电源电流	V_I = V_{CC} 或 0。I_O = 0	5.5			2		20	μ A
ΔI_{CC} [2]	电源电流变化	一个输入电压为 0.5V 或 2.4V，其他输入电压为 0V 或 V_{CC}	5.5		1.4	2.4		2.9	mA
C_i	输入电容		4.5 至 5.5		3	10		10	pF

(1) 除非另有说明，否则 V_I = V_{IH} 或 V_{IL}。
(2) 这是每个输入在指定 TTL 电压电平之一而不是 0V 或 V_{CC} 时电源电流的增加情况。

4.5 开关特性

C_L = 50pF。请参阅参数测量信息

参数		从（输入）	至（输出）	V_{CC} (V)	T_A = 25°C			SN74HCT08		
					最小值	典型值	最大值	最小值	最大值	
t_{pd}	传播延迟	A 或 B	Y	4.5		15	24		30	ns
				5.5		13	22		27	
t_t	转换时间		Y	4.5		9	15		19	ns
				5.5		8	14		17	

4.6 工作特性

T_A = 25°C

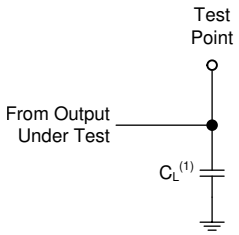
		测试条件	典型值	单位
C_{pd}	每个栅极的功率耗散电容	空载	20	pF

5 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t < 6。

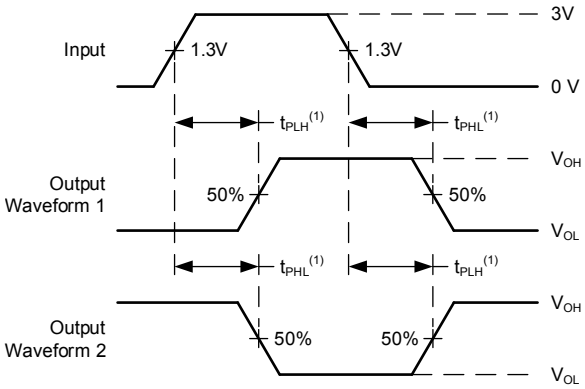
对于时钟输入，f_{max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



(1) C_L 包括探头和测试夹具电容。

图 5-1. 推挽输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 5-2. 电压波形，TTL 兼容型输入的传播延迟

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

此器件包含四个独立双输入与门。每个逻辑门以正逻辑执行布尔函数 Y = A ● B。

6.2 功能方框图

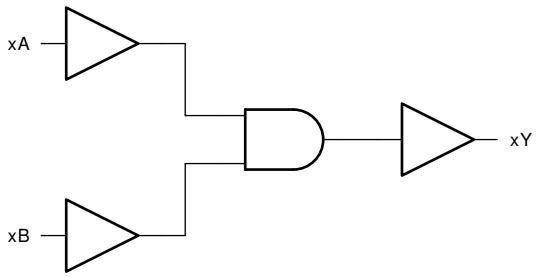


图 6-1. 功能方框图

6.3 器件功能模式

表 6-1 列出了 SN74HCT08 的功能模式。

表 6-1. 功能表

输入(1)		输出 Y
A	B	
H	H	H
L	X	L
X	L	L

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

7.2.2 布局示例

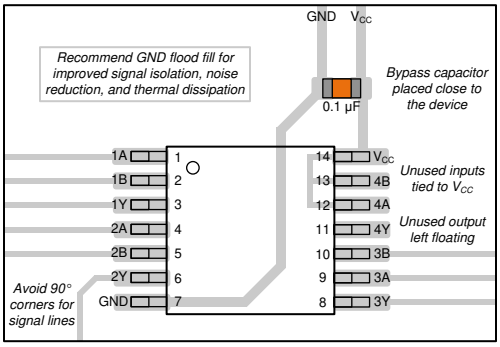


图 7-1. SN74HCT08 的示例布局

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (October 2022) to Revision G (August 2024) — **Page**

- 向*封装信息* 表中添加了封装尺寸 1
- 删除了整个数据表中对仅预发布 GPN 的引用 1
- 添加了 *引脚功能* 表 3
- 更新了 R θ JA 值：N = 67 更新至 103.8，NS = 93.3 更新至 129.3，PW = 159.8 更新至 157.6；更新了 N、NS 和 PW 封装的 R θ JC(top)、R θ JB、ΨJT、ΨJB 和 R θ JC(bot)，所有值均以 °C/W 为单位 4
- 添加了 *应用和实施* 部分 8

Changes from Revision E (February 2022) to Revision F (October 2022) — **Page**

- 增加了封装的 R θ JA：D（86 至 138.7）；DB（96 至 114.8）；N（80 至 67）；NS（76 至 93.3）；PW（113 至 159.8）..... 4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HCT08D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HCT08
SN74HCT08DBR	NRND	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT08
SN74HCT08DBR.A	NRND	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT08
SN74HCT08DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08DRE4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08DRE4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08DRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08DRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HCT08N
SN74HCT08N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HCT08N
SN74HCT08NE4	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HCT08N
SN74HCT08NSR	Last Time Buy	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08NSR.A	Last Time Buy	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT08
SN74HCT08PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HT08
SN74HCT08PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HT08
SN74HCT08PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT08
SN74HCT08PWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT08
SN74HCT08PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT08
SN74HCT08PWT	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HT08

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

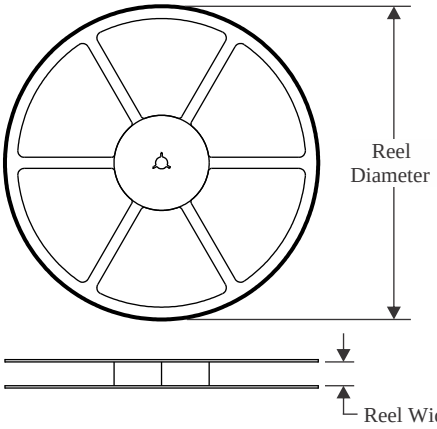
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

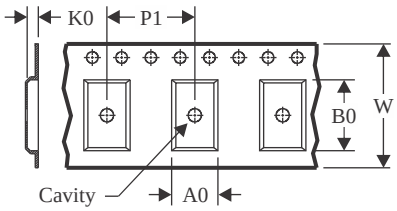
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

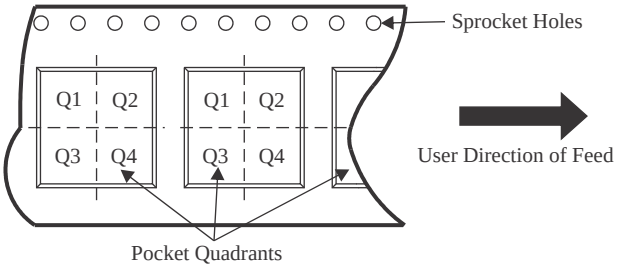


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

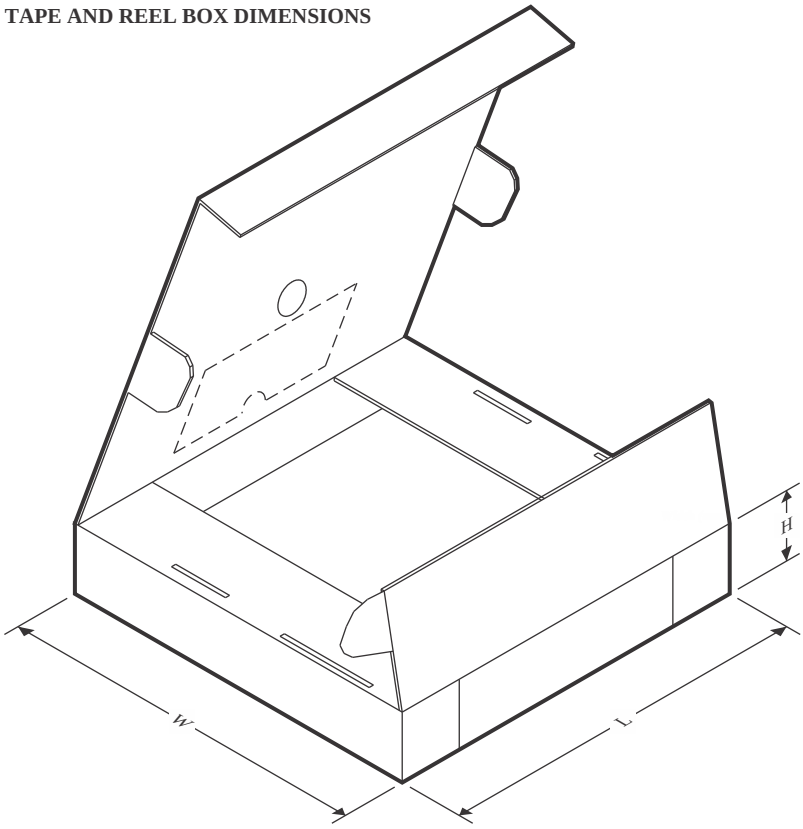
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HCT08DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HCT08DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HCT08DRE4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HCT08DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HCT08NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74HCT08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HCT08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HCT08PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HCT08PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

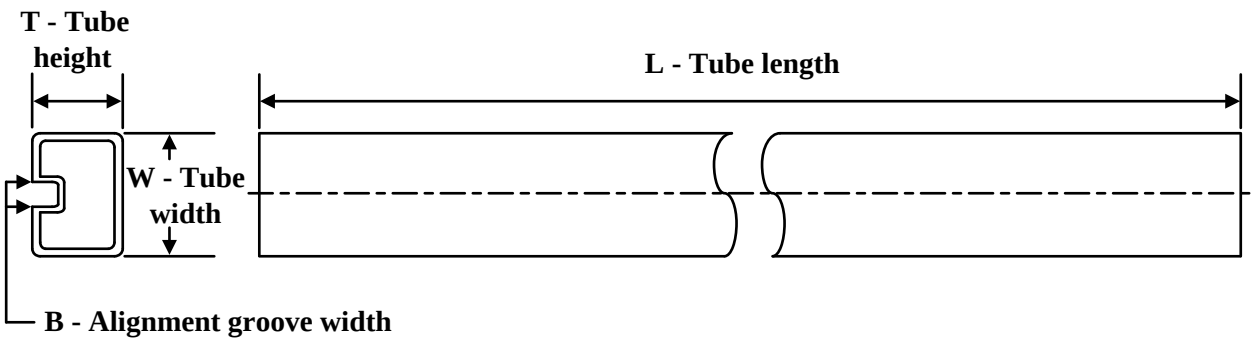
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

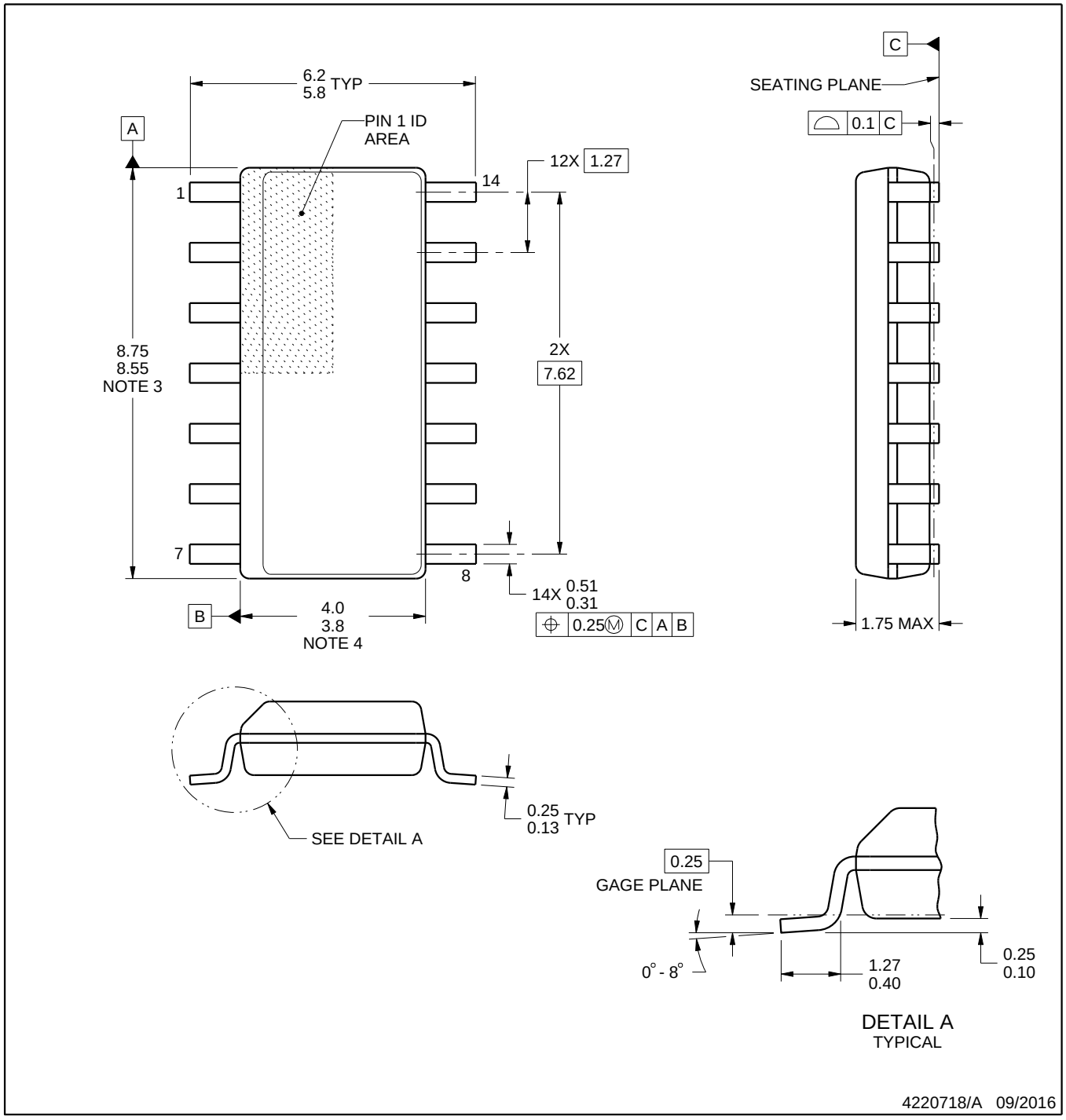
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HCT08DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74HCT08DR	SOIC	D	14	2500	340.5	336.1	32.0
SN74HCT08DRE4	SOIC	D	14	2500	353.0	353.0	32.0
SN74HCT08DRG4	SOIC	D	14	2500	353.0	353.0	32.0
SN74HCT08NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74HCT08PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HCT08PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HCT08PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HCT08PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



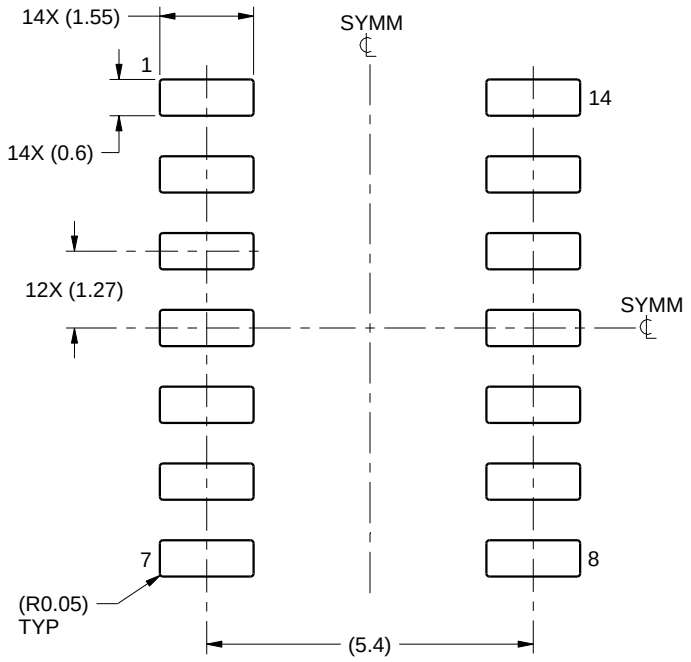
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74HCT08N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HCT08N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HCT08N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HCT08N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HCT08NE4	N	PDIP	14	25	506	13.97	11230	4.32
SN74HCT08NE4	N	PDIP	14	25	506	13.97	11230	4.32

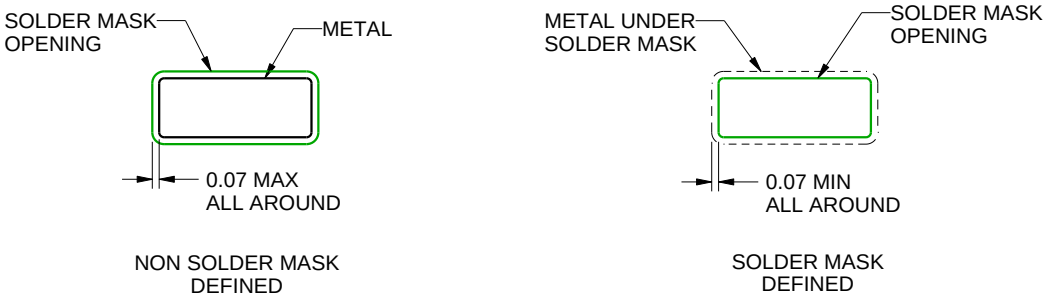


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

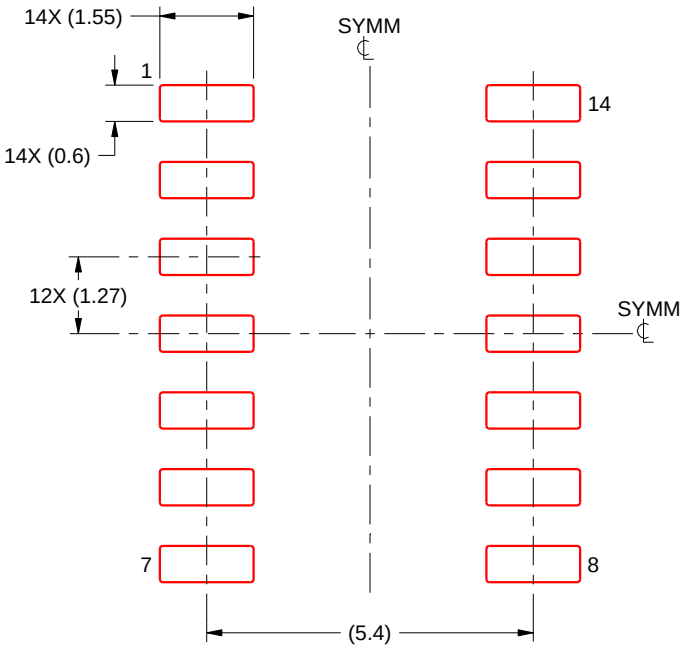


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

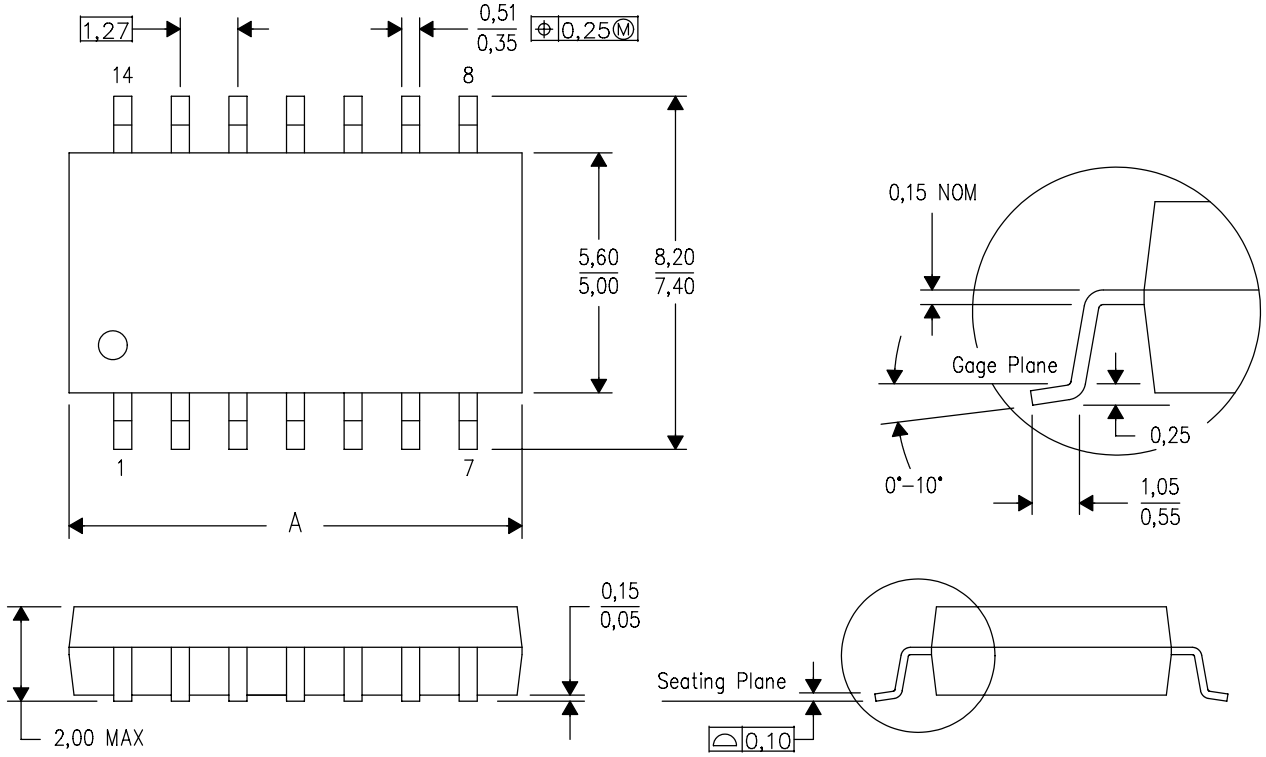
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

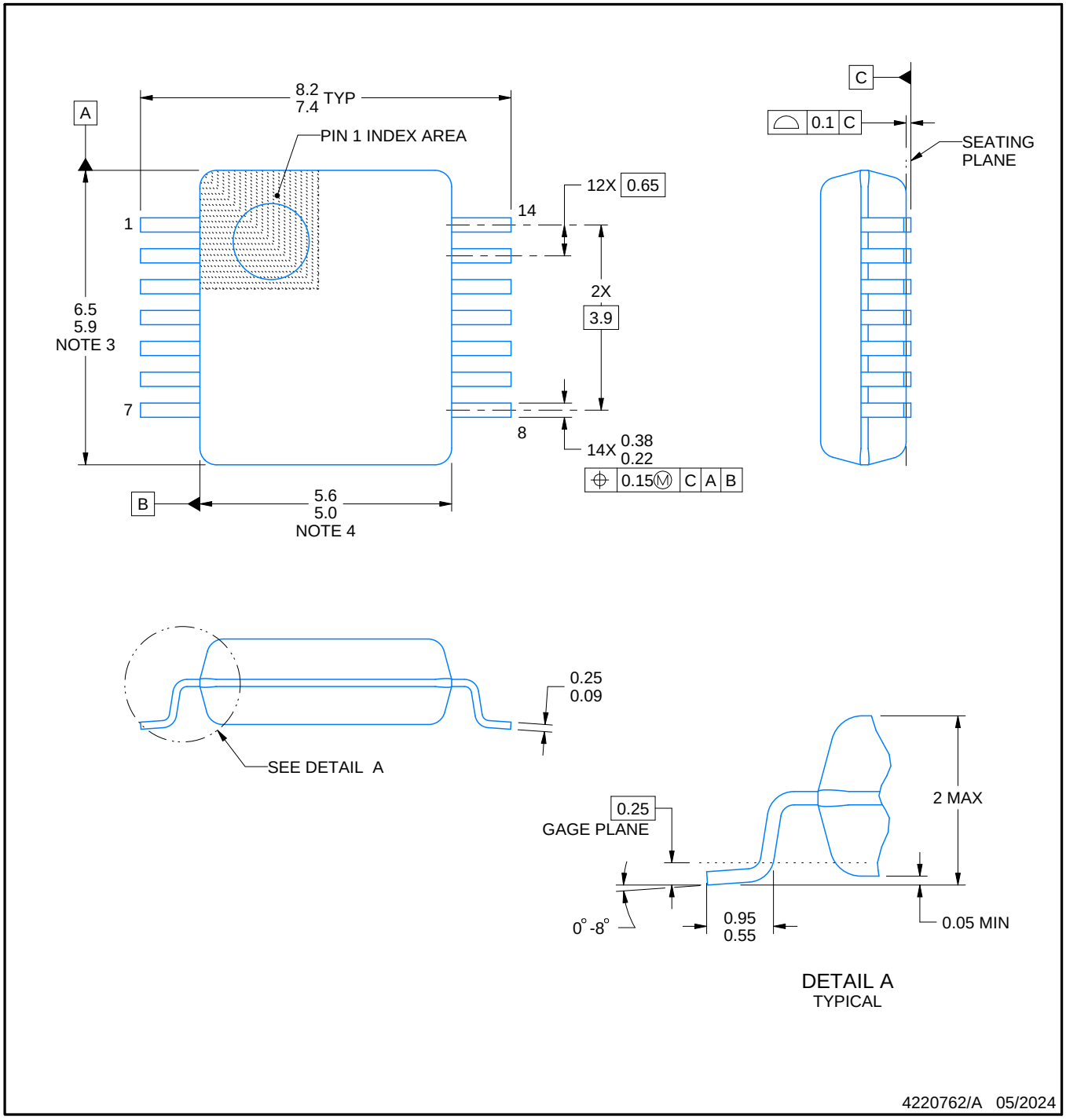
14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

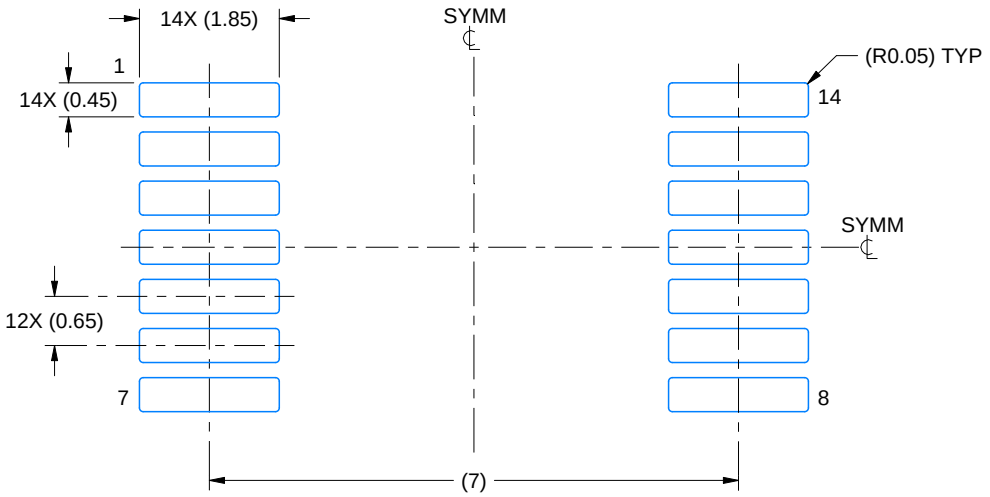
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

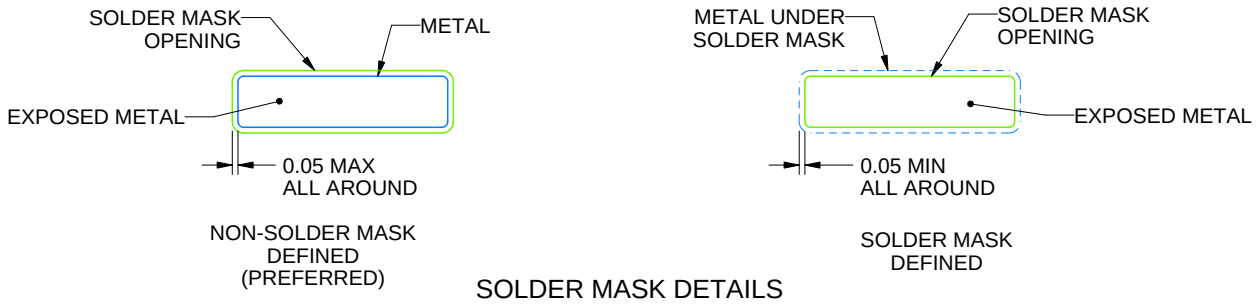


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

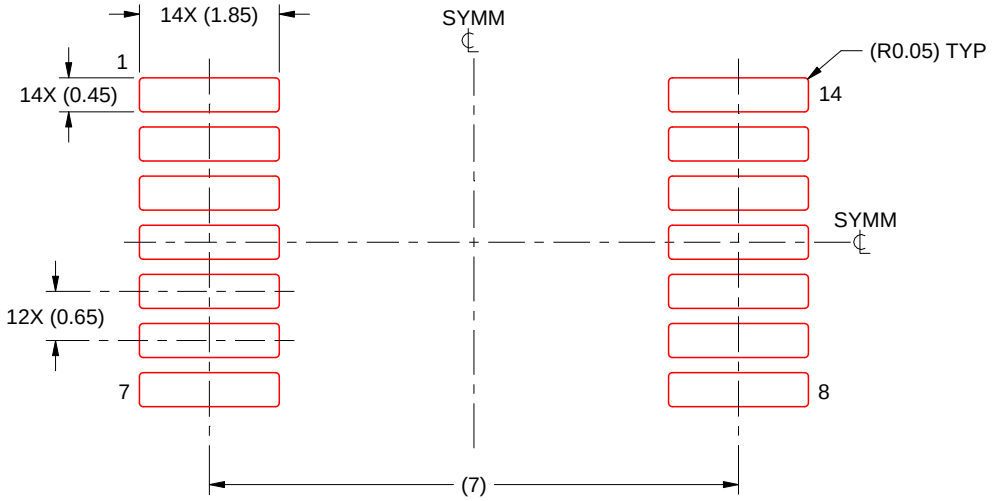


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

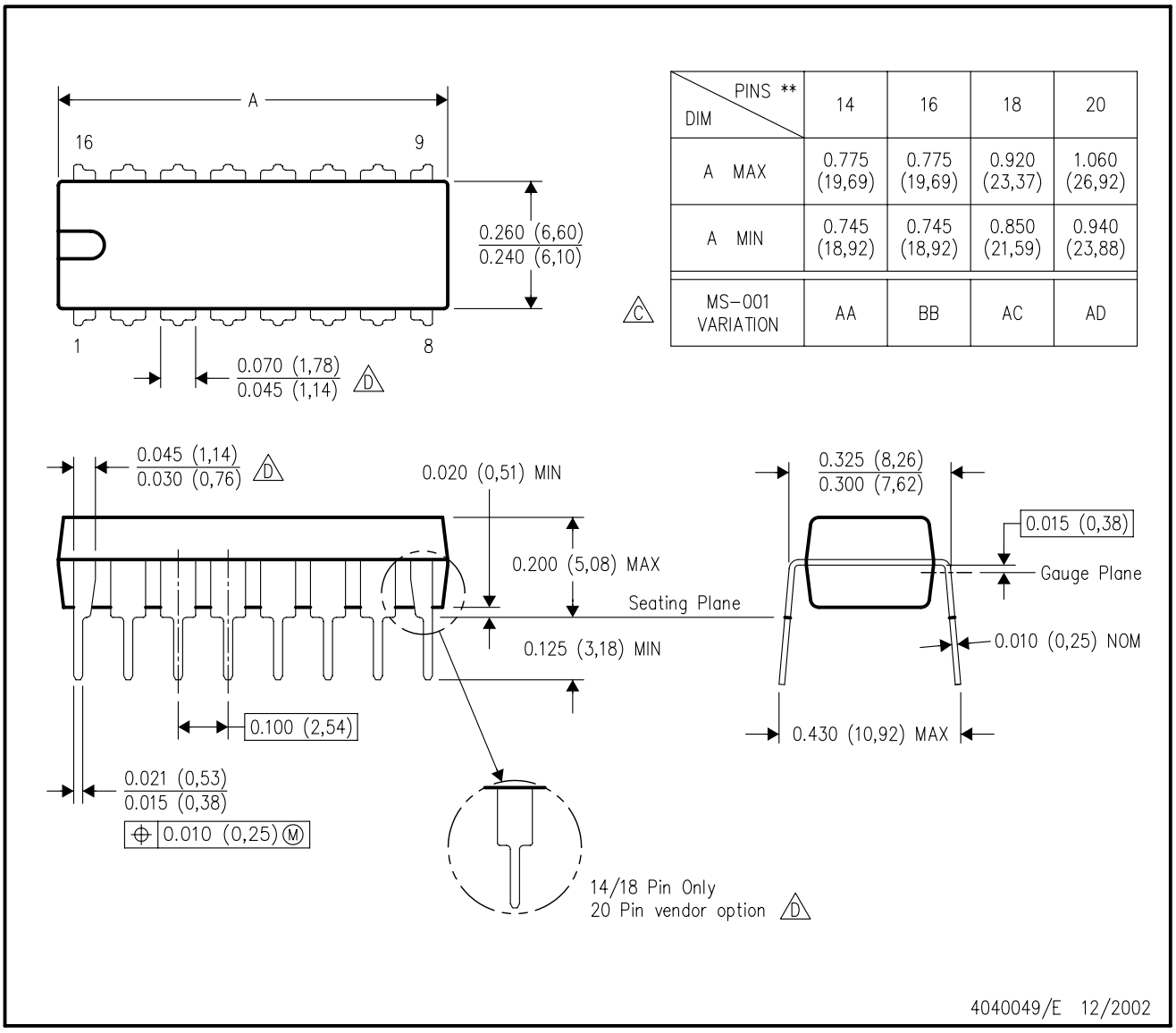
4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

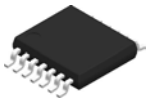
16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

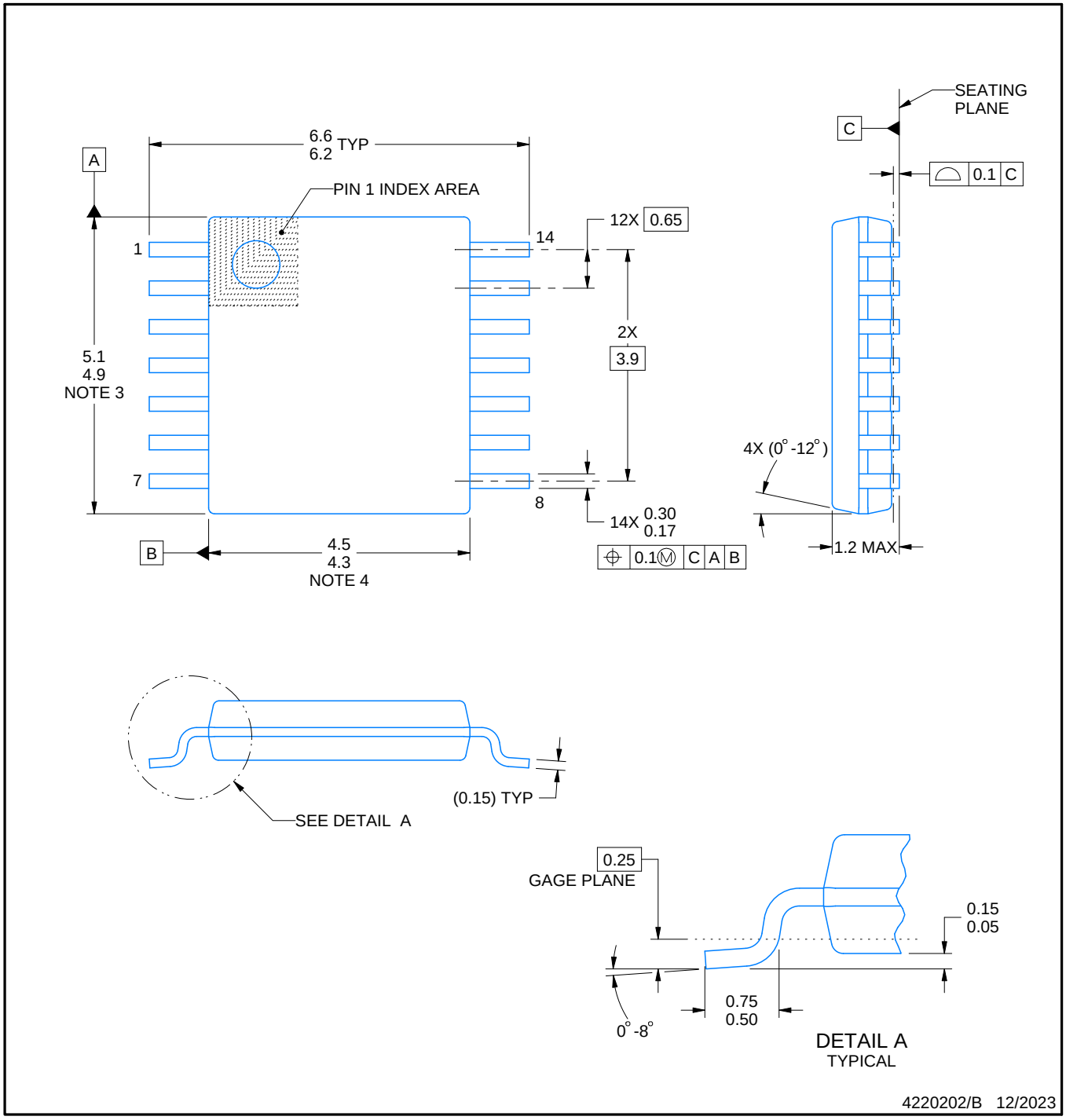
PW0014A



PACKAGE OUTLINE

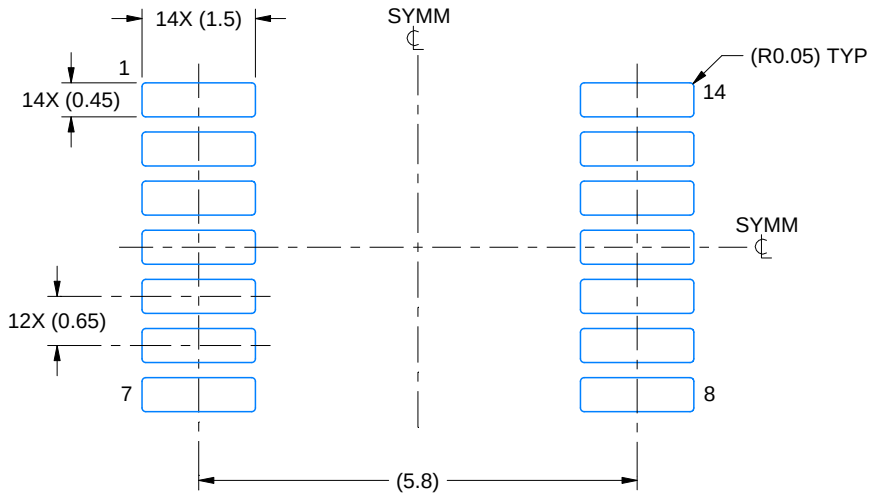
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

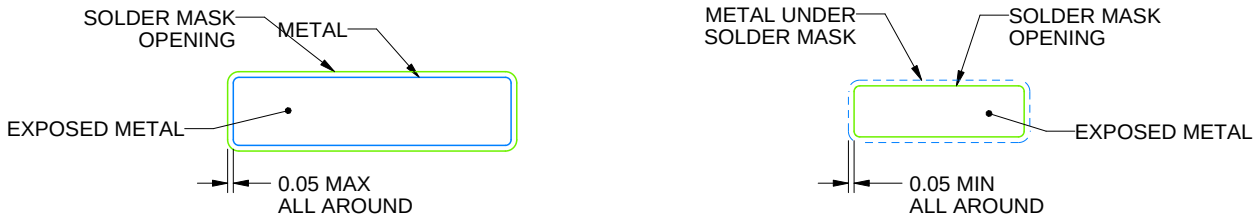


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

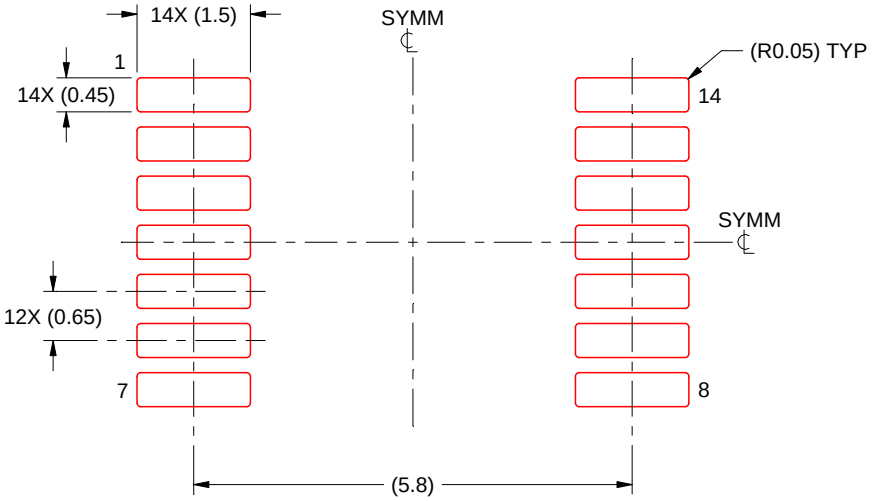
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月