TPIC6B596 电源逻辑 8 位移位寄存器

1 特性

- 低 $r_{DS(on)}$：5 Ω
- 雪崩能量：30mJ
- 150mA 连续电流的八个功率 DMOS 晶体管输出
- 500mA 典型电流限制能力
- 输出钳位电压：50V
- 针对多级的增强型级联
- 所有寄存器通过单个输入清零
- 低功耗

2 应用

- 仪表组
- 信号灯
- LED 照明和控制
- 汽车继电器或螺线管驱动器

3 说明

TPIC6B596 是一款单片、高压、中等电流功率 8 位移位寄存器，专为负载功率要求相对较高的系统而设计。该器件包含内置的输出钳位电压，用于提供电感瞬态保护。电源驱动器应用包括继电器、螺线管和其他中等电流或高压负载。

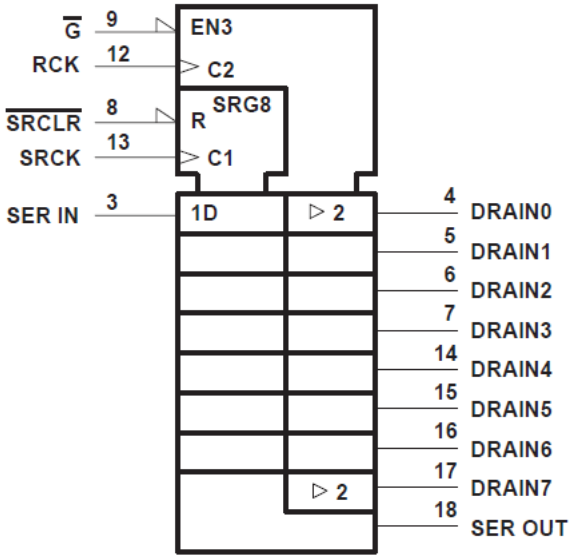
该器件包含一个可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。移位和存储寄存器之间的数据传输分别在移位寄存器时钟 (SRCK) 和寄存器时钟 (RCK) 的上升沿上发生。当移位寄存器清零 ($\overline{SRCLR}$) 为高电平时，存储寄存器将数据传输到输出缓冲器。只有当 RCK 为低电平时，写入数据和读取数据才有效。当 $\overline{SRCLR}$ 为低电平时，器件中的所有寄存器都将清零。当输出使能 ($\overline{G}$) 保持高电平时，输出缓冲器中的所有数据将保持低电平，并且所有漏极输出将关闭。当 $\overline{G}$ 保持低电平时，来自存储寄存器中的数据对输出缓冲器透明。当输出缓冲器中的数据较低时，DMOS 晶体管的输出被关闭。当数据较高时，DMOS 晶体管输出具有灌电流能力。串行输出 (SER OUT) 在 SRCK 下降沿时从器件时钟输出，为级联应用提供额外的保持时间。这将为时钟信号有可能偏移、器件相距较远或系统必须容许电磁干扰的应用提供更佳的性能。

输出为低侧、漏极开路 DMOS 晶体管，额定输出功率为 50V，连续灌电流能力为 150mA。在 T_C = 25°C 时，每个输出可提供 500mA 的典型电流限。电流限制会随着结温的升高而降低，以实现额外的器件保护。

TPIC6B596 具有 -40°C 至 125°C 的额定管壳工作温度范围。

表 3-1. 器件信息

部件号	封装	封装尺寸（标称值）
TPIC6A595	PDIP(20)	25.4mm × 6.35mm
	SOIC(20)	12.80mm × 7.50mm



A. † 此符号符合 ANSI/IEEE 标准 91-1984 和 IEC 出版物 617-12 要求。

逻辑符号

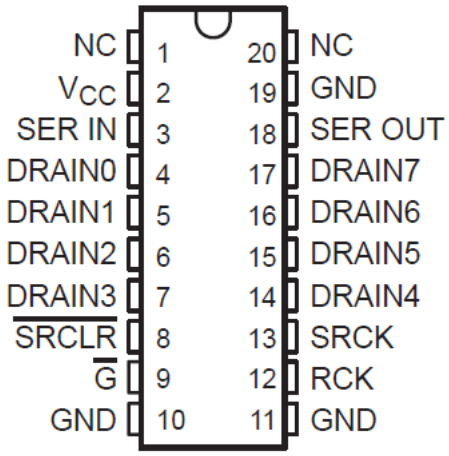
本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 功耗等级表 4
5.3 建议运行条件 4
5.4 电气特性 5
5.5 开关特性 6
5.6 热阻 6
5.7 典型特性 6
6 参数测量信息 8
7 详细说明 11
7.1 概述 11
7.2 功能方框图 11
7.3 参考 12
8 器件功能模式 13
8.1 在 V_{cc} < 4.5V 条件下运行 13
8.2 在 5.5V ≤ V_{cc} ≤ 7V 条件下运行 13
9 器件和文档支持 14
9.1 文档支持 14
9.2 接收文档更新通知 14
9.3 支持资源 14
9.4 商标 14
9.5 静电放电警告 14
9.6 术语表 14
10 修订历史记录 14
11 机械、封装和可订购信息 14

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能



A. NC - 无内部连接

图 4-1. DW 或 N 封装（顶视图）

引脚功能

引脚		I/O	说明
名称	编号		
DRAIN0	4	O	开漏输出
DRAIN1	5		
DRAIN2	6		
DRAIN3	7		
DRAIN4	14		
DRAIN5	15		
DRAIN6	16		
DRAIN7	17		
$\overline{G}$	9	I	输出使能，低电平有效
GND	10、11、19	-	电源地
NC	1、20	-	无内部连接
RCK	12	I	寄存器时钟
SERIN	3	I	串行数据输入
SEROUT	18	O	串行数据输出
SRCK	15	I	移位寄存器时钟
$\overline{SRCLR}$	3	I	移位寄存器清零，低电平有效
VCC	2	I	电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在建议的工作管壳温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	逻辑电源电压(2)			7	V
V_I	逻辑输入电压范围		-0.3	7	V
V_{DS}	功率 DMOS 漏源电压(3)			50	V
	持续源漏二极管阳极电流			500	mA
	脉冲源漏二极管阳极电流(4)			1	A
I_D	脉冲漏极电流，每个输出，所有输出开启(4)	T_C = 25°C		500	mA
I_D	持续漏极电流，每个输出，所有输出开启	T_C = 25°C		150	mA
I_{DM}	峰值漏极电流单输出(4)	T_C = 25°C		500	mA
E_{AS}	单脉冲雪崩能量（请参阅 图 6-4）			30	mJ
I_{AS}	雪崩电流(5)			500	mA
	持续总功耗		请参阅 节 5.2		
T_J	工作等效结温范围		-40	150	℃
T_C	工作管壳温度范围		-40	125	℃
	贮存温度范围		-65	150	℃
	10 秒内距离外壳 1.6mm（1/16 英寸）的引线温度			260	℃

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压值均以 GND 为基准。
(3) 每个功率 DMOS 源在内部连接至 GND。
(4) 脉冲持续时间 ≤ 100 µs，占空比 ≤ 2%。
(5) 漏极电源电压 = 15V，起始结温 (T_{JS}) = 25°C，L = 200mH，I_{AS} = 0.5A（请参阅 图 6-4）。

5.2 功耗等级表

封装	T_C ≤ 25°C 额定功率	降额因子 高于 T_C = 25°C	T_C = 125°C 额定功率
DW	1389mW	11.1mW/°C	278mW
N	1050mW	10mW/°C	263mW

5.3 建议运行条件

		最小值	最大值	单位
V_{CC}	逻辑电源电压	4.5	5.5	V
V_{IH}	高电平输入电压	0.85V_{CC}		V
V_{IL}	低电平输入电压		0.15V_{CC}	V
	脉冲漏极输出电流，T_C = 25°C，V_{CC} = 5V(1) (2)	-500	500	mA
t_{su}	建立时间，SER IN 在 SRCK 之前保持高电平（请参阅 图 6-2）	15		ns
t_h	保持时间，SER IN 在后 SRCK 之后保持高电平（请参阅 图 6-2）	15		ns
t_w	脉冲持续时间（请参阅 图 6-2）	40		ns
T_C	工作外壳温度	-40	125	°C

(1) 脉冲持续时间 ≤ 100 µs，占空比 ≤ 2%。
(2) 技术人员应将 $T_J - T_C$ 的最大值限制为 10°C。

Copyright © 2025 Texas Instruments Incorporated

5.4 电气特性

V_{CC} = 5V，T_C = 25°C（除非另有说明）

参数		测试条件			最小值	典型值	最大值	单位
$V_{(BR)DSX}$	漏源击穿电压	I_D = 1mA			50			V
V_{SD}	源极至漏极二极管正向电压	I_F = 100mA				0.85	1	V
V_{OH}	高电平输出电压，SER OUT	I_{OH} = -20μA	V_{CC} = 4.5V		4.4	4.49		V
		I_{OH} = -4mA，	V_{CC} = 4.5V		4	4.2		
V_{OL}	低电平输出电压，SER OUT	I_{OL} = 20μA，	V_{CC} = 4.5V			0.005	0.1	V
		I_{OL} = 4mA，	V_{CC} = 4.5V			0.3	0.5	
I_{IH}	高电平输入电流	V_{CC} = 5.5V，	$V_I = V_{CC}$				1	μA
I_{IL}	低电平输入电流	V_{CC} = 5.5V，	V_I = 0				-1	μA
I_{CC}	逻辑电源电流	V_{CC} = 5.5V		所有输出关闭		20	100	μA
				所有输出开启		150	300	
$I_{CC(FRQ)}$	频率下的逻辑电源电流	f_{SRCK} = 5MHz，所有输出关闭，		C_L = 30pF，请参阅图 6-2 和图 5-2		0.4	5	mA
I_N	标称电流	$V_{DS(on)}$ = 0.5V，$I_N = I_D$，T_C = 85°C		请参阅(1) (2) (3)		90		mA
I_{DSX}	关断状态漏电流	V_{DS} = 40V，	V_{CC} = 5.5V			0.1	5	μA
		V_{DS} = 40V，	V_{CC} = 5.5V，	T_C = 125°C		0.15	8	
$r_{DS(on)}$	静态漏极至源极导通状态电阻	I_D = 100mA，	V_{CC} = 4.5V	请参阅 图 5-3 和图 5-4 (1) (2)		4.2	5.7	Ω
		I_D = 100mA V_{CC} = 4.5V	T_C = 125°C，			6.8	9.5	
		I_D = 350mA，	V_{CC} = 4.5V			5.5	8	

(1) 技术人员应将 $T_J - T_C$ 的最大值限制为 10°C。
(2) 这些参数是利用独立于载流触点的电压检测触点测得的。
(3) 定义标称电流是为了在不同来源的器件之间进行一致的比较。它是在 T_C = 85°C 时产生 0.5V 压降的电流。

Copyright © 2025 Texas Instruments Incorporated

5.5 开关特性

V_{CC} = 5V，T_C = 25°C

参数		测试条件		最小值	典型值	最大值	单位
t_{PLH}	传播延时，源自 G 的低至高电平输出	C_L = 30pF，	I_D = 100mA，		150		ns
t_{PHL}	传播延时，源自 $\overline{G}$ 的高至低电平输出				90		ns
t_r	上升时间，漏极输出	请参阅 图 6-1、图 6-2 和 图 5-5			200		ns
t_f	下降时间，漏极输出				200		ns
t_{pd}	传播延迟时间，SRCK↓ 至 SEROUT	C_L = 30pF，请参阅 图 6-2	I_D = 100mA，		15		ns
$f_{(SRCK)}$	串行时钟频率	C_L = 30pF，请参阅(3)	I_D = 100mA，			10	MHz
t_a	反向恢复电流上升时间	I_F = 100mA，	di/dt = 20A/µs，		100		ns
t_{rr}	反向恢复时间	请参阅图 6-3 (1) (2)			300		

(1) 技术人员应将 $T_J - T_C$ 的最大值限制为 10°C。
(2) 这些参数是利用独立于载流触点的电压检测触点测得的。
(3) 这是在级联操作（即串行数据从一级传递到下一级）情况下的最大串行时钟频率。在时钟周期，允许存在 SRCK → SEROUT 传播延迟、设置时间加上一些时序裕量。

5.6 热阻

参数			测试条件	最小值	最大值	单位
$R_{\theta JA}$	热阻，结温至环境温度	DW 封装	8 个具有相同功率的输出		90	℃/W
		N 封装			95	

5.7 典型特性

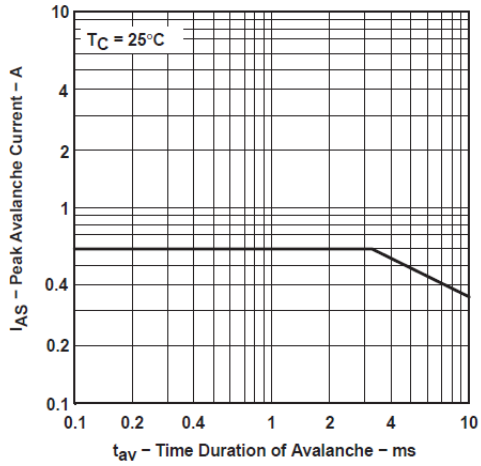


图 5-1. 峰值雪崩电流与雪崩持续时间之间的关系

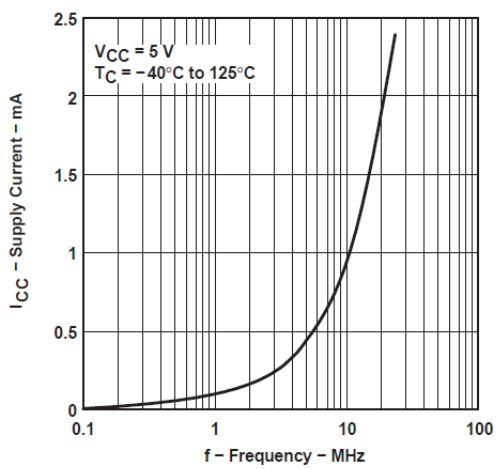


图 5-2. 电源电流与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

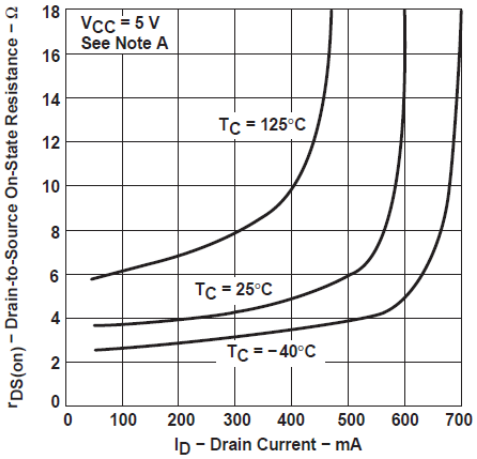


图 5-3. 漏源导通状态电阻与漏极电流之间的关系

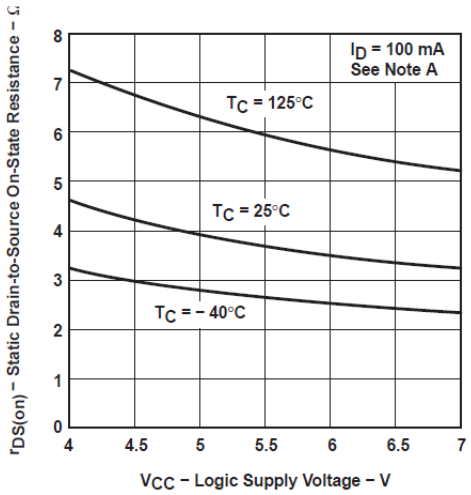
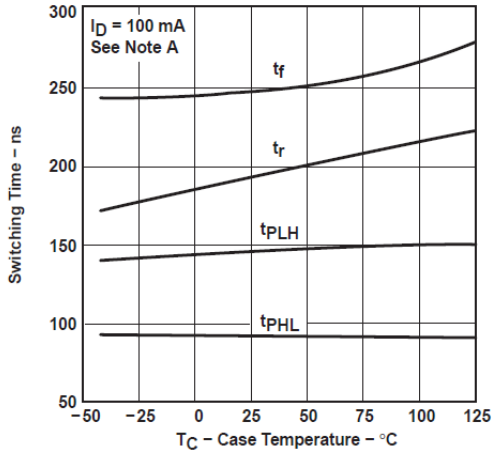


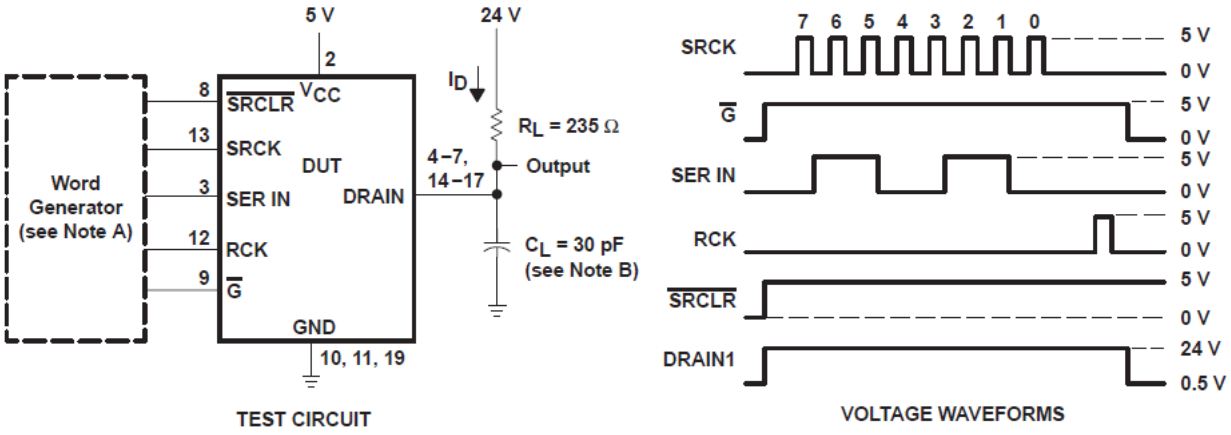
图 5-4. 静态漏源导通状态电阻与逻辑电源电压之间的关系



技术人员应将 $T_J - T_C$ 的最大值限制为 10°C。

图 5-5. 开关时间与管壳温度之间的关系

6 参数测量信息

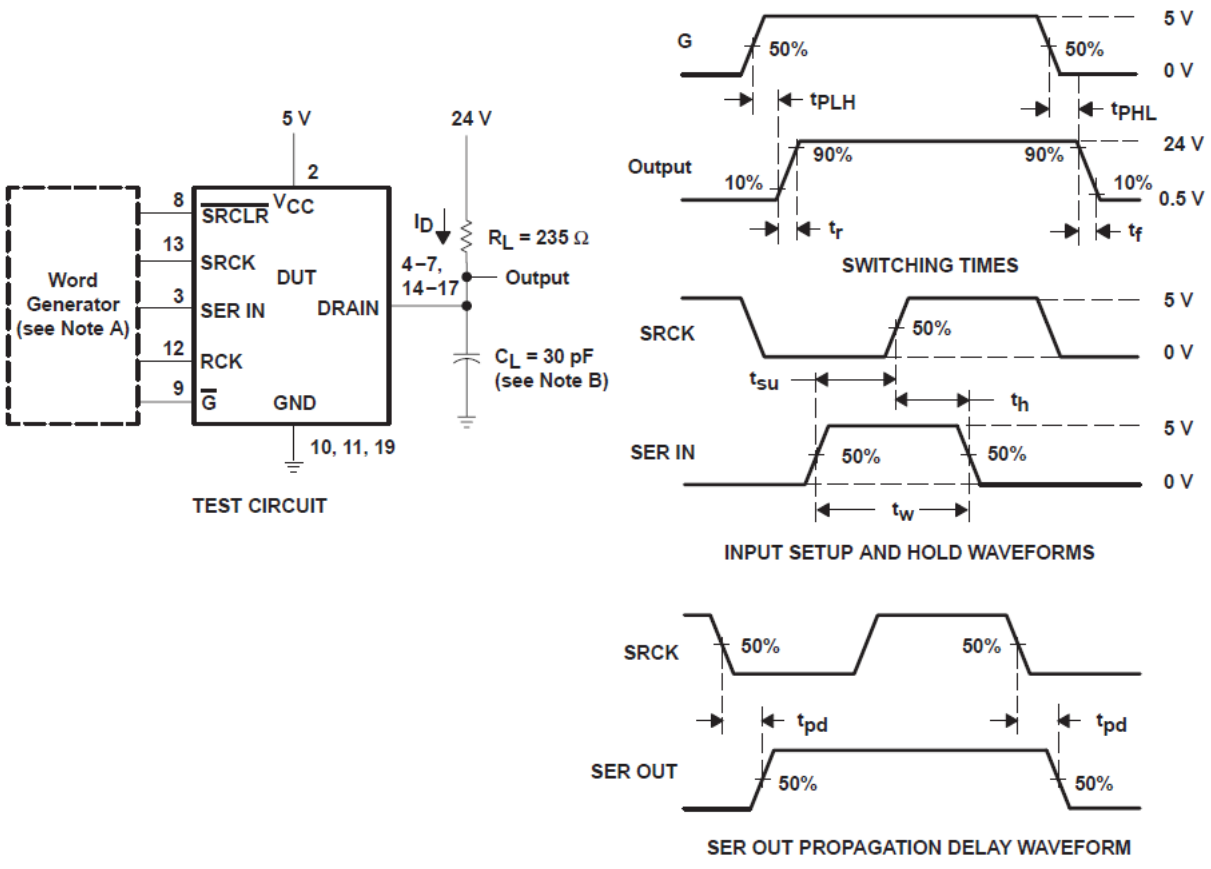


A. 该字发生器具有以下特性：t_r ≤ 10ns、t_f ≤ 10ns、t_w = 300ns、脉冲重复率 (PRR) = 5kHz、Z_O = 50 Ω。

B. C_L 包括探头和夹具电容。

C. 只有当 RCK 为低电平时，写入数据和读取数据才有效

图 6-1. 电阻负载测试电路和电压波形

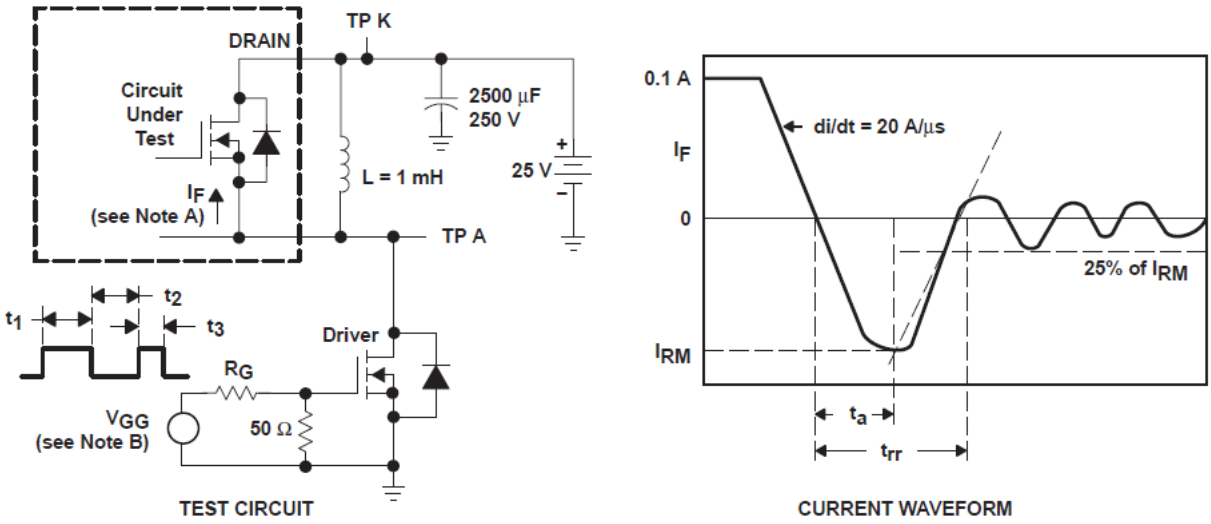


A. 该字发生器具有以下特性：t_r ≤ 10ns、t_f ≤ 10ns、t_w = 300ns、脉冲重复率 (PRR) = 5kHz、Z_O = 50 Ω。

B. C_L 包括探头和夹具电容

图 6-2. 测试电路、开关时间和电压波形

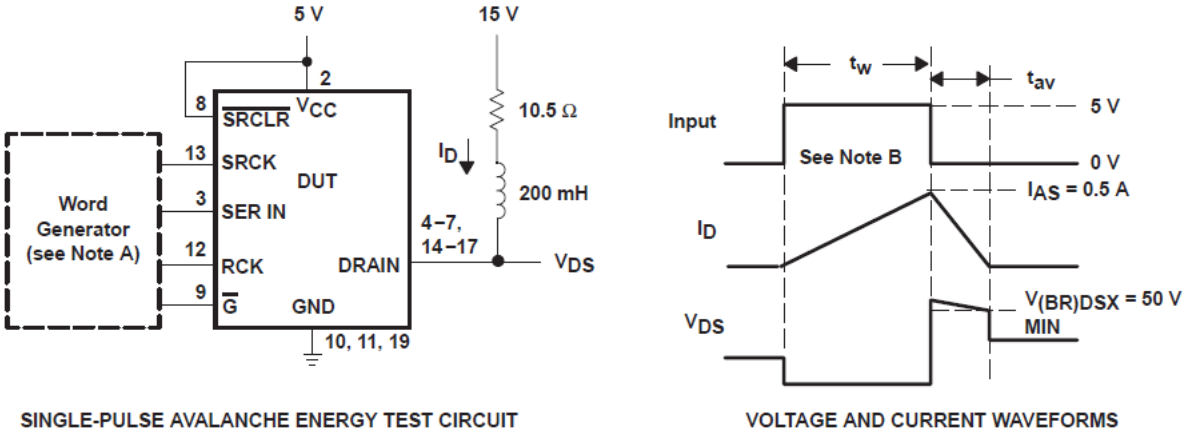
Copyright © 2025 Texas Instruments Incorporated



A. 被测漏极端子已连接到 TP K 测试点。所有其他端子均连接在一起并连接到 TP A 测试点。

B. 在 di/dt = 20A/µs 时，可以调节 V_{GG} 振幅和 R_G。V_{GG} 双脉冲序列用于设置 I_F = 0.1A，其中 t_1 = 10µs、t_2 = 7µs 且 t_3 = 3µs。

图 6-3. 源极至漏极二极管的反向恢复电流测试电路和波形



A. 字发生器具有以下特性：t_r ⩽ 10ns，t_f ⩽ 10ns，Z_O = 50 Ω。

B. 输入脉冲持续时间 t_w 增加，直至峰值电流 I_{AS} = 0.5A。
能量测试水平 $E_{AS} = I_{AS} \times V_{(BR)DSX} t_{av}/2$ = 30mJ。

图 6-4. 单脉冲雪崩能量测试电路和波形

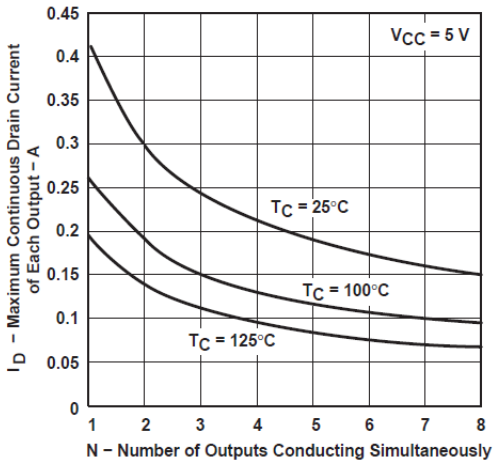


图 6-5. 每个输出的最大连续漏极电流与同时导通的输出数量之间的关系

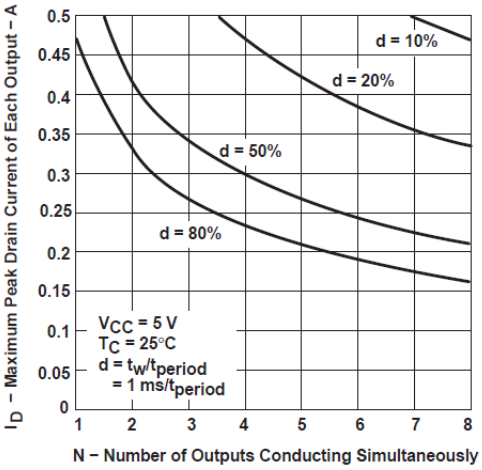


图 6-6. 每个输出的最大峰值漏极电流与同时导通的输出数量之间的关系

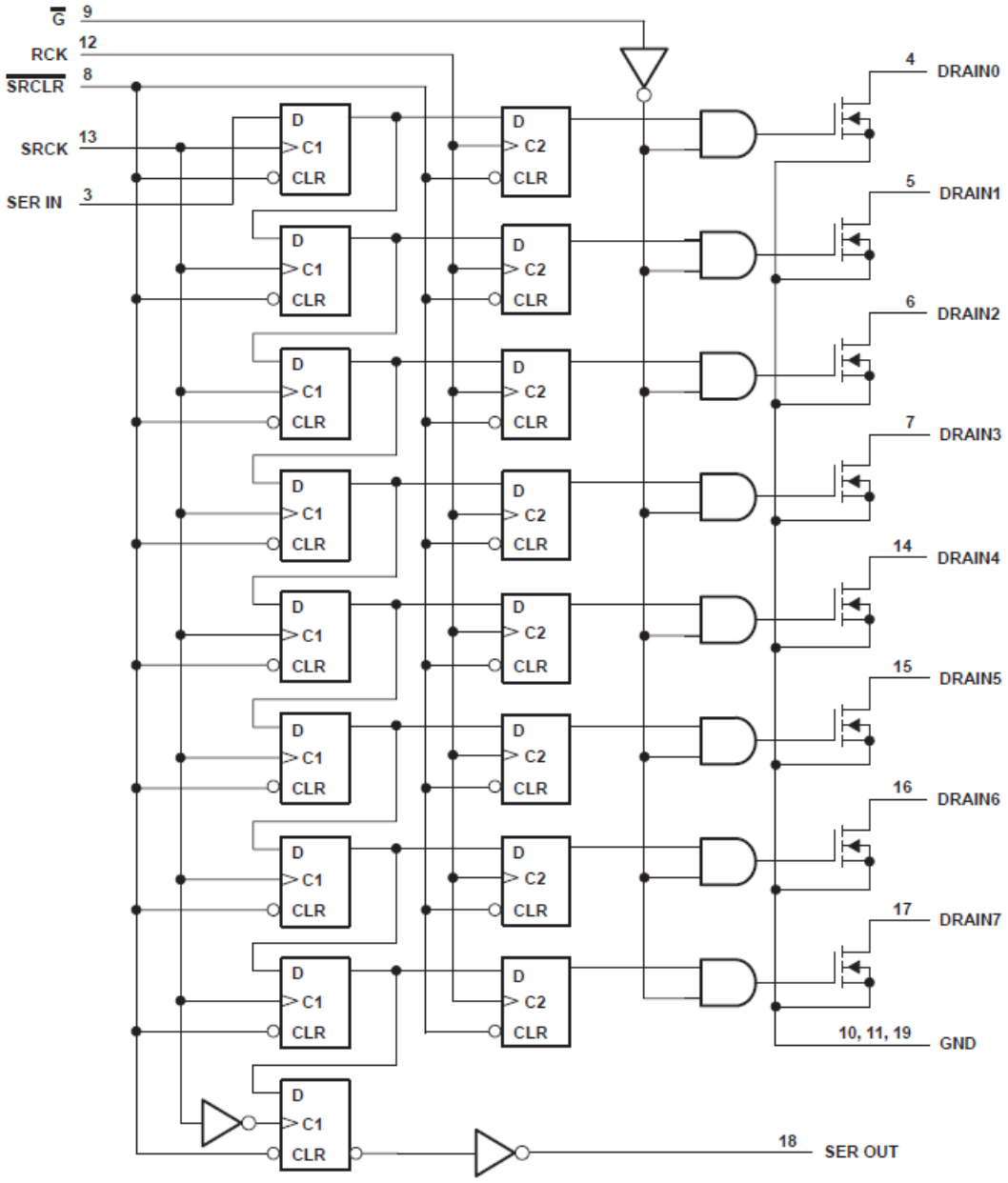
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPIC6B596 器件是一款单片、高压、中等电流功率 8 位移位寄存器，专为负载功率要求相对较高的系统而设计。该器件的输出端内置电压钳位，用于提供电感瞬态保护，因此也可驱动继电器、螺线管和其他中等电流或高压负载。

7.2 功能方框图



功能方框图

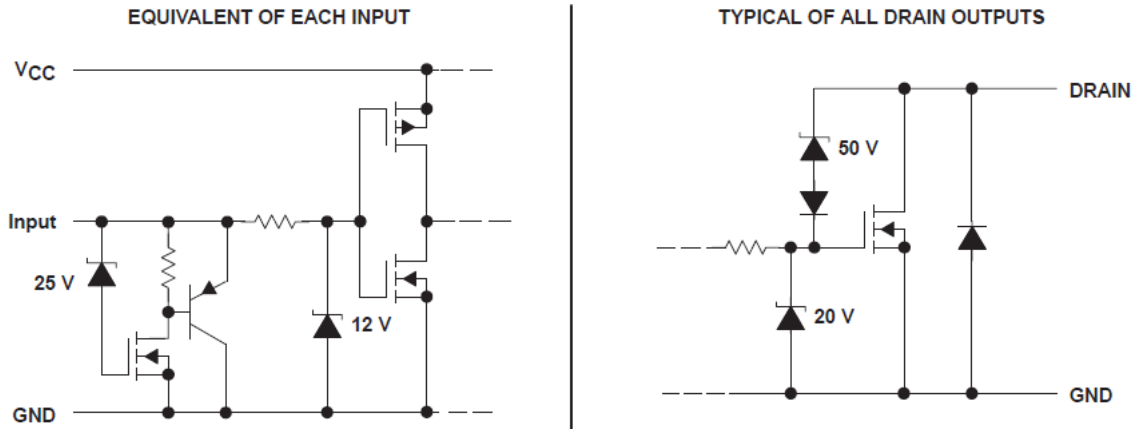


图 7-1. 功能方框图（续）

7.3 参考

7.3.1 参考

该器件包含一个可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。移位和存储寄存器之间的数据传输分别在移位寄存器时钟 (SRCK) 和寄存器时钟 (RCK) 的上升沿上发生。只有当 RCK 为低电平时，写入数据和读取数据才有效。当移位寄存器清零 ($\overline{\text{SRCLR}}$) 为高电平时，存储寄存器将数据传输到输出缓冲器。

7.3.2 清除寄存器

($\overline{\text{SRCLR}}$) 上的逻辑低电平会清除器件中的所有寄存器。TI 建议在上电或初始化期间清除器件。

7.3.3 输出控制

保持输出使能 ($\overline{\text{G}}$) 为高电平时，输出缓冲器中的所有数据将保持低电平，并且所有漏极输出被关闭。保持 ($\overline{\text{G}}$) 为低电平时，来自存储寄存器中的数据对输出缓冲器透明。当输出缓冲器中的数据较低时，DMOS 晶体管的输出被关闭。当数据较高时，DMOS 晶体管输出具有灌电流能力。该引脚还可用作全局 PWM 调光。

7.3.4 级联应用

串行输出 (SER OUT) 允许将数据从移位寄存器级联到其他器件。串行输出 (SER OUT) 在 SRCK 下降沿时从器件时钟输出，为级联应用提供额外的保持时间。这将为时钟信号有可能偏移、器件相距较远或系统必须容许电磁干扰的应用提供更佳的性能。将器件 (SER OUT) 引脚连接到菊花链的下一个器件 (SER IN)。

7.3.5 电流限制功能

输出为低侧、漏极开路 DMOS 晶体管，额定输出为 50V，连续灌电流能力为 150mA。在 TC = 25°C 时，每个输出可提供 500mA 的典型电流限值。电流限值随着结温的升高而降低，以实现额外的器件保护。

Copyright © 2025 Texas Instruments Incorporated

8 器件功能模式

8.1 在 V_{cc} < 4.5V 条件下运行

在 4.5V ≤ V_{cc} ≤ 5.5V 时，该器件可以正常工作；当工作电压低于 4.5V 时，无法保证器件可以正常工作，包括通信接口和电流能力。

8.2 在 5.5V ≤ V_{cc} ≤ 7V 条件下运行

在此电压范围内，器件可以正常工作；但如果器件在此电压范围内长时间工作，则可能会出现可靠性方面的问题。

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2005) to Revision B (March 2024)	Page
• 更新了“应用”部分	1

Changes from Revision * (March 2000) to Revision A (May 2005)	Page
• 更改了 图 6-1 中的 $\overline{\text{SRCLR}}$ 计时示意图	8

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPIC6B596DW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 125	TPIC6B596
TPIC6B596DWG4	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-	TPIC6B596
TPIC6B596DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6B596
TPIC6B596DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6B596
TPIC6B596DWRG4	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-	TPIC6B596
TPIC6B596N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6B596N
TPIC6B596N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6B596N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

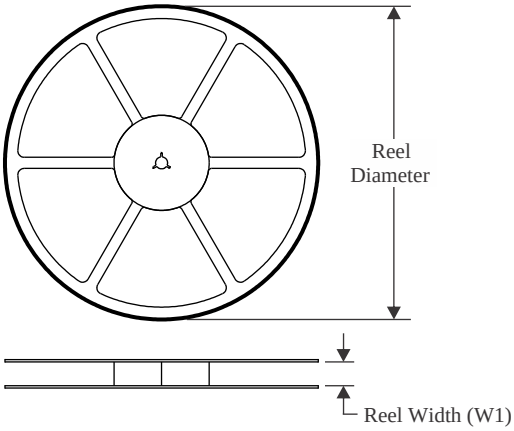
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

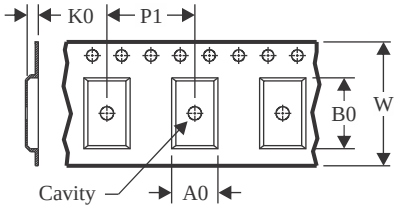
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

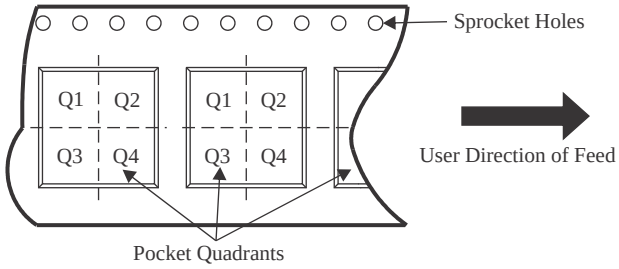


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

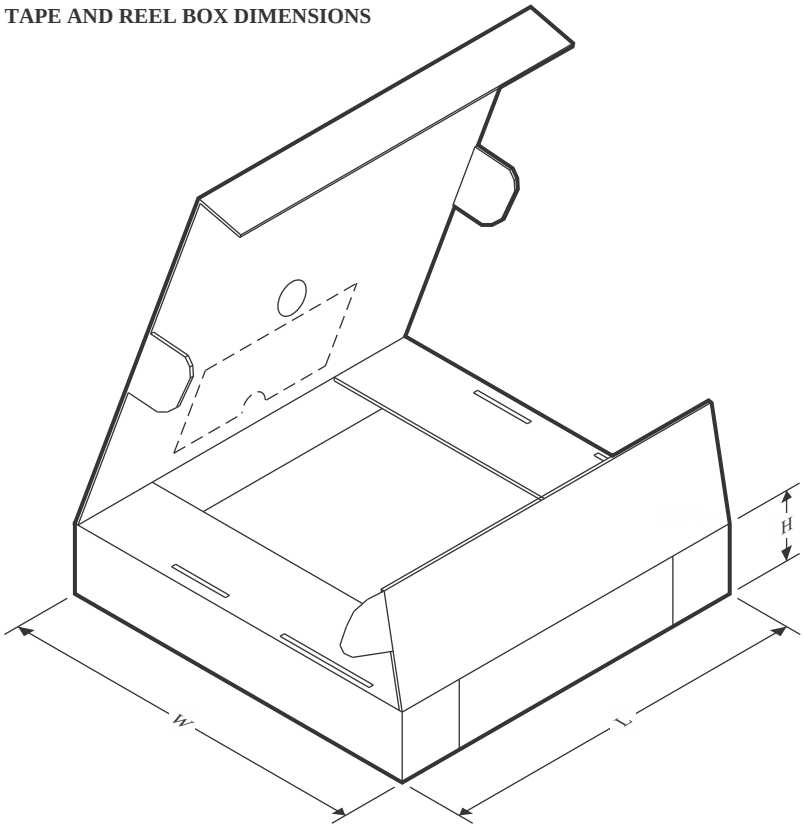
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPIC6B596DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
TPIC6B596DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

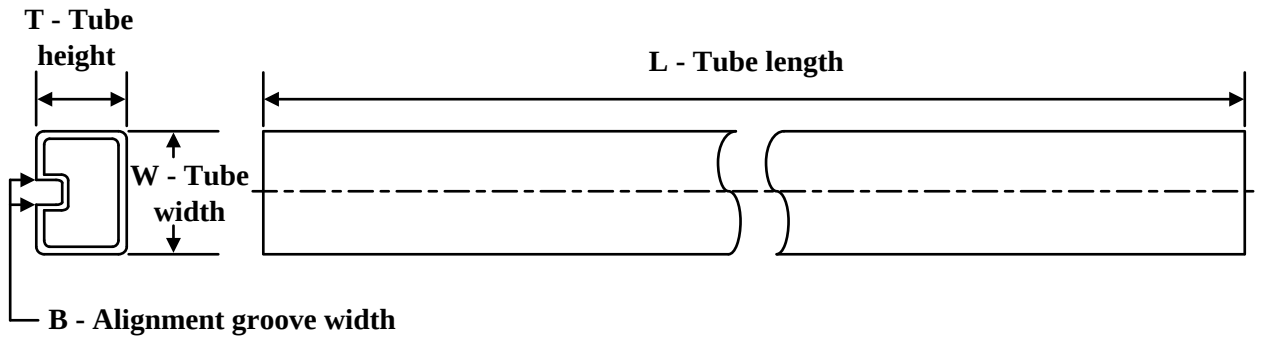
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPIC6B596DWR	SOIC	DW	20	2000	350.0	350.0	43.0
TPIC6B596DWR	SOIC	DW	20	2000	350.0	350.0	43.0

TUBE



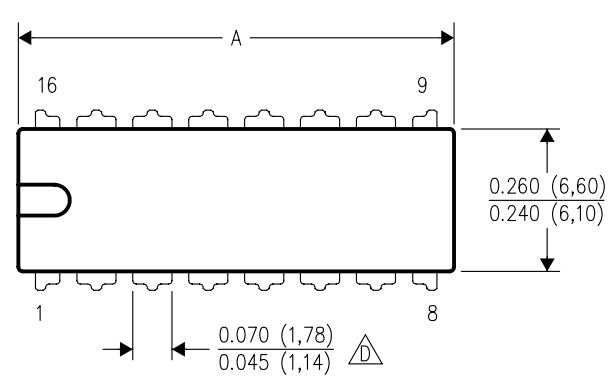
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPIC6B596N	N	PDIP	20	20	506	13.97	11230	4.32
TPIC6B596N.A	N	PDIP	20	20	506	13.97	11230	4.32

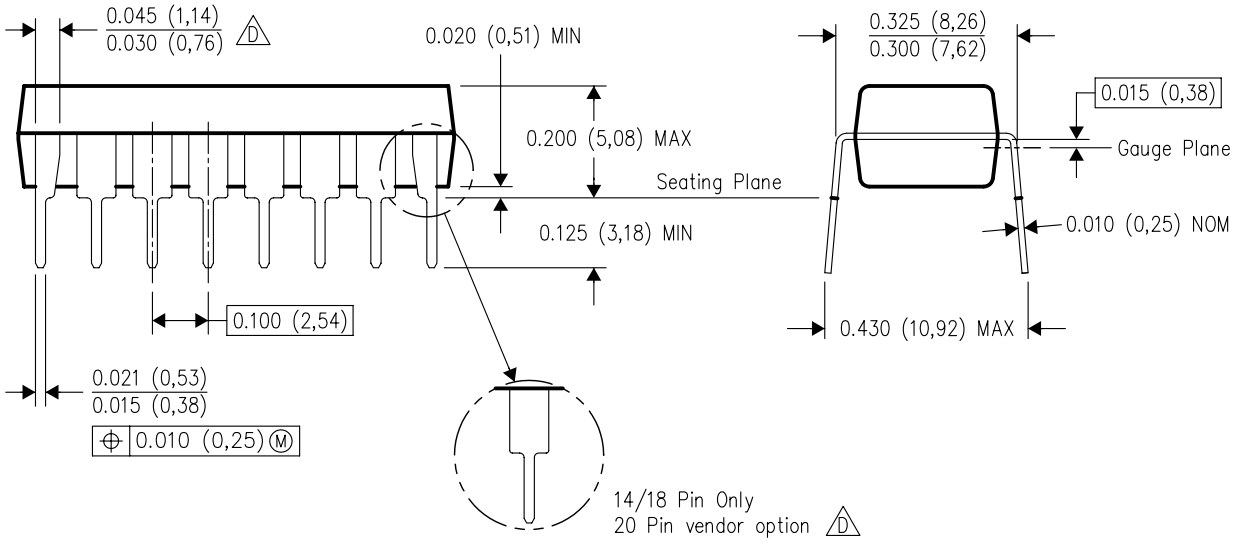
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

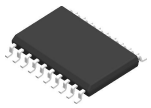


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

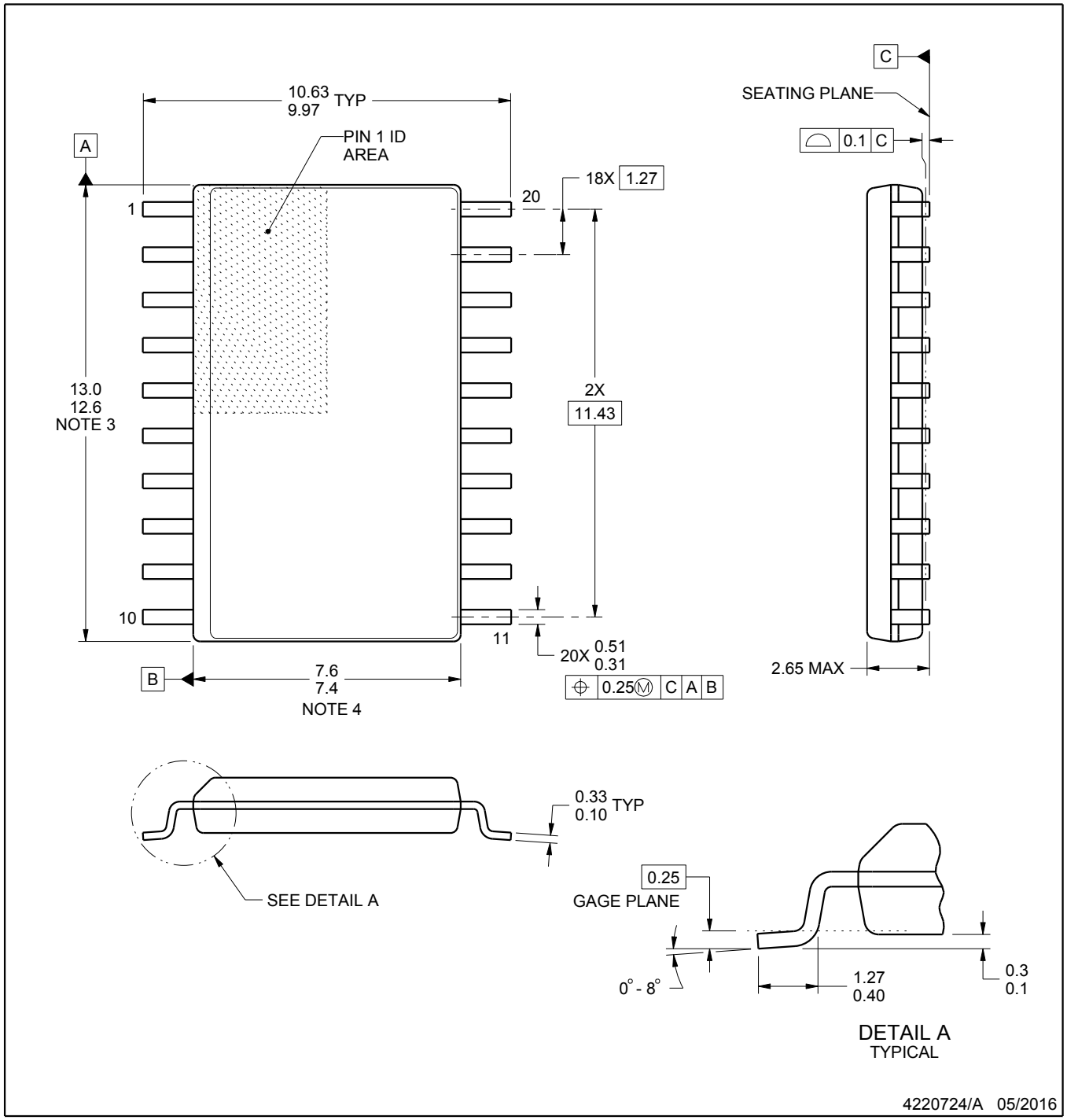


PACKAGE OUTLINE

DW0020A

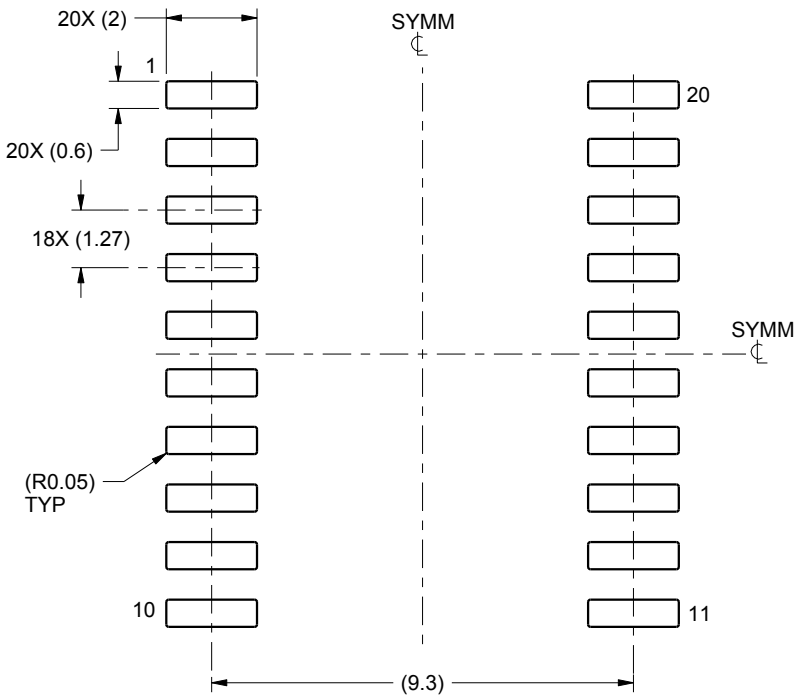
SOIC - 2.65 mm max height

SOIC

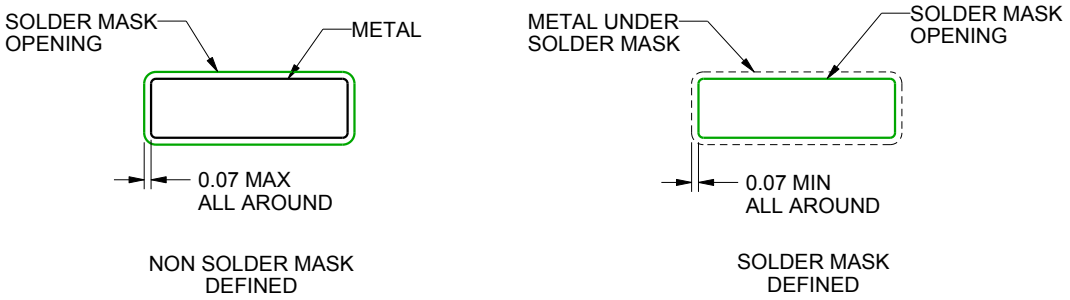


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

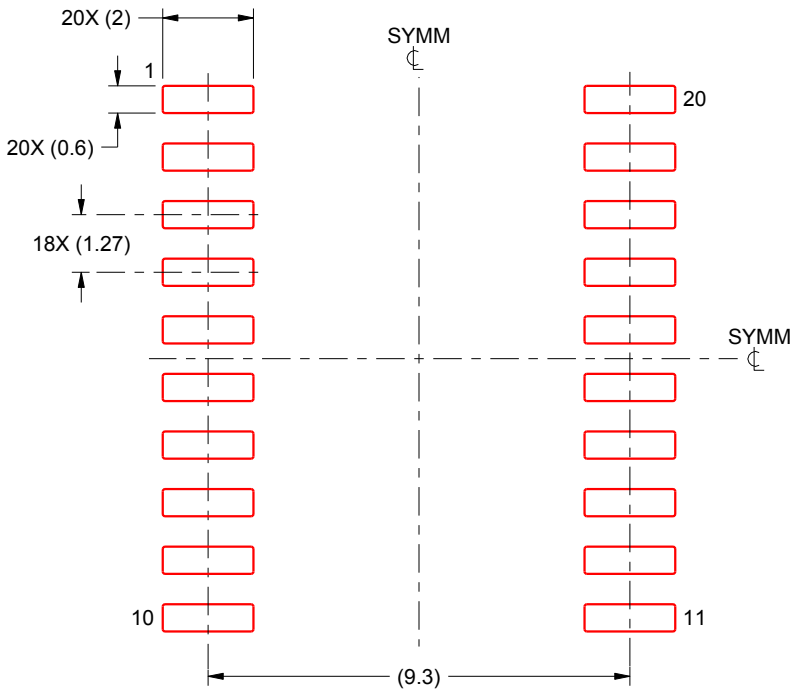


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月