UCx84xA 电流模式 PWM 控制器

1 特性

- 针对离线和直流/直流转换器进行了优化
- 低启动电流 (< 0.5mA)
- 修整的振荡器放电电流
- 自动前馈补偿
- 逐脉冲电流限制
- 增强型负载响应特性
- 带有迟滞功能的欠压锁定
- 双脉冲抑制
- 大电流图腾柱输出
- 内部调整的带隙参考
- 工作频率高达 500kHz
- 使用 UCx84xA 并借助 WEBENCH® Power Designer 创建定制设计方案

2 应用

- 开关模式电源 (SMPS)
- 直流/直流转换器
- 电源模块
- 工业 PSU
- 电池供电 PSU

3 说明

UCx84xA 系列控制器件是与 UCx84x 系列引脚对引脚兼容的改进版。该系列器件提供了控制电流模式或开关模式电源的必要特性，具有许多改进的特性：启动电流低于 0.5mA，振荡器放电电流调整为 8.3mA，并且在 UVLO 期间，输出级在低于 1.2V 的电压下可灌入至少 10mA 电流（V_{CC} 高于 5V）。

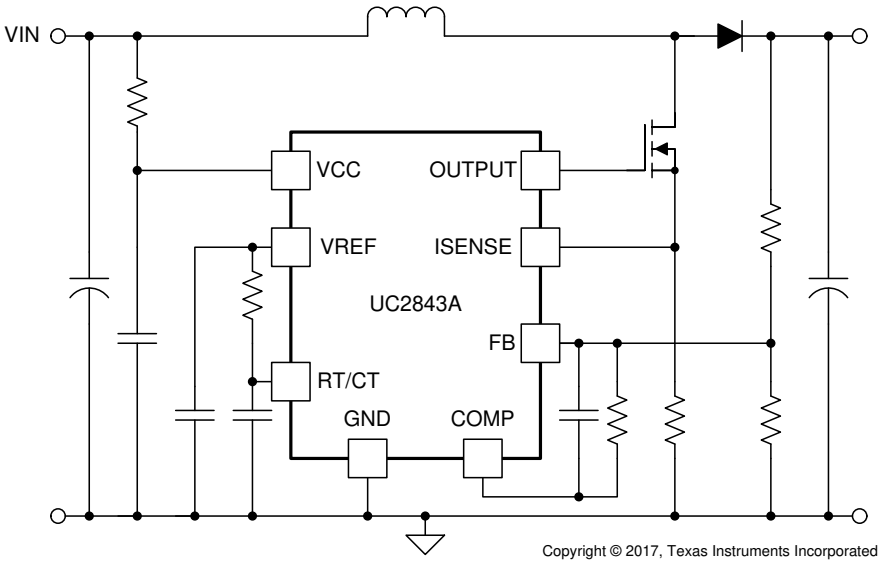
封装信息

器件型号	封装(1)	封装尺寸(2)
UC1842A、UC1843A、UC1844A、UC1845A	JG（CDIP，8）	6.67mm × 9.60mm
	FK（LCCC，20）	8.89mm × 8.89mm
UC2843A	FN（PLCC，20）	9.90mm × 9.90mm
UC2842A、UC2843A、UC2844A、UC2845A、UC3842A、UC3843A、UC3844A、UC3845A	P（PDIP，8）	9.81mm × 9.43mm
	D（SOIC，8）	4.90mm × 6.00mm
	D（SOIC，14）	8.65mm × 6.00mm
	DW（SOIC，16）	10.30mm × 10.30mm

(1) 有关更多信息，请参阅节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件比较表

器件	UVLO ON	UVLO OFF	最大占空比
UC1842A	16V	10V	<100%
UC1843A	8.4V	7.6V	<100%
UC1844A	16V	10V	<50%
UC1845A	8.4V	7.6V	<50%



简化版应用示意图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....6
5.5 电气特性.....6
5.6 典型特性.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 特性说明.....9
6.4 器件功能模式.....12
7 应用和实现.....13
7.1 应用信息.....13
7.2 典型应用.....13
8 电源相关建议.....19
9 布局.....20
9.1 布局指南.....20
9.2 布局示例.....21
10 器件和文档支持.....22
10.1 器件支持.....22
10.2 文档支持.....22
10.3 相关链接.....23
10.4 接收文档更新通知.....23
10.5 支持资源.....23
10.6 商标.....23
10.7 静电放电警告.....23
10.8 术语表.....23
11 修订历史记录.....23
12 机械、封装和可订购信息.....24

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

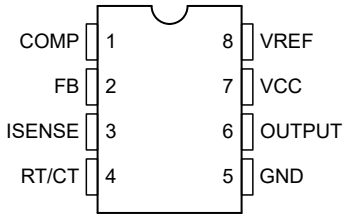


图 4-1. CDIP、PDIP 和 SOIC 封装，8 引脚 JG、P 和 D（顶视图）

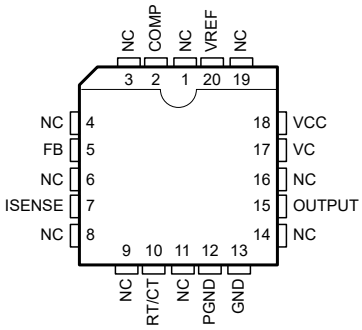


图 4-2. LCCC 和 PLCC 封装，20 引脚 FK 和 FN（顶视图）

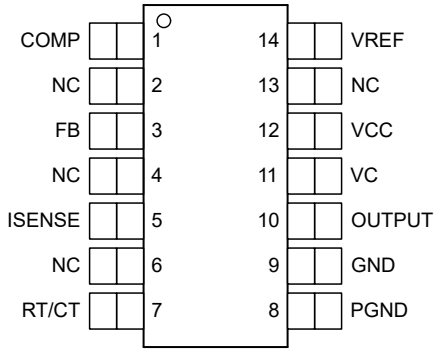


图 4-3. SOIC 封装，14 引脚 D（顶视图）

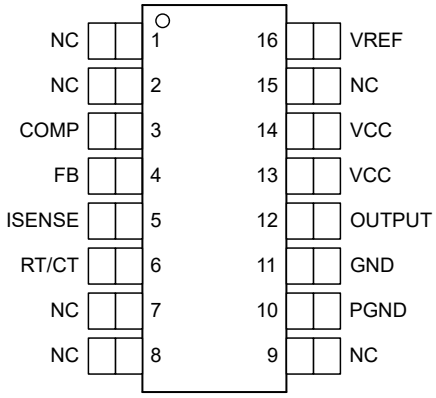


图 4-4. SOIC 封装，16 引脚 DW（顶视图）

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚					类型(1)	说明
名称	编号					
	CDIP (8)、PDIP (8)、SOIC (8)	LCCC (20)、PLCC (20)	SOIC (14)	SOIC (16)		
COMP	1	2	1	3	O	低阻抗 1MHz 内部误差放大器的输出，也是峰值电流限制或 PWM 比较器的输入，开环增益 (AVOL) 为 80dB。该引脚的最大灌电流为 6mA，并且内部不受电流限制。
FB	2	5	3	4	I	误差放大器的输入，可用于控制电源转换器电压反馈环路以实现稳定性。
GND	5	13	9	11	—	这是控制器信号地线。
ISENSE	3	7	5	5	I	UCx84xA 控制器峰值电流限制或 PWM 比较器的输入。当与电流检测电阻器一同使用时，误差放大器输出电压会控制电源系统的逐周期峰值电流限制。最大峰值电流检测信号在内部被钳位至 1V。请参阅 *节 6.2*。
输出	6	15	10	12	O	1A 图腾柱栅极驱动器的输出。该引脚可以拉入/灌出高达 1A 的栅极驱动器电流。必须使用栅极驱动器电阻器来限制栅极驱动器电流。
PGND	—	12	8	10	—	电源地和栅极驱动器返回路径。对于具有该引脚的器件，可使用星形接地技术重定向栅极驱动器电流，使其远离信号接地引脚 (GND)。这项技术可以降低由栅极驱动器返回电流引起的 PWM 控制器不稳定性。
RT/CT	4	10	7	6	I	内部振荡器的输入，使用外部定时电阻器 (RT) 和定时电容器 (CT) 进行编程。有关正确选择这些时序分量的信息，请参阅 *节 6.3.5*。TI 建议使用 470pF 至 4.7nF 的电容值。TI 还建议选择 5kΩ 至 100kΩ 的定时电阻器值。
VC	—	17	11	—	I	栅极驱动器的偏置输入。对于没有该引脚的 PWM 控制器，栅极驱动器从 VCC 引脚实现偏置。该引脚必须有一个偏置电容器，其电容比设计中使用的主开关 FET 的栅极电容至少大 10 倍。
VCC	7	18	12	13、14	I	栅极驱动器的偏置输入。该引脚必须有一个偏置电容器，其电容比设计中使用的主开关 FET 的栅极电容至少大 10 倍。
VREF	8	20	14	15	O	PWM 控制器的基准电压输出。在正常运行的情况下，该引脚必须提供不超过 10mA 的电流。该输出在大约 100mA 时受到短路保护。该基准也用于内部比较器，需要一个 1μF 的高频旁路电容器。此外，VCC 电容器必须至少比 VREF 引脚上的电容器大 10 倍。
NC	—	1、3、4、6、8、9、11、14、16、19	2、4、6、13	1、2、7、8、9、16	—	无连接

(1) I = 输入；O = 输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压（低阻抗源）	VCC 引脚		30	V
输出电流 I_{OUT}			±1	A
输出能量（容性负载）			5	µJ
模拟输入		-0.3	6.3	V
最大负电压	所有引脚	-0.3		V
VC 和 VCC 之间的差分电压	VC 引脚	-0.3		V
误差放大器输出灌电流 I_{COMP}			10	mA
T_A ≤ 25°C 时的功率耗散			1	W
引线温度（焊接，10s）			300	°C
结温，T_J		-55	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{CC}	偏置电源电压	VCC 引脚		11		V
V_{FB}、V_{RC}、V_{VFB}	模拟引脚上的电压	FB、ISENSE 和 RT/CT 引脚	–0.1		5	V
V_{OUT}	栅极驱动器输出电压		–0.1		V_{CC}	V
I_{VCC}	电源偏置电流				25	mA
I_{VREF}	输出电流	VREF 引脚			10	mA
f_{OSC}	振荡器频率				500	kHz
T_A	自然通风条件下的工作温度范围	UC184xA	–55		125	°C
		UC284xA	–40		85	
		UC384xA	0		70	

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		UC184xA		UC2843A	UC284xA、UC384xA				单位
		JG (CDIP)	FK (LCCC)	FN (PLCC)	P (PDIP)	D (SOIC)	D (SOIC)	DW (SOIC)	
		8 引脚	20 引脚	20 引脚	8 引脚	8 引脚	14 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	—	—	56.7	74.1	117.4	87.9	73.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	64	36.2	34.6	63.4	51.5	42.2	35	°C/W
$R_{\theta JB}$	结至电路板热阻	92.5	35.4	21.8	50.5	61	44.7	38.4	°C/W
ψ_{JT}	结至顶部特征参数	—	—	10.4	34.6	7.8	8.8	9.7	°C/W
ψ_{JB}	结至电路板特征参数	—	—	21.5	49.2	60.2	44.3	37.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	15.1	4.1	—	—	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

除非另有说明，这些规范适用于 T_A = –55°C 至 125°C (UC184xA)，T_A = –40°C 至 125°C (UC284xAQ)，T_A = –40°C 至 85°C (UC284xA)，T_A = 0°C 至 70°C (UC384xA)；$T_A = T_J$；V_{CC} = 15V(4)；R_T = 10kΩ；C_T = 3.3nF。

参数	测试条件		最小值	典型值	最大值	单位
基准						
输出电压	T_J = 25°C、I_O = 1 mA	UC184xA、UC284xA	4.95	5	5.05	V
		UC384xA	4.9	5	5.1	
线性调整	12 ≤ V_{IN} ≤ 25V			6	20	mV
负载调整	1 ≤ I_O ≤ 20mA			6	25	mV
温度稳定性	请参阅 (1) (6)			0.2	0.4	mV/°C
总输出变化	线路、负载、温度	UC184xA、UC284xA	4.9		5.1	V
		UC384xA	4.82		5.18	
输出噪声电压	10Hz ≤ f ≤ 10kHz；T_J = 25°C(1)			50		μV
长期稳定性	T_A = 125°C，1000 小时(1)			5	25	mV
输出短路			-30	-100	-180	mA
振荡器						
初始精度	T_J = 25°C(5)		47	52	57	kHz
电压稳定性	12 ≤ V_{CC} ≤ 25V			0.2%	1%	
温度稳定性	T_{MIN} ≤ T_A ≤ T_{MAX} (1)			5%		
振幅	$V_{RT/CT}$ 峰-峰值(1)			1.7		V
放电电流	T_J = 25°C，$V_{RT/CT}$ = 2V(7)		7.8	8.3	8.8	mA
	$V_{RT/CT}$ = 2V(7)	UC184xA、UC284xA	7.5		8.8	
		UC384xA	7.6		8.8	

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

除非另有说明，这些规范适用于 T_A = –55°C 至 125°C (UC184xA)，T_A = –40°C 至 125°C (UC284xAQ)，T_A = –40°C 至 85°C (UC284xA)，T_A = 0°C 至 70°C (UC384xA)；$T_A = T_J$；V_{CC} = 15V(4)；R_T = 10kΩ；C_T = 3.3nF。

参数		测试条件		最小值	典型值	最大值	单位
误差放大器							
	输入电压	V_{COMP} = 2.5V	UC184xA、UC284xA	2.45	2.5	2.55	V
			UC384xA	2.42	2.5	2.58	
	输入偏置电流				-0.3	-1	μA
					-0.3	-2	
A_{VOL}	开环增益	2 ≤ V_O ≤ 4V		65	90		dB
	单位带宽增益积	T_J = 25°C(1)		0.7	1		MHz
CMRR	共模抑制比	12 ≤ V_{CC} ≤ 25V		60	70		dB
	输出灌电流	V_{FB} = 2.7V，V_{COMP} = 1.1V		2	6		mA
	输出拉电流	V_{FB} = 2.3V，V_{COMP} = 5V		-0.5	-0.8		mA
	V_{OUT} 高	V_{FB} = 2.3V，R_L = 15kΩ 至接地		5	6		V
	V_{OUT} 低	V_{FB} = 2.7V，R_L = 15kΩ 至 VREF			0.7	1.1	V
电流检测							
	增益	请参阅 (2) (3)		2.85	3	3.15	V/V
	最大输入信号	V_{COMP} = 5V(2)		0.9	1	1.1	V
PSRR	电源抑制比	12 ≤ V_{CC} ≤ 25V(2)			70		dB
	输入偏置电流				-2	-10	μA
	到输出延迟	V_{ISENSE} = 0V 至 2V(1)			150	300	ns
输出							
	输出低电平	I_{SINK} = 20mA			0.1	0.4	V
		I_{SINK} = 200mA			1.5	2.2	
	输出高电平	I_{SOURCE} = 20mA		13	13.5		V
		I_{SOURCE} = 200mA		12	13.5		
	上升时间	T_J = 25°C，C_L = 1nF(1)			25	150	ns
	下降时间	T_J = 25°C，C_L = 1nF(1)			25	150	ns
	UVLO 饱和区	V_{CC} = 5V，I_{SINK} = 10mA			0.7	1.2	V
欠压锁定							
	启动阈值	UC1842A、UC1844A、UC2842A 和 UC2844A		15	16	17	V
		UC3842A 和 UC3844A		14.5	16	17.5	
		UCx843A 和 UCx845A		7.8	8.4	9	
	导通后的最小工作电压	UC1842A、UC1844A、UC2842A 和 UC2844A		9	10	11	V
		UC3842A 和 UC3844A		8.5	10	11.5	
		UCx843A 和 UCx845A		7	7.6	8.2	
PWM							
	最大占空比	UCx842A、UCx843A		92%	96%	100%	
		UCx844A、UCx845A		46%	48%	50%	
	最小占空比					0%	
总待机电流							
	启动电流				0.3	0.5	mA
	工作电源电流	V_{FB} = V_{ISENSE} = 0V			11	17	mA

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

除非另有说明，这些规范适用于 T_A = –55°C 至 125°C (UC184xA)，T_A = –40°C 至 125°C (UC284xAQ)，T_A = –40°C 至 85°C (UC284xA)，T_A = 0°C 至 70°C (UC384xA)；$T_A = T_J$；V_{CC} = 15V(4)；R_T = 10kΩ；C_T = 3.3nF。

参数	测试条件	最小值	典型值	最大值	单位
V_{CC} 齐纳电压	I_{CC} = 25mA	30	39		V

(1) 根据设计验证，但未经 100% 生产测试。
(2) 当 V_{FB} = 0 时，在闩锁跳变点测得的参数。
(3) 增益定义为：$A = \Delta V_{COMP} / \Delta V_{ISENSE}$；$0 \leqslant V_{ISENSE} \leqslant 0.8V$。
(4) 将 V_{CC} 调整为高于启动阈值，然后再设置为 15V。
(5) 输出频率等于 UCx842A 和 UCx843A 的振荡器频率。输出频率等于 UCx844A 和 UCx845A 的振荡器频率的一半。
(6) 对温度稳定性（有时称为*平均温度系数*）的描述如下：温度稳定性 = $(V_{REF(max)} - V_{REF(min)}) / (T_{J(max)} - T_{J(min)})$。$V_{REF(max)}$ 和 $V_{REF(min)}$ 是在适当温度范围内测得的最大和最小基准电压。请注意，极端电压情况不一定发生在极端温度下。
(7) 该参数在 R_T = 10kΩ 至 V_{REF} 时测得。这为测量提供了大约 300µA 的电流。流入 RT/CT 引脚的总电流比测量值高约 300µA。

5.6 典型特性

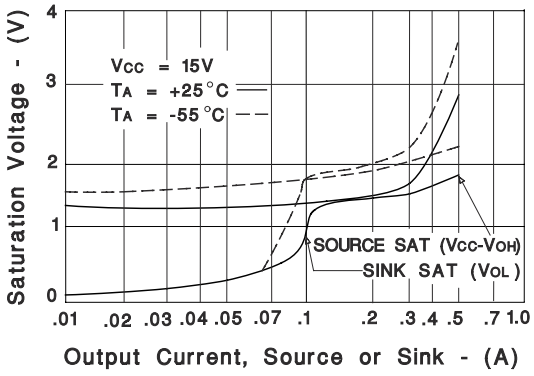


图 5-1. 输出饱和特性

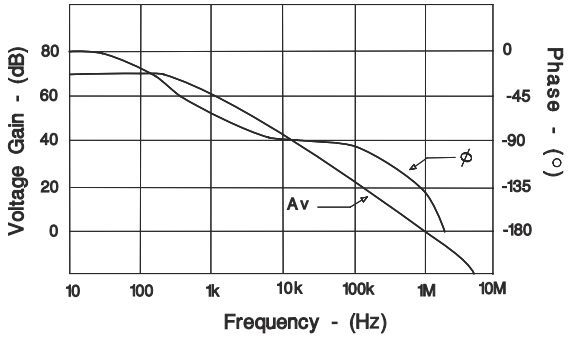


图 5-2. 误差放大器开环频率响应

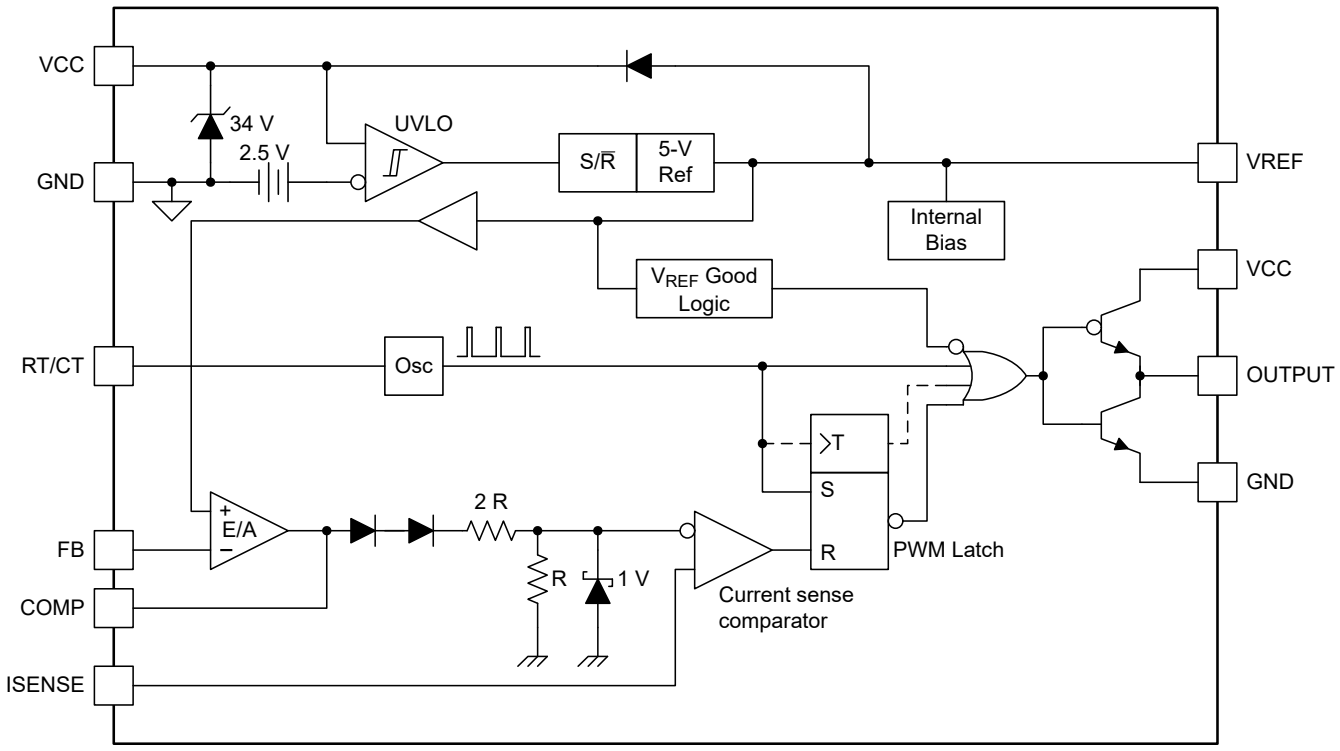
Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

UCx84xA 系列固定频率脉宽调制器 (PWM) 控制器设计为在 500kHz 的开关频率下工作。这些控制器专为峰值电流模式 (PCM) 而设计，可用于隔离式和非隔离式电源设计。这些控制器可以直接从输出驱动 FET，从而能拉出和灌入高达 1A 的栅极驱动器电流。这些器件还具有内置低阻抗放大器，可用于非隔离式设计，旨在控制电源输出电压和反馈环路。

6.2 功能方框图



6.3 特性说明

6.3.1 逐脉冲电流限制

电流模式控制方案本身具有逐脉冲限制。只需对误差电压进行钳位，即可确定峰值电流的上限。精确的电流限制允许对磁性和功率半导体元件进行优化，同时确保电源可靠运行。

6.3.2 电流检测电路

峰值电流 (I_S) 由方程式 1 确定：

$$I_{S(max)} \times \frac{1\,V}{R_S} \quad (1)$$

可能需要一个小型 RC 滤波器来抑制开关瞬态。

Copyright © 2024 Texas Instruments Incorporated

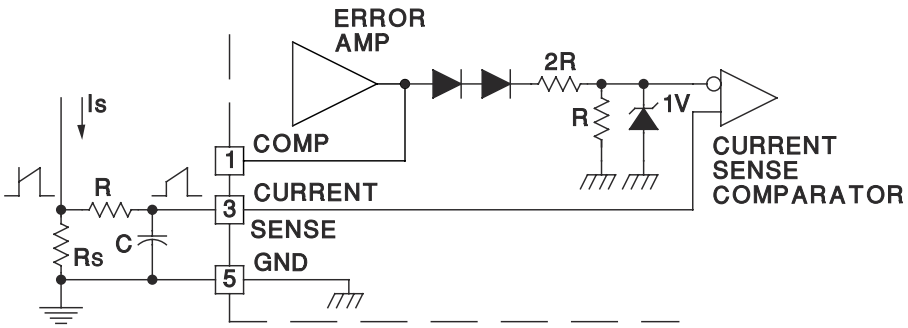


图 6-1. 电流检测电路图

6.3.3 误差放大器配置

误差放大器可实现高达 0.8mA 的拉电流和高达 6mA 的灌电流。

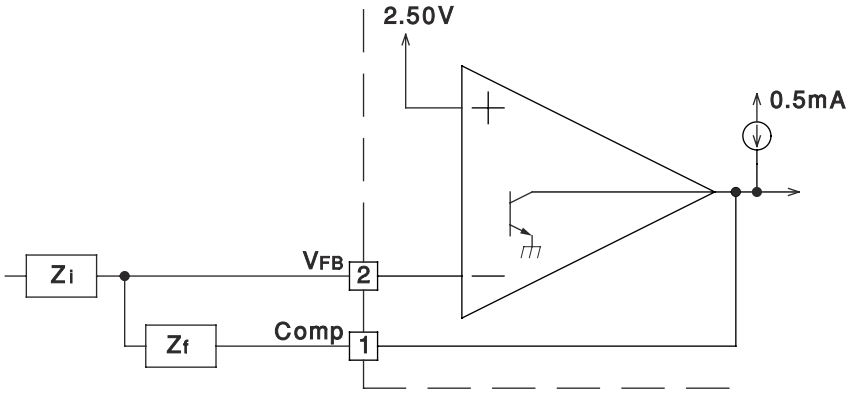


图 6-2. 误差放大器配置示意图

6.3.4 欠压锁定

UCx84xA 器件具有欠压锁定保护电路，可在加电和断电序列期间执行受控操作。UCx842A、UCx843A、UCx844A 和 UCx845A 器件的欠压锁定阈值针对两组应用（离线电源和 DC-DC 转换器）进行了优化。UCx842A 和 UCx844A 器件具有更宽的 VCC_{ON} 至 VCC_{OFF} 范围，非常适合离线交流输入应用。UCx843A 和 UCx845A 控制器的 VCC_{ON} 至 VCC_{OFF} 迟滞要窄很多，可用于将输入视为已调节的直流/直流应用。

在 UVLO 期间，IC 通常会消耗 0.3mA 的电源电流。该 VCC 电流比 UCx84x 系列要小很多，从而降低了线路消耗的功率。降低的启动电流在离线电源中尤其值得关注，其中 IC 通过高压直流电源轨*上电*，然后自举到主变压器上的辅助绕组。接下来，功率在启动电阻器中耗散，该电阻器的阻值由 IC 的启动电流决定。与 UCx84x 系列相比，UCx84xA 版本系列将其降低了 50%，从而将电阻器功率损耗降低了相同的百分比。一旦超过导通阈值，IC 电源电流通常会增加至大概 11mA。在欠压锁定期间，UCx84xA 系列器件会防止功率 MOSFET 由于上电时的*米勒*效应而发生寄生性导通。这种设计针对低图腾柱晶体管在欠压锁定期间的运行进行了改进，使 IC 能够在低至 0.7V 的饱和电压下灌入更高的电流（高达 10mA），而 UCx84x 器件在相同条件下最多仅灌入 0.2mA 的电流。

Copyright © 2024 Texas Instruments Incorporated

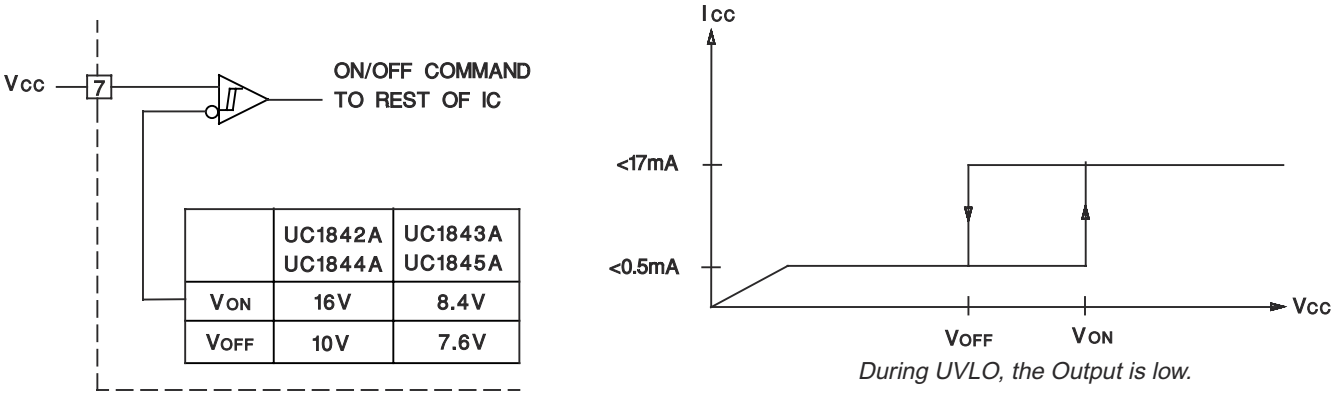


图 6-3. 欠压锁定

6.3.5 振荡器

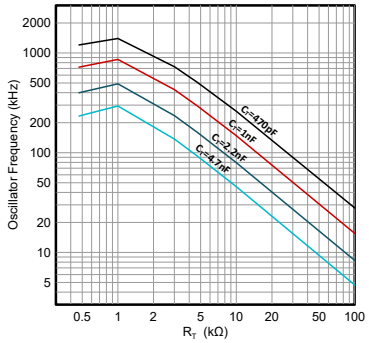


图 6-4. 振荡器频率与时序电阻之间的关系

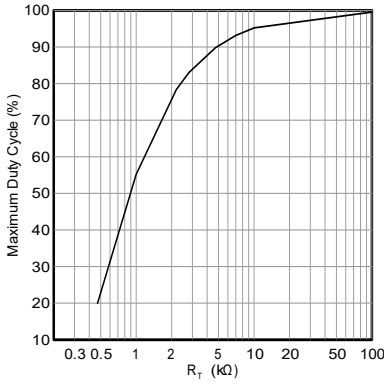
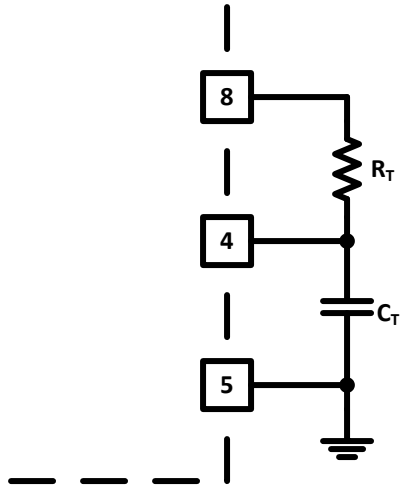


图 6-5. 最大占空比与时序电阻之间的关系



$$\text{For } R_T > 5\text{ k} \quad f \approx \frac{1.72}{R_T \times C_T}$$

图 6-6. 振荡器选择

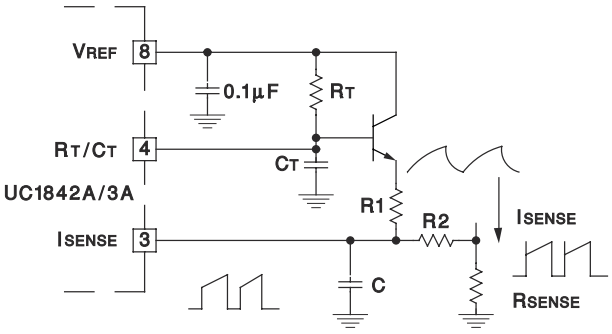


图 6-7. 斜率补偿

Copyright © 2024 Texas Instruments Incorporated

UCx84xA 系列器件具有修整的振荡器放电电流，因此可在高频下实现精密操作，并具有精确的最大占空比，如图 6-5 所示。这消除了初始放电电流或死区时间中发生的变化所带来的影响。早期版本的 UCx84x 器件具有大于 2:1 的振荡器放电电流范围，导致最大占空比编程不太可靠。

振荡器斜坡的一部分可以与电流检测信号进行电阻求和，为需要超过 50% 占空比的转换器提供斜率补偿。电容器 C 与 R2 形成一个滤波器，以抑制前沿开关尖峰。

6.4 器件功能模式

6.4.1 正常运行

IC 可用于峰值电流模式 (PCM) 控制或电压模式 (VM) 控制。当转换器在 PCM 下运行时，电压放大器输出会调节转换器的峰值电流和占空比。当该 IC 在 VM 控制中运行时，电压放大器输出会调节电源转换器的占空比。利用集成的误差放大器和外部反馈电路，可以实现对系统峰值电流和占空比的调节。

6.4.2 欠压锁定 (UVLO) 启动

在系统启动过程中，VCC 电压从 0 开始上升。在 VCC 电压达到其相应的启动阈值之前，该 IC 在 UVLO 模式下运行。达到 UVLO 启动阈值后，器件变为运行状态，基准电压高达 5V。

6.4.3 UVLO 关断模式

如果 VCC 的偏置电压降至 UVLO 最小工作电压以下，PWM 开关将停止，且基准将停用，返回到 0V。可以通过向 VCC 引脚施加大于 UVLO 启动阈值的电压来重新启动器件。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

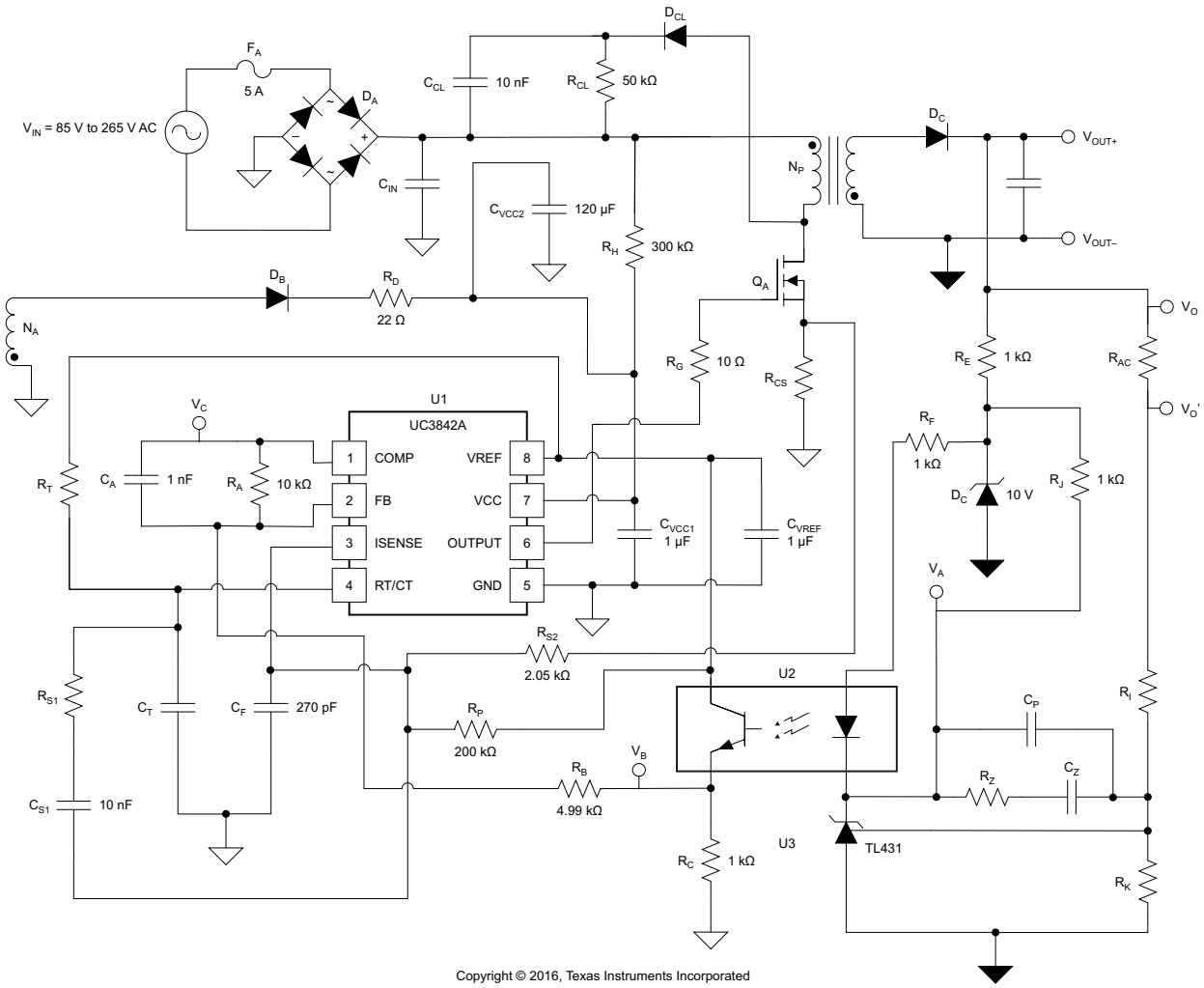
7.1 应用信息

UCx84xA 控制器是峰值电流模式脉宽调制器。这些控制器具有板载放大器，可用于隔离式或非隔离式电源设计。还具有一个板载图腾柱栅极驱动器，能够提供 1A 的峰值电流。这是一种高速 PWM，能够在高达 500kHz 的开关频率下运行。

7.2 典型应用

UC3842A 在离线反激式转换器中的典型应用如图 7-1 所示。UC3842A 使用一个内部电流控制环路，该环路包含一个小电流感测电阻器，用于感测初级电感电流斜坡。该电流感测电阻器将电感器电流波形转换为电压信号，直接输入到初级侧 PWM 比较器中。该内部环路决定了对输入电压变化的响应。外部电压控制环路涉及将一部分输出电压与误差放大器输入端的基准电压进行比较。在离线隔离式应用中使用时，隔离式输出的电压反馈是使用次级侧误差放大器和可调电压基准（如 TL431）来完成的。误差信号使用一个光隔离器穿过初级到次级隔离边界，该光隔离器的集电极连接到 VREF 引脚，发射极连接到 FB。外部电压控制环路决定了对负载变化的响应。

Copyright © 2024 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

图 7-1. 典型反激式应用电路

Copyright © 2024 Texas Instruments Incorporated

7.2.1 设计要求

本设计示例使用表 7-1 中所列的参数作为输入参数。

表 7-1. 设计参数

参数		最小值	典型值	最大值	单位
输入特性					
V_{IN}	输入电压 (RMS)	85		265	V
f_{LINE}	线路频率	47		63	Hz
输出特性					
V_{OUT}	输出电压	11.75	12	12.25	V
	输出纹波电压		50		mV_{PP}
I_{OUT}	输出电流		4	4.33	A
	负载阶跃	11.75		12.25	V
系统特性					
η	最大负载效率	86%			

7.2.2 详细设计过程

7.2.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 UCx84xA 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化该设计的关键参数，如效率、尺寸和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

7.2.2.2 UC2842A 设计过程

该应用设计过程展示了如何在离线反激式转换器中设置和使用 UC2842A 峰值电流模式控制器，该控制器通过通用输入转换为 12V、48W 的稳压输出。

若要在连续模式反激式应用中使用 UC2842A 峰值电流模式控制器进行设置和设计，需要了解关于功率级的一些知识。首先，根据输出功率级别 (P_{OUT})、效率 (η)、最小输入电压 ($V_{IN(min)}$)、线路频率 (f_{LINE}) 和最小体电压计算所需的输入大容量电容 (C_{IN})。对于此设计示例，让 $V_{BULK(min)}$ = 95V。

$$V_{INripple} = \frac{2 \times \frac{P_{OUT}}{\eta} \times \left[0.25 + \frac{1}{\pi} \times \arcsin \times \left(\frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right]}{\left(2 \times V_{IN(min)}^2 - V_{BULK(min)}^2 \right) \times f_{LINE}} \tag{2}$$

$$C_{IN} = \frac{2 \times \frac{P_{OUT}}{\eta} \times \left[0.25 + \frac{1}{\pi} \times \arcsin \times \left(\frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right]}{\left(2 \times V_{IN(min)}^2 - V_{BULK(min)}^2 \right) \times f_{LINE}} \approx 180\ \mu F \tag{3}$$

Copyright © 2024 Texas Instruments Incorporated

输出电容 (C_{OUT}) 的容值旨在确保在大信号瞬态响应期间，输出电压下降不超过 10%。在该设计中，此时的电压环路交叉频率 (f_C) 预计为 2.5kHz。

$$C_{OUT} \geq \frac{\frac{I_{OUT}}{f_C}}{V_{OUT} \times 10\%} \approx 1.33mF \tag{4}$$

该设计中所选的 C_{OUT} 为 2200µF 电容器，等效串联电阻 (ESR) 为 45mΩ。

下一步，根据最小输入电压和输出电压来计算变压器的最大初级与次级匝数比 (N_{PS})。

$$N_{PS} \leq \frac{V_{IN(min)} \times \sqrt{2}}{V_{OUT}} = \frac{85\ V \times \sqrt{2}}{12\ V} \approx 10 \tag{5}$$

下一步，根据 UC2842A 的输出电压和偏置电压来计算变压器的辅助与次级匝数比 (N_{AS})。

$$N_{AS} \leq \frac{V_{VCC}}{V_{OUT}} = \frac{12\ V}{12\ V} = 1 \tag{6}$$

一旦确定了变压器匝数比，就可以根据最小体电压、占空比 (D)、反射输出电流和效率，计算变压器的最小初级磁化电感 (L_{PM})。该设计中使用的变压器的 L_{PM} 为 1.7mH，N_{PS} = 10，N_{AS} = 1，f_{sw} = 100kHz

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULK(min)} + N_{PS} \times V_{OUT}} \approx 0.56 \tag{7}$$

$$L_{PM} \geq \frac{V_{BULK\,(min)} \times D}{\frac{70\% \times I_{OUT} \times f_{sw}}{\eta \times N_{PS}}} = 1.632mH \approx 1.7mH \tag{8}$$

选择变压器后，可以根据初级磁化电感纹波 (I_{LPM}) 和通过变压器的反射输出电流，计算变压器的初级峰值电流 (I_{LpPK})。

$$I_{LPM} = \frac{V_{BULK(min)} \times D}{f_{SW} \times L_M} \approx 0.31\ A \tag{9}$$

$$I_{LpPK} = \frac{I_{OUT}}{N_{PS} \times (1-D)} + \frac{I_{LM}}{2} \approx 1.1\ A \tag{10}$$

一旦计算出了初级峰值电流，就可以选择电流检测电阻器 (R_{CS})。

$$R_{CS} = \frac{1\ V}{I_{LpPK} \times 1.3} = 0.725\ \Omega \approx 0.75\ \Omega \tag{11}$$

电阻器 R_{S1} 和 R_{S2} 用于设置该设计的斜率补偿。电容器 C_{S1} 是直流阻断电容器，上拉电阻 R_P 用于为电流检测信号提供一定的失调电压，以实现抗噪性。预选 R_P 和 R_{S2} 以向电流检测信号添加 50mV 的直流失调电压。

选择 R_{S1} 以将斜率补偿设置为反激式电感器的纹波电流下降斜率的一半。这可以通过计算次级磁化电感 (L_{SM}) 并对 R_{S1} 进行以下计算来实现。R_{S1} 公式中的 1.7V 是振荡器的峰-峰值纹波电压幅值。

Copyright © 2024 Texas Instruments Incorporated

$$R_{S1} = \frac{1.7\ V \times R_{S2} \times f_{SW} \times (2 \times L_{SM} \times N_{PS})}{V_{OUT} \times (1-D) \times R_{CS}} - R_{S2} = 27.72\ k\Omega \approx 27.4\ k\Omega \quad (12)$$

其中

- $R_{S2} = 2.05\ k\Omega$

选择电阻器 R_I 和 R_K 作为输出基准，并可通过预选 R_K 的值以及知晓的 TL431 基准电压 ($V_{TL431REF}$) 来计算电阻器值。为 R_K 选择 2.49kΩ 后，计算 R_I 并为该电阻器选择 9.53kΩ 的标准电阻器值。

$$R_I = \frac{R_K \times (V_{OUT} - V_{TL431REF})}{V_{TL431REF}} = \frac{2.49\ k\Omega \times (12\ V - 2.5\ V)}{2.5\ V} = 9.462\ k\Omega \approx 9.53\ k\Omega \quad (13)$$

这种使用 UC2842A 控制器的设计具有一个有趣的控制环路，其中包含许多组件。$G_{OPTO}(f)$ 是该设计中所用光隔离器的近似传递函数。光隔离器的极点频率用 f_P 表示。该设计中所用光隔离器的电流传输比为 1，极点频率约为 5kHz。有关组件放置和节点电压，请参见图 7-1。为了简化补偿，电压环路 (f_C) 的交叉点必须小于光隔离器极点。

$$s(f) = 2 \times \pi \times 1i \times f \quad (14)$$

$$f_P = 5\ kHz \quad (15)$$

$$G_{OPTO}(f) = \frac{\Delta V_B}{\Delta V_A} = \frac{R_C}{R_F} \times \frac{ctr}{\frac{s(f)}{2 \times \pi \times f_P} + 1} \quad (16)$$

$G_{BC}(f)$ 是从光隔离器输出到 PWM 控制电压 的传递函数估计值。

$$G_{BC}(f) = \frac{\Delta V_C}{\Delta V_B} = \frac{R_A}{R_B} \times \frac{1}{s(f) \times R_A \times C_A + 1} \quad (17)$$

占空比随输入的体电压 (V_{BULK}) 而变化。正常运行期间，V_{BULK} 的范围为 95V 至 375V。这导致占空比在 24% 到 56% 之间变化。

$$D = \frac{N_{PS} \times V_{OUT}}{V_{BULK} + N_{PS} \times V_{OUT}} = 0.24 \text{ to } 0.56 \quad (18)$$

$G_{CO}(f)$ 是控制电压 (V_C) 对输出传递函数的估计值，其中变量 Q 是品质因数。

$$G_{CO}(f) = \frac{\Delta V_{OUT}}{\Delta V_C} = N_{PS} \times \frac{1-D}{1+D} \times \left[\frac{s(f) \times ESR \times C_{OUT} + 1}{s(f) \times R_{OUT} \times C_{OUT} + 1}\right] \times \left[1 - \frac{s(f) L_{SM} \times D}{R_{OUT} \times (1-D)^2}\right] \times \frac{\frac{1}{3}}{1 + \frac{s(f)}{2 \times \pi \times \frac{f_{SW}}{2} Q} + \left(\frac{s(f)}{2 \times \pi \times \frac{f_{SW}}{2}}\right)^2} \quad (19)$$

品质因数 (Q) 由电压中的初级磁化电感变化 (S_N) 定义为占空比的函数；以及增加的斜率补偿 (S_E)。

$$S_N = \frac{V_{BULK} \times R_{CS}}{L_{PM}} \quad (20)$$

$$S_E = 1.7\ V \times \frac{R_{S2} \times f_{SW}}{R_{S1} + R_{S2}} \quad (21)$$

Copyright © 2024 Texas Instruments Incorporated

$$Q = \frac{1}{\pi\left[\left(1+\frac{S_E}{S_N}\right)\times(1-D)-0.5\right]} \tag{22}$$

为验证电压环路稳定，交叉频率必须比反激式转换器右半平面零点频率 (f_{RHPZ}) 的一半要小。在最小体电压下的右半平面零点频率约为 9.8kHz。对于本设计示例，电压环路的目标交叉频率为 1kHz。实际 f_C 可能高于或低于目标值。

$$f_{RHPz} = \frac{(N_{PS})^2}{\frac{2\times\pi\times Lpm}{R_{OUT}}\frac{D}{(1-D)^2}} \approx 9.8kHz \tag{23}$$

$$f_C \le \frac{f_{RHPz}}{2} \approx 5\ kHZ \tag{24}$$

$G_{CO}(f)$ 的直流增益随输入的体电压而变化。选择电阻器 R_Z 以在输入到转换器的电压为 $V_{BULK(min)}$ 时交叉电压环路，并在最大交叉频率的 1/5 处进行交叉。

$$R_Z = \frac{R_I}{\left|G_{OPTO}(f_C/5)\times G_{BC}(f_C/5)\times G_O\times G_{CO}(f_C/5)\right|} = 23.95\ k\Omega,\ a\ 23.7\ k\Omega\ was\ used \tag{25}$$

选择电容器 C_Z，以在电压环路交叉处增加 45° 的相位裕度。本设计示例使用了 6.8nF 电容器。

$$C_Z = \frac{1}{2\pi\times\frac{f_C}{5}\times R_Z} \approx 6.7\ nF \tag{26}$$

选择电容器 C_P 以衰减控制环路的高频增益。

$$C_P = \frac{C_Z}{10} = 680\ pF \tag{27}$$

$G_C(f)$ 是 TL431 补偿的估计传递函数。

$$G_C(f) = \frac{\Delta V_C}{\Delta V_O'} = \frac{s(f)\times R_Z\times C_Z+1}{s(f)\times R_I\times(C_Z+C_P)\times\left(\frac{s(f)\times R_Z\times C_Z\times C_P}{C_Z+C_P}+1\right)} \tag{28}$$

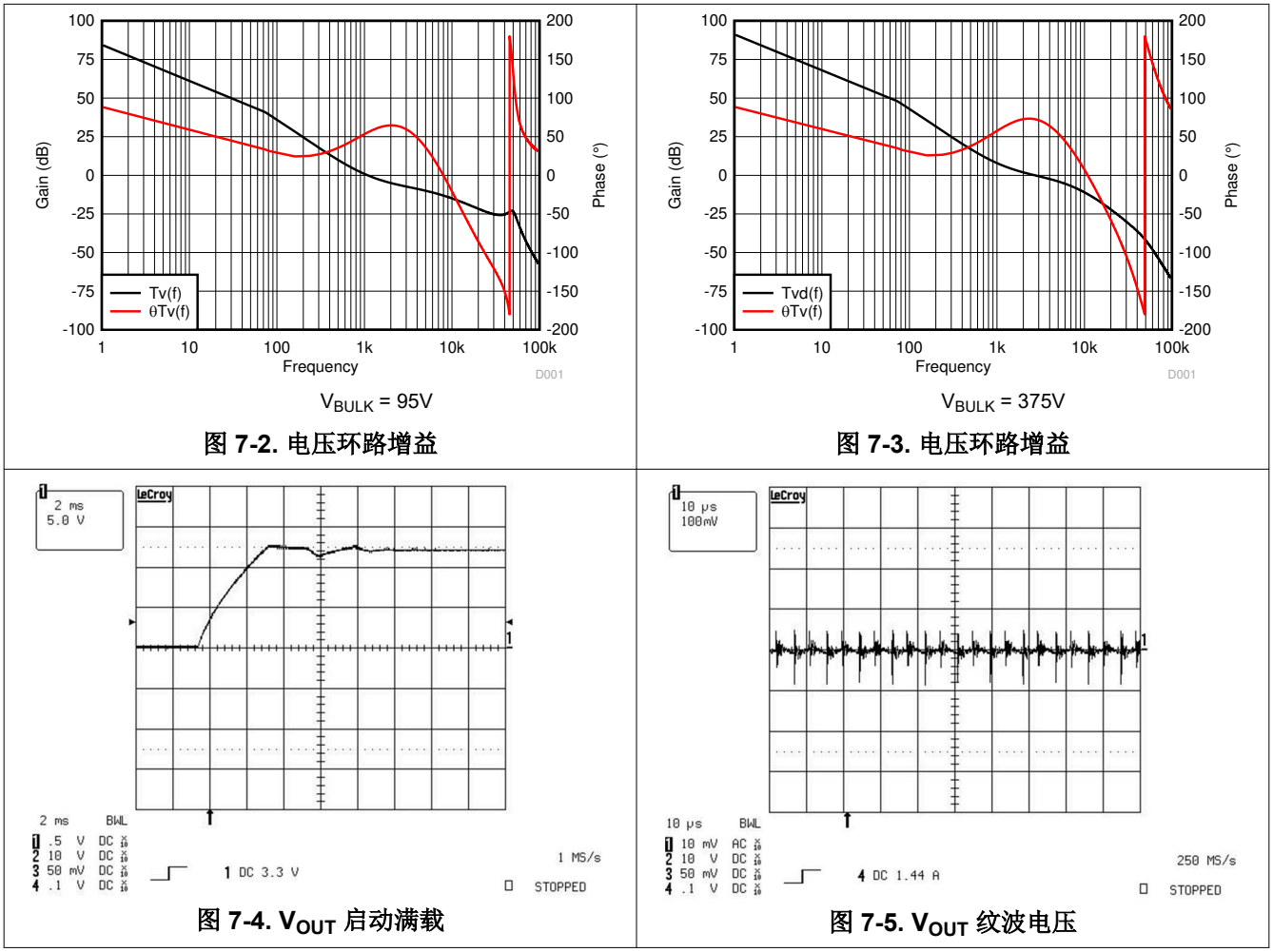
$T_V(f)$ 是系统闭环增益的估计理论传递函数。反馈环路响应在实际电路中可能有所不同，可能必须使用网络分析仪进行调整，以满足实际电路的性能和可靠性需求。必须针对设计参数的最坏情况变化对反馈环路响应进行评估。

$$T_V(f) = G_C(f)\times G_{OPTO}(f)\times G_{BC}(f)\times G_O\times G_{CO}(f_C) \tag{29}$$

对于本应用示例，该设计技术在 1kHz 时生成了一个理论反馈环路 ($T_V(f)$) 交叉，在 95V 的最小输入体电压下具有大约 55° 的相位裕度。高压线的理论电压环路以 2.7kHz 的频率进行交叉，相位裕度为 72°。请参阅图 7-2 和图 7-3。必须使用网络分析器评估 $T_V(f)$，并根据实际电路行为按需调整环路补偿。还要进行瞬态测试以验证器件保持稳定。

Copyright © 2024 Texas Instruments Incorporated

7.2.3 应用曲线



V_{BULK} = 95V

图 7-2. 电压环路增益

V_{BULK} = 375V

图 7-3. 电压环路增益

图 7-4. V_{OUT} 启动满载

图 7-5. V_{OUT} 纹波电压

8 电源相关建议

TI 建议在隔离式或非隔离式峰值电流模式控制电源中使用 UCx84xA。该器件可用于基于降压、升压、反激式和正向转换器的电源拓扑。

Copyright © 2024 Texas Instruments Incorporated

9 布局

9.1 布局指南

- 必须使用星形接地技术。
- 电流环路必须尽可能短且窄。
- IC 地线和电源地线必须在输入大容量电容器的返回处相遇。确保来自功率级的高频和大电流不会通过信号地路径。
- 高频旁路电容器 (C_{VCC1}) 必须放置在 VCC 和 GND 引脚之间，并尽可能靠近这些引脚。
- 电阻器 R_{S2} 和电容器 C_F 构成电流检测信号的低通滤波器。C_F 必须尽可能靠近 CS 和 GND 引脚。
- 电容器 C_{VREF} 必须尽可能靠近 VREF 和 GND 引脚。
- 图 9-1 显示了为单层板上的波峰焊而布置的 SMD 元件。如果使用多层，可能会重新排列一些元件，用于实现轻松互连并减少电流环路面积。如果焊接工艺允许，将 SMD 元件垂直放置可以改善互连并减少环路面积。

Copyright © 2024 Texas Instruments Incorporated

9.2 布局示例

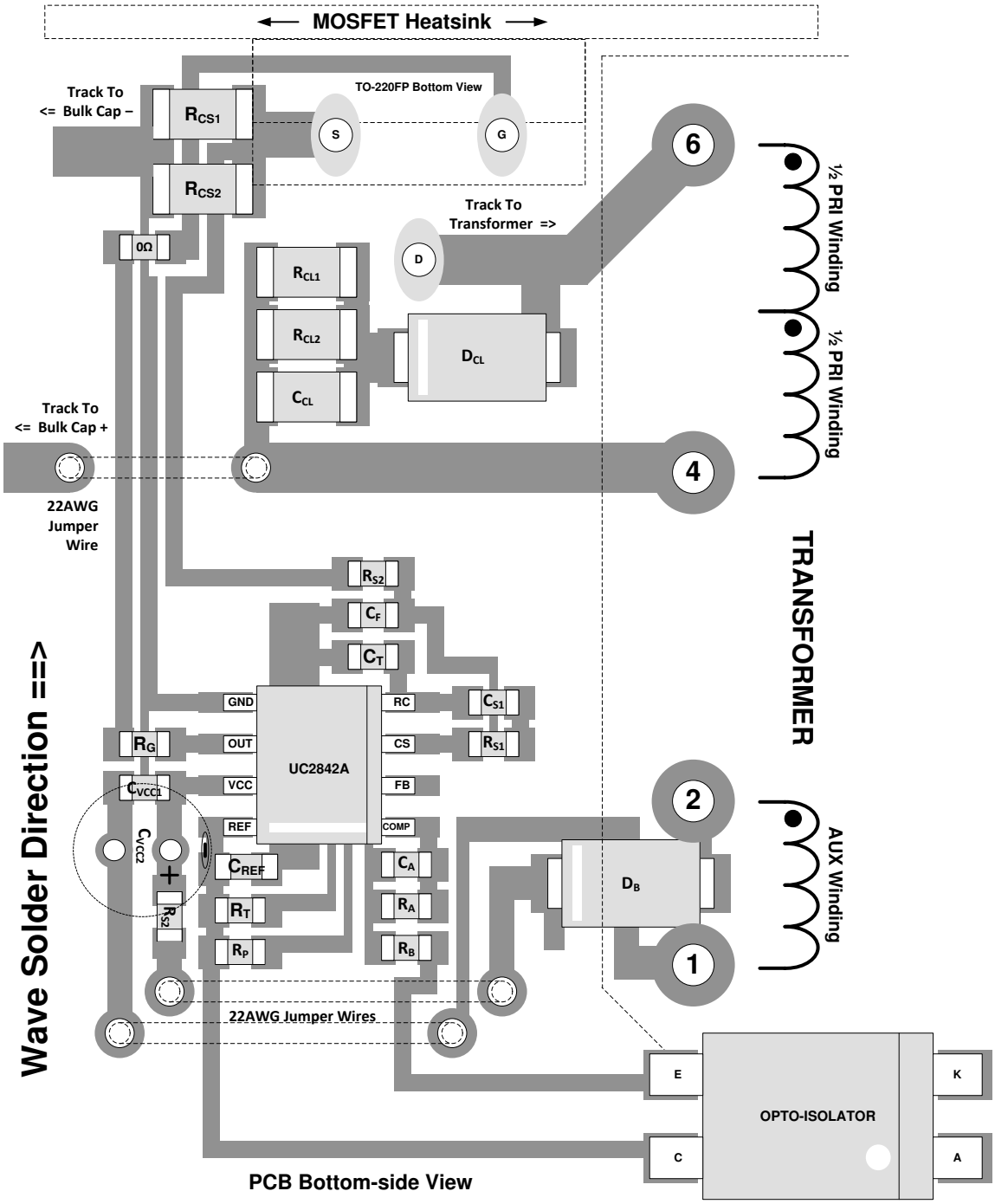


图 9-1. 布局图

10 器件和文档支持

10.1 器件支持

10.1.1 开发支持

- TI 工程师对工程师支持论坛，https://e2e.ti.com/

10.1.1.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 UCx84xA 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化该设计的关键参数，如效率、尺寸和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

10.1.2 器件命名规则

C_{IN}	输入大容量电容
C_{OUT}	输出电容
D	占空比
ESR	等效串联电阻
$G_{BC}(f)$	从光隔离器输出到 PWM 控制电压的传递函数估计值。
G_O	控制到输出传递函数的直流增益。
$G_{OPTO}(f)$	设计中光隔离器上的近似传递函数。
I_{LPM}	变压器初级平均电流
I_{LpPK}	峰值变压器初级电流
L_{PM}	变压器初级磁化电感
L_{SM}	变压器次级磁化电感
N_{PS}	初级与次级变压器匝数比
N_{AS}	辅助与次级变压器匝数比
$T_V(f)$	是反馈控制环路传递函数。
$V_{INripple}$	输入纹波电压

10.2 文档支持

10.2.1 相关文档

请参阅如下相关文档：

设计评论：150 瓦特电流模式反激式转换器 (SLUP078)

Copyright © 2024 Texas Instruments Incorporated

10.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 10-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
UC1842A	点击此处	点击此处	点击此处	点击此处	点击此处
UC1843A	点击此处	点击此处	点击此处	点击此处	点击此处
UC1844A	点击此处	点击此处	点击此处	点击此处	点击此处
UC1845A	点击此处	点击此处	点击此处	点击此处	点击此处
UC2842A	点击此处	点击此处	点击此处	点击此处	点击此处
UC2843A	点击此处	点击此处	点击此处	点击此处	点击此处
UC2844A	点击此处	点击此处	点击此处	点击此处	点击此处
UC2845A	点击此处	点击此处	点击此处	点击此处	点击此处
UC3842A	点击此处	点击此处	点击此处	点击此处	点击此处
UC3843A	点击此处	点击此处	点击此处	点击此处	点击此处
UC3844A	点击此处	点击此处	点击此处	点击此处	点击此处
UC3845A	点击此处	点击此处	点击此处	点击此处	点击此处

10.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.6 商标

TI E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (July 2022) to Revision H (October 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1

Copyright © 2024 Texas Instruments Incorporated

- 更改了 D-8、D-14 和 P-8 封装的热性能信息 6
- 更改了输出部分：将上升和下降时间的典型值从 50ns 更改为 25ns（位于“电气特性”部分）..... 6
- 更改了输出部分：将输出低电平的典型值从 15V 更改为 1.5V（位于“电气特性”部分）..... 6
- 更改了“PWM”：将 UCx842/3A 最大占空比的最小值从 94% 更改为 92%（位于“电气特性”部分）..... 6
- 更改了 PWM 部分：将 UCx844/5A 最大占空比的最小值从 47% 更改为 46%（位于“电气特性”部分）..... 6
- 更改了总待机电流：将 VCC 齐纳电压的典型值从 34V 更改为 39V（位于“电气特性”部分）..... 6
- 更新了“典型特性”中的“频率与 Rt”和“最大占空比与 Rt”图 8

Changes from Revision F (October 2017) to Revision G (July 2022) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1

Changes from Revision E (October 2017) to Revision F (October 2017) **Page**

- 在三处添加了 WEBENCH 链接：“特性”、“应用和实现”以及“器件和文档支持”。 1
- 在简化版应用图中添加了版权信息 1
- UC284xA 在自然通风条件下的工作温度从 125°C 更改为 85°C。 5
- UC384xA 在自然通风条件下的工作温度从 -40°C 更改为 0°C。 5
- UC384xA 在自然通风条件下的工作温度从 85°C 更改为 70°C。 5
- 将频率 (f) 计算更改为正确的公式。 11
- 将 C_{OUT} 公式更改为正确的公式。 15
- 将 L_{PM} 公式更改为正确的公式。 15
- 添加了 $G_{CO}(f)$ 定义和公式。 15
- 将 f_{RHPz} 公式更改为正确的公式。 15

Changes from Revision D (July 2011) to Revision E (July 2016) **Page**

- 添加了 *应用* 部分、*器件信息* 表、*引脚配置和功能* 部分、*规格* 部分、*详细说明* 部分、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分 以及 *机械、封装和可订购信息* 部分 1
- 删除了 *订购信息表*；请参阅数据表末尾的 POA 1

Changes from Revision C (August 2010) to Revision D (July 2011) **Page**

- 更改了带有最大负电压和 GND 引脚说明的绝对最大额定值表。 5

Changes from Revision B (September 2009) to Revision C (August 2010) **Page**

- 更正了 I_{SINK} 电压。 6

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8670405PA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670405PA UC1842A
5962-8670405XA	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670405XA UC1842AL/ 883B
5962-8670406PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670406PA UC1843A
5962-8670406XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670406XA UC1843AL/ 883B
5962-8670407PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670407PA UC1844A
5962-8670407XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670407XA UC1844AL/ 883B
5962-8670408PA	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670408PA UC1845A
5962-8670408XA	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670408XA UC1845AL/ 883B
UC1842AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842AJ
UC1842AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1842AJ
UC1842AJ883B	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670405PA UC1842A
UC1842AJ883B.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670405PA UC1842A
UC1842AL883B	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670405XA UC1842AL/ 883B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1842AL883B.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670405XA UC1842AL/883B
UC1843AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843AJ
UC1843AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1843AJ
UC1843AJ883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670406PA UC1843A
UC1843AJ883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670406PA UC1843A
UC1843AL883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670406XA UC1843AL/883B
UC1843AL883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670406XA UC1843AL/883B
UC1844AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844AJ
UC1844AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1844AJ
UC1844AJ883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670407PA UC1844A
UC1844AJ883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670407PA UC1844A
UC1844AL883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670407XA UC1844AL/883B
UC1844AL883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670407XA UC1844AL/883B
UC1845AJ	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845AJ
UC1845AJ.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	UC1845AJ
UC1845AJ883B	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670408PA UC1845A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC1845AJ883B.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8670408PA UC1845A
UC1845AL883B	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670408XA UC1845AL/ 883B
UC1845AL883B.A	NRND	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8670408XA UC1845AL/ 883B
UC2842AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2842A UC2842 AD8
UC2842AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842A UC2842 AD8
UC2842AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842A UC2842 AD8
UC2842ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2842AD
UC2842ADW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842ADW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842ADWTR	NRND	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842ADWTR.A	NRND	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2842ADW
UC2842AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842AN
UC2842AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842AN
UC2842ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2842AN
UC2843AD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	UC2843AD
UC2843AD8	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2843AD8.A	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8G4	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843A UC2843 AD8
UC2843ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843AD
UC2843ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2843AD
UC2843AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843AN
UC2843AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843AN
UC2843ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2843AN
UC2844AD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	UC2844AD
UC2844AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844A UC2844 AD8
UC2844AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844A UC2844 AD8
UC2844AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844A UC2844 AD8
UC2844ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844AD
UC2844ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2844AD
UC2844AN	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844AN
UC2844AN.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844AN
UC2844ANG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2844AN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC2844AQD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	(2844AQ, UC2844AQ)
UC2844AQDR	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2844AQ, UC2844AQ)
UC2844AQDR.A	NRND	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(2844AQ, UC2844AQ)
UC2845AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	UC2845A UC2845 AD8
UC2845AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845A UC2845 AD8
UC2845AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845A UC2845 AD8
UC2845AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845A UC2845 AD8
UC2845ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UC2845AD
UC2845ADW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2845ADW
UC2845ADW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	UC2845ADW
UC2845AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845AN
UC2845AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845AN
UC2845ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	UC2845AN
UC3842AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3842A UC3842 AD8
UC3842AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842A UC3842 AD8

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3842AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842A UC3842 AD8
UC3842AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842A UC3842 AD8
UC3842ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3842AD
UC3842ADW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	UC3842ADW
UC3842ADW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	UC3842ADW
UC3842AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842AN
UC3842AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842AN
UC3842ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3842AN
UC3842J	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-40 to 85	UC3842J
UC3842J.A	NRND	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-40 to 85	UC3842J
UC3843AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3843A UC3843 AD8
UC3843AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843A UC3843 AD8
UC3843AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843A UC3843 AD8
UC3843AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843A UC3843 AD8
UC3843ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3843AD
UC3843AN	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843AN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3843AN.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843AN
UC3843ANG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3843AN
UC3844AD	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844AD.A	NRND	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844AD8	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8.A	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8G4	NRND	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844A UC3844 AD8
UC3844ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3844AD
UC3844AN	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844AN
UC3844AN.A	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844AN
UC3844ANG4	NRND	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3844AN
UC3845AD	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845AD.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845AD8	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	UC3845A UC3845 AD8
UC3845AD8TR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845A UC3845 AD8
UC3845AD8TR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845A UC3845 AD8

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UC3845AD8TRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845A UC3845 AD8
UC3845ADG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845ADTR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845ADTR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845ADTRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UC3845AD
UC3845AN	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845AN
UC3845AN.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845AN
UC3845ANG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	UC3845AN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UC1842A, UC1843A, UC1844A, UC1845A, UC2843A, UC3842A, UC3842M, UC3843A, UC3844A, UC3845A :

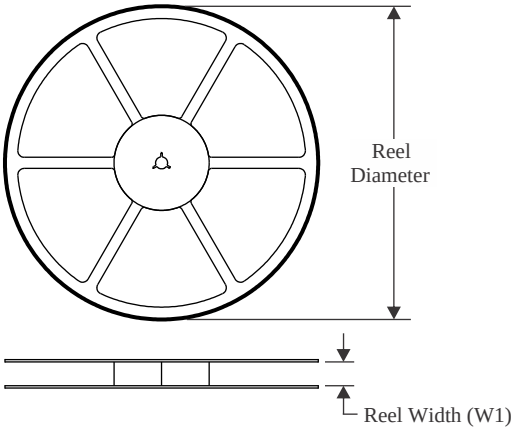
- Catalog : UC3842A, UC3843A, UC3844A, UC3845A, UC3842, UC3845AM
- Automotive : UC2843A-Q1
- Enhanced Product : UC1842A-EP, UC1843A-EP, UC1844A-EP, UC1845A-EP, UC1842A-EP, UC1843A-EP, UC1844A-EP, UC1845A-EP
- Military : UC1842A, UC1842, UC1843A, UC1844A, UC1845A
- Space : UC1842A-SP, UC1843A-SP, UC1844A-SP, UC1845A-SP, UC1842A-SP, UC1843A-SP, UC1844A-SP, UC1845A-SP

NOTE: Qualified Version Definitions:

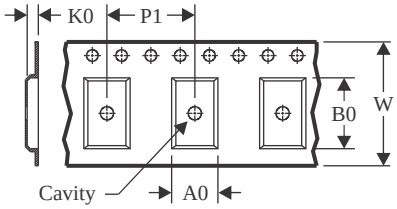
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

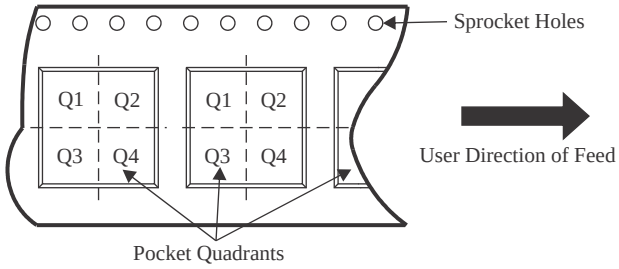


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

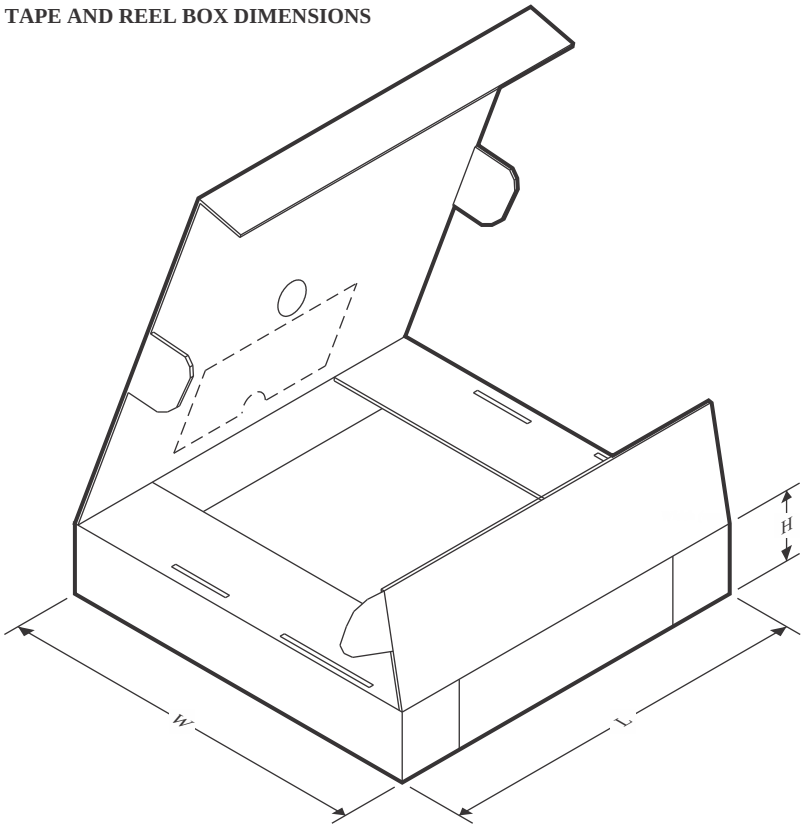


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC2842AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2842ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2842ADWTR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UC2843AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2843ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2844AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2844ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2844AQDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC2845AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC2845ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3842AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3842ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3843AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3843ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
UC3844AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3844ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UC3845AD8TR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UC3845ADTR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

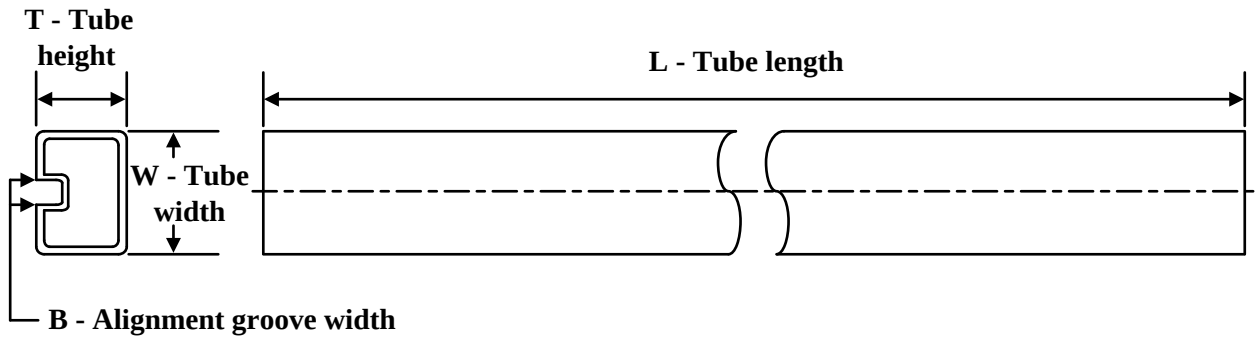
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UC2842AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2842ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2842ADWTR	SOIC	DW	16	2000	353.0	353.0	32.0
UC2843AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2843ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2844AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2844ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC2844AQDR	SOIC	D	14	2500	353.0	353.0	32.0
UC2845AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC2845ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3842AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3842ADTR	SOIC	D	14	2500	340.5	336.1	32.0
UC3843AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3843ADTR	SOIC	D	14	2500	353.0	353.0	32.0
UC3844AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3844ADTR	SOIC	D	14	2500	333.2	345.9	28.6
UC3845AD8TR	SOIC	D	8	2500	353.0	353.0	32.0
UC3845ADTR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE

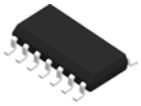


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8670405XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670406XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670407XA	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8670408XA	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1842AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1843AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1844AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845AL883B	FK	LCCC	20	55	506.98	12.06	2030	NA
UC1845AL883B.A	FK	LCCC	20	55	506.98	12.06	2030	NA
UC2842AD	D	SOIC	14	50	507	8	3940	4.32
UC2842AD.A	D	SOIC	14	50	507	8	3940	4.32
UC2842ADG4	D	SOIC	14	50	507	8	3940	4.32
UC2842ADW	DW	SOIC	16	40	507	12.83	5080	6.6
UC2842ADW.A	DW	SOIC	16	40	507	12.83	5080	6.6
UC2842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843AD8	D	SOIC	8	75	507	8	3940	4.32
UC2843AD8.A	D	SOIC	8	75	507	8	3940	4.32
UC2843AD8G4	D	SOIC	8	75	507	8	3940	4.32
UC2843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2843AN.A	P	PDIP	8	50	506	13.97	11230	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC2843AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AD	D	SOIC	14	50	507	8	3940	4.32
UC2845AD.A	D	SOIC	14	50	507	8	3940	4.32
UC2845ADW	DW	SOIC	16	40	507	12.83	5080	6.6
UC2845ADW.A	DW	SOIC	16	40	507	12.83	5080	6.6
UC2845AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AN	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC2845ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC2845ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AD	D	SOIC	14	50	507	8	3940	4.32
UC3842AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3842ADG4	D	SOIC	14	50	507	8	3940	4.32
UC3842ADW	DW	SOIC	16	40	507	12.83	5080	6.6
UC3842ADW.A	DW	SOIC	16	40	507	12.83	5080	6.6
UC3842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3842ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AD	D	SOIC	14	50	507	8	3940	4.32
UC3843AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3843ADG4	D	SOIC	14	50	507	8	3940	4.32
UC3843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3843ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AD	D	SOIC	14	50	507	8	3940	4.32
UC3844AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3844AD8	D	SOIC	8	75	507	8	3940	4.32
UC3844AD8.A	D	SOIC	8	75	507	8	3940	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UC3844AD8G4	D	SOIC	8	75	507	8	3940	4.32
UC3844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3844ANG4	P	PDIP	8	50	506	13.97	11230	4.32
UC3845AD	D	SOIC	14	50	507	8	3940	4.32
UC3845AD.A	D	SOIC	14	50	507	8	3940	4.32
UC3845ADG4	D	SOIC	14	50	507	8	3940	4.32
UC3845AN	P	PDIP	8	50	506	13.97	11230	4.32
UC3845AN.A	P	PDIP	8	50	506	13.97	11230	4.32
UC3845ANG4	P	PDIP	8	50	506	13.97	11230	4.32

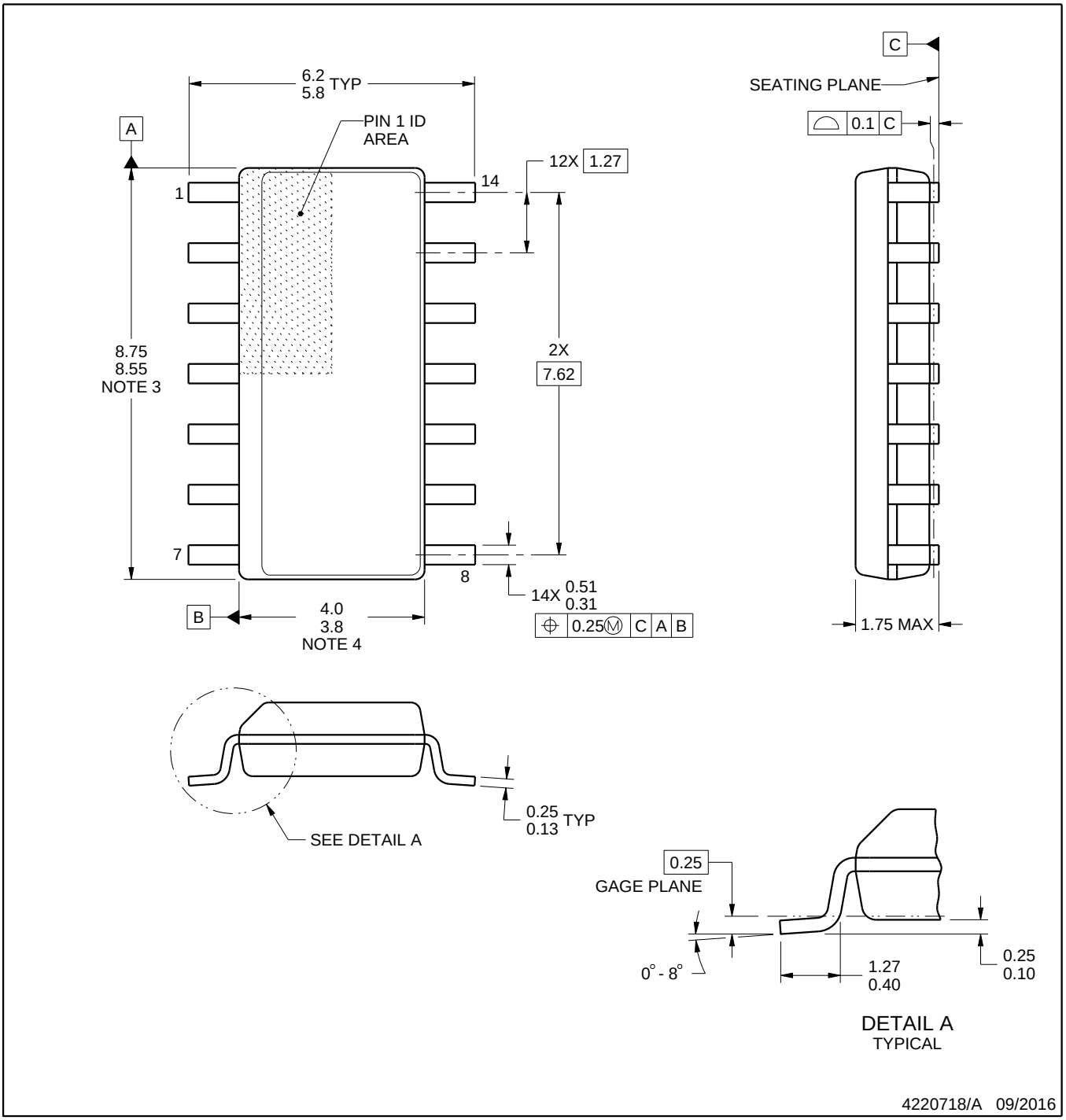


PACKAGE OUTLINE

D0014A

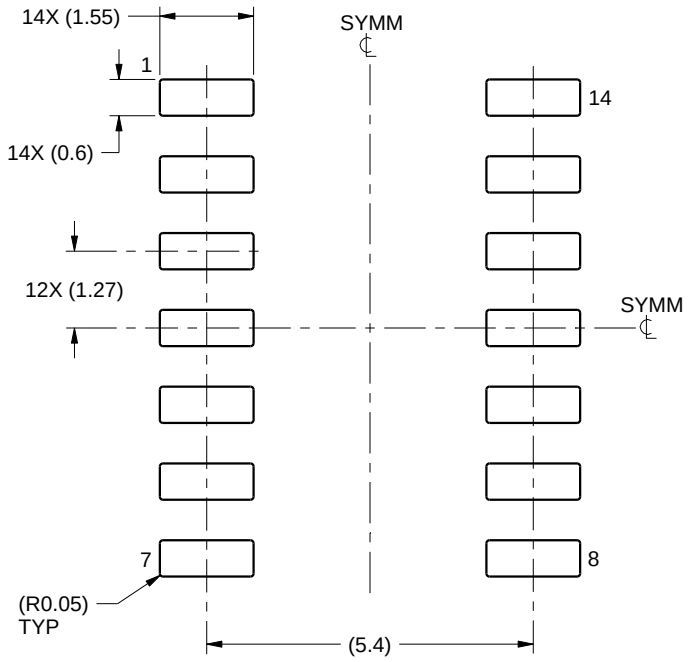
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

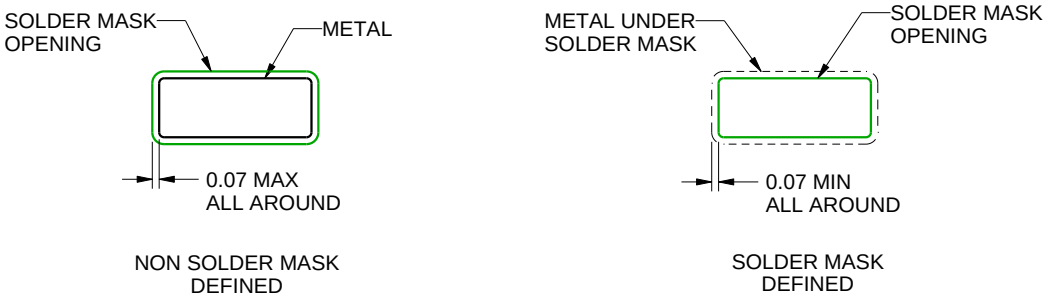


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

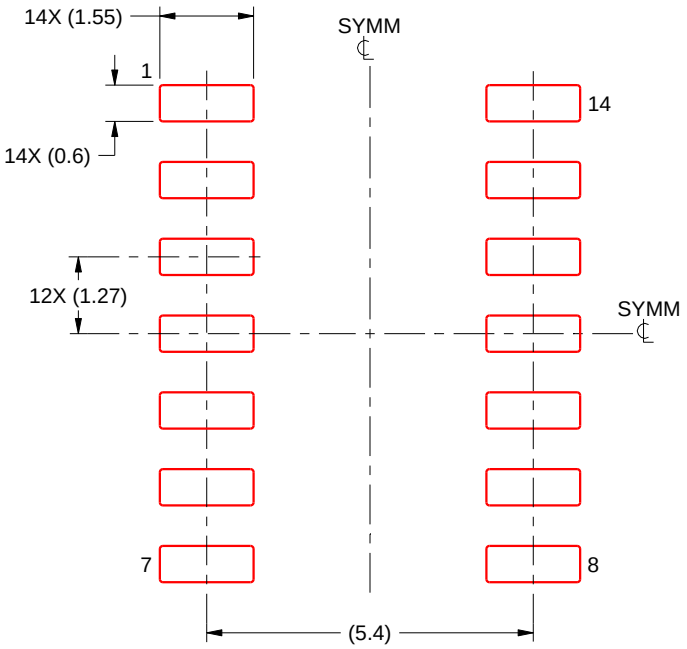
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

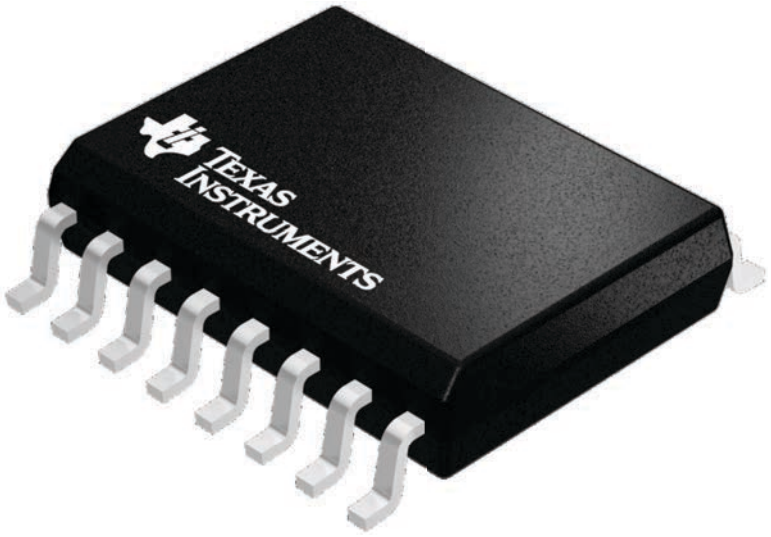
DW 16

SOIC - 2.65 mm max height

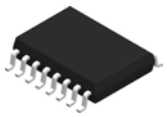
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

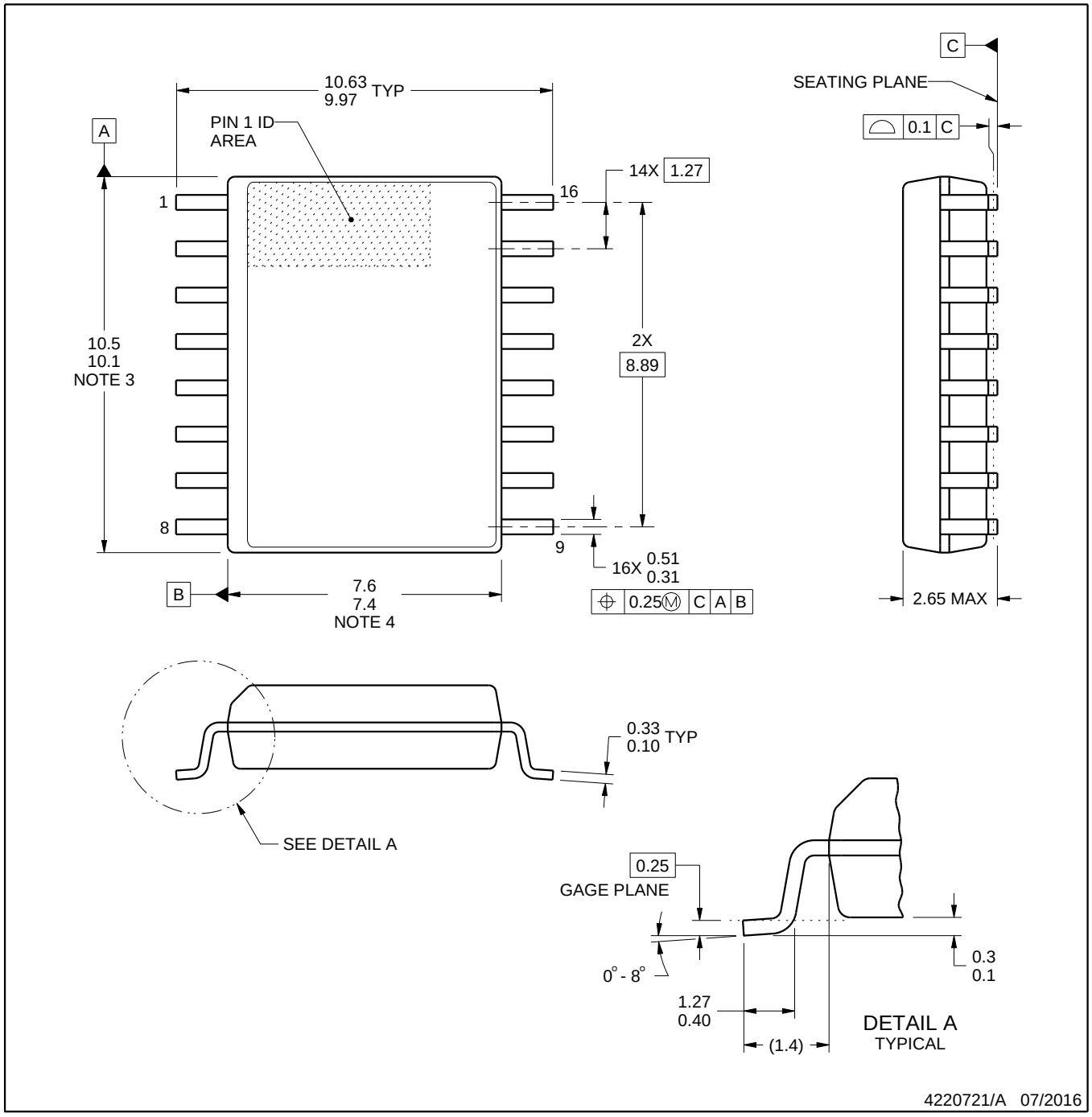


PACKAGE OUTLINE

DW0016A

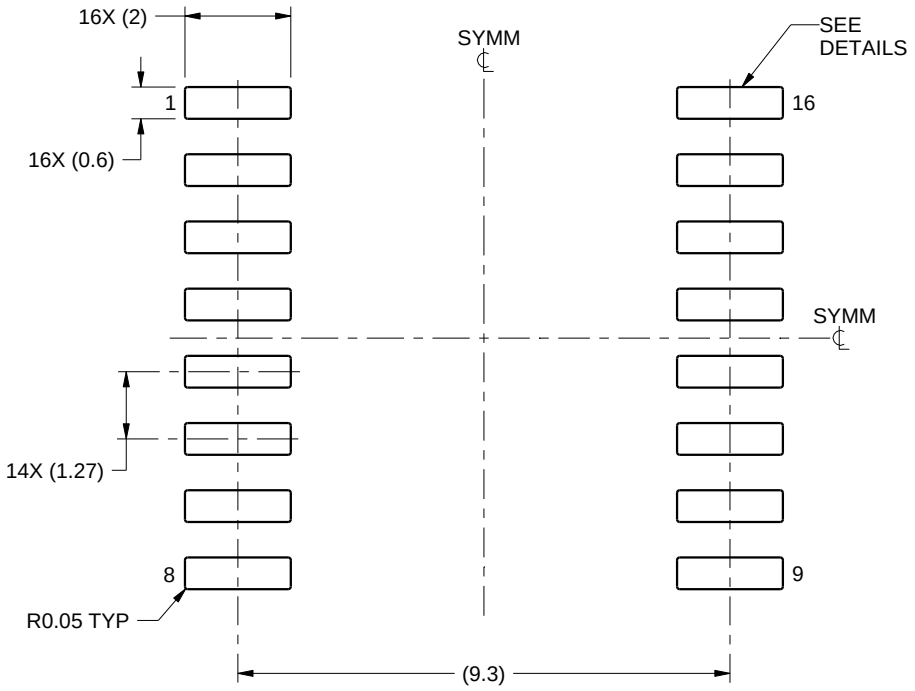
SOIC - 2.65 mm max height

SOIC

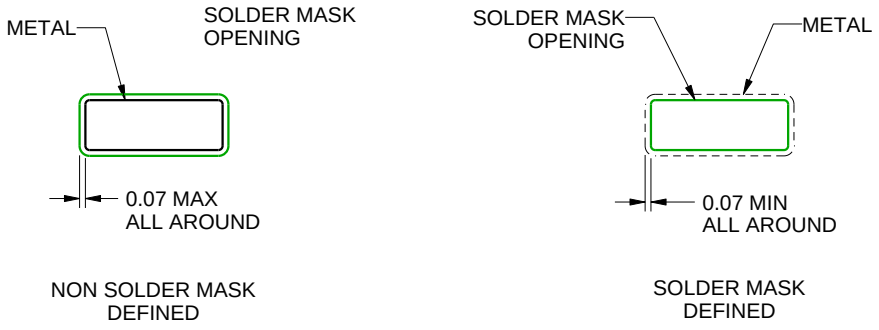


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

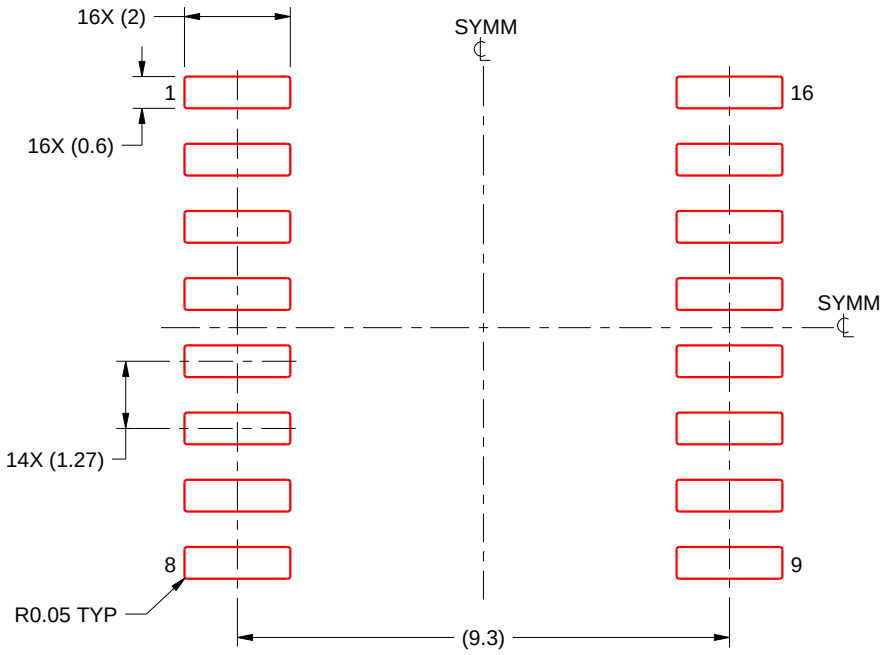


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

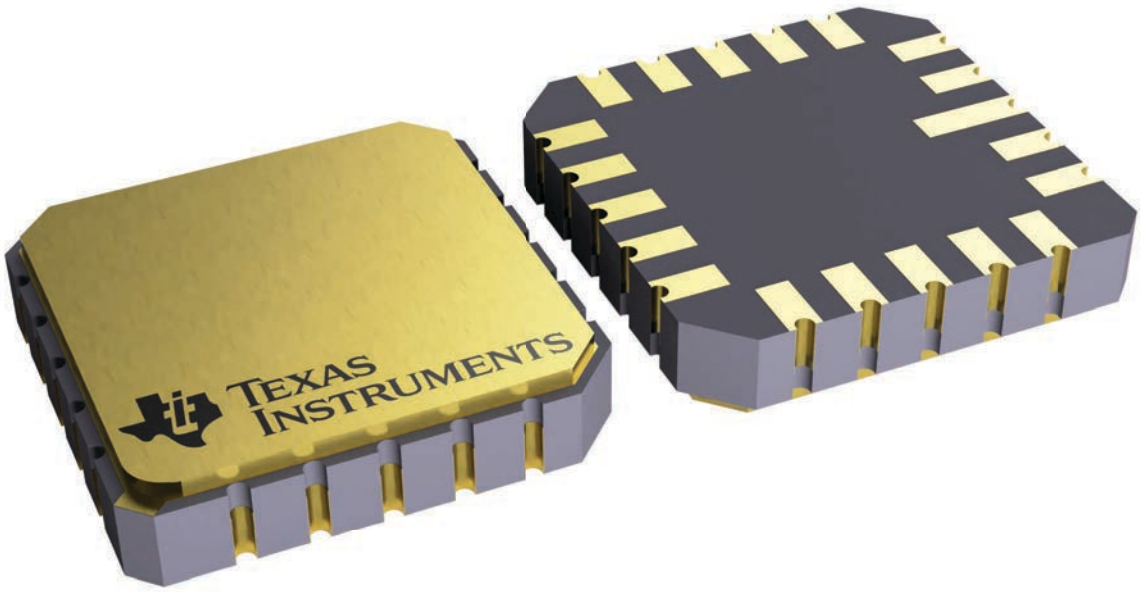
FK 20

LCCC - 2.03 mm max height

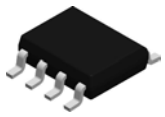
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

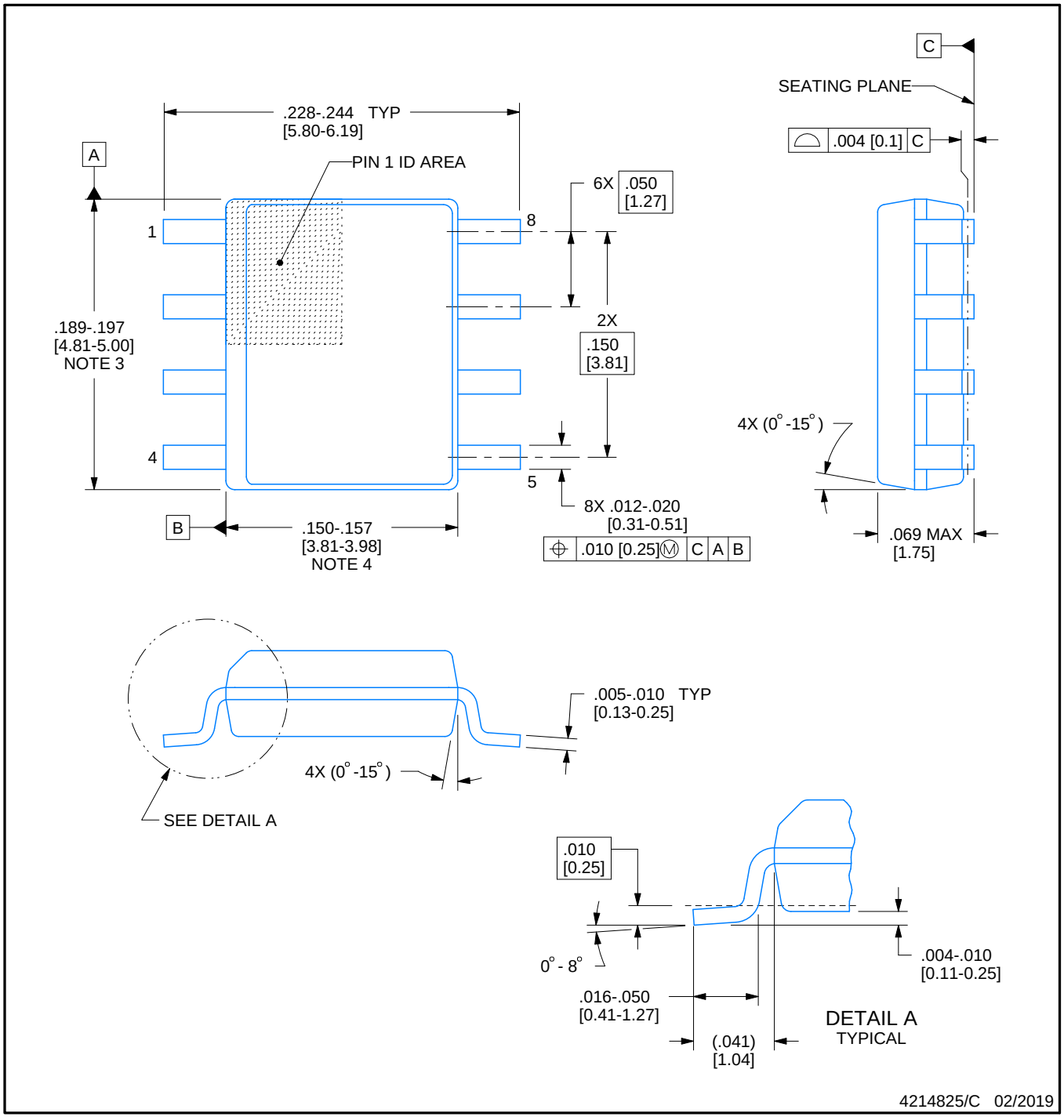


PACKAGE OUTLINE

D0008A

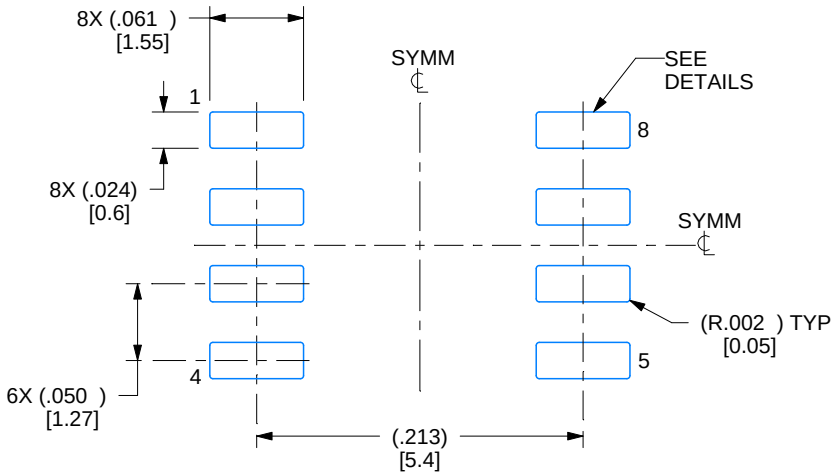
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

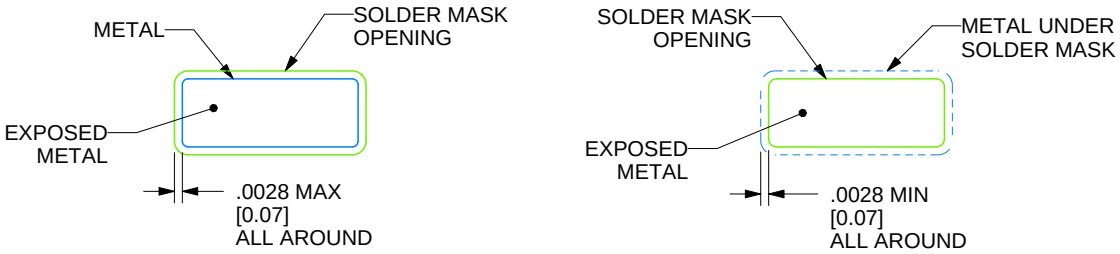


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

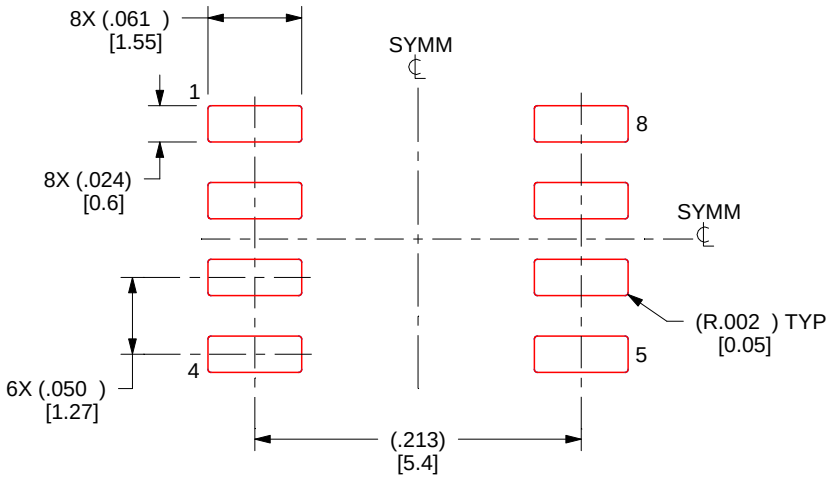
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



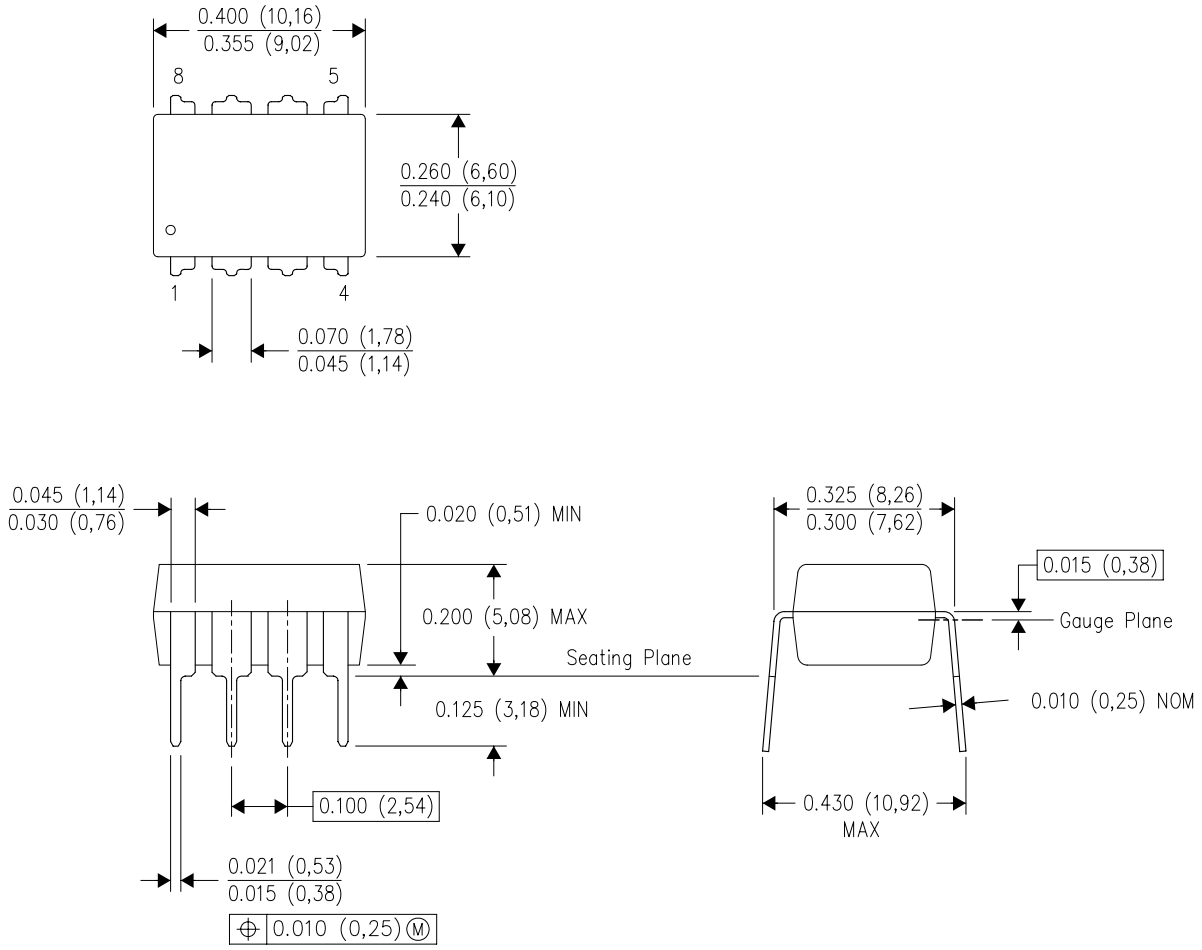
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



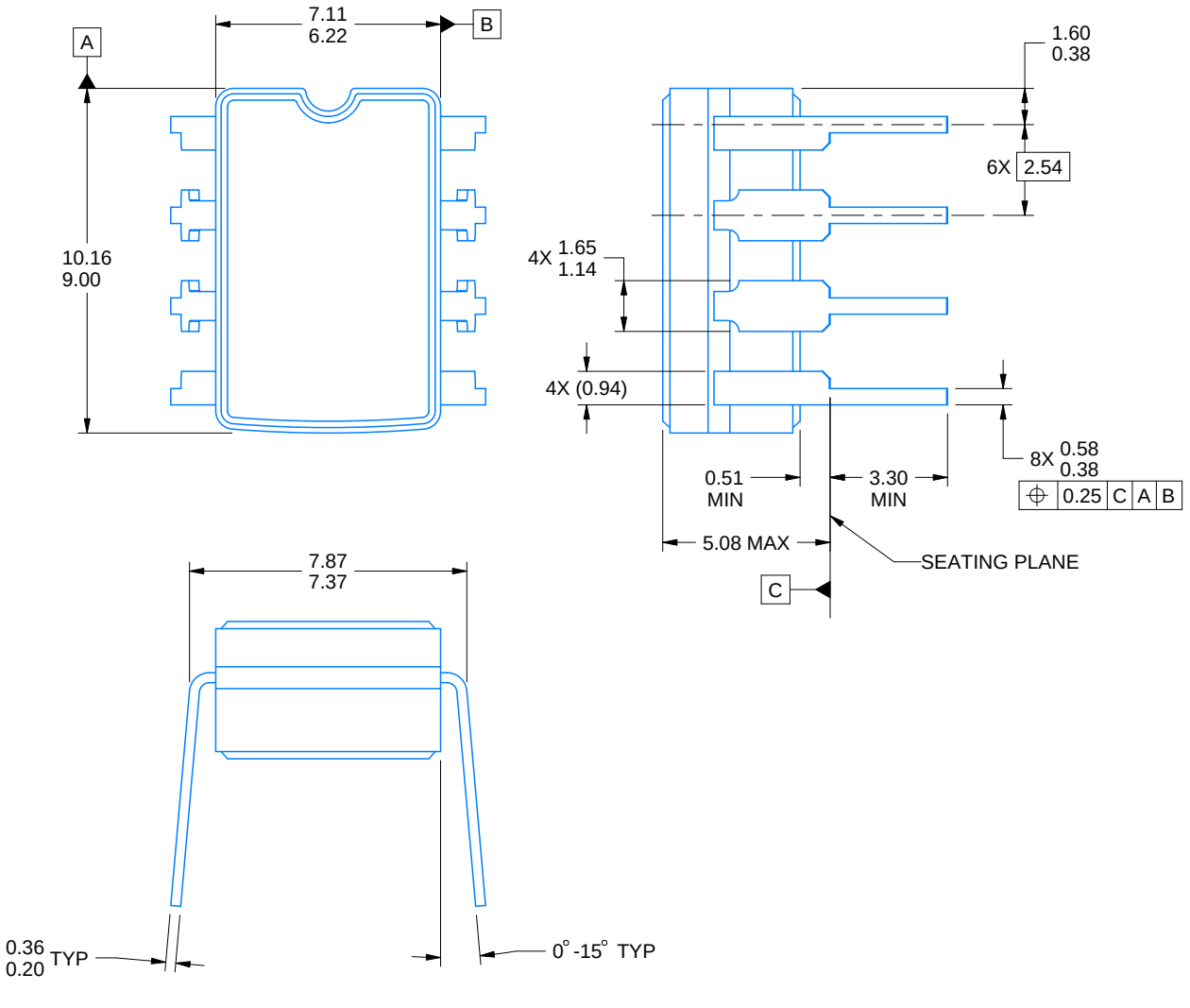
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

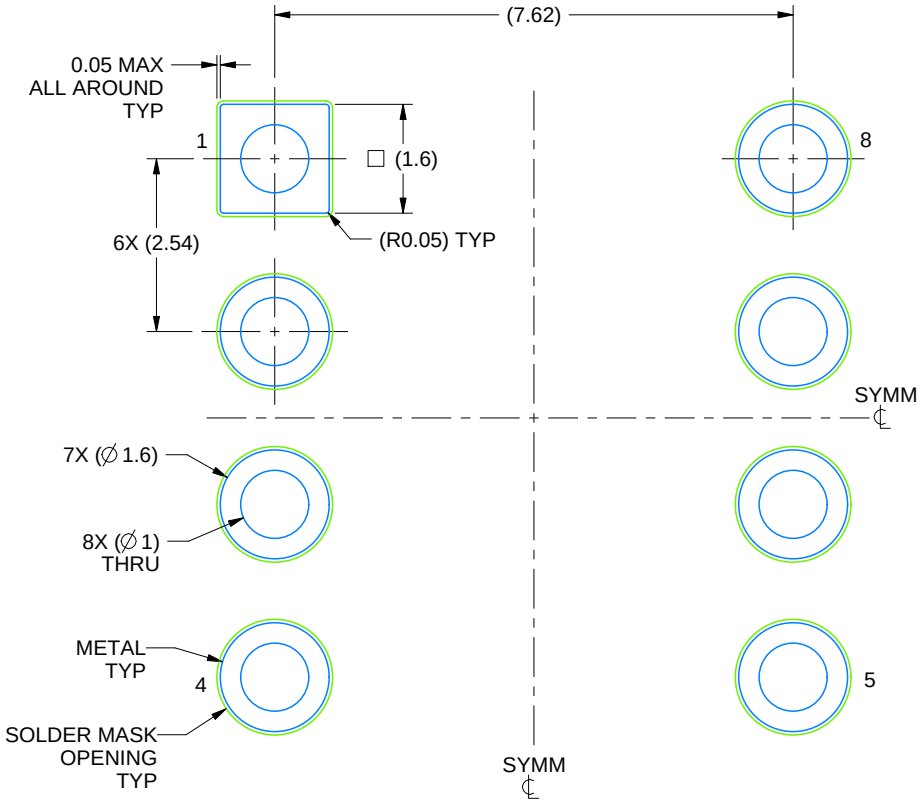
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月