74AC11138 3 线至 8 线解码器/多路信号分离器

1 特性

- 专门为高速存储器解码器和数据传输系统设计
- 包含三个使能输入以简化级联和/或数据接收
- 中心引脚 V_{CC} 和 GND 配置可更大限度地降低高速开关噪声
- *EPIC* ™（增强性能植入式 CMOS）1µm 工艺
- 125℃ 下的典型闩锁效应抑制为 500mA
- 封装选项包括塑料小外形 (D) 和薄型紧缩小外形 (PW) 封装以及标准塑料 300mil DIP (N)

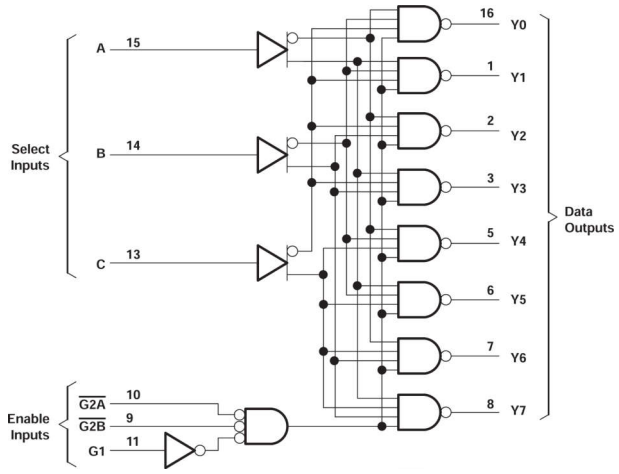
2 说明

74AC11138 电路设计用于需要极短传播延迟时间的高性能存储器解码或数据路由应用。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸（标称值）(3)
74AC11138	D（SOIC，16）	9.9mm × 6mm	9.9mm × 3.9mm
	N（PDIP，16）	19.3mm x 9.4mm	19.3mm x 6.35mm
	NS（SOP，16）	10.2mm x 7.8mm	10.3mm x 5.3mm
	PW（TSSOP，16）	5.00mm x 6.4mm	5.00mm x 4.4mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 建议运行条件.....4
4.3 热性能信息.....5
4.4 电气特性.....5
4.5 开关特性，V_{CC} = 3.3V ± 0.3V.....5
4.6 开关特性，V_{CC} = 5 V ± 0.5 V.....6
4.7 工作特性.....6
5 参数测量信息.....7
6 详细说明.....8
6.1 概述.....8
6.2 功能方框图.....8
6.3 器件功能模式.....9
7 应用和实施.....10
7.1 应用信息.....10
7.2 电源相关建议.....12
7.3 布局.....12
8 器件和文档支持.....13
8.1 文档支持（模拟）.....13
8.2 接收文档更新通知.....13
8.3 支持资源.....13
8.4 商标.....13
8.5 静电放电警告.....13
8.6 术语表.....13
9 修订历史记录.....13
10 机械、封装和可订购信息.....13

Copyright © 2024 Texas Instruments Incorporated

3 引脚配置和功能

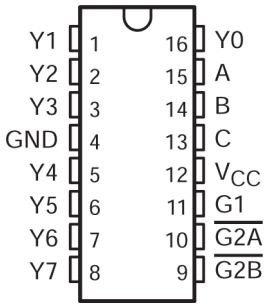


图 3-1. D、N 或 PW 封装（顶视图）

表 3-1. 引脚功能

引脚		I/O	说明
名称	编号		
Y1	1	O	Y1 数据输出
Y2	2	O	Y2 数据输出
Y3	3	O	Y3 数据输出
GND	4	-	接地
Y4	5	O	Y4 数据输出
Y5	6	O	Y5 数据输出
Y6	7	O	Y6 数据输出
Y7	8	O	Y7 数据输出
G2B	9	I	输入使能，低电平有效
G2A	10	I	输入使能，低电平有效
G1	11	I	输入使能，高电平有效
VCC	12	-	电源
C	13	I	选择输入 C
B	14	I	选择输入 B
A	15	I	选择输入 A
Y0	16	O	Y0 数据输出

图 3-2. 引脚功能

Copyright © 2024 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I (2)	输入电压范围		- 0.5	V_{CC}+0.5	V
V_O (2)	输出电压范围		- 0.5	V_{CC}+0.5	V
I_{IK}	输入钳位电流	（V_I < 0 或 V_I > V_{CC}）		±20	mA
I_{OK}	输出钳位电流	（V_O < 0 或 V_O > V_{CC}）		±50	mA
I_O	持续输出电流	（V_O = 0 或 V_{CC}）		±50	mA
	通过 V_{CC} 或 GND 的持续电流			±200	mA
T_{stg}	贮存温度范围		-65°	150°	C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作或者在超出“建议运行条件”下的任何其他情况，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 建议运行条件

			最小值	标称值	最大值	单位
V_{CC}	电源电压		3	5	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 3V	2.1			V
		V_{CC} = 4.5V	3.15			
		V_{CC} = 5.5V	3.85			
V_{IL}	低电平输入电压	V_{CC} = 3V			0.9	V
		V_{CC} = 4.5V			1.35	
		V_{CC} = 5.5V			1.65	
V_I	输入电压		0		V_{CC}	V
V_O	输出电压		0		V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 3V			-4	mA
		V_{CC} = 4.5V			-24	
		V_{CC} = 5.5V			-24	
I_{OL}	低电平输出电流	V_{CC} = 3V			12	mA
		V_{CC} = 4.5V			24	
		V_{CC} = 5.5V			24	
$\Delta t/\Delta v$	输入转换上升或下降速率		0		10	ns/V
T_A	自然通风条件下的工作温度范围		-40		85	°C

Copyright © 2024 Texas Instruments Incorporated

4.3 热性能信息

热指标(1)		74AC11138			单位
		D	N	PW	
		16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	130	110	50	CW

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 (SPRA953)。

4.4 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			最小值	最大值	单位
			最小值	典型值	最大值			
V_{OH}	I_{OH} = -50μA	3V	2.9			2.9		V
		4.5V	4.4			4.4		
		5.5V	5.4			5.4		
	I_{OH} = -4mA	3V	2.58			2.48		
	I_{OH} = -24mA	4.5V	3.94			3.8		
		5.5V	4.94			4.8		
	I_{oh} = – 75mA(1)	5.5V				3.85		
V_{OL}	I_{OL} = 50 μA	3V			0.1		0.1	V
		4.5V			0.1		0.1	
		5.5V			0.1		0.1	
	I_{OL} = 12mA	3V			0.36		0.44	
	I_{OL} = 24mA	4.5V			0.36		0.44	
		5.5V			0.36		0.44	
	I_{OL} = 75mA(1)	5.5V					1.65	
I_I	V_I = V_{CC} 或 GND	5.5V			±0.1		±1	μA
I_{CC}	V_I = V_{CC} 或 GND， I_O = 0	5.5V			4		40	μA
C_i	V_I = V_{CC} 或 GND	5V		3.5				pF

(1) 一次不应测试超过一个输出，且测试持续时间不应超过 10ms。

4.5 开关特性，V_{CC} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	T_A = 25°C			最小值	最大值	单位
			最小值	典型值	最大值			
t_{PLH}	A、B、C	任一 Y	1.5	8.3	10.2	1.5	11.4	ns
t_{PHL}			1.5	8.9	10.9	1.5	12.2	
t_{PLH}	G1	任一 Y	1.5	7.2	9.2	1.5	10.2	ns
t_{PHL}			1.5	7.3	9.4	1.5	10.5	
t_{PLH}	$\overline{G2A}$、$\overline{G2B}$	任一 Y	1.5	8.2	10.4	1.5	11.5	ns
t_{PHL}			1.5	8.3	10.4	1.5	11.6	

Copyright © 2024 Texas Instruments Incorporated

4.6 开关特性，V_{CC} = 5 V ± 0.5 V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5 V ± 0.5 V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	T_A = 25°C			最小值	最大值	单位
			最小值	典型值	最大值			
t_{PLH}	A、B、C	任一 Y	1.5	5.7	7.3	1.5	8.1	ns
t_{PHL}			1.5	6.2	7.9	1.5	8.8	
t_{PLH}	G1	任一 Y	1.5	5.1	6.9	1.5	7.5	ns
t_{PHL}			1.5	5.2	6.9	1.5	7.7	
t_{PLH}	$\overline{G2A}$、$\overline{G2B}$	任一 Y	1.5	5.8	7.6	1.5	8.3	ns
t_{PHL}			1.5	5.6	7.5	1.5	8.3	

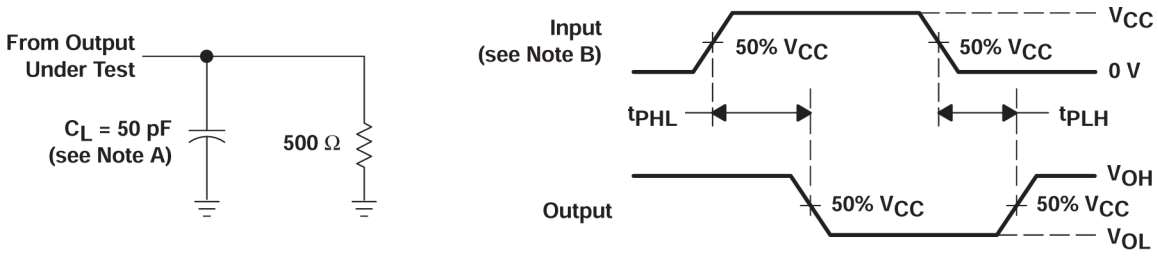
4.7 工作特性

V_{CC} = 5V，T_A = 25°C

参数		测试条件	典型值	单位
C_{pd}	每个栅极的功率耗散电容	C_L = 50pF， f = 1 MHz	51	pF

Copyright © 2024 Texas Instruments Incorporated

5 参数测量信息



LOAD CIRCUIT　　VOLTAGE WAVEFORMS

A. C_L 包括探针和夹具电容。

B. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r = 3ns，t_f = 3ns。

C. 一次测量一个输出，每次测量一个输入转换。

图 5-1. 负载电路和电压波形

6 详细说明

6.1 概述

74AC11138 电路设计用于需要极短传播延迟时间的高性能存储器解码或数据路由应用。在高性能存储器系统中，可使用此解码器来尽可能地消除系统解码的影响。与使用快速使能电路的高速存储器一同使用时，该解码器的延迟时间和存储器的使能时间通常小于存储器的典型存取时间。这意味着解码器引起的有效系统延迟可以忽略不计。

二进制选择（A、B、C）输入和三个使能（G1、G2A、G2B）输入条件可从八条输出线路中选择其中一条。两个低电平有效使能输入和一个高电平有效使能输入可在扩展时减少对外部门电路或反相器的需要。无需外部逆变器即可实现 24 线解码器，并且 32 线解码器只需要一个逆变器。使能输入可用作多路信号分离应用的数据输入。

74AC11138 的工作温度范围是 -40°C 至 85°C。

6.2 功能方框图

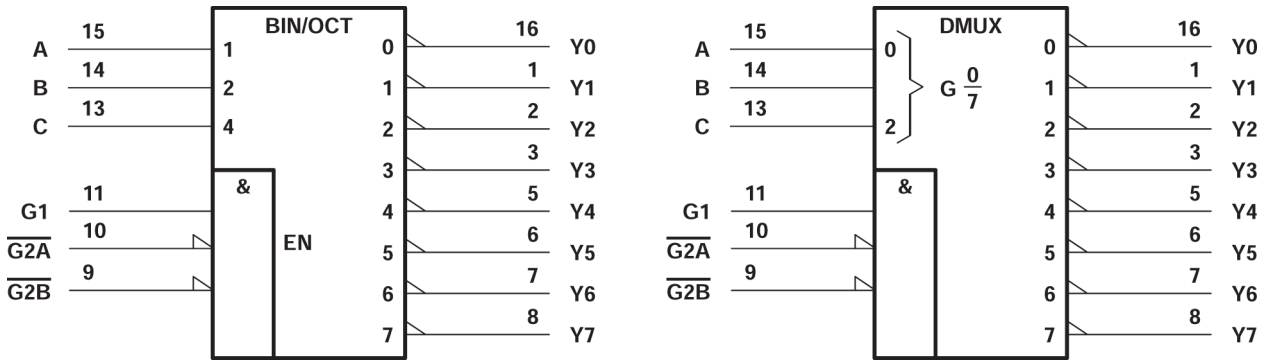


图 6-1. 逻辑符号（替代方案）

†

†

† 这些符号符合 ANSI/IEEE 标准 91-1984 和 IEC 出版物 617-12 要求。

Copyright © 2024 Texas Instruments Incorporated

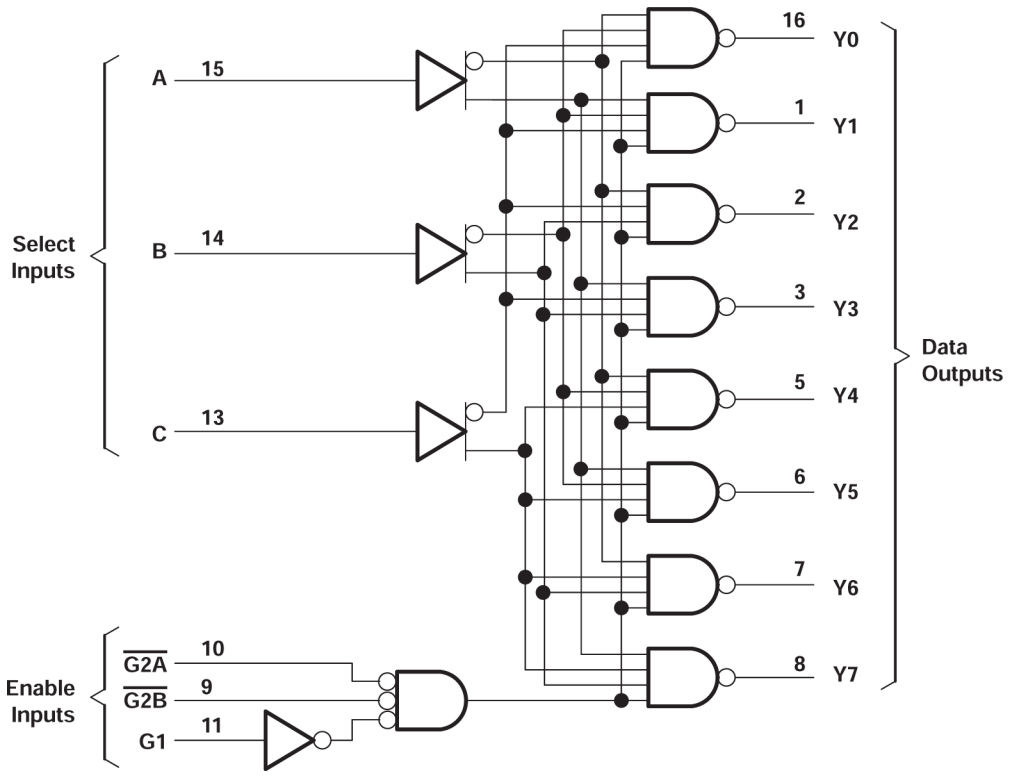


图 6-2. 逻辑图（正逻辑）

6.3 器件功能模式

功能表

使能输入			选择输入			输出							
G1	$\overline{G2A}$	$\overline{G2B}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

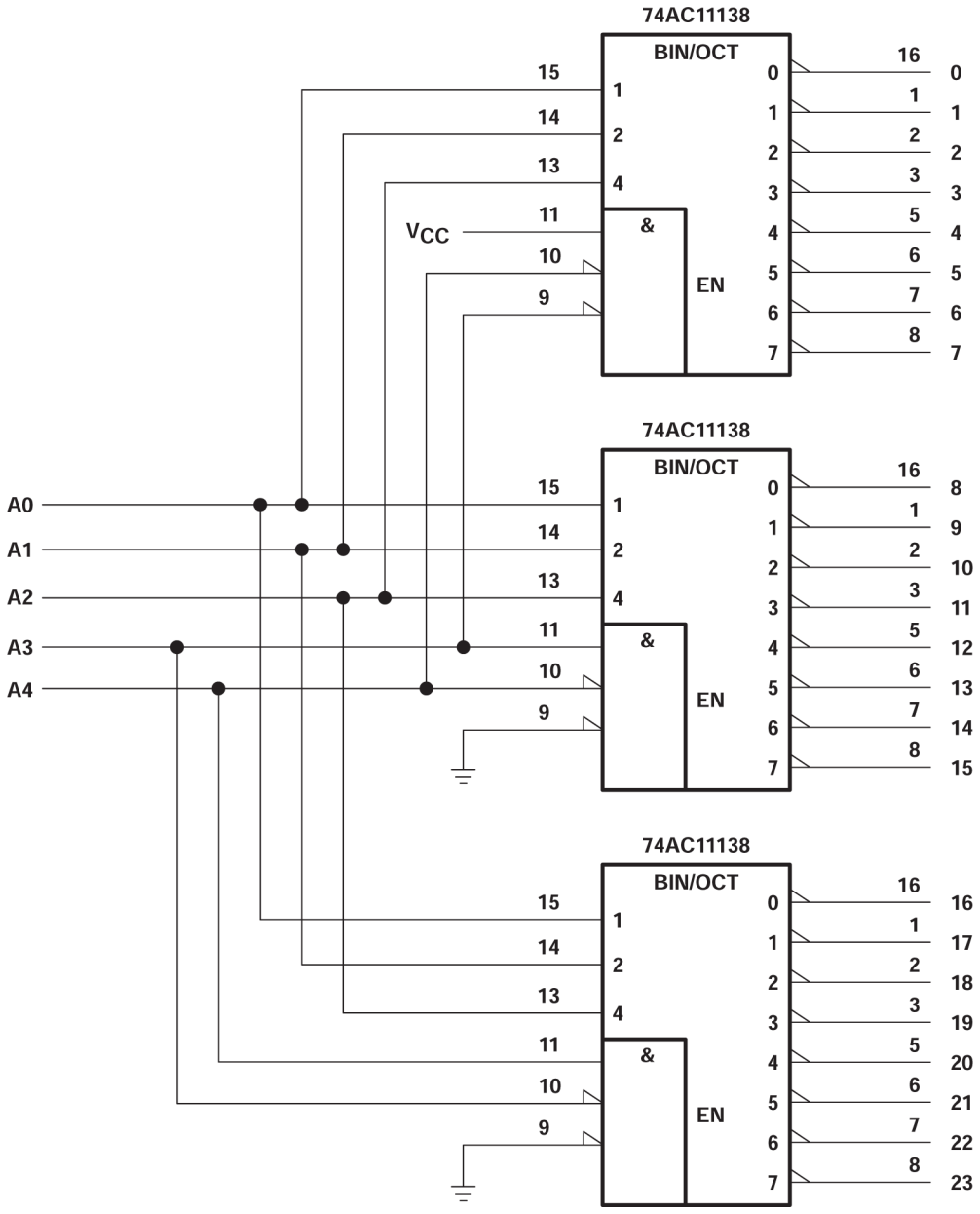


图 7-1. 24 位解码方案

Copyright © 2024 Texas Instruments Incorporated

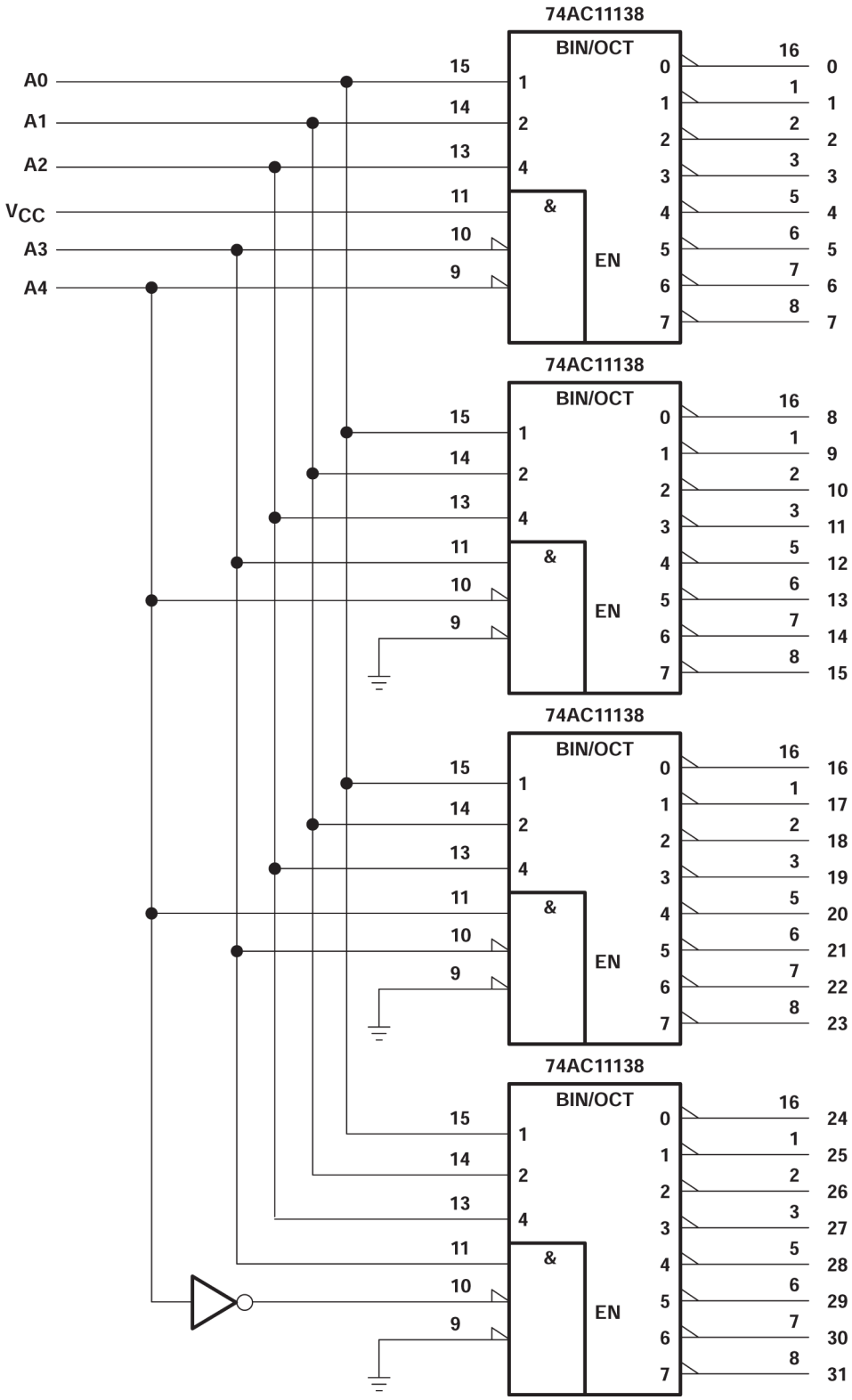

74AC11138
BIN/OCT
&
EN
A0
A1
A2
VCC
A3
A4
15
14
13
11
10
9
1
2
4
0
1
2
3
4
5
6
7
16
0
1
2
3
5
6
7
8
74AC11138
BIN/OCT
&
EN
16
8
9
10
11
12
13
14
15
74AC11138
BIN/OCT
&
EN
16
17
18
19
20
21
22
23
74AC11138
BIN/OCT
&
EN
16
24
25
26
27
28
29
30
31

图 7-2. 32 位解码方案

7.2 电源相关建议

电源可以是*绝对最大额定值* 部分中最小与最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，TI 建议使用 0.1μF 电容器；如果有多个 V_{CC} 端子，则 TI 建议为每个电源端子使用 0.01μF 或 0.022μF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 μ F 和 1 μ F 频率通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.3 布局

7.3.1 布局指南

当使用多位逻辑器件时，输入不应悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。例如，在仅使用三输入与门的两个输入，或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持（模拟）

8.1.1 相关文档

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 8-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
74AC11138	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 1996) to Revision C (May 2024)	Page
• 添加了*封装信息* 表、*引脚功能* 表、*热性能信息* 表、*器件功能模式*、*应用和实施* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74AC11138D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	AC11138
74AC11138DR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11138
74AC11138DR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11138
74AC11138N	Last Time Buy	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	74AC11138N
74AC11138N.A	Last Time Buy	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	74AC11138N
74AC11138NSR	Last Time Buy	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11138
74AC11138NSR.A	Last Time Buy	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11138
74AC11138PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	AE138
74AC11138PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AE138
74AC11138PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AE138

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

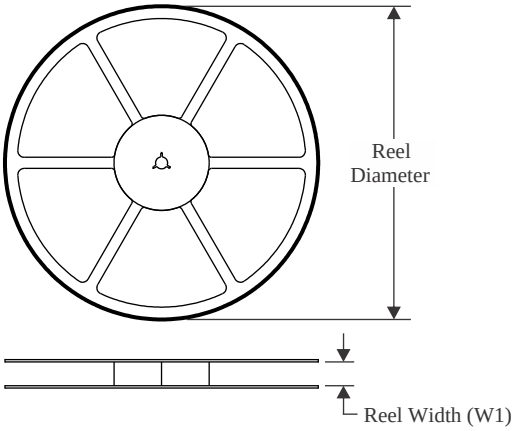
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

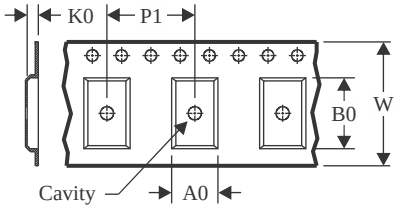
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

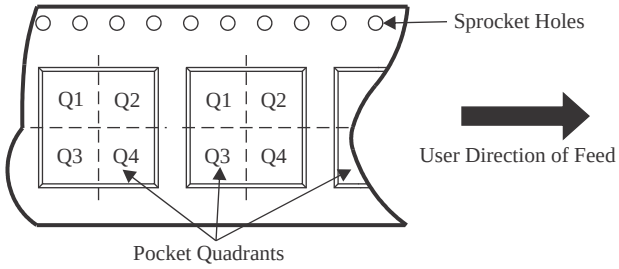


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

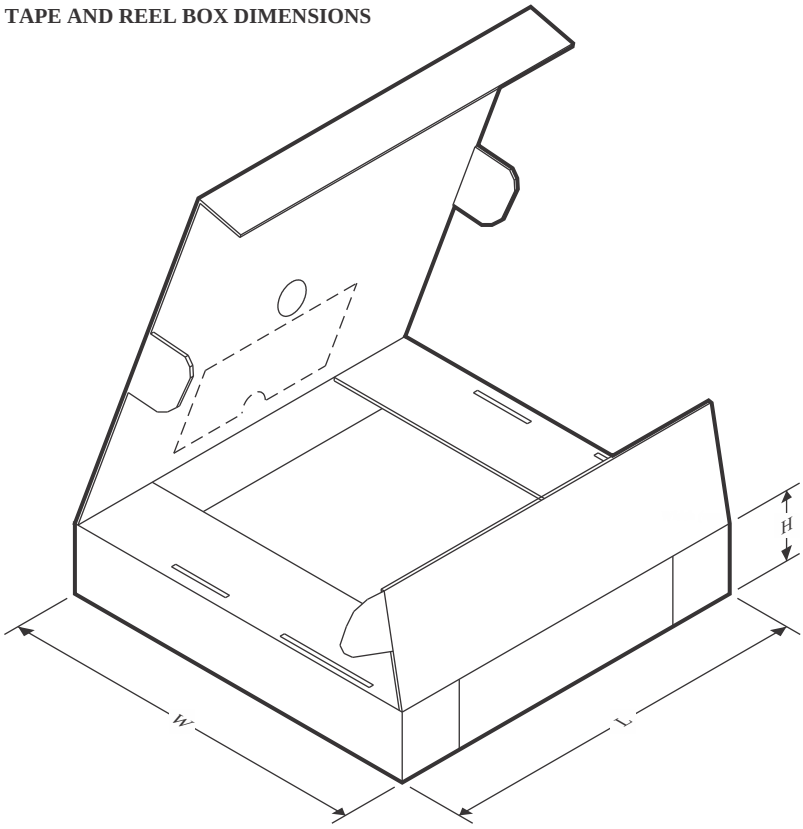
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74AC11138DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
74AC11138NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
74AC11138PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

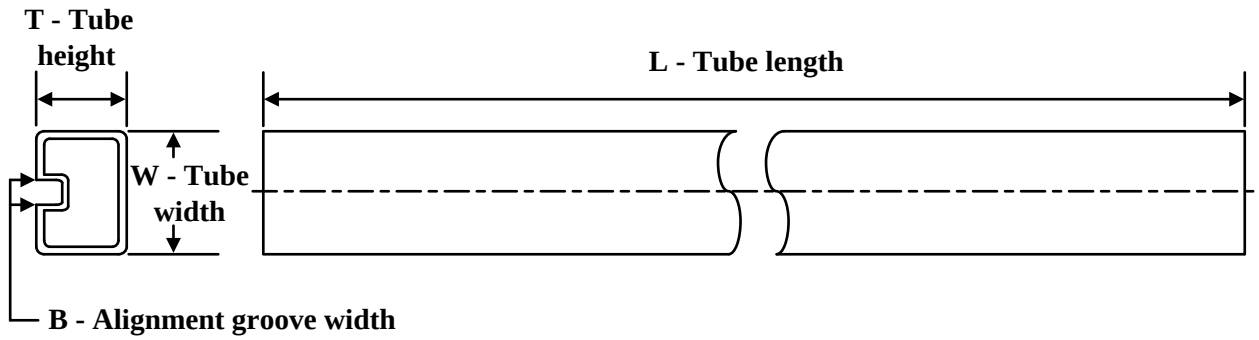
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

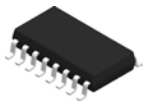
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74AC11138DR	SOIC	D	16	2500	353.0	353.0	32.0
74AC11138NSR	SOP	NS	16	2000	353.0	353.0	32.0
74AC11138PWR	TSSOP	PW	16	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
74AC11138N	N	PDIP	16	25	506	13.97	11230	4.32
74AC11138N	N	PDIP	16	25	506	13.97	11230	4.32
74AC11138N.A	N	PDIP	16	25	506	13.97	11230	4.32
74AC11138N.A	N	PDIP	16	25	506	13.97	11230	4.32

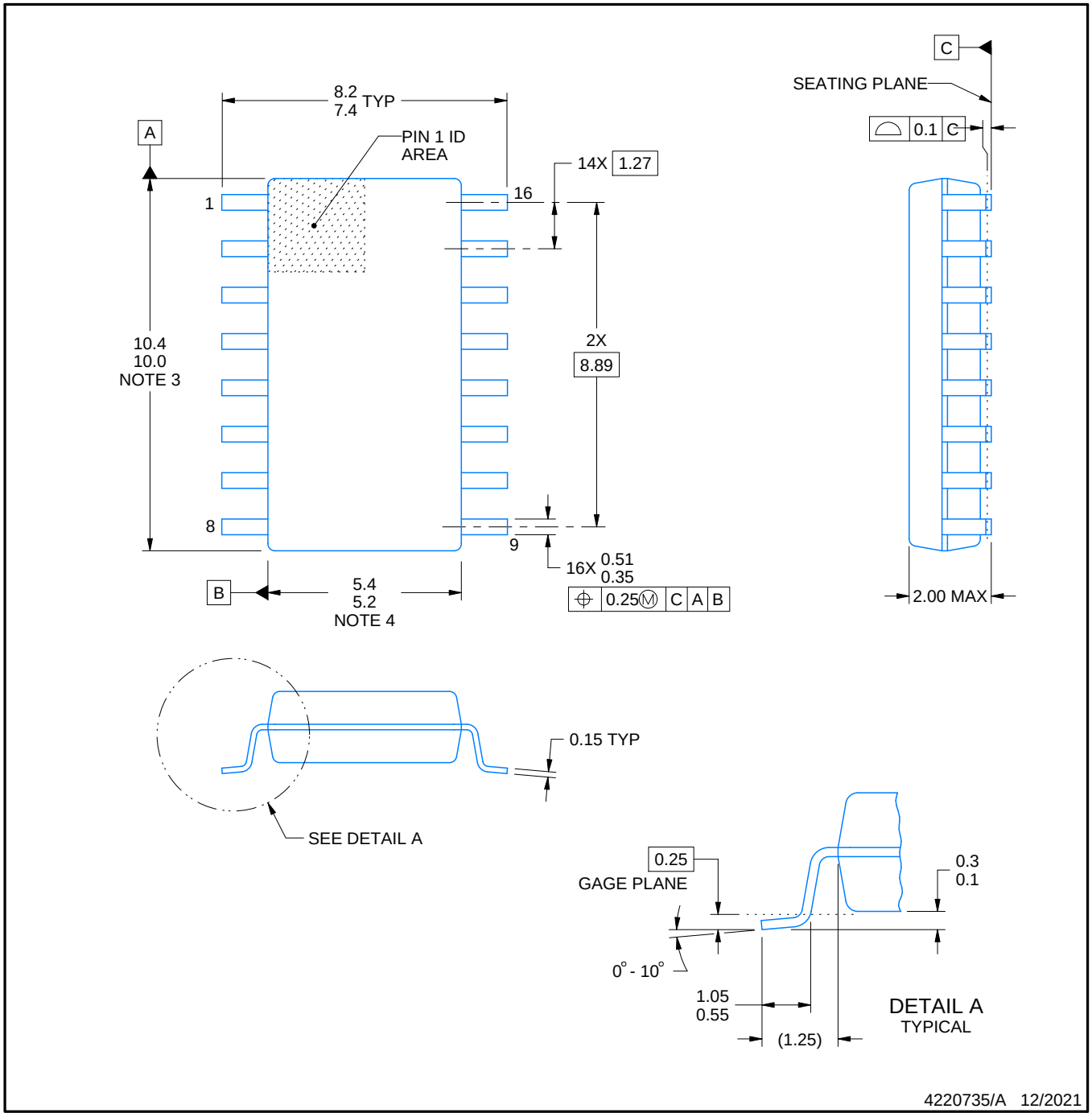


PACKAGE OUTLINE

NS0016A

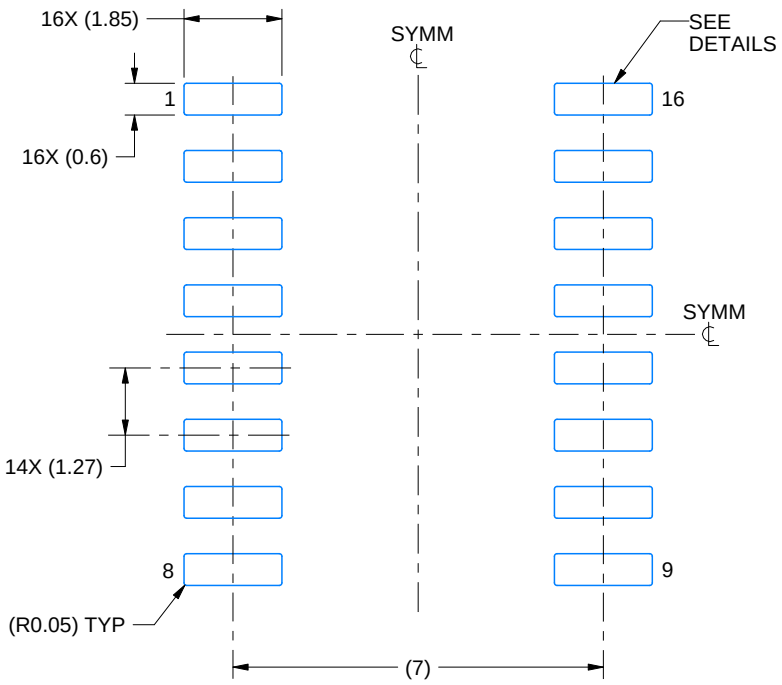
SOP - 2.00 mm max height

SOP

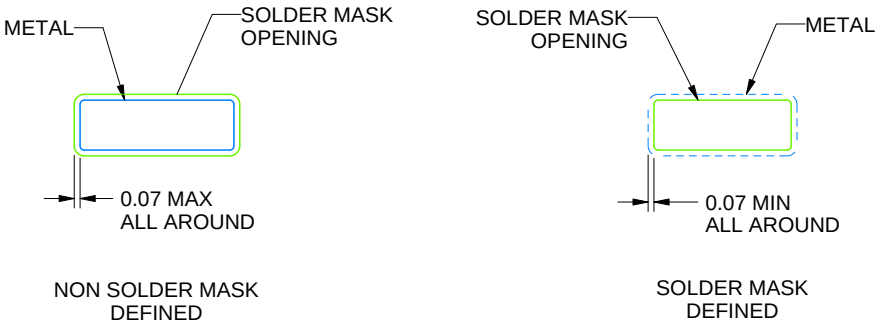


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

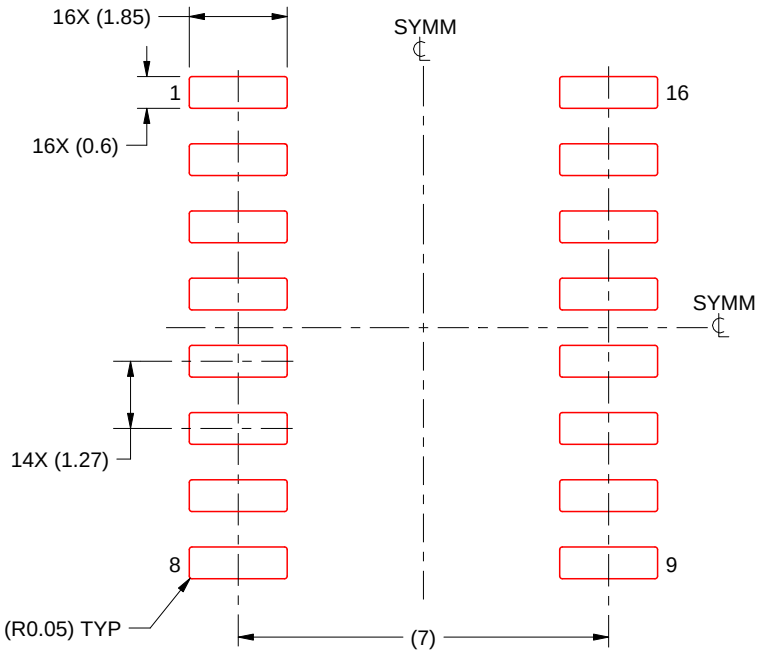
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



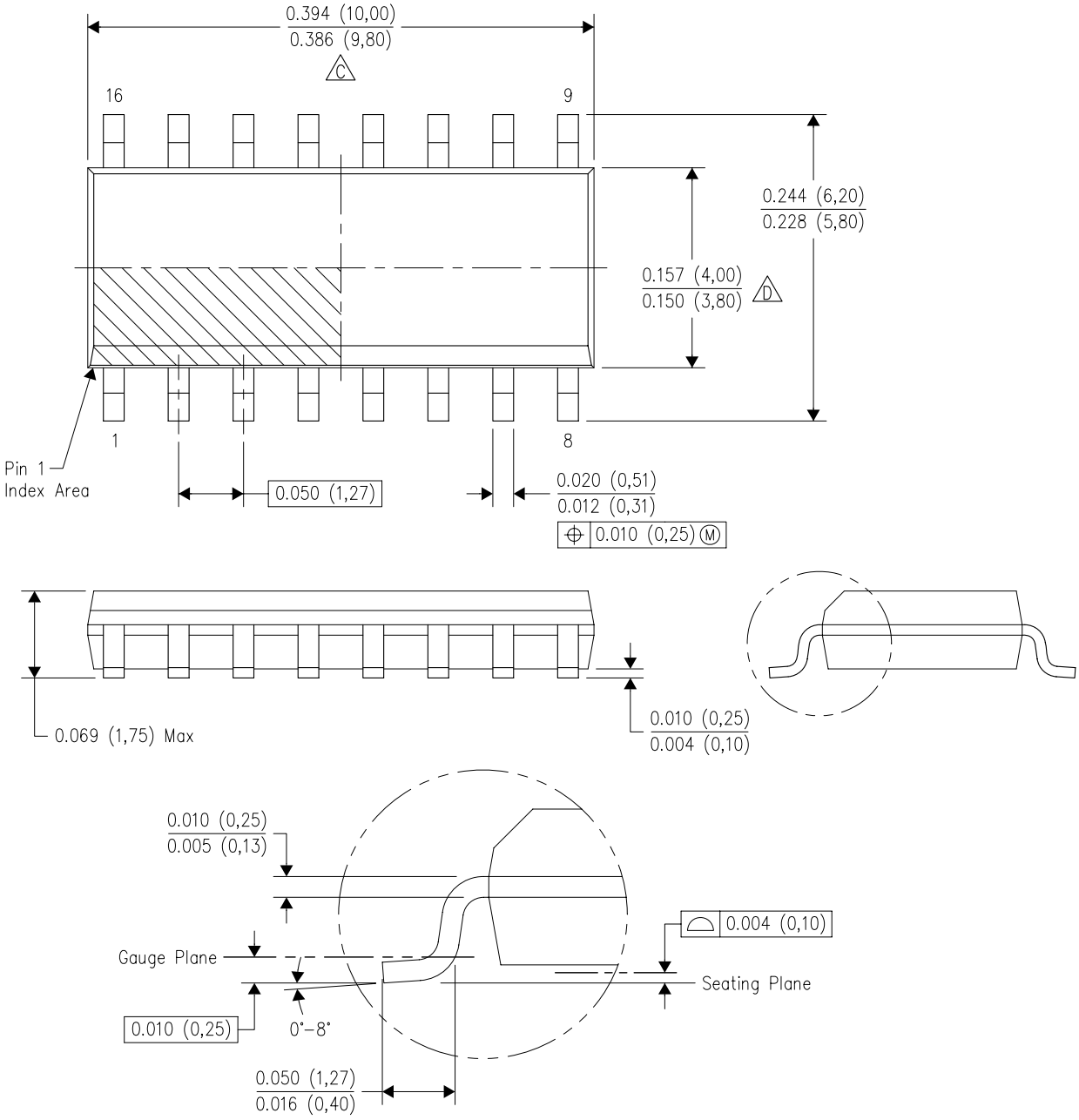
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



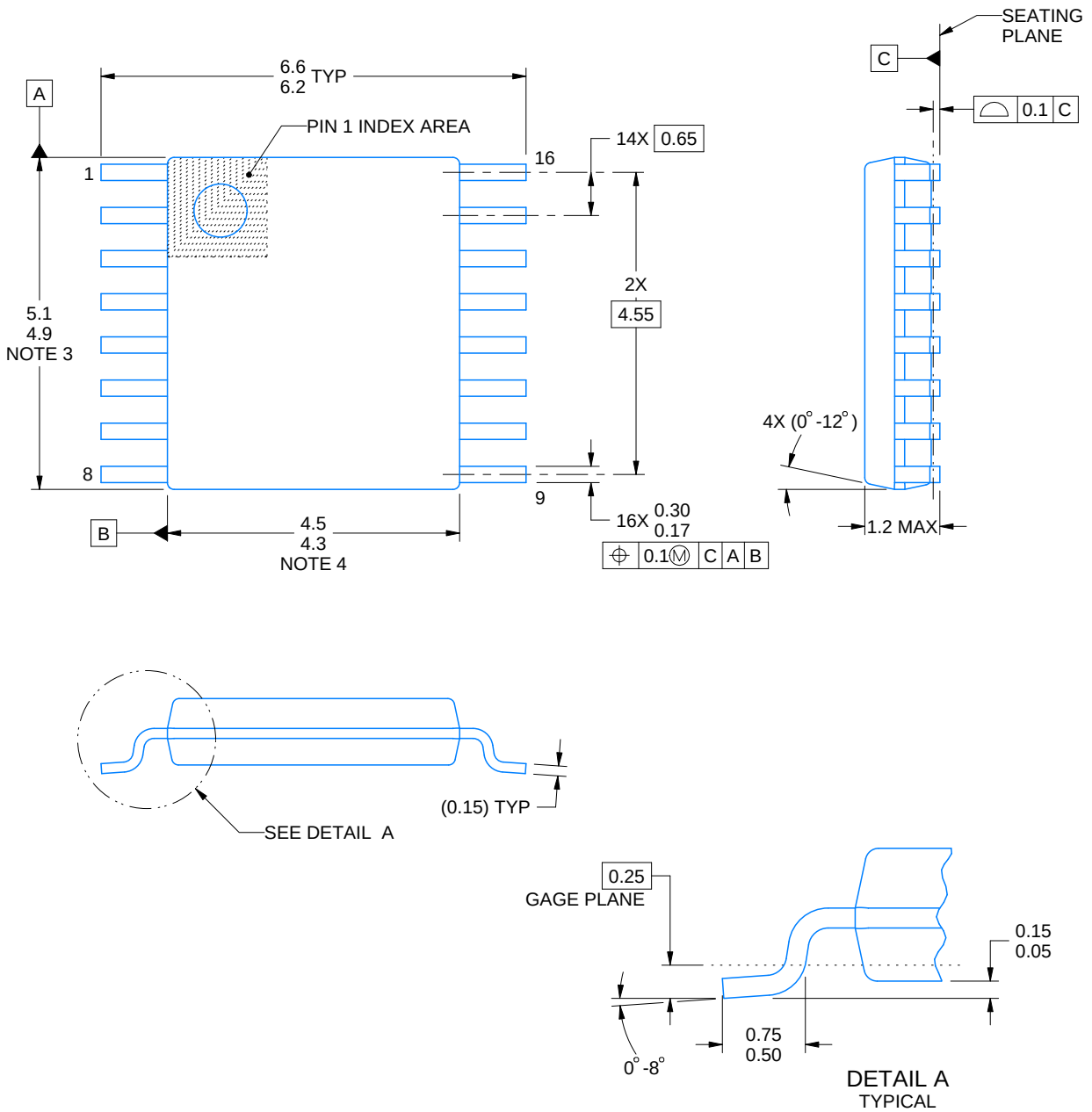
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

PW0016A

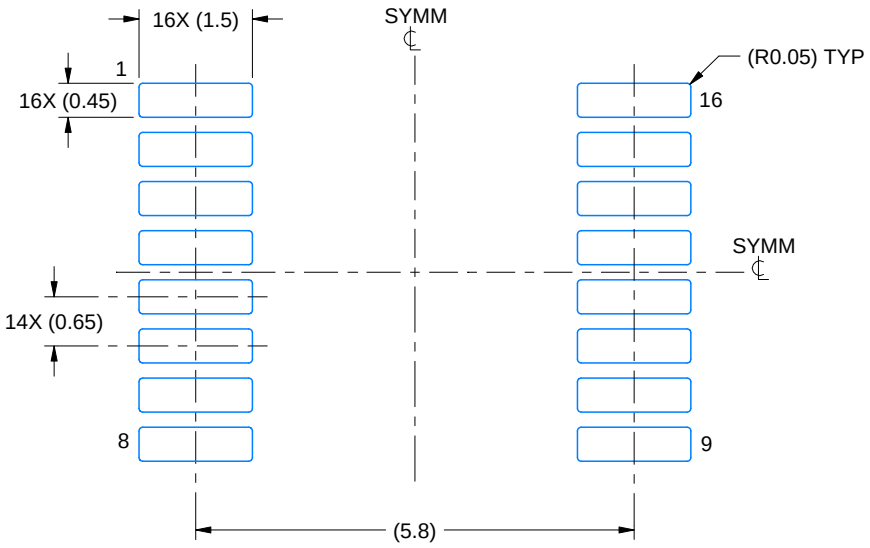
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

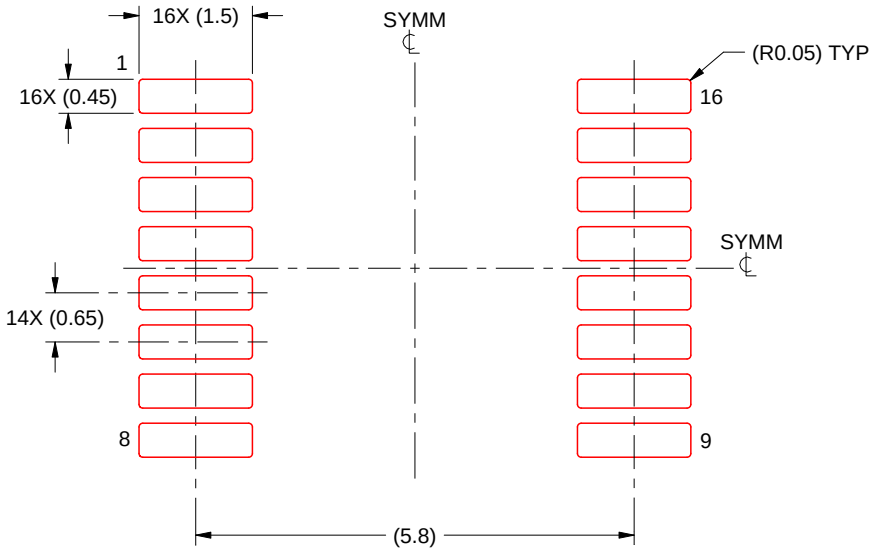


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

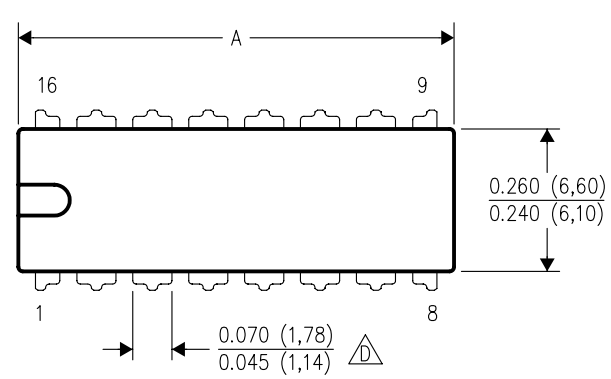
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

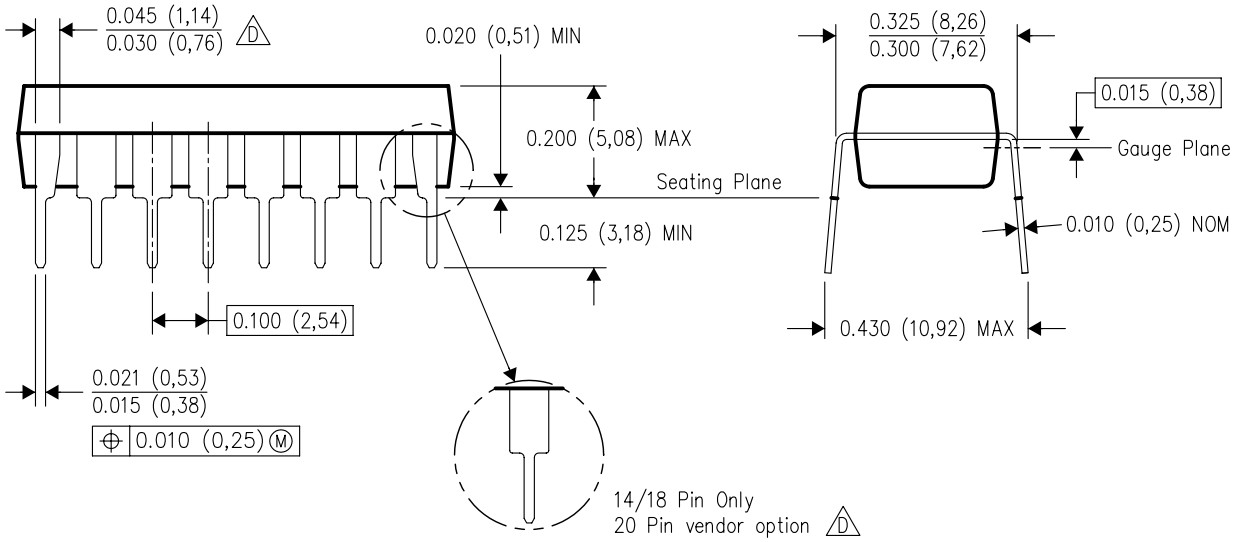
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月