

ISO652x 通用双通道功能隔离器

1 特性

- 双通道 CMOS 输出功能隔离器
- 50Mbps 数据速率
- 稳健可靠的 SiO₂ 隔离栅 (CMTI 典型值为 $\pm 150\text{kV}/\mu\text{s}$)
- 功能隔离(8-EEU) :
 - 450V_{RMS}、637V_{DC} 工作电压
 - 2000V_{RMS}、2828V_{DC} 瞬态电压 (60s)
- 功能隔离(8-D) :
 - 450V_{RMS}、637V_{DC} 工作电压
 - 2000V_{RMS}、2828V_{DC} 瞬态电压 (60s)
- 采用爬电距离大于 2.2mm 的紧凑型 8-REU 封装
- 宽电源电压范围：1.71V 到 1.89V 和 2.25V 到 5.5V
- 1.71V 至 5.5V 电平转换
- 默认输出高电平 (ISO652x) 和低电平 (ISO652xF) 选项
- 宽温度范围：-40°C 至 125°C
- 3.3V、1Mbps 时每通道电流典型值为 1.8mA
- 低传播延迟：3.3V 时为 11ns (典型值)
- 优异的电磁兼容性 (EMC)
 - 系统级 ESD、EFT 和浪涌抗扰度
 - 超低辐射
- 无引线 DFN (8-REU) 封装和窄体 SOIC (8-D) 封装选项

2 应用

- [电源](#)
- [电网、电表](#)
- [电机驱动器](#)
- [工厂自动化](#)
- [楼宇自动化](#)
- [照明](#)
- [电器](#)

3 说明

ISO652x 器件是高性能双通道功能隔离器，适用于需要与非安全应用隔离的成本敏感、空间受限型应用。该隔离栅支持 450V_{RMS}/637V_{DC} 的工作电压，以及 2000V_{RMS}/2828V_{DC} 的瞬态过压。

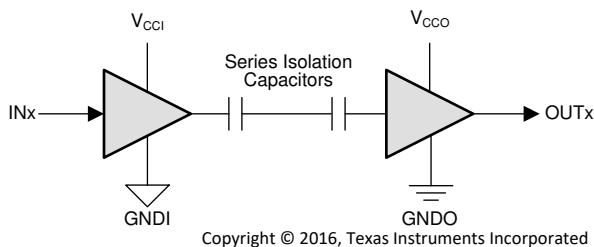
在隔离 CMOS 或 LVCMOS 数字 I/O 的同时，器件可提供高电磁抗扰度、低发射和低功耗特性。每条隔离通道的逻辑输入和输出缓冲器均由 TI 的双电容二氧化硅 (SiO₂) 绝缘栅相隔离。ISO6520 具有 2 个同向隔离通道。ISO6521 具有 2 个隔离通道，每个方向各一个通道。如果输入功率或信号出现损失，不带后缀 F 的器件默认输出高电平，带后缀 F 的器件默认输出低电平。更多详细信息，请参见[器件功能模式](#)部分。

这些器件有助于防止 UART、SPI、RS-485、RS-232 和 CAN 等数据总线上的噪声电流损坏敏感电路。得益于芯片设计和布局布线技术，器件的电磁兼容性得到了显著增强，可缓解系统级 ESD 问题并符合辐射标准。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ISO6520、ISO6520F	DFN (8-REU)	3.0mm × 2.0mm
ISO6521、ISO6521F		
ISO6520、ISO6520F	D (8)	4.9mm × 6.0mm
ISO6521、ISO6521F		

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



V_{CCI} = 输入电源，V_{CCO} = 输出电源
 GNDI = 输入接地，GNDO = 输出接地

简化原理图



内容

1 特性	1	5.18 典型特性	12
2 应用	1	6 参数测量信息	14
3 说明	1	7 详细说明	15
4 引脚配置和功能	3	7.1 概述.....	15
5 规格	4	7.2 功能方框图.....	15
5.1 绝对最大额定值.....	4	7.3 特性说明.....	16
5.2 ESD 等级.....	4	7.4 器件功能模式.....	16
5.3 建议运行条件.....	4	8 应用和实施	18
5.4 热性能信息.....	5	8.1 应用信息.....	18
5.5 封装特性.....	5	8.2 典型应用.....	18
5.6 电气特性 - 5V 电源.....	6	8.3 绝缘寿命.....	19
5.7 电源电流特性 - 5V 电源.....	6	8.4 电源相关建议.....	20
5.8 电气特性 - 3.3V 电源.....	7	8.5 布局.....	20
5.9 电源电流特性 - 3.3V 电源.....	7	9 器件和文档支持	22
5.10 电气特性 - 2.5V 电源.....	8	9.1 文档支持.....	22
5.11 电源电流特性 - 2.5V 电源.....	8	9.2 接收文档更新通知.....	22
5.12 电气特征 - 1.8V 电源.....	9	9.3 支持资源.....	22
5.13 电源电流特征 - 1.8V 电源.....	9	9.4 商标.....	22
5.14 开关特性 - 5V 电源.....	10	9.5 静电放电警告.....	22
5.15 开关特性 - 3.3V 电源.....	10	9.6 术语表.....	22
5.16 开关特性 - 2.5V 电源.....	11	10 修订历史记录	22
5.17 开关特征 - 1.8V 电源.....	11	11 机械、封装和可订购信息	23

4 引脚配置和功能

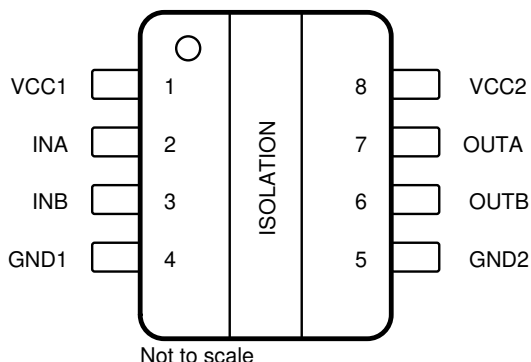


图 4-1. ISO6520 D 封装 8 引脚 SOIC 顶视图

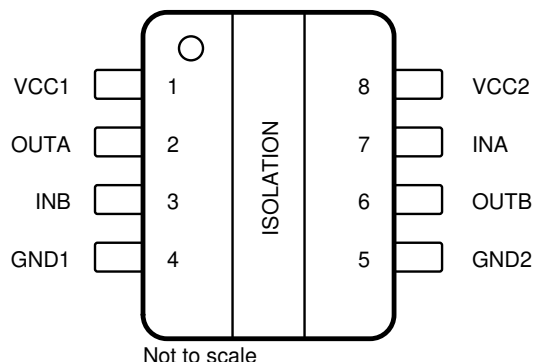


图 4-2. ISO6521 D 封装 8 引脚 SOIC 顶视图

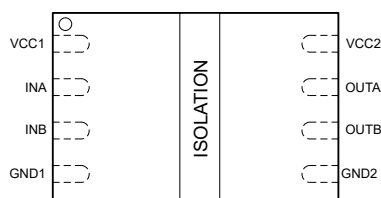


图 4-3. ISO6520 DFN 封装 8 引脚 REU 顶视图

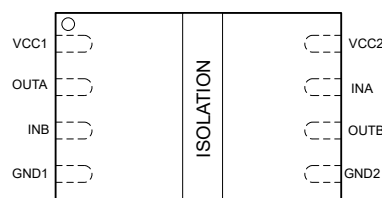


图 4-4. ISO6521 DFN 封装 8 引脚 REU 顶视图

表 4-1. 引脚功能

名称	引脚		类型 ⁽¹⁾	说明
	ISO6520	ISO6521		
GND1	4	4	-	V _{CC1} 的接地连接
GND2	5	5	-	V _{CC2} 的接地连接
INA	2	7	I	输入, 通道 A
INB	3	3	I	输入, 通道 B
OUTA	7	2	O	输出, 通道 A
OUTB	6	6	O	输出, 通道 B
V _{CC1}	1	1	P	电源, V _{CC1}
V _{CC2}	8	8	P	电源, V _{CC2}

(1) I = 输入, O = 输出, P = 电源

5 规格

5.1 绝对最大额定值

请参阅⁽¹⁾

		最小值	最大值	单位
电源电压 ⁽²⁾	V _{CC1} 至 GND1	-0.5	6	V
	V _{CC2} 至 GND2	-0.5	6	
输入/输出电压	INx 至 GNDx	-0.5	V _{CCX} + 0.5 ⁽³⁾	V
	OUTx 至 GNDx	-0.5	V _{CCX} + 0.5 ⁽³⁾	
输出电流	I _O	-15	15	mA
温度	工作结温, T _J		150	°C
	贮存温度, T _{stg}	-65	150	°C
瞬态隔离电压 (REU-8)	交流电压, t=60s		2000	V _{RMS}
	直流电压, t=60s		2828	V _{DC}
瞬态隔离电压 (SOIC-8)	交流电压, t=60s		2000	V _{RMS}
	直流电压, t=60s		2828	V _{DC}

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子 (GND1 或 GND2) 的峰值电压值
- (3) 最大电压不得超过 6V。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±6000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	±1500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		测试条件	最小值	标称值	最大值	单位
V _{CC1} ⁽¹⁾	电源电压, 1 侧	V _{CC} = 1.8V ⁽³⁾	1.71		1.89	V
V _{CC1} ⁽¹⁾	电源电压, 1 侧	V _{CC} = 2.5V 至 5V ⁽³⁾	2.25		5.5	V
V _{CC2} ⁽¹⁾	电源电压, 2 侧	V _{CC} = 1.8V ⁽³⁾	1.71		1.89	V
V _{CC2} ⁽¹⁾	电源电压, 2 侧	V _{CC} = 2.5V 至 5V ⁽³⁾	2.25		5.5	V
V _{CC} (UVLO+)	电源电压上升时的 UVLO 阈值			1.53	1.71	V
V _{CC} (UVLO-)	电源电压下降时的 UVLO 阈值		1.1	1.41		V
V _{hys} (UVLO)	电源电压 UVLO 迟滞		0.08	0.13		V
V _{IH}	高电平输入电压		0.7 × V _{CCI} ⁽²⁾		V _{CCI}	V
V _{IL}	低电平输入电压		0		0.3 × V _{CCI}	V

		测试条件	最小值	标称值	最大值	单位
I _{OH}	高电平输出电流	V _{CCO} ⁽²⁾ = 5V	-4			mA
		V _{CCO} = 3.3V	-2			mA
		V _{CCO} = 2.5V	-1			mA
		V _{CCO} = 1.8V	-1			mA
I _{OL}	低电平输出电流	V _{CCO} = 5V			4	mA
		V _{CCO} = 3.3V			2	mA
		V _{CCO} = 2.5V			1	mA
		V _{CCO} = 1.8V			1	mA
DR	数据速率		0		50	Mbps
T _A	环境温度		-40	25	125	°C
V _{IOWM}	功能隔离工作电压 (REU-8)	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDb) 测试; 请参阅图 8-3			450	V _{RMS}
		直流电压			637	V _{DC}
V _{IOWM}	功能隔离工作电压 (SOIC-8)	交流电压 (正弦波)			450	V _{RMS}
		直流电压			637	V _{DC}

- (1) V_{CC1} 和 V_{CC2} 可彼此独立设置
(2) V_{CC1} = 输入侧 V_{CC} ; V_{CCO} = 输出侧 V_{CC}
(3) 1.89V < V_{CC1}, V_{CC2} < 2.25V 和 1.05V < V_{CC1}, V_{CC2} < 1.71V 时, 通道输出为不确定状态

5.4 热性能信息

热指标 ⁽¹⁾		ISO652x		单位
		DFN (REU-8)	D (SOIC-8)	
		8 引脚	8 引脚	
R _{θJA}	结至环境热阻	143.4	104.6	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	70.0	48.9	°C/W
R _{θJB}	结至电路板热阻	78.3	52.9	°C/W
ψ _{JT}	结至顶部特征参数	4.2	7.9	°C/W
ψ _{JB}	结至电路板特征参数	77.7	52.1	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 封装特性

参数		测试条件	值	值	单位
			8-REU	8-D	
CLR	外部间隙 ⁽¹⁾	引脚间的最短空间距离	>2.2	>4	mm
CPG	外部爬电距离 ⁽¹⁾	引脚间的最短封装表面距离	>2.2	>4	mm
CTI	相对漏电起痕指数	IEC 60112 ; UL 746A	>400	>400	V
	材料组	符合 IEC 60664-1	II	II	
C _{IO}	电容, 输入至输出 ⁽²⁾	V _{IO} = 0.4 × sin (2 π ft), f = 1MHz	≅0.5	≅0.5	pF
R _{IO}	电阻, 输入至输出 ⁽²⁾	T _A = 25°C	>10 ¹²	>10 ¹²	Ω

- (1) 爬电距离和间隙必须满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确认印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。

5.6 电气特性 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$I_{OH} = -4mA$; 请参阅图 6-1	$V_{CCO} - 0.4$		V
V_{OL}	低电平输出电压	$I_{OL} = 4mA$; 请参阅图 6-1		0.4	V
$V_{IT+(IN)}$	上升输入开关阈值			$0.7 \times V_{CCI}^{(1)}$	V
$V_{IT-(IN)}$	下降输入开关阈值		$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	输入阈值电压迟滞		$0.1 \times V_{CCI}$		V
I_{IH}	高电平输入电流	在 INx 处, $V_{IH} = V_{CCI}^{(1)}$		10	μA
I_{IL}	低电平输入电流	在 INx 处, $V_{IL} = 0V$	-10		μA
CMTI	共模瞬态抗扰度	$V_I = V_{CC}$ 或 $0V$, $V_{CM} = 700V$; 请参阅图 6-3	100	150	$kV/\mu s$
C_i	输入电容 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{CC} = 5V$		2.8	pF

(1) $V_{CCI} =$ 输入侧 V_{CC} ; $V_{CCO} =$ 输出侧 V_{CC} 。

(2) 输入引脚到同侧接地端的测量结果。

5.7 电源电流特性 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6520							
电源电流 - 直流信号 (2)	$V_I = V_{CCI}^{(1)}$ (ISO6520) , $V_I = 0V$ (带后缀 F 的 ISO6520)		I_{CC1}		1.1	1.7	mA
			I_{CC2}		1.3	2.2	
	$V_I = 0V$ (ISO6520) , $V_I = V_{CC1}$ (带后缀 F 的 ISO6520)		I_{CC1}		3.2	4.6	
			I_{CC2}		1.4	2.3	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关 ; $C_L = 15pF$	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.5	2.4	
		10Mbps	I_{CC1}		2.2	3.2	
			I_{CC2}		2.7	3.6	
		50Mbps	I_{CC1}		2.5	3.6	
			I_{CC2}		7.9	9.5	
ISO6521							
电源电流 - 直流信号 (2)	$V_I = V_{CCI}^{(1)}$ (ISO6521) ; $V_I = 0V$ (带后缀 F 的 ISO6521)		I_{CC1} 、 I_{CC2}		1.2	2.2	mA
	$V_I = 0V$ (ISO6521) ; $V_I = V_{CCI}$ (带后缀 F 的 ISO6521)		I_{CC1} 、 I_{CC2}		2.3	3.5	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关 ; $C_L = 15pF$	1Mbps	I_{CC1} 、 I_{CC2}		1.9	2.9	
		10Mbps	I_{CC1} 、 I_{CC2}		2.5	3.6	
		50Mbps	I_{CC1} 、 I_{CC2}		5.2	6.7	

(1) $V_{CCI} =$ 输入侧 V_{CC}

(2) $ENx = V_{CCx}$ 且 $ENx = 0V$ 时, 电源电流有效

(3) $ENx = V_{CCx}$ 时, 电源电流有效

5.8 电气特性 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$I_{OH} = -2mA$; 请参阅图 6-1	$V_{CCO} - 0.2$		V
V_{OL}	低电平输出电压	$I_{OL} = 2mA$; 请参阅图 6-1		0.2	V
$V_{IT+(IN)}$	上升输入开关阈值			$0.7 \times V_{CCI}^{(1)}$	V
$V_{IT-(IN)}$	下降输入开关阈值		$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	输入阈值电压迟滞		$0.1 \times V_{CCI}$		V
I_{IH}	高电平输入电流	在 INx 处, $V_{IH} = V_{CCI}^{(1)}$		10	μA
I_{IL}	低电平输入电流	在 INx 处, $V_{IL} = 0V$	-10		μA
CMTI	共模瞬态抗扰度	$V_I = V_{CC}$ 或 $0V$, $V_{CM} = 700V$; 请参阅图 6-3	100	150	$kV/\mu s$
C_i	输入电容 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{CC} = 3.3V$	2.8		pF

(1) $V_{CCI} =$ 输入侧 V_{CC} ; $V_{CCO} =$ 输出侧 V_{CC} 。

(2) 输入引脚到同侧接地端的测量结果。

5.9 电源电流特性 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6520							
电源电流 - 直流信号 ⁽²⁾	$V_I = V_{CCI}$ ⁽¹⁾ (ISO6520) , $V_I = 0V$ (带后缀 F 的 ISO6520)		I_{CC1}	1.1	1.6	mA	
			I_{CC2}	1.3	2.2		
	$V_I = 0V$ (ISO6520) , $V_I = V_{CC1}$ (带后缀 F 的 ISO6520)		I_{CC1}	3.2	4.5		
			I_{CC2}	1.4	2.3		
电源电流 - 交流信号 ⁽³⁾	所有通道均通过方波时钟输入实现开关 ; $C_L = 15pF$	1Mbps	I_{CC1}	2.1	3.1		
			I_{CC2}	1.4	2.3		
		10Mbps	I_{CC1}	2.2	3.1		
			I_{CC2}	2.3	3.2		
		50Mbps	I_{CC1}	2.4	3.4		
			I_{CC2}	6	7.3		
ISO6521							
电源电流 - 直流信号 ⁽²⁾	$V_I = V_{CCI}$ ⁽¹⁾ (ISO6521) ; $V_I = 0V$ (带后缀 F 的 ISO6521)		I_{CC1} 、 I_{CC2}	1.2	2.2	mA	
			$V_I = 0V$ (ISO6521) ; $V_I = V_{CCI}$ (带后缀 F 的 ISO6521)	I_{CC1} 、 I_{CC2}	2.3		3.5
电源电流 - 交流信号 ⁽³⁾	所有通道均通过方波时钟输入实现开关 ; $C_L = 15pF$	1Mbps		I_{CC1} 、 I_{CC2}	1.8		2.9
		10Mbps	I_{CC1} 、 I_{CC2}	2.3	3.4		
		50Mbps	I_{CC1} 、 I_{CC2}	4.2	5.5		

(1) $V_{CCI} =$ 输入侧 V_{CC}

(2) $ENx = V_{CCx}$ 且 $ENx = 0V$ 时, 电源电流有效

(3) $ENx = V_{CCx}$ 时, 电源电流有效

5.10 电气特性 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$I_{OH} = -1mA$; 请参阅图 6-1	$V_{CCO} - 0.1$		V
V_{OL}	低电平输出电压	$I_{OL} = 1mA$; 请参阅图 6-1		0.1	V
$V_{IT+(IN)}$	上升输入开关阈值			$0.7 \times V_{CCI}^{(1)}$	V
$V_{IT-(IN)}$	下降输入开关阈值		$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	输入阈值电压迟滞		$0.1 \times V_{CCI}$		V
I_{IH}	高电平输入电流	在 INx 处, $V_{IH} = V_{CCI}^{(1)}$		10	μA
I_{IL}	低电平输入电流	在 INx 处, $V_{IL} = 0V$	-10		μA
CMTI	共模瞬态抗扰度	$V_I = V_{CC}$ 或 $0V$, $V_{CM} = 700V$; 请参阅图 6-3	100	150	$kV/\mu s$
C_i	输入电容 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{CC} = 2.5V$	2.8		pF

(1) $V_{CCI} =$ 输入侧 V_{CC} ; $V_{CCO} =$ 输出侧 V_{CC} 。

(2) 输入引脚到同侧接地端的测量结果。

5.11 电源电流特性 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6520							
电源电流 - 直流信号 ⁽²⁾	V _I = V _{CCI} ⁽¹⁾ (ISO6520) , V _I = 0V (带后缀 F 的 ISO6520)		I _{CC1}		1.1	1.6	mA
			I _{CC2}		1.3	2.1	
	V _I = 0V (ISO6520) , V _I = V _{CC1} (带后缀 F 的 ISO6520)		I _{CC1}		3.1	4.5	
			I _{CC2}		1.4	2.3	
电源电流 - 交流信号 ⁽³⁾	所有通道均通过方波时钟输入实现开关 ; C _L = 15pF	1Mbps	I _{CC1}		2.1	3.1	
			I _{CC2}		1.4	2.3	
		10Mbps	I _{CC1}		2.1	3.1	
			I _{CC2}		2	2.9	
		50Mbps	I _{CC1}		2.3	3.3	
			I _{CC2}		4.8	6	
ISO6521							
电源电流 - 直流信号 ⁽²⁾	V _I = V _{CCI} ⁽¹⁾ (ISO6521) ; V _I = 0V (带后缀 F 的 ISO6521)		I _{CC1} 、 I _{CC2}		1.2	2.2	mA
	V _I = 0V (ISO6521) ; V _I = V _{CCI} (带后缀 F 的 ISO6521)		I _{CC1} 、 I _{CC2}		2.3	3.5	
电源电流 - 交流信号 ⁽³⁾	所有通道均通过方波时钟输入实现开关 ; C _L = 15pF	1Mbps	I _{CC1} 、 I _{CC2}		1.8	2.9	
		10Mbps	I _{CC1} 、 I _{CC2}		2.1	3.2	
		50Mbps	I _{CC1} 、 I _{CC2}		3.6	4.9	

(1) $V_{CCI} =$ 输入侧 V_{CC}

(2) $ENx = V_{CCx}$ 且 $ENx = 0V$ 时, 电源电流有效

(3) $ENx = V_{CCx}$ 时, 电源电流有效

5.12 电气特征 - 1.8V 电源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$I_{OH} = -1mA$; 请参阅图 6-1			V
V_{OL}	低电平输出电压	$I_{OL} = 1mA$; 请参阅图 6-1			V
$V_{IT+(IN)}$	上升输入开关阈值	$0.7 \times V_{CCI}^{(1)}$			V
$V_{IT-(IN)}$	下降输入开关阈值	$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	输入阈值电压迟滞	$0.1 \times V_{CCI}$			V
I_{IH}	高电平输入电流	在 INx 处, $V_{IH} = V_{CCI}^{(1)}$			μA
I_{IL}	低电平输入电流	在 INx 处, $V_{IL} = 0V$			μA
CMTI	共模瞬态抗扰度	$V_I = V_{CC}$ 或 $0V$, $V_{CM} = 700V$; 请参阅图 6-3			$kV/\mu s$
C_i	输入电容 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{CC} = 1.8V$			pF

(1) $V_{CCI} =$ 输入侧 V_{CC} ; $V_{CCO} =$ 输出侧 V_{CC} 。

(2) 输入引脚到同侧接地端的测量结果。

5.13 电源电流特征 - 1.8V 电源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (在建议运行条件下测得, 除非另有说明)

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6520							
电源电流 - 直流信号 (2)	$V_I = V_{CCI}$ (1) (ISO6520) , $V_I = 0V$ (带后缀 F 的 ISO6520)		I_{CC1}	0.8	1.5	mA	
			I_{CC2}	1.2	2.1		
	$V_I = 0V$ (ISO6520) , $V_I = V_{CC1}$ (带后缀 F 的 ISO6520)		I_{CC1}	2.8	4.3		
			I_{CC2}	1.3	2.3		
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关 ; $C_L = 15pF$	1Mbps	I_{CC1}	1.8	2.9		
			I_{CC2}	1.3	2.3		
		10Mbps	I_{CC1}	1.8	2.9		
			I_{CC2}	1.8	2.7		
		50Mbps	I_{CC1}	2	3.1		
			I_{CC2}	3.8	4.9		
ISO6521							
电源电流 - 直流信号 (2)	$V_I = V_{CCI}$ (1) (ISO6521) ; $V_I = 0V$ (带后缀 F 的 ISO6521)		I_{CC1} 、 I_{CC2}	1.1	2.1	mA	
			I_{CC1} 、 I_{CC2}	2.1	3.4		
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关 ; $C_L = 15pF$	1Mbps	I_{CC1} 、 I_{CC2}	1.6	2.7		
		10Mbps	I_{CC1} 、 I_{CC2}	1.9	3		
		50Mbps	I_{CC1} 、 I_{CC2}	3	4.2		

(1) $V_{CCI} =$ 输入侧 V_{CC}

(2) $ENx = V_{CCx}$ 且 $ENx = 0V$ 时, 电源电流有效

(3) $ENx = V_{CCx}$ 时, 电源电流有效

5.14 开关特性 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{PLH} 、 t _{PHL}	传播延迟时间	请参阅 图 6-1		11	18	ns
t _{P(dft)}	传播延迟漂移			8		ps/℃
t _{UI}	最小脉宽	参阅图 6-1	20			ns
PWD	脉宽失真 ⁽¹⁾ t _{PHL} - t _{PLH}	参阅图 6-1		0.2	7	ns
t _{sk(o)}	通道间输出偏斜时间 ⁽²⁾	同向通道			6	ns
t _{sk(p-p)}	器件间偏斜时间 ⁽³⁾				6	ns
t _r	输出信号上升时间	参阅图 6-1		2.6	4.5	ns
t _f	输出信号下降时间			2.6	4.5	ns
t _{PU}	从 UVLO 至有效输出数据的时间				300	μ s
t _{DO}	输入功率损耗的默认输出延时时间	从 V _{CC} 低于 1.2V 之时开始测量。参阅图 6-2		0.1	0.3	μ s
t _{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2 ¹⁶ - 1		1		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.15 开关特性 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{PLH} 、 t _{PHL}	传播延迟时间	参阅图 6-1	11	18		ns
t _{P(dft)}	传播延迟漂移		9.2			ps/℃
t _{UI}	最小脉宽	参阅图 6-1	20			ns
PWD	脉宽失真 ⁽¹⁾ t _{PHL} - t _{PLH}	参阅图 6-1	0.5	7		ns
t _{sk(o)}	通道间输出偏斜时间 ⁽²⁾	同向通道		6		ns
t _{sk(p-p)}	器件间偏斜时间 ⁽³⁾			6		ns
t _r	输出信号上升时间	参阅图 6-1	1.6	3.2		ns
t _f	输出信号下降时间		1.6	3.2		ns
t _{PU}	从 UVLO 至有效输出数据的时间			300		μ s
t _{DO}	输入功率损耗的默认输出延时时间	从 V _{CC} 低于 1.2V 之时开始测量。参阅图 6-2	0.1	0.3		μ s
t _{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2 ¹⁶ - 1	1			ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.16 开关特性 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{PLH} 、 t _{PHL}	传播延迟时间	参阅图 6-1	12	20.5		ns
t _{P(dft)}	传播延迟漂移		14.3			ps/°C
t _{UI}	最小脉宽	参阅图 6-1	20			ns
PWD	脉宽失真 ⁽¹⁾ t _{PHL} - t _{PLH}	参阅图 6-1	0.6	7.1		ns
t _{sk(o)}	通道间输出偏斜时间 ⁽²⁾	同向通道			6	ns
t _{sk(p-p)}	器件间偏斜时间 ⁽³⁾				6.1	ns
t _r	输出信号上升时间	参阅图 6-1	2	4		ns
t _f	输出信号下降时间		2	4		ns
t _{PU}	从 UVLO 至有效输出数据的时间				300	μ s
t _{DO}	输入功率损耗的默认输出延时时间	从 V _{CC} 低于 1.2V 之时开始测量。参阅图 6-2	0.1	0.3		μ s
t _{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2 ¹⁶ - 1	1			ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.17 开关特征 - 1.8V 电源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{PLH} 、 t _{PHL}	传播延迟时间	请参阅图 7-1	15	25.1		ns
t _{P(dft)}	传播延迟漂移		15.2			ps/°C
t _{UI}	最小脉宽	请参阅图 7-1	20			ns
PWD	脉宽失真 ⁽¹⁾ t _{PHL} - t _{PLH}	请参阅图 7-1	0.7	8.2		ns
t _{sk(o)}	通道间输出偏斜时间 ⁽²⁾	同向通道			6	ns
t _{sk(p-p)}	器件间偏斜时间 ⁽³⁾				8.8	ns
t _r	输出信号上升时间	请参阅图 7-1	2.7	5.3		ns
t _f	输出信号下降时间		2.7	5.3		ns
t _{PU}	从 UVLO 至有效输出数据的时间				300	μ s
t _{DO}	输入功率损耗的默认输出延时时间	从 V _{CC} 低于 1.2V 之时开始测量。参阅图 6-2	0.1	0.3		μ s
t _{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2 ¹⁶ - 1	1			ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.18 典型特性

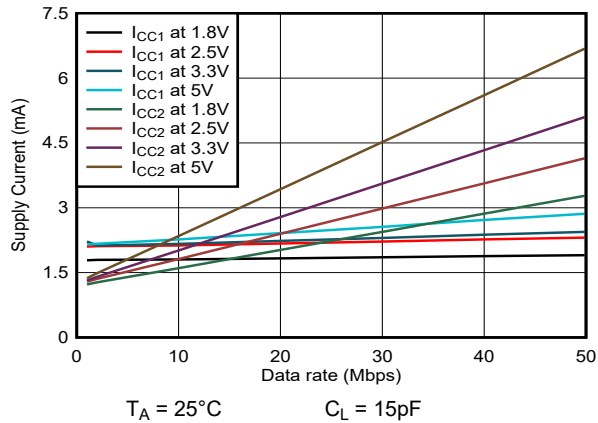


图 5-1. ISO6520 电源电流与数据速率间的关系 (具有 15pF 负载)

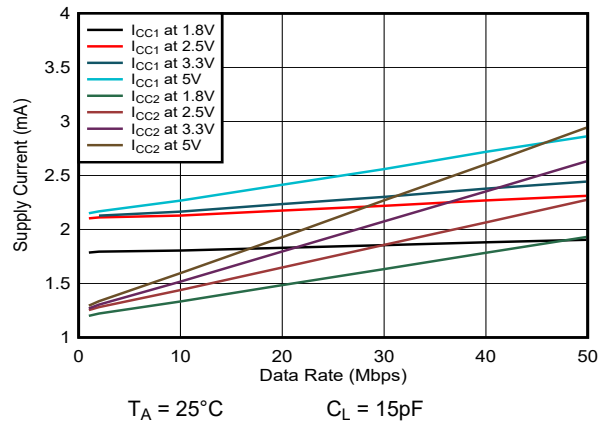


图 5-2. ISO6520 电源电流与数据速率间的关系 (无负载)

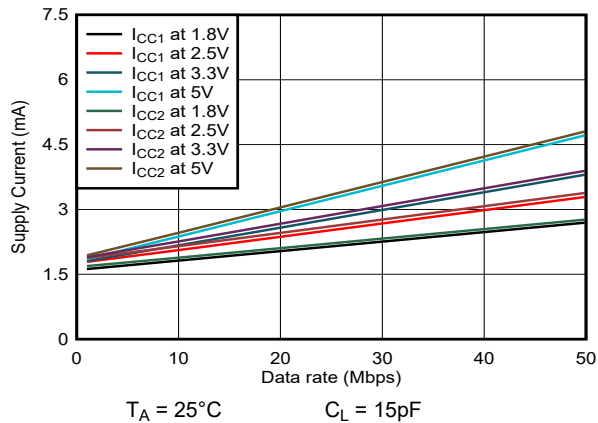


图 5-3. ISO6521 电源电流与数据速率间的关系 (具有 15pF 负载)

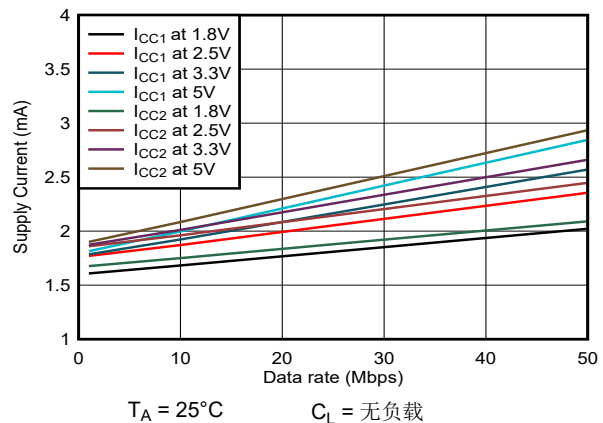


图 5-4. ISO6521 电源电流与数据速率间的关系 (无负载)

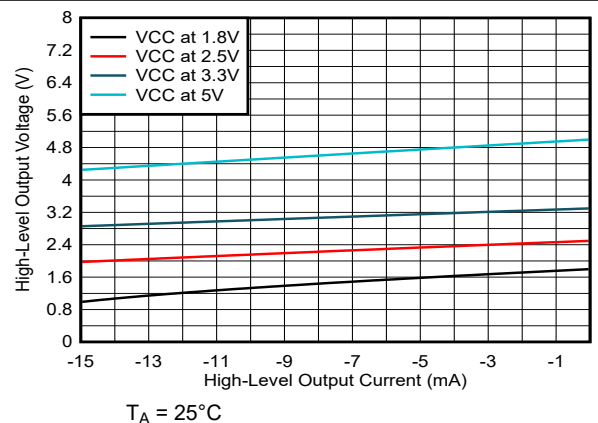


图 5-5. 高电平输出电压与高电平输出电流间的关系

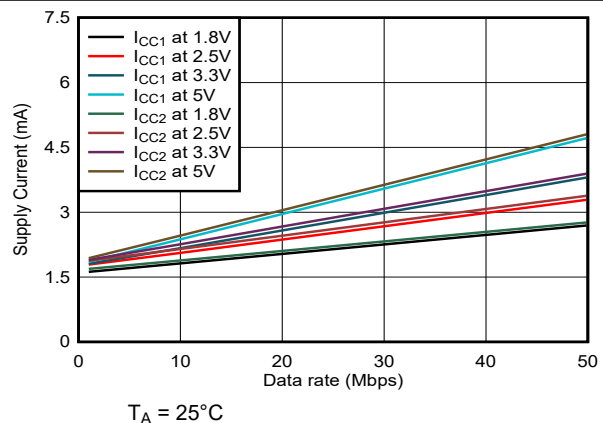


图 5-6. 低电平输出电压与低电平输出电流间的关系

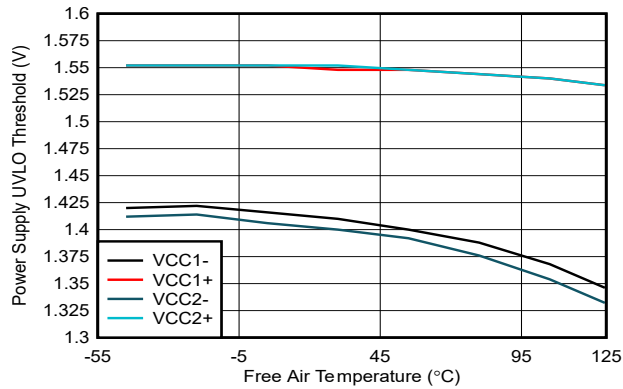


图 5-7. 电源欠压阈值与自然通风条件下的温度间的关系

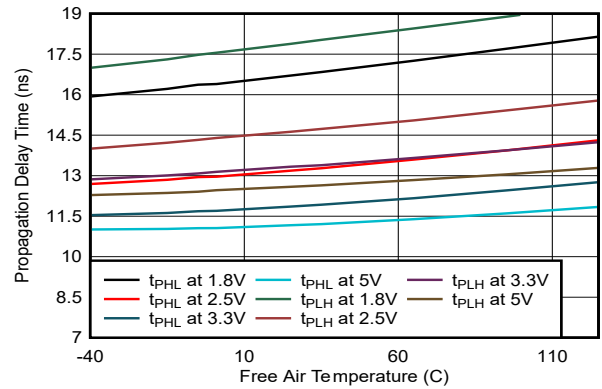
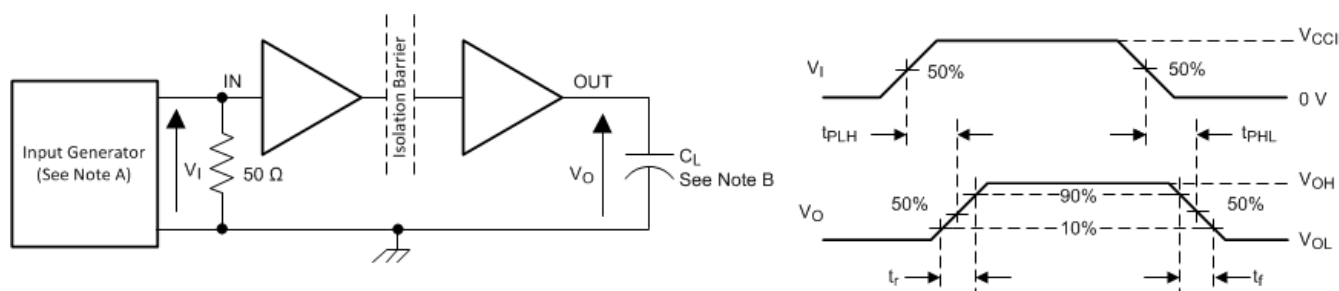


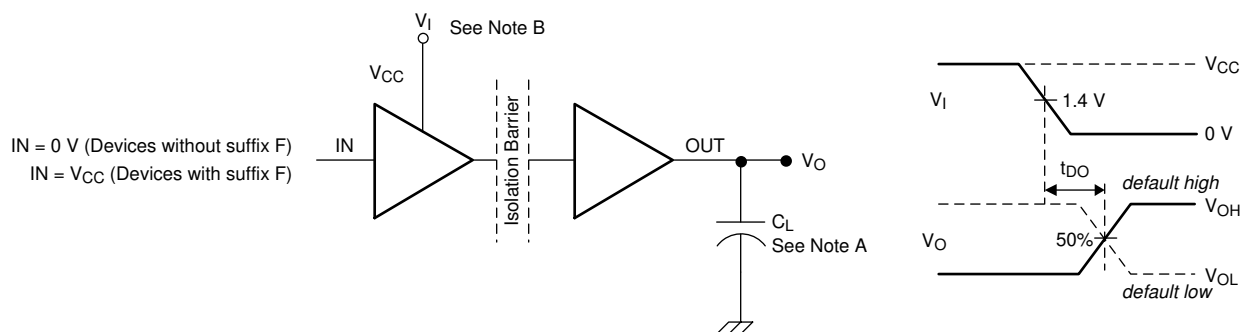
图 5-8. 传播延迟时间与自然通风条件下的温度间的关系

6 参数测量信息



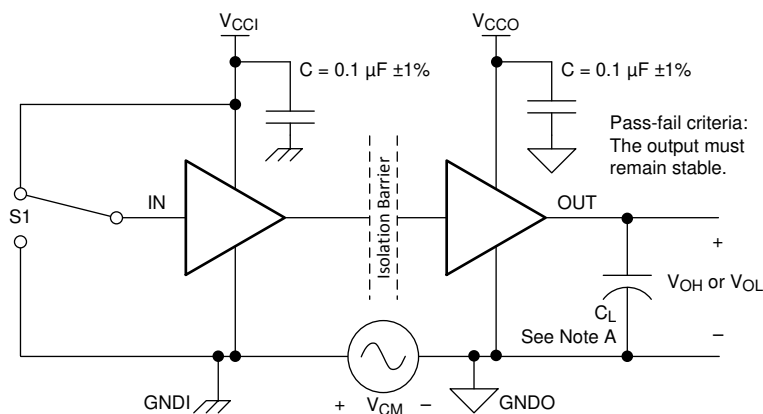
- A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50 kHz，50% 占空比， $t_r \leq 3$ ns， $t_f \leq 3$ ns， $Z_O = 50 \Omega$ 。输入端需要 50Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50Ω 电阻器。
- B. $C_L = 15$ pF 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形



- A. $C_L = 15$ pF 并包含 $\pm 20\%$ 范围内的仪表和设备电容。
- B. 电源电压斜升速率 = 10mV/ns

图 6-2. 默认输出延时时间测试电路和电压波形



- A. $C_L = 15$ pF 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-3. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISO652x 系列器件采用开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。这些器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。

7.2 功能方框图

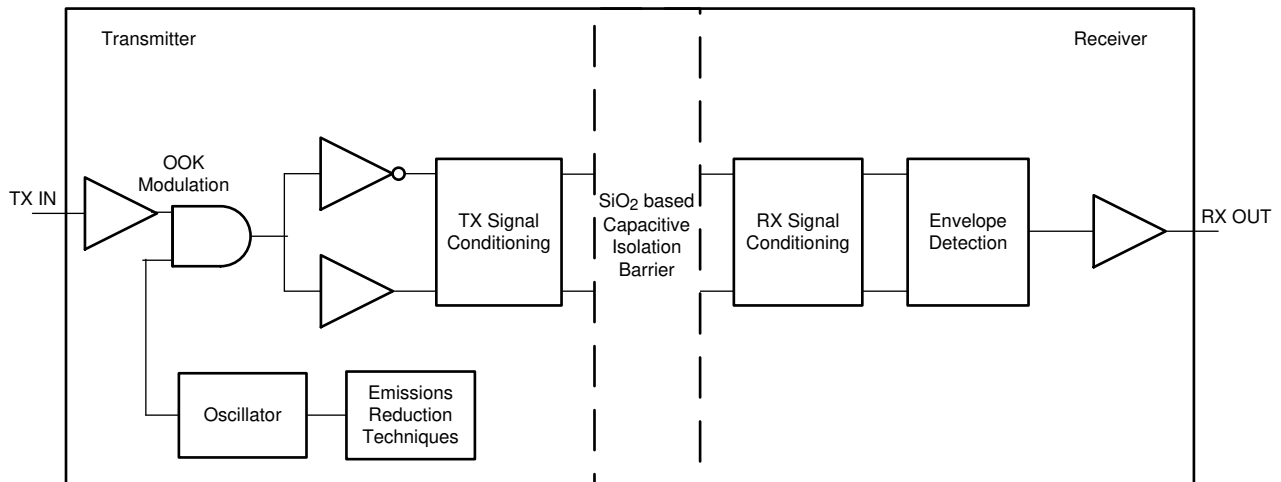


图 7-1. 数字电容隔离器的概念框图

图 7-2 展示了 OOK 方案工作原理的概念细节。

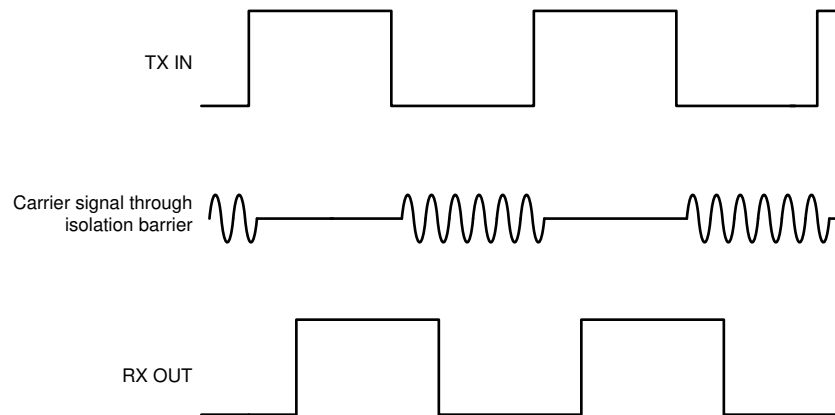


图 7-2. 基于开关键控 (OOK) 的调制方案

7.3 特性说明

系列器件提供两种通道配置和默认输出状态选项，可实现各种应用用途。列出了 器件的器件特性。

表 7-1. 器件特性

器件型号	最大数据速率	通道方向	默认输出状态	封装
ISO6520	50Mbps	2 个正向, 0 个反向	高	REU-8
ISO6520F	50Mbps	2 个正向, 0 个反向	低	REU-8
ISO6521	50Mbps	1 个正向, 1 个反向	高	REU-8
ISO6521F	50Mbps	1 个正向, 1 个反向	低	REU-8

7.4 器件功能模式

表 7-2 列出了 器件的功能模式。

表 7-2. 功能表

$V_{CCI}^{(1)}$	V_{CCO}	输入 (INx) ⁽²⁾	输出 (OUTx)	注释
PU	PU	H	H	正常运行：通道输出假定输入的逻辑状态。
		L	L	
		开路	默认值	默认模式：INx 断开时，相应通道输出进入默认逻辑状态。默认为高电平，而带后缀 F 的 则默认为低电平。
PD	PU	X	默认值	默认模式： V_{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。默认为高电平，而带后缀 F 的 则默认为低电平。 V_{CCI} 从未上电转换为上电时，通道输出假定输入的逻辑状态。 V_{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。
X	PD	X	不确定	V_{CCO} 未上电时，通道输出不确定 ⁽³⁾ 。 V_{CCO} 从未上电转换为上电时，通道输出假定输入的逻辑状态。

(1) V_{CCI} = 输入侧 V_{CC} ； V_{CCO} = 输出侧 V_{CC} ；PU = 上电 ($V_{CC} \geq 1.71V$)；PD = 断电 ($V_{CC} \leq 1.05V$)；X = 不相关；H = 高电平；L = 低电平

(2) 强驱动输入信号可通过内部保护二极管为浮动 V_{CC} 提供微弱的电能，导致输出不确定。

(3) $1.89V < V_{CCI}$, $V_{CCO} < 2.25V$ 和 $1.05V < V_{CCI}$, $V_{CCO} < 1.71V$ 时，输出为不确定状态。

7.4.1 器件 I/O 原理图

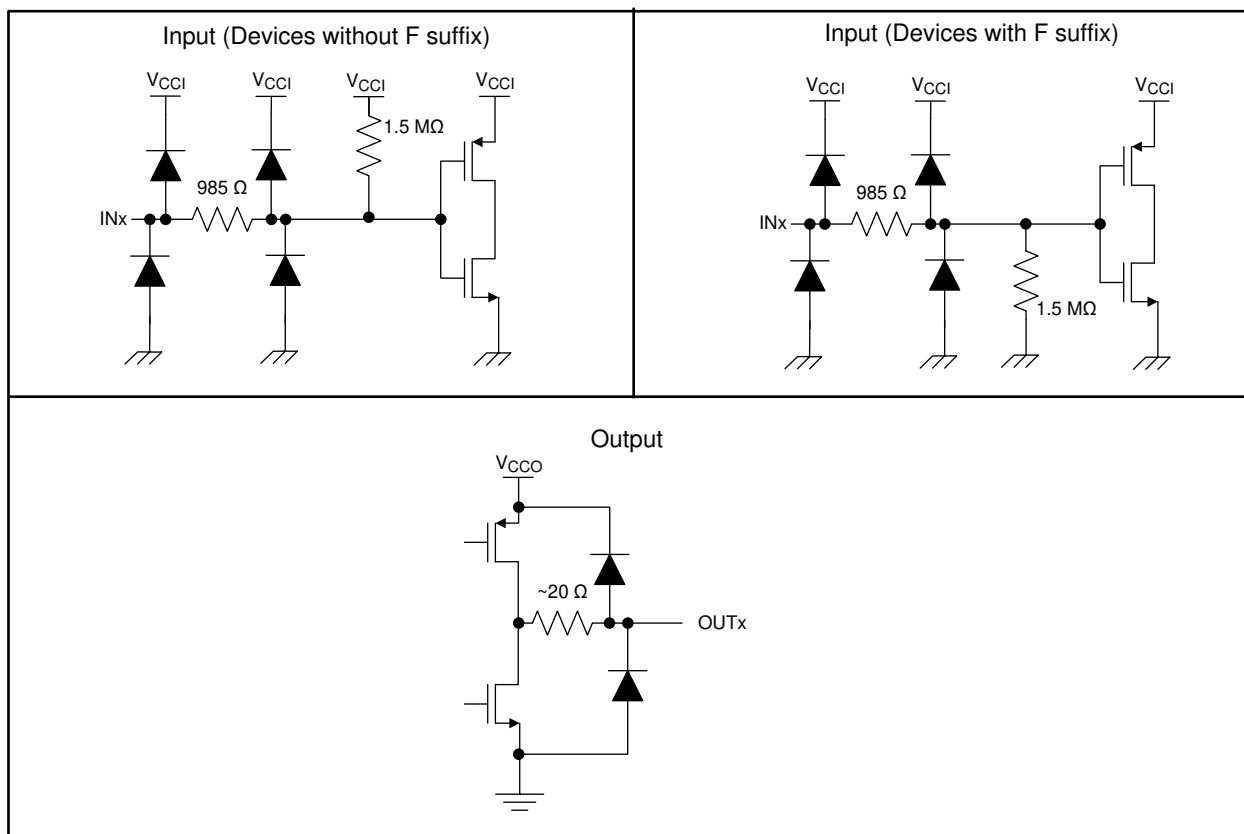


图 7-3. 器件 I/O 原理图

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

ISO652x 器件为高性能双通道数字隔离器。这些器件采用单端 CMOS 逻辑开关技术。 V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 1.71V 至 5.5V。隔离栅将两侧分开，因此，在建议运行条件下，可使用任何电压单独为每一侧供电。例如，可为 V_{CC1} 提供 3.3V 电压（在 1.71V 至 1.89V 和 2.25V 至 5V 范围内），而为 V_{CC2} 提供 5V 电压（也在 1.71V 至 1.89V 和 2.25V 至 5V 范围内）。除提供隔离之外，数字隔离器还可用作逻辑电平转换器。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都位于数据控制器（即 MCU 或 FPGA）和数据转换器或数据线收发器之间。

备注

ISO652x 是一款功能隔离器，未经标准机构的隔离认证。对于需要通过标准机构认证的隔离的应用，客户必须选择 ISO672x、ISO772x 或 ISO782x 系列的数字隔离器。

8.2 典型应用

ISO652x 可在多种电源设计中与德州仪器 (TI) 的混合信号微控制器、稳压器以及具有集成驱动器的 GaN 配合使用。ISO652x 有助于将高压功率 MOSFET 与敏感的逻辑控制电路隔离开来。

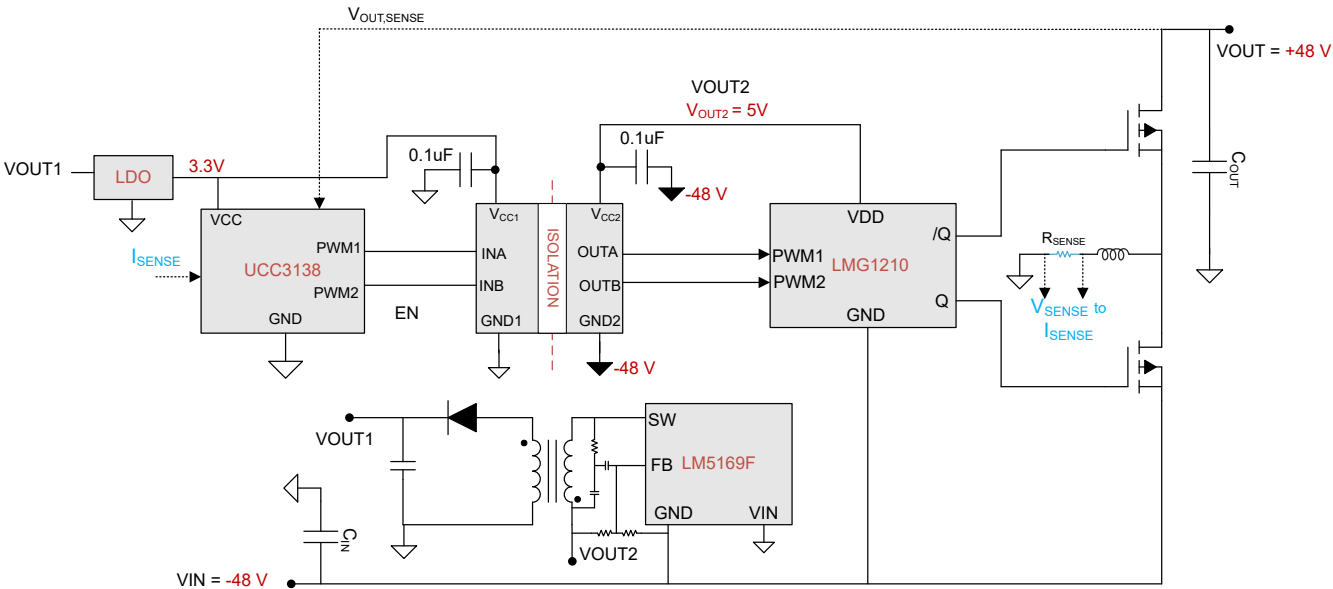


图 8-1. ISO6520 用于在反相降压/升压拓扑中将 PWM 信号从以地为基准的控制器输出传输到 FET 驱动器

8.2.1 设计要求

若要使用这些器件进行设计，请使用表 8-1 中所列参数。

表 8-1. 设计参数

参数	值
电源电压： V_{CC1} 和 V_{CC2}	1.71V 到 1.89V 和 2.25V 到 5.5V

表 8-1. 设计参数 (续)

参数	值
V_{CC1} 和 GND1 之间的去耦电容器	0.1 μ F
V_{CC2} 和 GND2 之间的去耦电容器	0.1 μ F

8.3 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDb) 测试方法收集的。在该测试中, 隔离栅两侧的所有引脚都连在一起, 构成了一个双端子器件并在两侧之间施加高电压; 对于 TDDb 测试设置, 请参阅图 8-2。绝缘击穿数据是在开关频率为 60 Hz 以及各种高电压条件下在整个温度范围内收集的。

图 8-3 展示了隔离栅在其完整寿命期间承受高压应力的固有能力。根据 TDDb 数据, 绝缘固有能力为 450V_{RMS} 且 ISO652x (采用 REU-8 和 8-D 封装) 的寿命长于 100 年。其他因素, 比如封装尺寸、污染等级、材料组等, 可能会进一步限制元件的工作电压。在较低的工作电压下, 相应的绝缘寿命将远远超过 100 年。

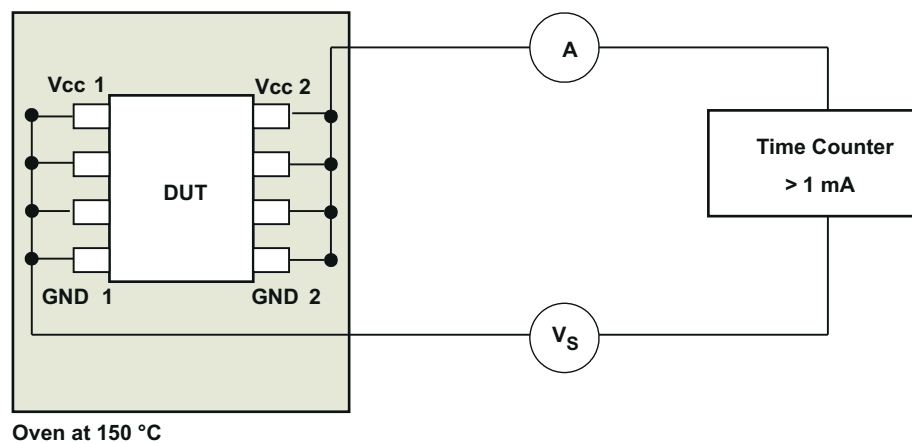


图 8-2. 绝缘寿命测量的测试设置

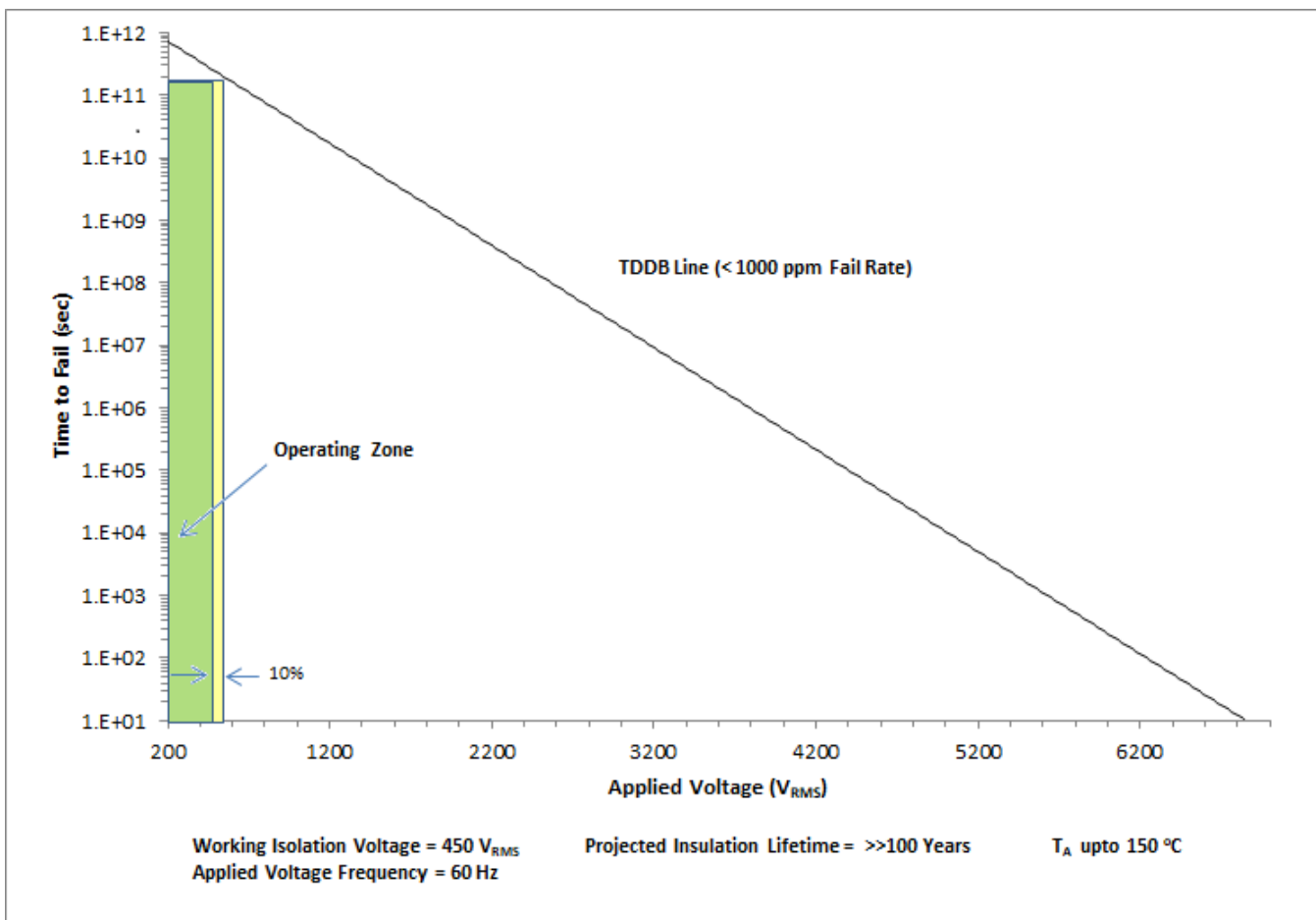


图 8-3. 绝缘寿命预测数据

8.4 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，建议将 $0.1 \mu F$ 旁路电容器放置在输入和输出电源引脚 (V_{CC1} 和 V_{CC2}) 处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可借助变压器驱动器为次级侧生成隔离式电源。在工业应用中，请使用德州仪器 (TI) 的 [SN6501](#) 或 [SN6505B](#)。对于这类应用，有关详细的电源设计和变压器选择建议，请参阅“[SN6501 隔离式电源用变压器驱动器](#)”或“[SN6505B-Q1 隔离式电源用低噪声 1A 变压器驱动器](#)”。

8.5 布局

8.5.1 布局指南

至少需要两层才能实现成本优化和低 EMI PCB 设计。为进一步改善 EMI，可使用四层板。四层板的层堆叠必须符合以下顺序 (从上到下)：高速信号层、接地层、电源层和低频信号层。

- 在顶层布置高速走线可避免使用过孔 (及其引入的电感)，并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 靠近接地层放置电源层会额外产生大约 $100pF/in^2$ 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

- 使用低 ESR 陶瓷旁路电容器将 VCC 引脚旁路至地。在使用电介质等级为 X5R 或 X7R 的陶瓷电容器时，建议的典型旁路电容为 $0.1\ \mu\text{F}$ 。在 PCB 布局中，必须将电容器尽可能靠近 VCC 引脚放置，且位于同一层。电容器的额定电压必须大于 VCC 电压电平。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。此设计可使堆叠保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅[数字隔离器设计指南](#)。

8.5.1.1 PCB 材料

对于运行速度低于 150 Mbps (或上升和下降时间大于 1 ns) 且迹线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

8.5.2 布局示例

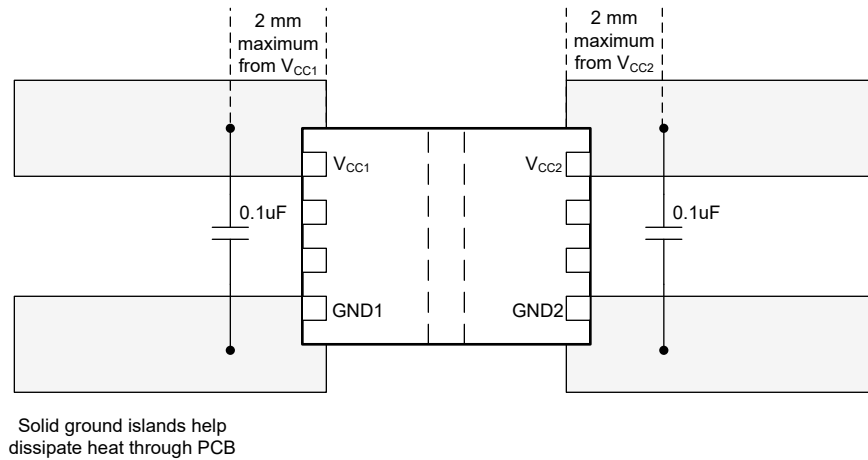


图 8-4. 布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[隔离相关术语](#) 应用手册
- 德州仪器 (TI)，[SN6501 隔离式电源用变压器驱动器](#) 数据表
- 德州仪器 (TI)，[SN6505x 用于隔离式电源的低噪声 1A 变压器驱动器](#) 数据表
- 德州仪器 (TI)，[SN6507 适用于隔离式电源且具有占空比控制功能的低发射 36V 推挽式变压器驱动器](#) 数据表
- 德州仪器 (TI)，[具有集成驱动器和保护功能的 LMG341xR070 600V 70mΩ GaN](#) 数据表

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2024) to Revision C (August 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将 REU-8 封装的瞬态隔离电压更新为了 2000Vrms(AC) 和 2828V(DC).....	4
• 将 8D 封装的瞬态隔离电压更新为了 2000Vrms(AC) 和 2828V(DC).....	4
• 更新了 REU-8 封装型号的 VIOWM 交流电压.....	4
• 更新了 REU-8 封装型号的 VIOWM 直流电压.....	4
• 更新了“ 绝缘寿命预测数据 ”图.....	19
• 更新了“ 电源相关建议 ”文档参考.....	20

Changes from Revision A (December 2023) to Revision B (April 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 在整个文档中添加了有关 ISO6521F 型号的信息.....	1

Changes from Revision * (August 2023) to Revision A (December 2023)	Page
• 将器件状态更新为“量产数据”	1
• 更新了典型应用图.....	18

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6520DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6520DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6520FDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520FDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520FREUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520FREUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520REUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6520REUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6521DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521
ISO6521DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521
ISO6521FDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521FDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521FREUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521FREUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521REUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521
ISO6521REUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6520, ISO6521 :

- Automotive : [ISO6520-Q1](#), [ISO6521-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

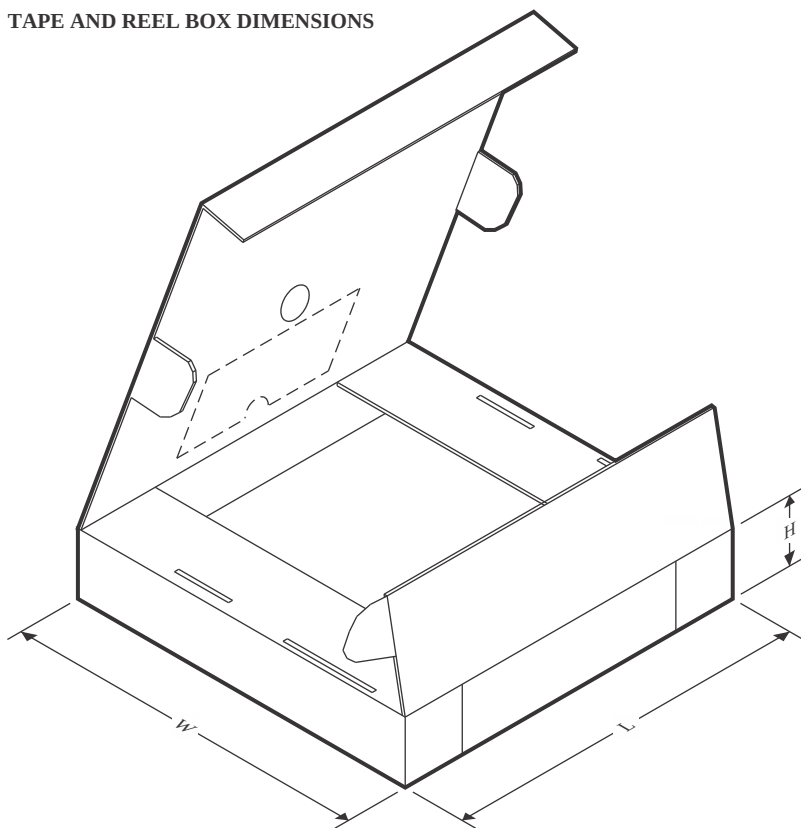
TAPE AND REEL INFORMATION



*All dimensions are nominal

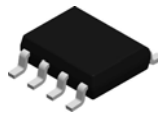
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6520DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6520FDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6520FREUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2
ISO6520REUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2
ISO6521DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6521FDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6521FREUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2
ISO6521REUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6520DR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6520FDR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6520FREUR	VSON	REU	8	3000	210.0	185.0	35.0
ISO6520REUR	VSON	REU	8	3000	210.0	185.0	35.0
ISO6521DR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6521FDR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6521FREUR	VSON	REU	8	3000	210.0	185.0	35.0
ISO6521REUR	VSON	REU	8	3000	210.0	185.0	35.0

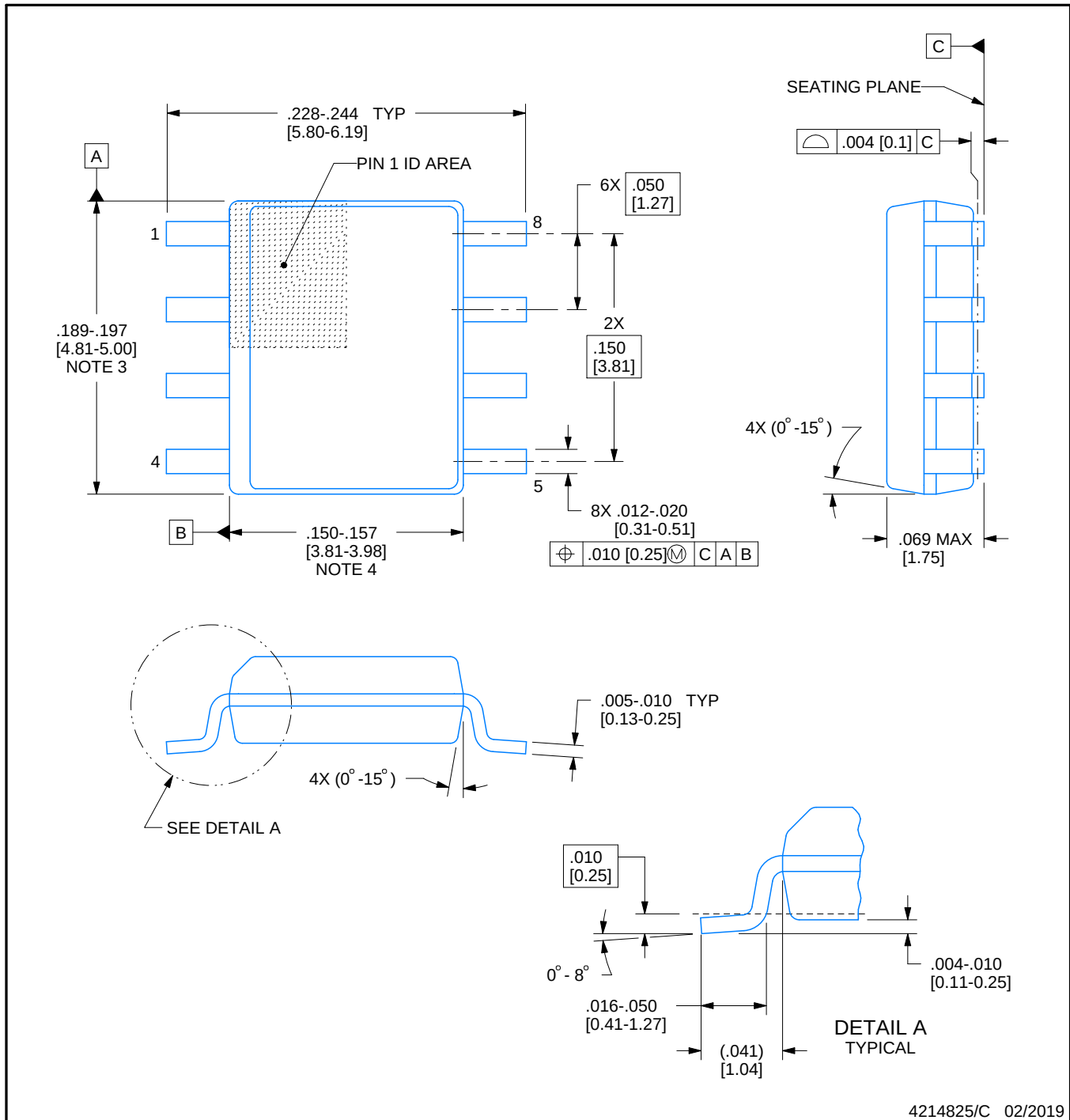


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

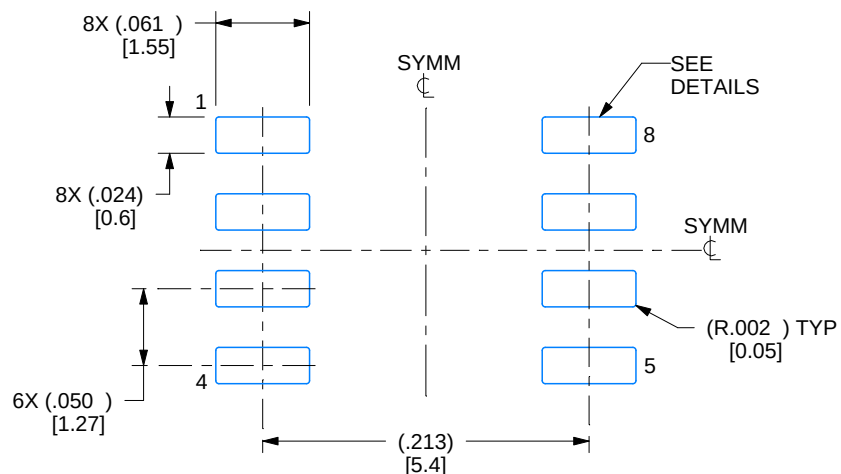
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

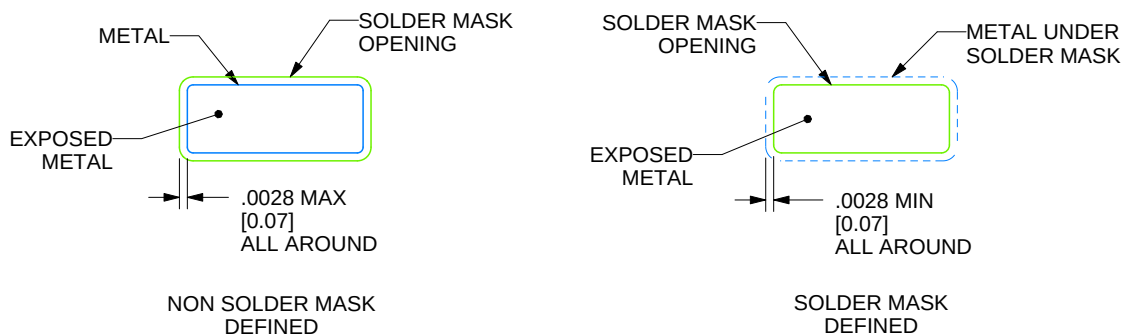
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

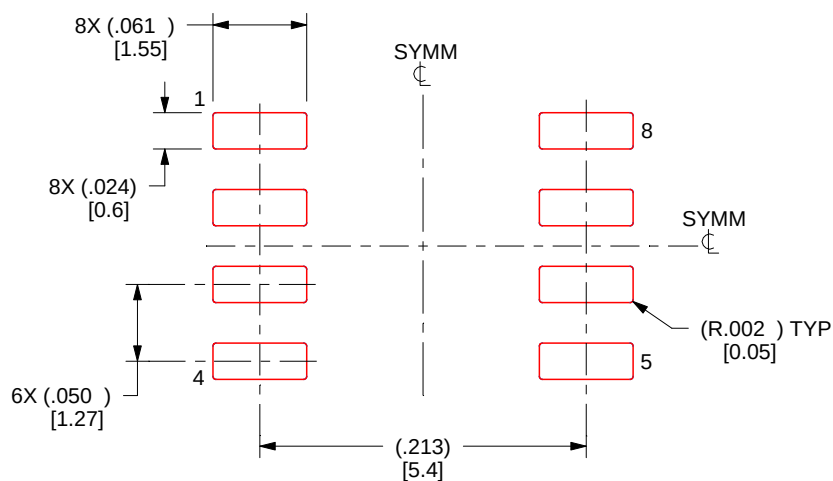
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



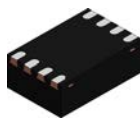
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

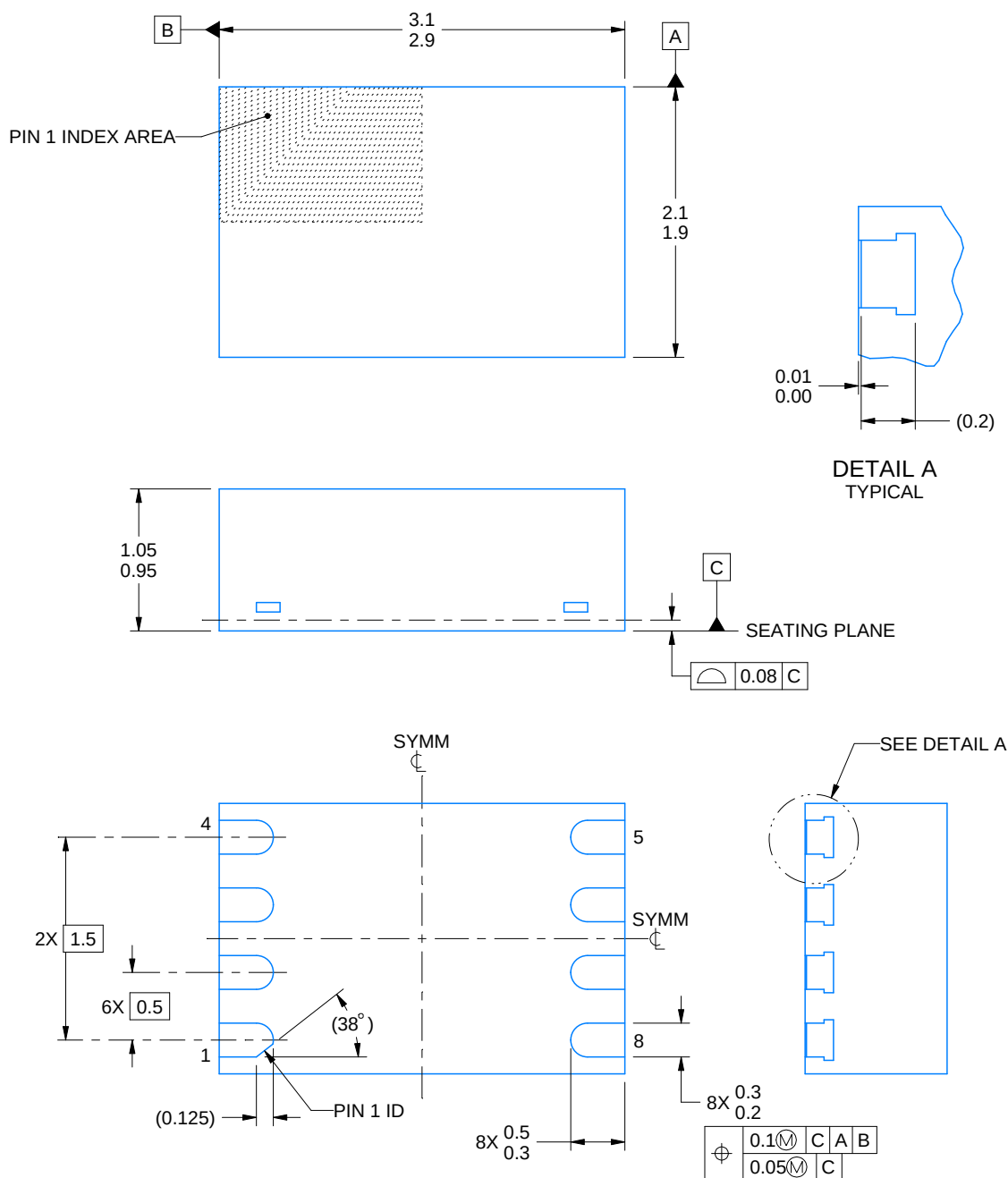
REU0008A



PACKAGE OUTLINE

VSON - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4229400/A 02/2023

NOTES:

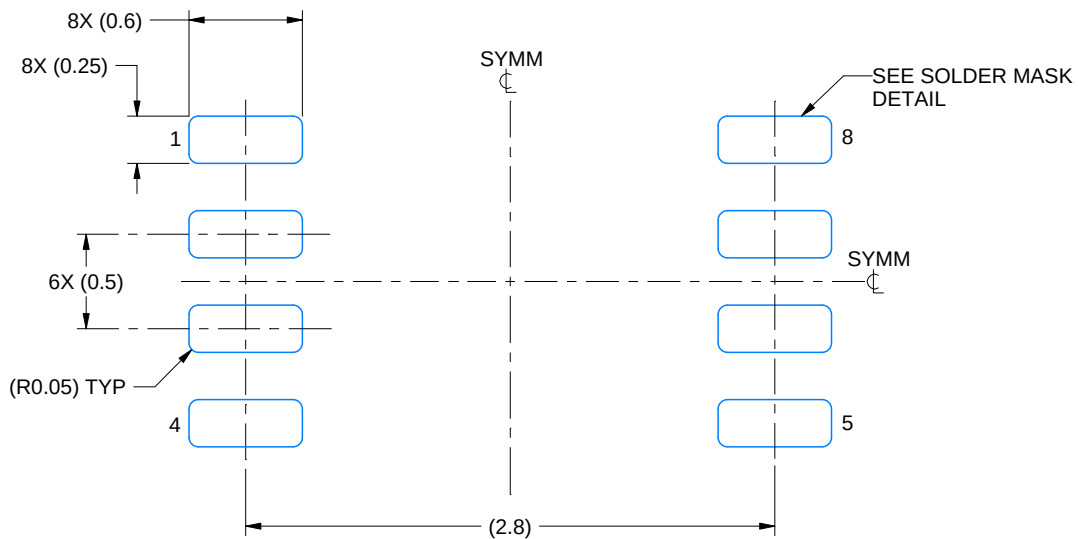
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

REU0008A

VSON - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



SOLDER MASK DETAILS

4229400/A 02/2023

NOTES: (continued)

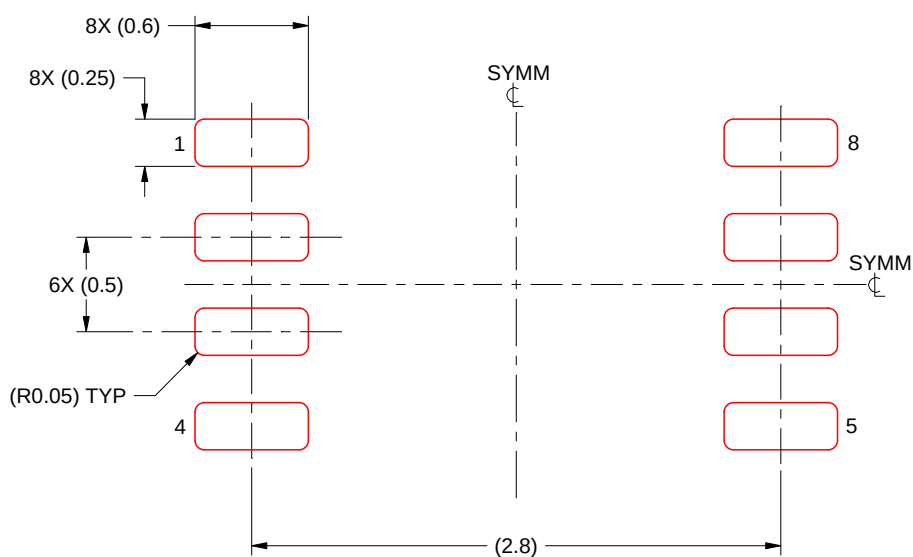
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

REU0008A

VSON - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 25X

4229400/A 02/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月