LP324 LP2902 超低功耗四路运算放大器

1 特性

- 低电源电流：85 µ A（典型值）
- 低失调电压：2mV（典型值）
- 低输入偏置电流：2nA（典型值）
- 输入共模至地
- 宽电源电压：3V < V_{CC} < 32V
- 与 LM324 引脚兼容

2 应用

- LCD 显示屏
- 便携式仪表
- 传感器和计量设备
- 消费类电子产品：
  - MP3 播放器、玩具等
- 电源

3 说明

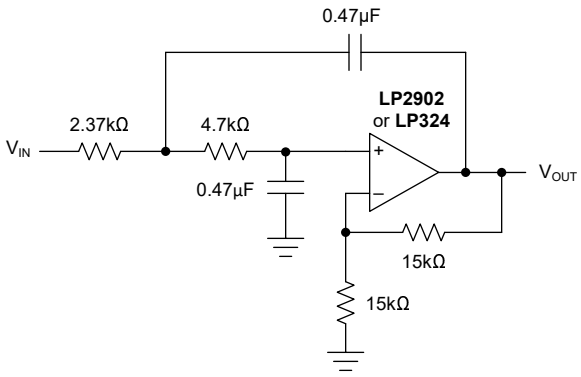
LP324 和 LP2902 是四通道低功耗运算放大器，专为电池供电应用而设计。尽管电源电流超低，但仍可实现良好的输入规格和宽电源电压范围。通过包括接地 (GND) 在内的输入共模范围，实现单个电源操作。

在宽电源电压和低功耗比速度和带宽更重要的应用中，LP324 和 LP2902 是理想选择。这些应用包括便携式仪表、LCD 显示屏、消费类电子产品（MP3 播放器，玩具等）及电源。

器件信息

器件型号	温度 (T_A)	封装(1)
LP2902	-40°C 至 +85°C	D（SOIC，14） N（PDIP，14） PW（TSSOP，14）
LP324	0°C 至 70°C	

(1) 有关所有可用封装，请参阅 节 8。



增益为 2 的 100Hz 低通滤波器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 引脚配置和功能 ... 2
5 规格 ... 3
5.1 绝对最大额定值 ... 3
5.2 ESD 等级 ... 3
5.3 建议运行条件 ... 3
5.4 热性能信息 ... 3
5.5 电气特性 ... 4
6 器件和文档支持 ... 6
6.1 接收文档更新通知 ... 6
6.2 支持资源 ... 6
6.3 商标 ... 6
6.4 静电放电警告 ... 6
6.5 术语表 ... 6
7 修订历史记录 ... 6
8 机械、封装和可订购信息 ... 6

4 引脚配置和功能

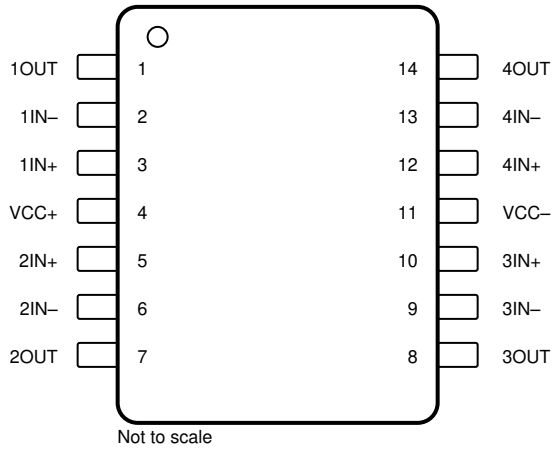


图 4-1. D 封装，14 引脚 SOIC；N 封装，14 引脚 PDIP；PW 封装，14 引脚 TSSOP（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
1IN –	2	输入	负输入
1IN+	3	输入	正输入
1OUT	1	输出	输出
2IN –	6	输入	负输入
2IN+	5	输入	正输入
2OUT	7	输出	输出
3IN –	9	输入	负输入
3IN+	10	输入	正输入
3OUT	8	输出	输出
4IN –	13	输入	负输入
4IN+	12	输入	正输入
4OUT	14	输出	输出
VCC –	11	电源	负（最低）电源或接地（对于单电源供电）
VCC+	4	电源	正（最高）电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

			最小值	最大值	单位
V_{CC}	电源电压	单电源		32	V
		双电源		±16	
V_{ID}	差动输入电压(3)			32	V
V_I	输入电压（任一输入）		-0.3	32	V
	输出短路接地（单个放大器）的持续时间（测试条件：$T_A \leq 25°C$，$V_{CC} \leq 15V$(4)）		无限		
T_J	工作虚拟结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 在 *绝对最大额定值* 范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在 *建议的工作条件* 以外的任何其他条件下能够正常运行。如果在 *建议运行条件之外* 但又在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。
(2) 所有电压值（差动电压和为 I_{OS} 测量指定的 V_{CC} 除外）都是相对于网络接地 (GND) 的值。
(3) 差动电压是相对于 IN− 的 IN+ 上的值。
(4) 从输出到 V_{CC} 的短路会导致过热，并且最终会发生损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准	±350	V

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
T_A	工作环境温度	LP2902	-40		85	°C
		LP324	0		70	

5.4 热性能信息

热指标(1) (2)		LP2902、LP324			单位
		D (SOIC)	PW (TSSOP)	N (PDIP)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	140	154	90	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告。
(2) 最大功耗是与 $T_{J(max)}$、θ_{JA} 和 T_A 相关的函数。在任何允许的环境温度下，允许的最大功率耗散为 $P_D = (T_{J(max)} - T_A)/\theta_{JA}$。在 150°C 的绝对最大 T_J 下，运行可能会影响可靠性。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

在 T_A = 25°C、V_{CC} = 5V、V_{IC} = V_{CC} / 2 且 R_L = 100kΩ 连接至 GND 条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{IO}	输入偏移电压	LP2902			2	4	mV
			T_A = -40°C 至 +85°C			10	
		LP324			2	4	
			T_A = 0°C 至 70°C			9	
dV_{IO}/dT	输入失调电压漂移	LP2902，T_A = 0°C 至 70°C			10		µV/°C
		LP324，T_A = –40°C 至 +85°C			10		
PSRR	电源抑制比	V_{CC} = 5V 至 30V		80	90		dB
			LP2902 T_A = –40°C 至 +85°C	75			
			LP324 T_A = 0°C 至 70°C	75			
CMRR	共模抑制比	V_{CC} = 30V，V_{IC} = 0V 至 V_{CC} – 1.5V		80	90		dB
			LP2902 T_A = –40°C 至 +85°C	75			
			LP324 T_A = 0°C 至 70°C	75			
输入偏置电流							
I_{IB}	输入偏置电流	LP2902			2	20	nA
			T_A = -40°C 至 +85°C			40	
		LP324			2	10	
			T_A = 0°C 至 70°C			20	
I_{IO}	输入失调电流	LP2902			0.5	4	nA
			T_A = -40°C 至 +85°C			8	
		LP324			0.2	2	
			T_A = 0°C 至 70°C			4	
I_{IO}/dT	输入失调电流漂移	LP2902			10		pA/°C
		LP324			10		
开环增益							
A_V	大信号电压增益	V_{CC} = 30V，R_L = 10kΩ 至 GND	LP2902	40	70		V/mV
			LP2902 T_A = –40°C 至 +85°C	30			
			LP324	50	100		
			LP324 T_A = 0°C 至 70°C	40			
频率响应							
GBW	增益带宽积	V_{CC} = ±15V			100		kHz
SR	压摆率	V_{CC} = ±15V			50		V/ms
输出							
V_O	输出电压摆幅	I_L = 350µA 接地，V_{IC} = 0V		3.4	3.6		V
			LP2902 T_A = –40°C 至 +85°C	(V_{CC}) – 1.9			
			LP324 T_A = 0°C 至 70°C	(V_{CC}) – 1.9			
		I_L = 350µA 至 V_{CC}，V_{IC} = 0V		0.82	0.7		
			LP2902 T_A = –40°C 至 +85°C	1			
			LP324 T_A = 0°C 至 70°C	1			

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在 T_A = 25°C、V_{CC} = 5V、V_{IC} = V_{CC} / 2 且 R_L = 100kΩ 连接至 GND 条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_O	输出电流	拉电流，V_O = 3V，V_{ID} = 1V		7	10		mA
			LP2902 T_A = –40°C 至 +85°C	4			
			LP324 T_A = 0°C 至 70°C	4			
		灌电流，V_O = 1.5V，V_{ID} = –1V		4	5		
			LP2902 T_A = –40°C 至 +85°C	3			
			LP324 T_A = 0°C 至 70°C	3			
		灌电流，V_O = 1.5V，V_{ID} = –1V， V_{IC} = 0V		2	4		
			LP2902 T_A = –40°C 至 +85°C	1			
			LP324 T_A = 0°C 至 70°C	1			
I_{SC}	短路电流	短接至地，V_{ID} = 1V			20	35	mA
			LP2902 T_A = –40°C 至 +85°C			40	
			LP324 T_A = 0°C 至 70°C			40	
		短接至 V_{CC}，V_{ID} = –1V			15	30	
			LP2902 T_A = –40°C 至 +85°C			45	
			LP324 T_A = 0°C 至 70°C			45	
电源							
I_{CC}	电源电流	无负载			85	150	μA
			LP2902 T_A = –40°C 至 +85°C			275	
			LP324 T_A = 0°C 至 70°C			250	

Copyright © 2025 Texas Instruments Incorporated

6 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

6.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

6.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

6.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

6.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

6.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2005) to Revision B (September 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 添加了 *引脚配置和功能*、*规格*、*建议运行条件*、*器件和文档支持* 以及 *机械、封装和可订购信息* 部分	1
• 更新了首页图示	1
• 删除了 *原理图（每个放大器）* 图示	2
• 删除了 *绝对最大额定值* 中的注释 6	3
• 将封装热阻抗信息从 *绝对最大额定值* 移到了 *热性能信息*	3
• 将 *ESD 等级* 中的人体放电模式值从 ±2kV 更改为了 ±350V	3
• 添加了 *热性能信息* 并更新了值	3
• 删除了注释 1、2 和 3	4
• 将电源抑制比单位从 V 更改为了 dB（拼写错误）	4

8 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP2902D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LP2902
LP2902DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902DR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LP2902N
LP2902N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LP2902N
LP2902PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	LP2902
LP2902PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902PWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902PWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
LP324D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	LP324
LP324DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	LP324
LP324DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324DR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324DRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324DRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LP324N
LP324N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LP324N
LP324PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	0 to 70	LP324
LP324PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	LP324
LP324PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324PWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

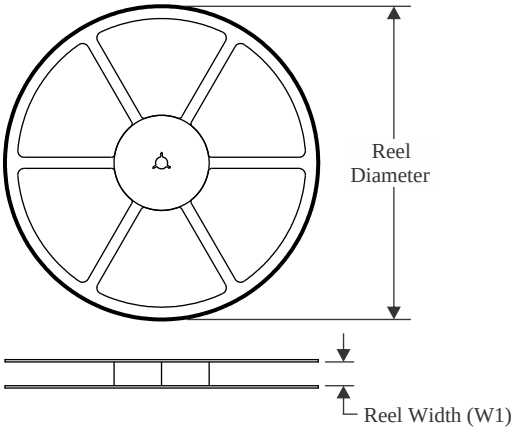
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

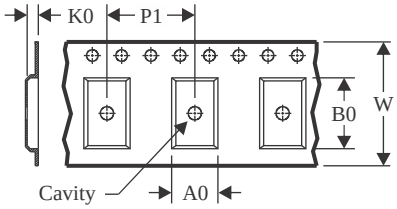
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

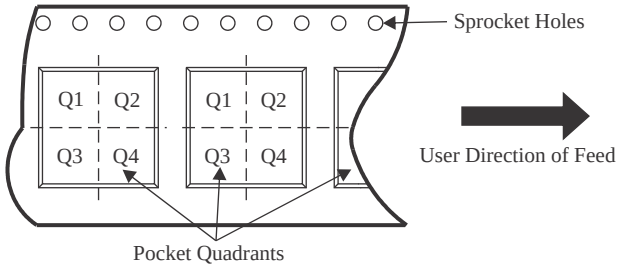


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

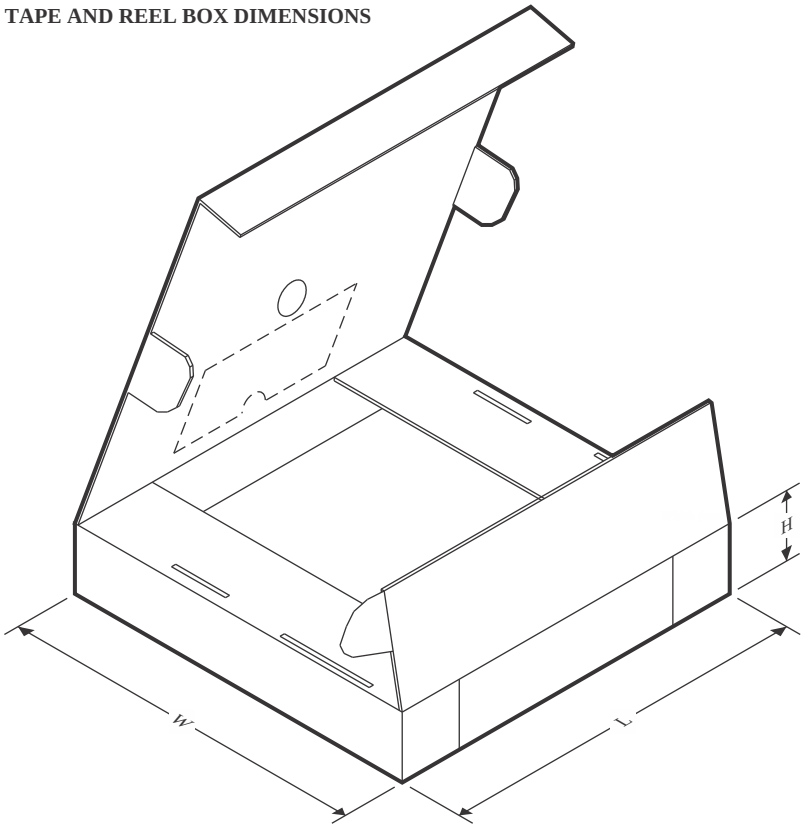
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP2902DR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LP2902PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LP324DR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LP324DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LP324PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

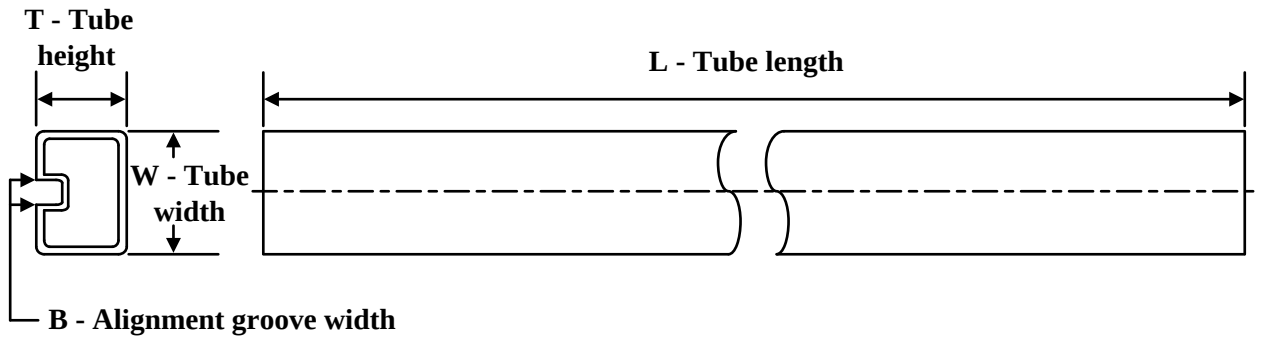
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

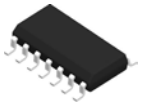
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP2902DR	SOIC	D	14	2500	367.0	367.0	35.0
LP2902PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
LP324DR	SOIC	D	14	2500	367.0	367.0	35.0
LP324DRG4	SOIC	D	14	2500	340.5	336.1	32.0
LP324PWR	TSSOP	PW	14	2000	356.0	356.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LP2902N	N	PDIP	14	25	506	13.97	11230	4.32
LP2902N.A	N	PDIP	14	25	506	13.97	11230	4.32
LP324N	N	PDIP	14	25	506	13.97	11230	4.32
LP324N.A	N	PDIP	14	25	506	13.97	11230	4.32

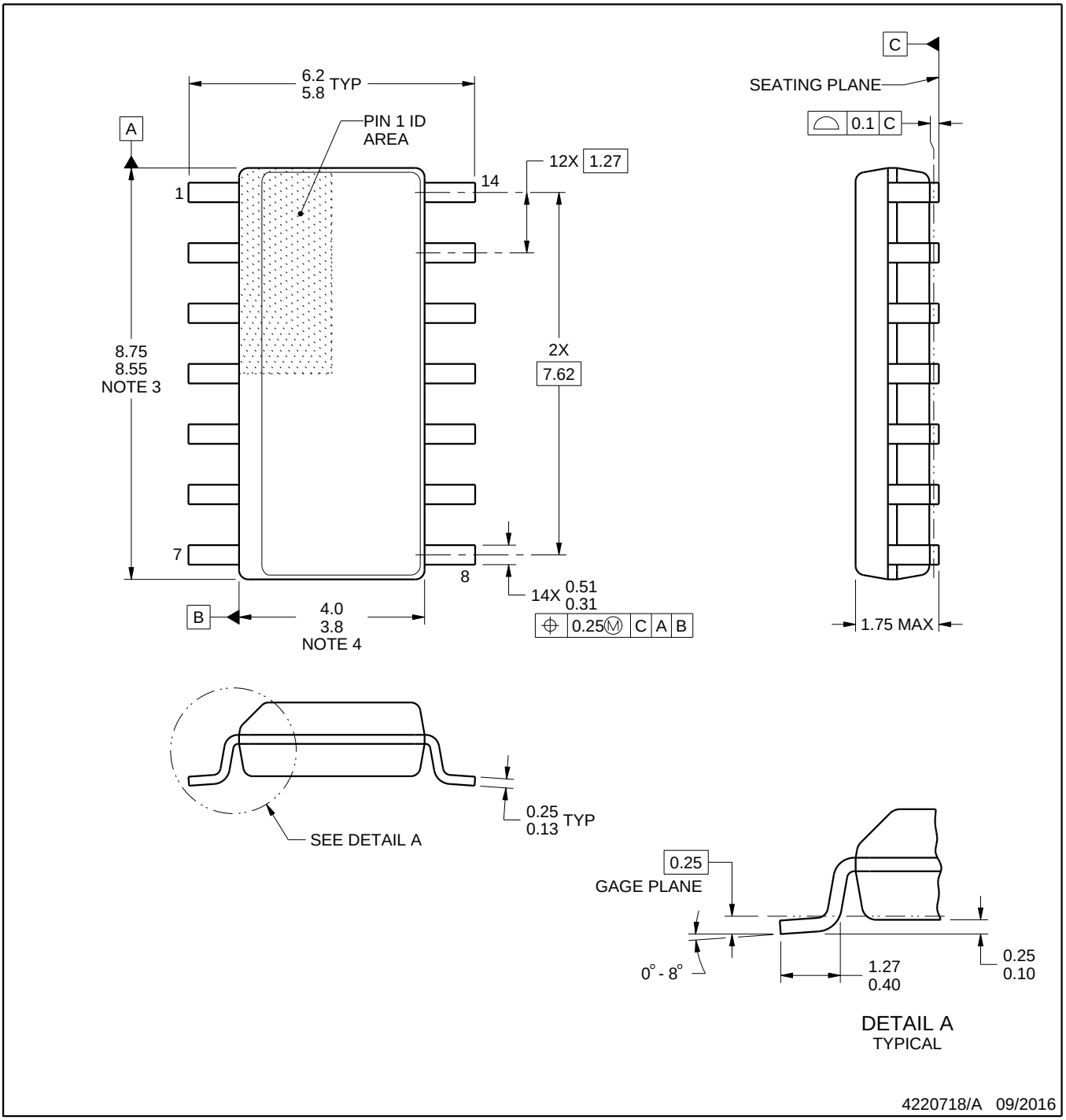


PACKAGE OUTLINE

D0014A

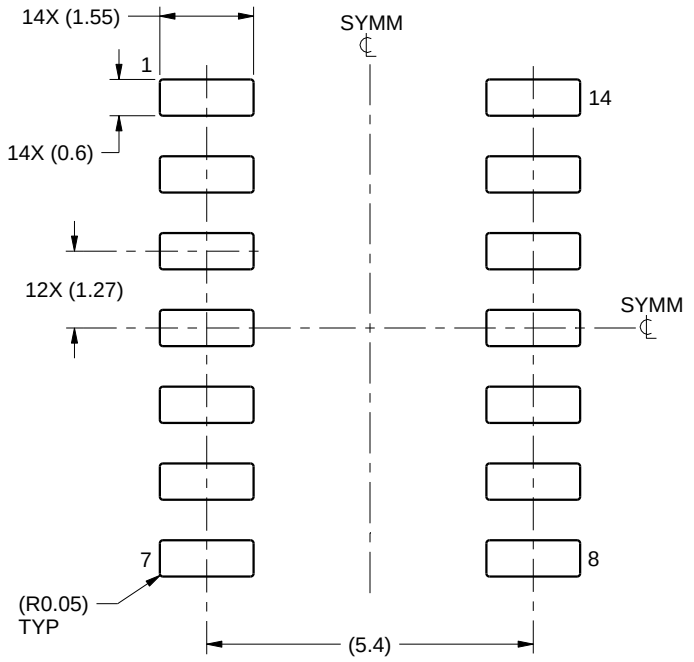
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

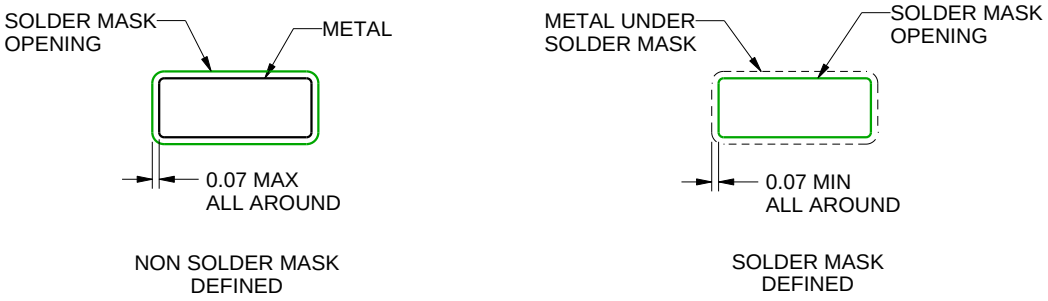


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

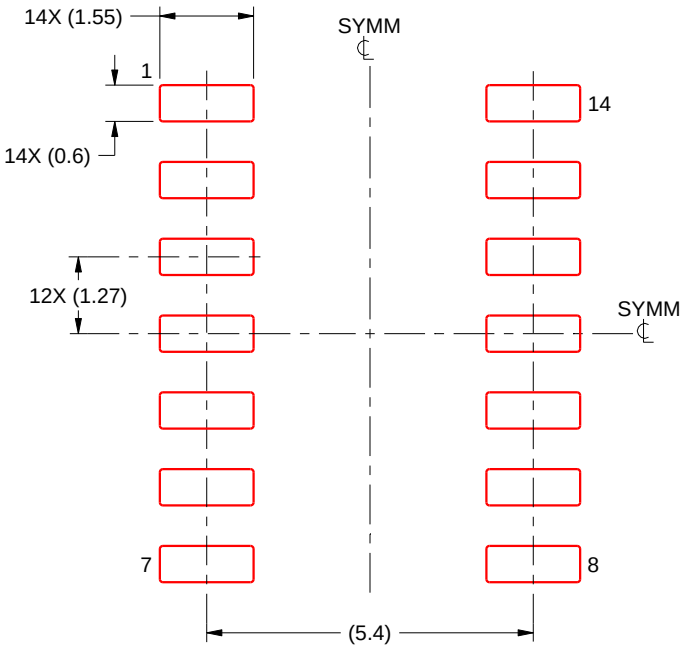
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

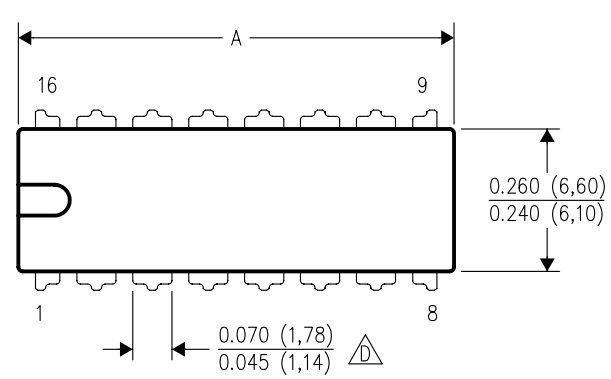
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

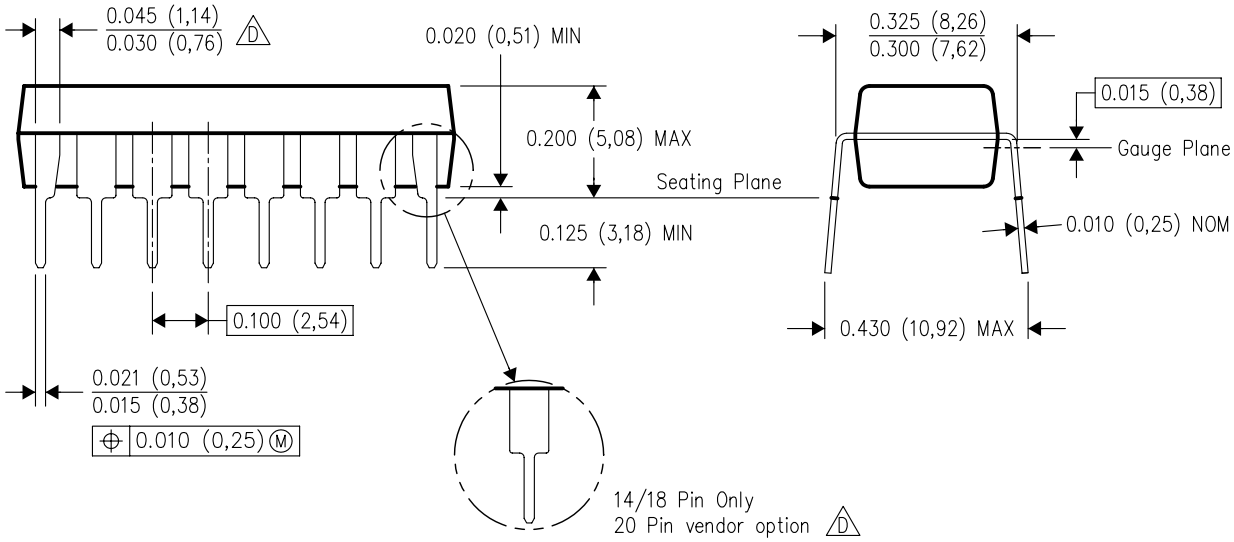
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

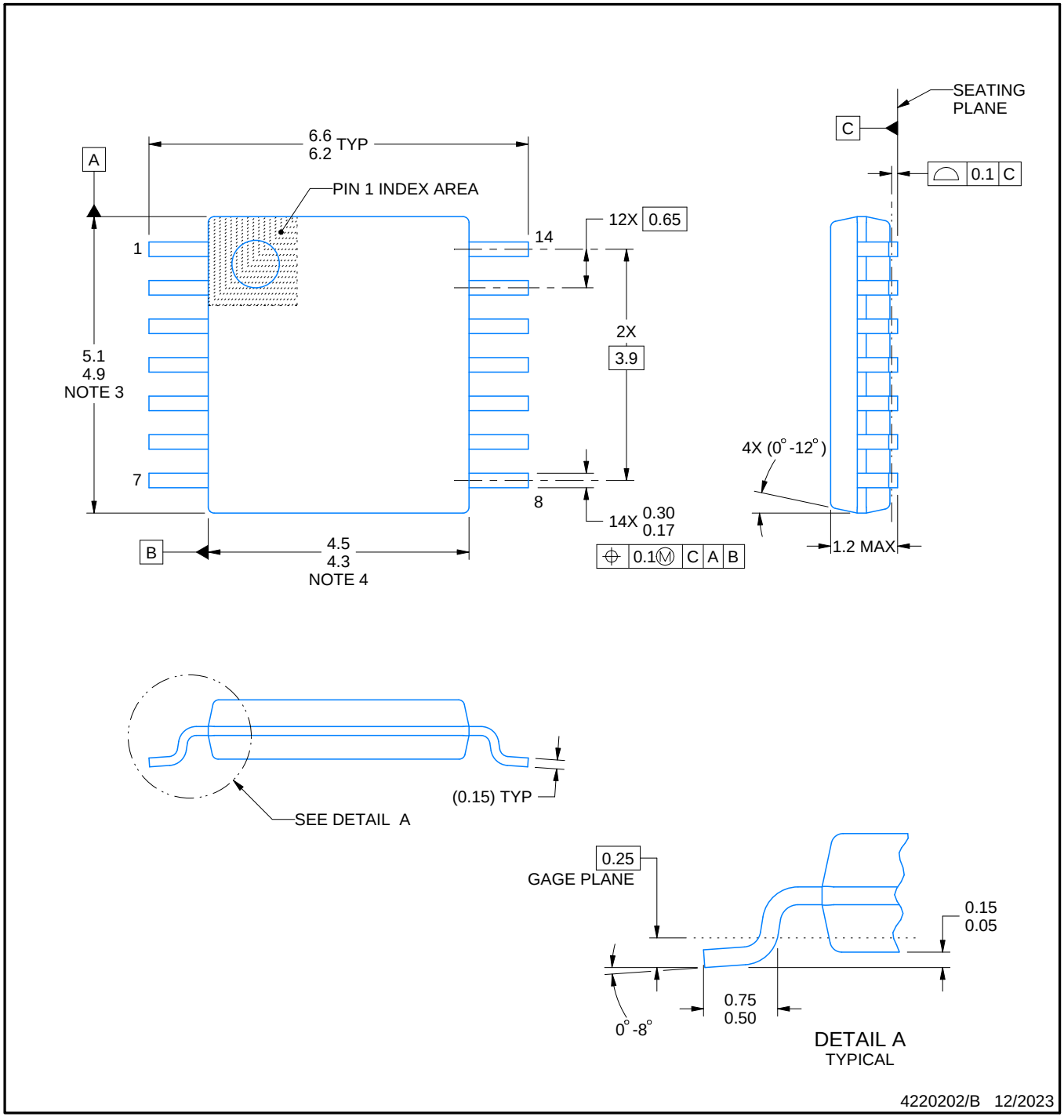
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

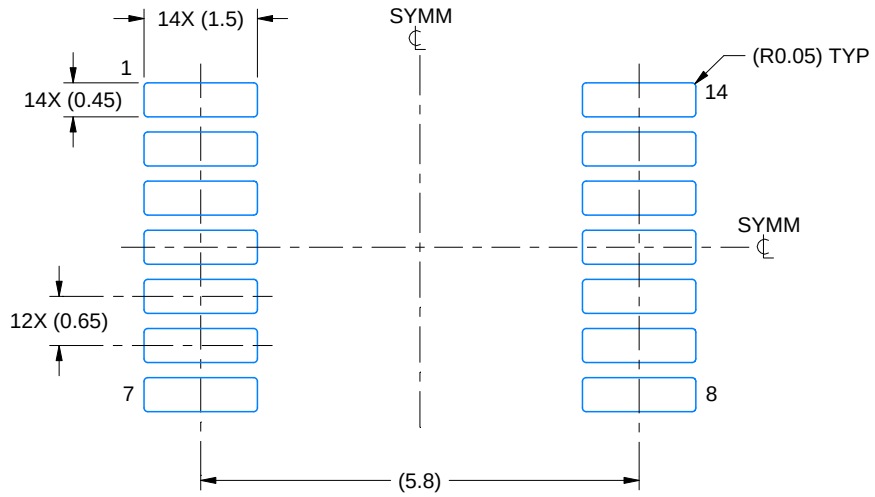
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

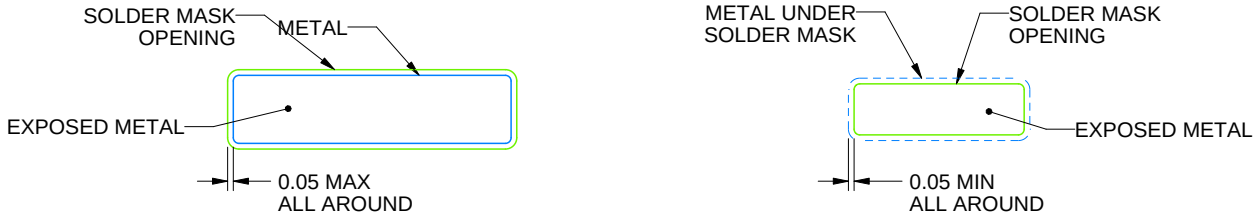


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

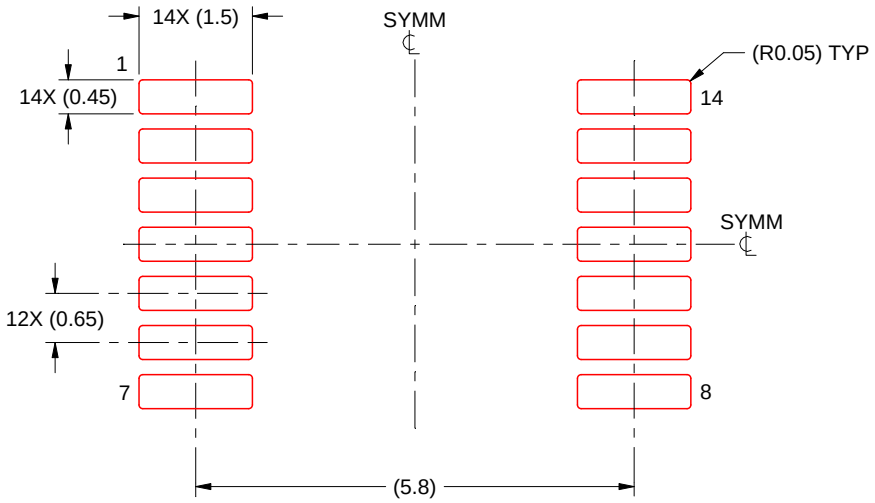


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月