

OPAx192 36V 低失调电压、低输入偏置电流、 轨到轨输入/输出精密运算放大器，具有 e-trim™

1 特性

- 低失调电压：±5μV
- 低失调电压漂移：±0.2μV/°C
- 低噪声：1kHz 时为 5.5nV/√Hz
- 高共模抑制：140dB
- 低偏置电流：±5pA
- 轨到轨输入和输出
- 高带宽：10MHz GBW
- 高压摆率：20V/μs
- 低静态电流：每个放大器 1mA
- 宽电源电压范围：±2.25V 至 ±18V，4.5V 至 36V
- 已过滤电磁干扰 (EMI)/射频干扰 (RFI) 的输入
- 达到电源轨的差分输入电压范围
- 高容性负载驱动能力：1nF
- 工业标准封装：
 - 单通道电源版本采用 SOIC-8、SOT-23-5 和 VSSOP-8 封装
 - 双通道电源版本采用 SOIC-8 和 VSSOP-8 封装
 - 四通道电源版本采用 SOIC-14 和 TSSOP-14 封装

2 应用

- 多路复用数据采集系统
- 测试和测量设备
- 高分辨率模数转换器 (ADC) 驱动器放大器
- 逐次逼近寄存器 (SAR) ADC 基准缓冲器
- 可编程逻辑控制器
- 高侧和低侧电流检测
- 高精度比较器

3 说明

OPAx192 系列 (OPA192、OPA2192 和 OPA4192) 是新一代 36V e-trim 运算放大器。

这些器件具有卓越的直流精度和交流性能，包括轨到轨输入/输出、低偏移 (典型值：±5μV)、低零漂 (典型值：±0.2μV/°C) 和 10MHz 带宽。

OPA192 系列 拥有 诸多独一无二的特性，例如电源轨的差分输入电压范围、高输出电流 (±65mA)、高达 1nF 的高容性负载驱动以及高压摆率 (20V/μs)，是稳健耐用的高性能运算放大器，适用于各种高压的工业级应用。

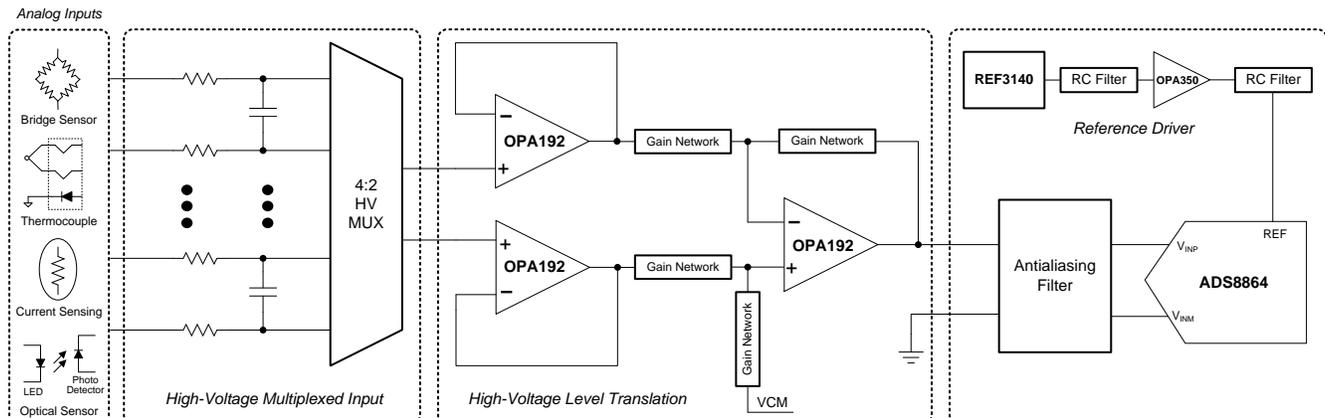
OPA192 系列运算放大器采用标准封装，在 -40°C 至 +125°C 的额定温度范围内工作。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
OPA192	SOIC (8) 中的脚注 2	4.90mm × 3.90mm
	SOT-23 (5)	2.90mm × 1.60mm
	VSSOP (8)	3.00mm × 3.00mm
OPA2192	SOIC (8)	4.90mm × 3.90mm
	VSSOP (8)	3.00mm × 3.00mm
OPA4192	SOIC (14)	8.65mm × 3.90mm
	TSSOP (14)	5.00mm × 4.40mm

(1) 要了解所有可用封装，请参见数据表末尾的封装选项附录。

OPA192 应用于高压多路复用数据采集系统



目录

1	特性	1	8.1	概述	23
2	应用	1	8.2	功能框图	23
3	说明	1	8.3	特性说明	24
4	修订历史记录	2	8.4	器件功能模式	30
5	引脚配置和功能	4	9	应用和实现	31
6	规格	6	9.1	应用信息	31
6.1	绝对最大额定值	6	9.2	典型应用	31
6.2	ESD 额定值	6	10	电源相关建议	35
6.3	建议的工作条件	6	11	布局	35
6.4	热性能信息: OPA192	7	11.1	布局准则	35
6.5	热性能信息: OPA2192	7	11.2	布局示例	35
6.6	热性能信息: OPA4192	7	12	器件和文档支持	37
6.7	电气特性: $V_S = \pm 4V$ 至 $\pm 18V$ ($V_S = +8V$ 至 $+36V$)...	8	12.1	器件支持	37
6.8	电气特性: $V_S = \pm 2.25V$ 至 $\pm 4V$ ($V_S = +4.5V$ 至 $+8V$)	10	12.2	文档支持	37
6.9	典型特性	12	12.3	相关链接	37
6.10	典型特性	13	12.4	社区资源	37
7	参数测量信息	21	12.5	商标	37
7.1	输入失调电压漂移	21	12.6	静电放电警告	38
8	详细说明	23	12.7	Glossary	38
			13	机械、封装和可订购信息	38

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision D (September 2015) to Revision E	Page
• 已将 PW 封装从产品预览改为量产数据	1
• 将 PW 封装添加到输入失调电压漂移测试条件中	6
• 将 PW 封装添加到输入失调电压漂移测试条件中	6
• 将 PW 封装条件添加到 图 8	13
• 将 PW 封装条件添加到 图 10	13
• 将 PW 封装条件添加到 图 52	21
• 更改图 71 以修正键入错误	36

Changes from Revision C (March 2015) to Revision D	Page
• 已将器件状态改为量产数据; OPA4192 发布为量产数据	1
• 删除了器件信息表	1
• 已删除引脚配置和功能一节中的脚注 2	4
• 更改 ESD 等级表: 增加修正的 OPA4192 CDM 规格	6
• 增加频率响应、串扰参数到电气特性: $V_S = \pm 4V$ 至 $\pm 18V$ 表	6
• 增加频率响应、串扰参数到电气特性: $V_S = \pm 2.25V$ 至 $\pm 4V$ 表	6
• 更改典型特性为电流标准 (将图形的曲线和表分成单独的部分以符合 SDS 要求)	12
• 将串扰与频率行添加到表 1	12
• 增加 图 48	20

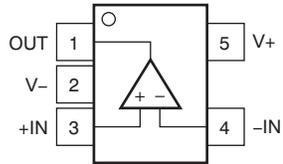
Changes from Revision B (March 2014) to Revision C	Page
• 在 ESD 等级表中增加针对 OPA2192、OPA4192 的 CDM 行	6
• 更改 $V_{CM} \geq (V+) - 1.5V$ 测试条件的输入失调电压值	6
• 更改 $V_{CM} = (V+) - 1.5V$ 测试条件输入失调电压参数典型规格	6
• 更改 dV_{OS}/dT 参数的测试条件	6
• 更改 $V_{CM} = (V+) - 3V$ 测试条件的输入失调电压最大值和测试条件	6
• 更改 $V_{CM} = (V+) - 1.5V$ 测试条件的输入失调电压值和测试条件	6
• 更改 $V_{CM} = (V+) - 1.5V$ 测试条件的输入失调电压参数典型规格	6
• 更改 dV_{OS}/dT 参数的测试条件	6
• 在布局指南一节的最后一个项目符号中增加文本	35

Changes from Revision A (January 2014) to Revision B	Page
• 已添加“ESD 额定值”和“建议运行条件”表，参数测量信息，应用和实施，电源相关建议以及器件和文档支持部分，并已移动现有部分	1
• 已将所有 OPA192 和 OPA2192 封装改为量产数据。	1
• 已根据最新标准更改了封装名称；将所有 MSOP 更改为 VSSOP，所有 SO 更改为 SOIC，所有 SOT23 更改为 SOT	1
• 删除了 DCK 封装引脚配置	4
• 增加有关 OPA192 DBV 和 DGK 封装的热性能信息	6
• 增加 OPA2192 和 OPA4192 热性能信息表	6
• 在输入失调电压参数中增加包含附加测试条件的行	6
• 更改输入失调电压漂移参数	6
• 更改 CMRR 测试条件	6
• 在输入失调电压参数中增加包含附件测试条件的行	6
• 更改输入失调电压漂移参数	6
• 更改 PSSR 参数	6
• 更改 CMRR 测试条件	6
• 增加输出一节	6
• 将典型特性曲线添加到表 1	12
• 在典型特性条件行中增加 $T_A = 25^\circ C$	12
• 将九个新的直方图从图 2 添加到图 10	13
• 更改图 11 以显示更多单元	13
• 已更改图 19	15
• 在应用信息一节增加文本	31
• 更改布局准则一节中的文本	35

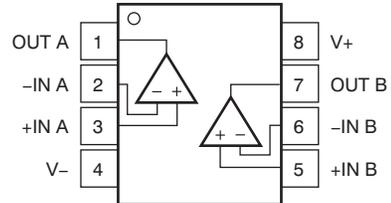
Changes from Original (December 2013) to Revision A	Page
• 更改 16 位精度多路复用数据采集系统 一节的第一段	31
• 更改图 66 和标题	31
• 更改 TIDU181 参考设计标题	32

5 引脚配置和功能

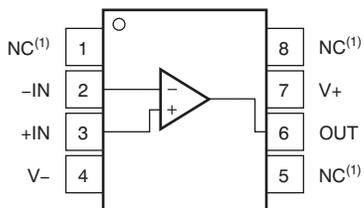
DBV 封装 : OPA192
5 引脚 SOT
俯视图



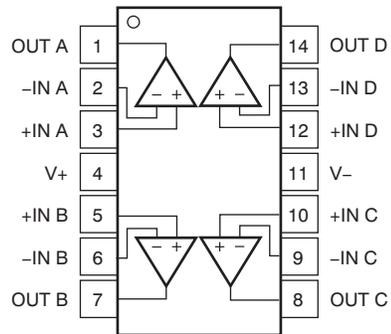
D 和 DGK 封装 : OPA2192
8 引脚 SOIC 和 VSSOP
俯视图



D 和 DGK 封装 : OPA192
8 引脚 SOIC 和 VSSOP
俯视图



D 和 PW 封装 : OPA4192
14 引脚 SOIC 和 TSSOP
俯视图



(1) NC = 没有与内部电路连接。

引脚功能：OPA192

引脚			I/O	说明
名称	OPA192			
	D (SOIC), DGK (VSSOP)	DBV (SOT)		
+IN	3	3	I	同相输入
-IN	2	4	I	反相输入
NC	1、5、8	—	—	没有与内部电路连接 (可以悬空处理)
OUT	6	1	O	输出
V+	7	5	—	正电源 (最高)
V-	4	2	—	负电源 (最低)

引脚功能：OPA2192 和 OPA4192

引脚			I/O	说明
名称	OPA2192	OPA4192		
	D (SOIC), DGK (VSSOP)	D (SOIC), PW (TSSOP)		
+IN A	3	3	I	同相输入, 通道 A
+IN B	5	5	I	同相输入, 通道 B
+IN C	—	10	I	同相输入, 通道 C
+IN D	—	12	I	同相输入, 通道 D
-IN A	2	2	I	反相输入, 通道 A
-IN B	6	6	I	反相输入, 通道 B
-IN C	—	9	I	反相输入, 通道 C
-IN D	—	13	I	反相输入, 通道 D
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
OUT C	—	8	O	输出, 通道 C
OUT D	—	14	O	输出, 通道 D
V+	8	4	—	正电源 (最高)
V-	4	11	—	负电源 (最低)

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
电源电压, $V_S = (V+) - (V-)$				± 20 (40, 单通道电源)	V
信号输入引脚	电压	共模	$(V-) - 0.5$	$(V+) + 0.5$	V
		差分		$(V+) - (V-) + 0.2$	
	电流			± 10	mA
输出短路 ⁽²⁾			连续		
工作	温度范围		-55	150	°C
	结温			150	
	储存温度, T_{stg}		-65	150	

(1) 超出这些列出的绝对最大额定值可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况, 这不表示在这些条件下以及其它在超出推荐的操作条件下的任何其它操作时, 器件能够功能性操作。在绝对最大额定值条件下长时间运行会影响器件可靠性。

(2) 对地短路, 每个封装含一个放大器。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 4000	V
OPA192				
$V_{(ESD)}$	静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 1000	V
OPA2192				
$V_{(ESD)}$	静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 750	V
OPA4192				
$V_{(ESD)}$	静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500	V

(1) JEDEC 文档 JEP155 规定: 500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风条件下的工作温度范围内 (除非另有说明)

	最小值	标称值	最大值	单位
电源电压, $V_S = (V+) - (V-)$	4.5 (± 2.25)		36 (± 18)	V
额定温度范围	-40		+125	°C

6.4 热性能信息：OPA192

热指标 ⁽¹⁾	OPA192			单位
	D (SOIC)	DBV (SOT)	DGK (VSSOP)	
	8 引脚	5 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	115.8	158.8	180.4	°C/W
$R_{\theta JC(top)}$ 结至芯片外壳 (顶部) 热阻	60.1	60.7	67.9	°C/W
$R_{\theta JB}$ 结至电路板热阻	56.4	44.8	102.1	°C/W
Ψ_{JT} 结至顶部的特征参数	12.8	1.6	10.4	°C/W
Ψ_{JB} 结至电路板的特征参数	55.9	4.2	100.3	°C/W
$R_{\theta JC(bot)}$ 结至芯片外壳 (底部) 热阻	不适用	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.5 热性能信息：OPA2192

热指标 ⁽¹⁾	OPA2192		单位
	D (SOIC)	DGK (VSSOP)	
	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	107.9	158	°C/W
$R_{\theta JC(top)}$ 结至芯片外壳 (顶部) 热阻	53.9	48.6	°C/W
$R_{\theta JB}$ 结至电路板热阻	48.9	78.7	°C/W
Ψ_{JT} 结至顶部的特征参数	6.6	3.9	°C/W
Ψ_{JB} 结至电路板的特征参数	48.3	77.3	°C/W
$R_{\theta JC(bot)}$ 结至芯片外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.6 热性能信息：OPA4192

热指标 ⁽¹⁾	OPA4192		单位
	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	
$R_{\theta JA}$ 结至环境热阻	86.4	92.6	°C/W
$R_{\theta JC(top)}$ 结至芯片外壳 (顶部) 热阻	46.3	27.5	°C/W
$R_{\theta JB}$ 结至电路板热阻	41.0	33.6	°C/W
Ψ_{JT} 结至顶部的特征参数	11.3	1.9	°C/W
Ψ_{JB} 结至电路板的特征参数	40.7	33.1	°C/W
$R_{\theta JC(bot)}$ 结至芯片外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

OPA192, OPA2192, OPA4192

ZHCSBX9E – DECEMBER 2013 – REVISED NOVEMBER 2015

www.ti.com.cn

6.7 电气特性： $V_S = \pm 4V$ 至 $\pm 18V$ ($V_S = +8V$ 至 $+36V$)

$T_A = +25^\circ C$ 时, $V_{CM} = V_{OUT} = V_S / 2$, 并且 $R_{LOAD} = 10k\Omega$ 连接至 $V_S / 2$, 除非另有说明。

参数	测试条件		最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	$T_A = 0^\circ C$ 至 $85^\circ C$		± 5	± 25	μV
		$T_A = -40^\circ C$ 至 $+125^\circ C$		± 8	± 50	
		$T_A = -40^\circ C$ 至 $+125^\circ C$		± 10	± 75	
	$V_{CM} = (V+) - 1.5V$	$T_A = 0^\circ C$ 至 $85^\circ C$		± 10	± 40	
		$T_A = -40^\circ C$ 至 $+125^\circ C$		± 25	± 150	
dV_{OS}/dT	输入失调电压漂移	仅 D 封装	$T_A = 0^\circ C$ 至 $85^\circ C$	± 0.1	± 0.5	$\mu V/^\circ C$
		$T_A = -40^\circ C$ 至 $+125^\circ C$	± 0.15	± 0.8		
	仅 DBV、DGK 和 PW 封装	$T_A = 0^\circ C$ 至 $85^\circ C$	± 0.1	± 0.8		
		$T_A = -40^\circ C$ 至 $+125^\circ C$	± 0.2	± 1.0		
PSRR	电源抑制比	$T_A = -40^\circ C$ 至 $+125^\circ C$		± 0.3	± 1.0	$\mu V/V$
输入偏置电流						
I_B	输入偏置电流			± 5	± 20	pA
		$T_A = -40^\circ C$ 至 $+125^\circ C$				± 5
I_{OS}	输入偏移电流			± 2	± 20	pA
		$T_A = -40^\circ C$ 至 $+125^\circ C$				± 2
噪声						
E_n	输入电压噪声	$(V-) - 0.1V < V_{CM} < (V+) - 3V$	$f = 0.1Hz$ 至 $10Hz$	1.30		μV_{PP}
		$(V+) - 1.5V < V_{CM} < (V+) + 0.1V$	$f = 0.1Hz$ 至 $10Hz$	4		
e_n	输入电压噪声密度	$(V-) - 0.1V < V_{CM} < (V+) - 3V$	$f = 100Hz$	10.5		nV/\sqrt{Hz}
			$f = 1kHz$	5.5		
		$(V+) - 1.5V < V_{CM} < (V+) + 0.1V$	$f = 100Hz$	32		
			$f = 1kHz$	12.5		
噪声 (续)						
i_n	输入电流噪声密度	$f = 1kHz$		1.5		fA/\sqrt{Hz}
输入电压						
V_{CM}	共模电压范围			$(V-) - 0.1$	$(V+) + 0.1$	V
CMRR	共模抑制比	$(V-) - 0.1V < V_{CM} < (V+) - 3V$		120	140	dB
			$T_A = -40^\circ C$ 至 $+125^\circ C$	114	126	
		$(V+) - 1.5V < V_{CM} < (V+)$		100	120	
			$T_A = -40^\circ C$ 至 $+125^\circ C$	86	100	
	$(V+) - 3V < V_{CM} < (V+) - 1.5V$			请参阅 典型特性		
输入阻抗						
Z_{ID}	差分			100 1.6		$M\Omega pF$
Z_{IC}	共模			1 6.4		$10^{13}\Omega pF$
开环增益						
A_{OL}	开环电压增益	$(V-) + 0.6V < V_O < (V+) - 0.6V$, $R_{LOAD} = 2k\Omega$		120	134	dB
			$T_A = -40^\circ C$ 至 $+125^\circ C$	114	126	
		$(V-) + 0.3V < V_O < (V+) - 0.3V$, $R_{LOAD} = 10k\Omega$		126	140	
			$T_A = -40^\circ C$ 至 $+125^\circ C$	120	134	

电气特性：V_S = ±4V 至 ±18V (V_S = +8V 至 +36V) (continued)

 T_A = +25°C 时，V_{CM} = V_{OUT} = V_S / 2，并且 R_{LOAD} = 10kΩ 连接至 V_S / 2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	单位带宽增益积			10			MHz
SR	压摆率	G = 1, 10V阶跃		20			V/μs
t _s	稳定时间	达 0.01%	V _S = ±18V, G = 1, 10V 阶跃	1.4		μs	
			V _S = ±18V, G = 1, 5V 阶跃	0.9			
		达 0.001%	V _S = ±18V, G = 1, 10V 阶跃	2.1			
			V _S = ±18V, G = 1, 5V 阶跃	1.8			
t _{OR}	过载恢复时间	V _{IN} × G = V _S		200			ns
THD+N	总谐波失真 + 噪声	G = 1, f = 1kHz, V _O = 3.5V _{RMS}		0.00008%			
	串扰	OPA2192 和 OPA4192, 在 dc 下		150		dB	
		OPA2192 和 OPA4192, f = 100kHz		130			
输出							
V _O	电压输出摆幅到	正电源轨	无负载	5	15	mV	
			R _{LOAD} = 10kΩ	95	110		
			R _{LOAD} = 2kΩ	430	500		
		负电源轨	无负载	5	15		
			R _{LOAD} = 10kΩ	95	110		
			R _{LOAD} = 2kΩ	430	500		
I _{SC}	短路电流			±65			mA
C _{LOAD}	容性负载驱动			请参阅 典型特性			
Z _O	开环输出阻抗	f=1MHz, I _O = 0A, 请参阅 图 31		375			Ω
电源							
I _O	每个放大器的静态电流	I _O = 0A		1	1.2	mA	
		T _A = -40°C 至 +125°C, I _O = 0A		1.5			
温度							
	过热保护 ⁽¹⁾			140			°C

 (1) 有关过热保护的详细 说明，请参阅 [过热保护](#) 一节。

6.8 电气特性： $V_S = \pm 2.25V$ 至 $\pm 4V$ ($V_S = +4.5V$ 至 $+8V$)

 在 $T_A = +25^\circ C$ 时, $V_{CM} = V_{OUT} = V_S / 2$, 并且 $R_{LOAD} = 10k\Omega$ 连接至 $V_S / 2$, 除非另有说明。

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压	$V_{CM} = (V+) - 3V$	$T_A = 0^\circ C$ 至 $85^\circ C$	± 5	± 25	μV
		$T_A = -40^\circ C$ 至 $+125^\circ C$	± 8	± 50	
	$(V+) - 3.5V < V_{CM} < (V+) - 1.5V$		请参阅 共模电压范围 一节		
	$V_{CM} = (V+) - 1.5V$	$T_A = 0^\circ C$ 至 $85^\circ C$	± 10	± 40	μV
$T_A = -40^\circ C$ 至 $+125^\circ C$		± 25	± 150		
dV_{OS}/dT 输入失调电压漂移	$V_{CM} = (V+) - 3V$, 仅有D封装	$T_A = 0^\circ C$ 至 $85^\circ C$	± 0.1	± 0.5	$\mu V/^\circ C$
		$T_A = -40^\circ C$ 至 $+125^\circ C$	± 0.15	± 0.8	
	$V_{CM} = (V+) - 3V$, 仅 DBV、DGK 和 PW 封装	$T_A = 0^\circ C$ 至 $85^\circ C$	± 0.1	± 0.8	
		$T_A = -40^\circ C$ 至 $+125^\circ C$	± 0.2	± 1.1	
$V_{CM} = (V+) - 1.5V$, $T_A = -40^\circ C$ 至 $+125^\circ C$		± 0.5	± 3		
PSRR 电源抑制比	$T_A = -40^\circ C$ 至 $+125^\circ C$, $V_{CM} = V_S / 2 - 0.75V$		± 1		$\mu V/V$
输入偏置电流					
I_B 输入偏置电流			± 5	± 20	pA
	$T_A = -40^\circ C$ 至 $+125^\circ C$			± 5	nA
I_{OS} 输入偏移电流			± 2	± 20	pA
	$T_A = -40^\circ C$ 至 $+125^\circ C$			± 2	nA
噪声					
E_n 输入电压噪声	$(V-) - 0.1V < V_{CM} < (V+) - 3V$, $f = 0.1Hz$ 至 $10Hz$		1.30		μV_{PP}
	$(V+) - 1.5V < V_{CM} < (V+) + 0.1V$, $f = 0.1Hz$ 至 $10Hz$		4		
e_n 输入电压噪声密度	$(V-) - 0.1V < V_{CM} < (V+) - 3V$	$f = 100Hz$	10.5		nV/\sqrt{Hz}
		$f = 1kHz$	5.5		
	$(V+) - 1.5V < V_{CM} < (V+) + 0.1V$	$f = 100Hz$	32		
		$f = 1kHz$	12.5		
i_n 输入电流噪声密度		$f = 1kHz$	1.5		fA/\sqrt{Hz}
输入电压					
V_{CM} 共模电压范围		$(V-) - 0.1$		$(V+) + 0.1$	V
CMRR 共模抑制比	$(V-) - 0.1V < V_{CM} < (V+) - 3V$		94	110	dB
		$T_A = -40^\circ C$ 至 $+125^\circ C$	90	104	
	$(V+) - 1.5V < V_{CM} < (V+)$		100	120	
		$T_A = -40^\circ C$ 至 $+125^\circ C$	84	100	
$(V+) - 3V < V_{CM} < (V+) - 1.5V$		请参阅 典型特性			
输入阻抗					
Z_{ID} 差分			100 1.6		$M\Omega pF$
Z_{IC} 共模			1 6.4		$10^{13}\Omega pF$
开环增益					
A_{OL} 开环电压增益	$(V-) + 0.6V < V_O < (V+) - 0.6V$, $R_{LOAD} = 2k\Omega$		110	120	dB
		$T_A = -40^\circ C$ 至 $+125^\circ C$	100	114	
	$(V-) + 0.3V < V_O < (V+) - 0.3V$, $R_{LOAD} = 10k\Omega$		110	126	
		$T_A = -40^\circ C$ 至 $+125^\circ C$	110	120	

电气特性 : $V_S = \pm 2.25V$ 至 $\pm 4V$ ($V_S = +4.5V$ 至 $+8V$) (continued)

 在 $T_A = +25^\circ C$ 时, $V_{CM} = V_{OUT} = V_S / 2$, 并且 $R_{LOAD} = 10k\Omega$ 连接至 $V_S / 2$, 除非另有说明。

参数	测试条件		最小值	典型值	最大值	单位
频率响应						
GBW 单位带宽增益积			10			MHz
SR 压摆率	$G = 1$, 10V阶跃		20			V/ μs
t_s 稳定时间	达 0.01%	$V_S = \pm 3V$, $G = 1$, 5V 阶跃	1			μs
t_{OR} 过载恢复时间	$V_{IN} \times G = V_S$		200			ns
串扰	OPA2192 和 OPA4192, 在 dc 下		150			dB
	OPA2192 和 OPA4192, $f = 100kHz$		130			
输出						
V_O 电源轨的电压输出摆幅	正电源轨	无负载	5	15		mV
		$R_{LOAD} = 10k\Omega$	95	110		
		$R_{LOAD} = 2k\Omega$	430	500		
	负电源轨	无负载	5	15		
		$R_{LOAD} = 10k\Omega$	95	110		
		$R_{LOAD} = 2k\Omega$	430	500		
I_{SC} 短路电流			± 65			mA
C_{LOAD} 容性负载驱动			请参阅 典型特性			
Z_O 开环输出阻抗	$f = 1MHz$, $I_O = 0A$, 请参阅 图 31		375			Ω
电源						
I_Q 每个放大器的静态电流	$I_O = 0A$		1	1.2		mA
		$T_A = -40^\circ C$ 至 $+125^\circ C$		1.5		
温度						
过热保护 ⁽¹⁾			140			$^\circ C$

 (1) 有关过热保护的详细 说明, 请参阅 [过热保护](#) 一节。

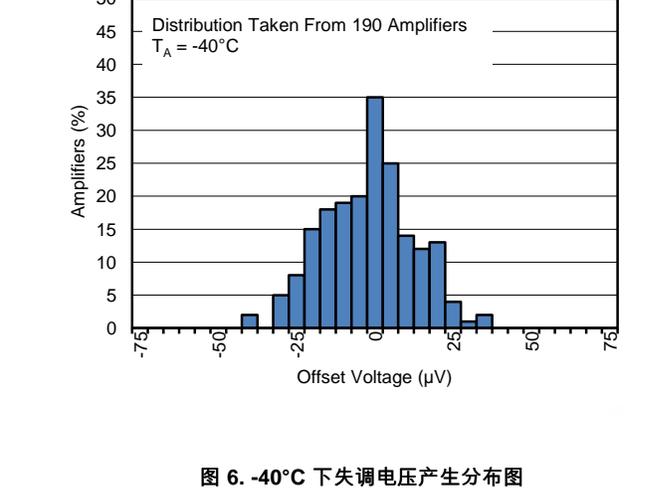
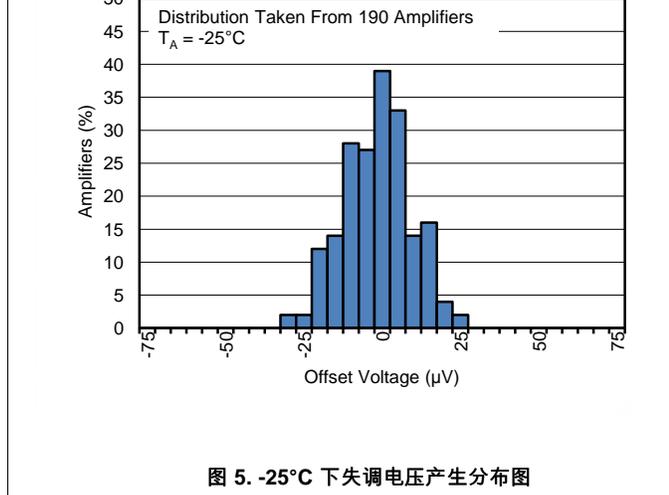
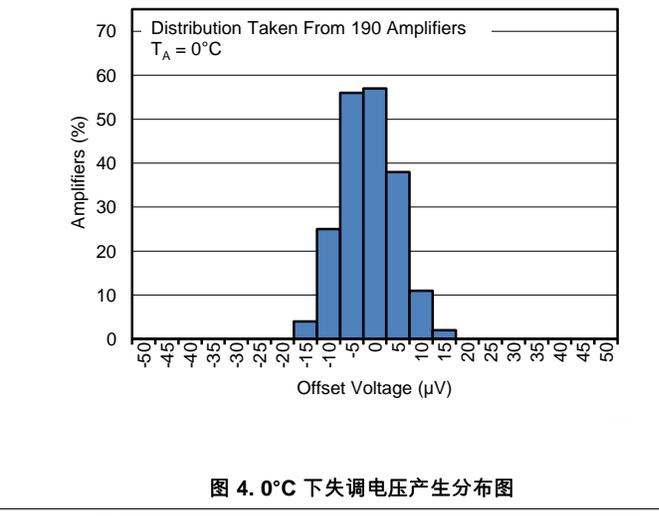
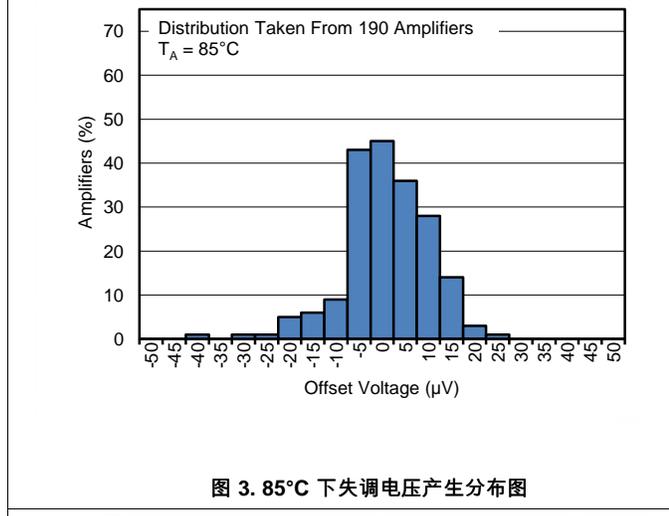
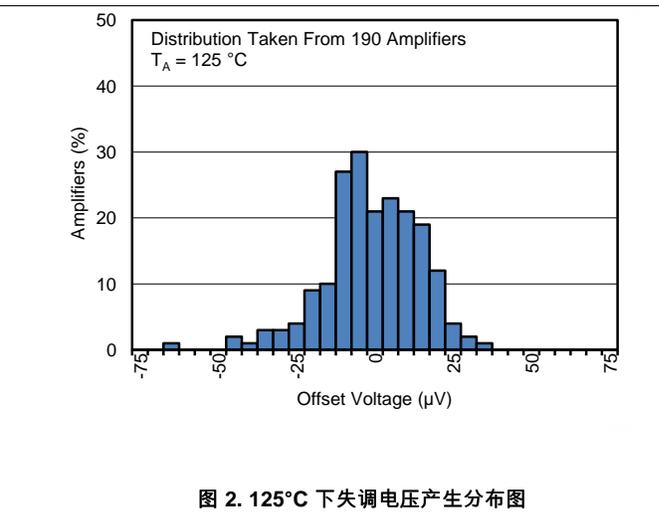
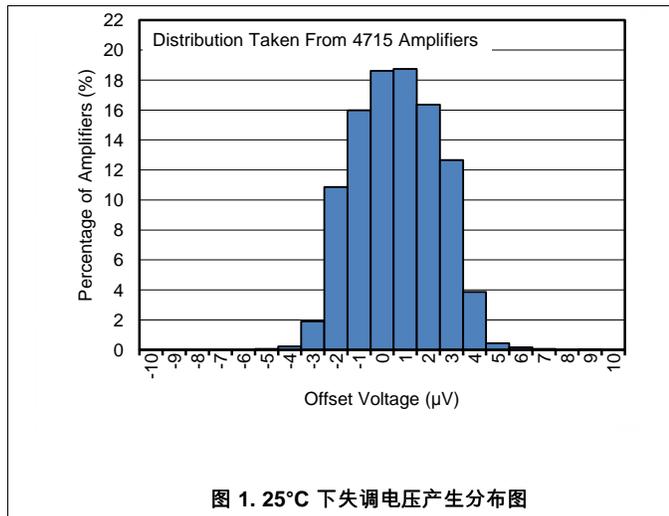
6.9 典型特性

表 1. 图形列表

说明	图表
失调电压产生分布	图 1 到 图 6
失调电压漂移分布	图 7 到 图 10
失调电压与温度间的关系	图 11
失调电压与共模电压间的关系	图 12 到 图 14
失调电压与电源电压间的关系	图 15
开环增益和相位与频率间的关系	图 16
闭环增益和相位与频率间的关系	图 17
输入偏置电流与共模电压间的关系	图 18
全温度范围内输入偏置电流	图 19
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 20
CMRR 和 PSRR 与频率间的关系	图 21
CMRR 与温度间的关系	图 22
PSRR 与温度间的关系	图 23
0.1Hz 至 10Hz 噪声	图 24
输入电压噪声频谱密度与频率间的关系	图 25
THD+N 比与频率间的关系	图 26
THD+N 与输出摆幅间的关系	图 27
静态电流与电源电压间的关系	图 28
静态电流与温度间的关系	图 29
开环增益与温度间的关系	图 30
开环输出阻抗与频率间的关系	图 31
小信号过冲与容性负载间的关系 (输出阶跃为 100mV)	图 32 , 图 33
无相位反转	图 34
正过载恢复	图 35
负过载恢复	图 36
小信号阶跃响应 (100mV)	图 37, 图 38
大信号阶跃响应	图 39
稳定时间	图 40 到 图 43
短路电流与温度间的关系	图 44
最大输出电压与频率间的关系	图 45
传播延迟上升沿	图 46
传播延迟下降沿	图 47
串扰与频率	图 48

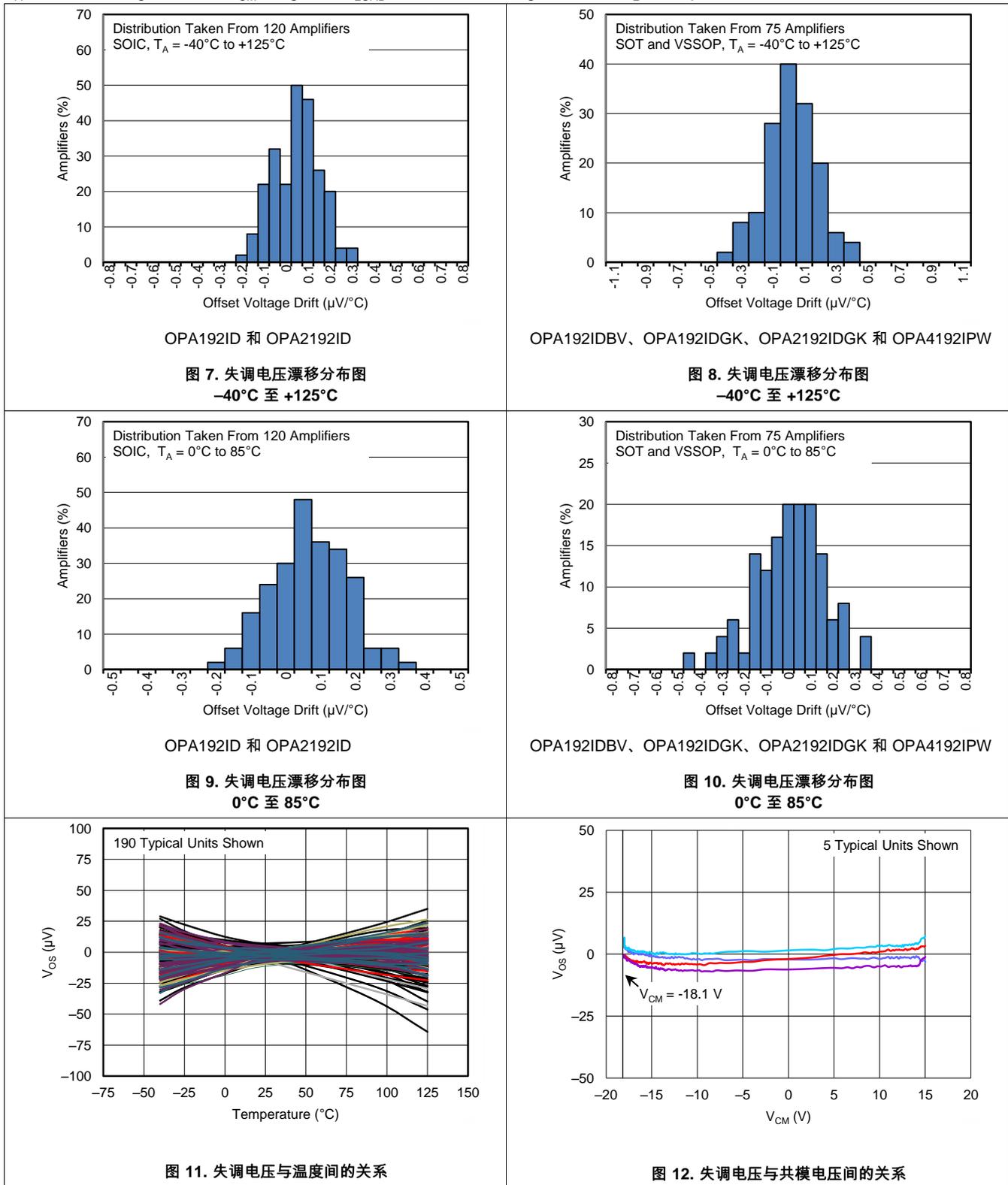
6.10 典型特性

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。



典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。



典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。

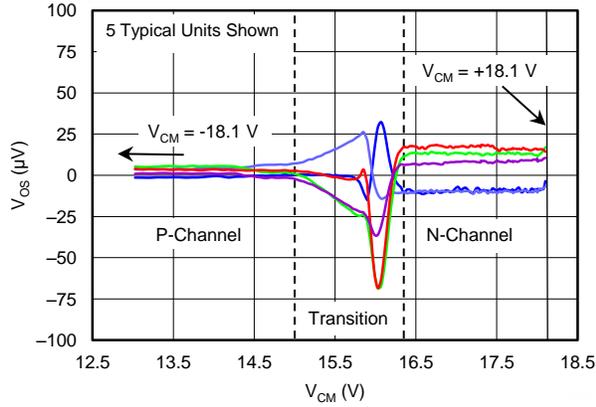


图 13. 失调电压与共模电压间的关系

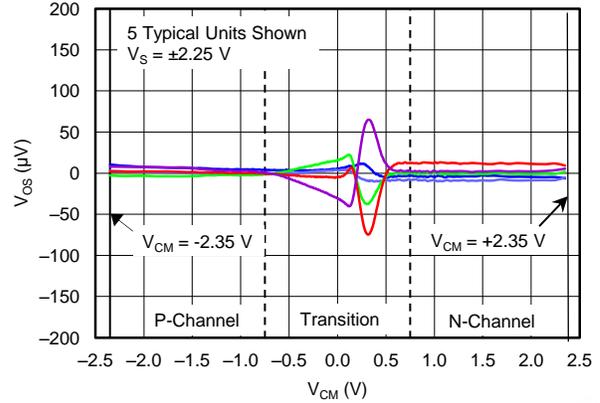


图 14. 失调电压与共模电压间的关系

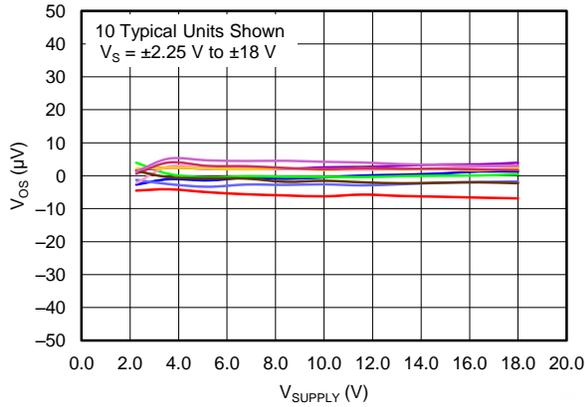


图 15. 失调电压与电源电压间的关系

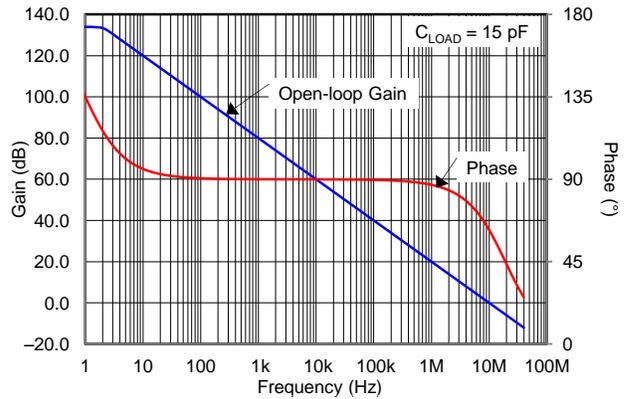


图 16. 开环增益和相位与频率间的关系

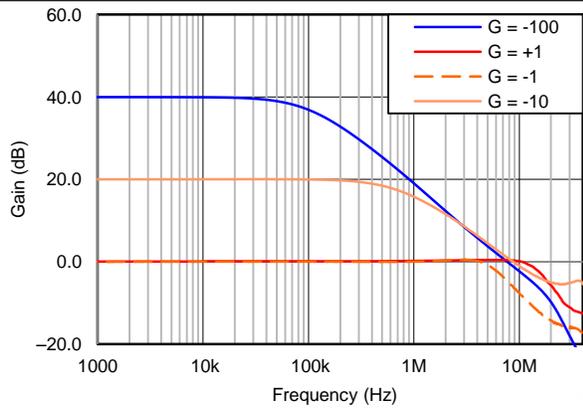


图 17. 闭环增益和相位与频率间的关系

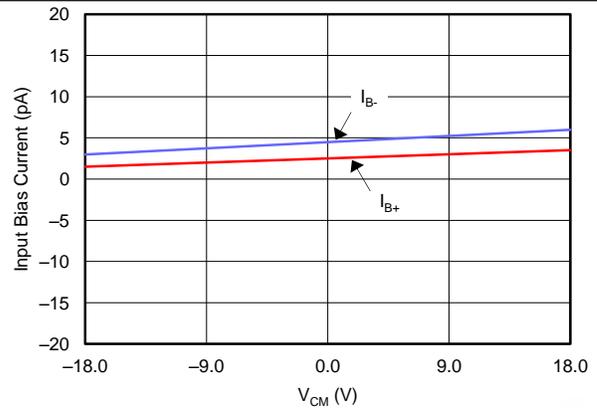


图 18. 输入偏置电流与共模电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。

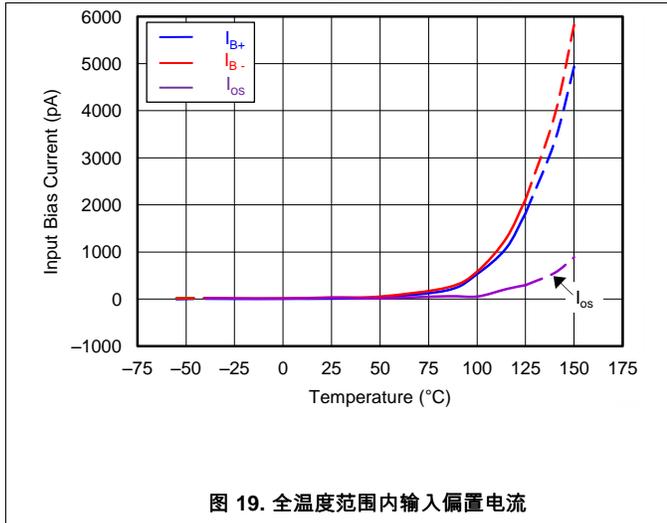


图 19. 全温度范围内输入偏置电流

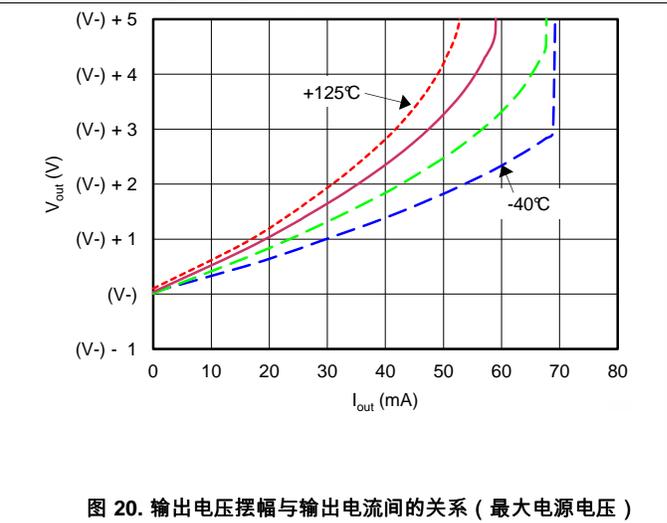


图 20. 输出电压摆幅与输出电流间的关系 (最大电源电压)

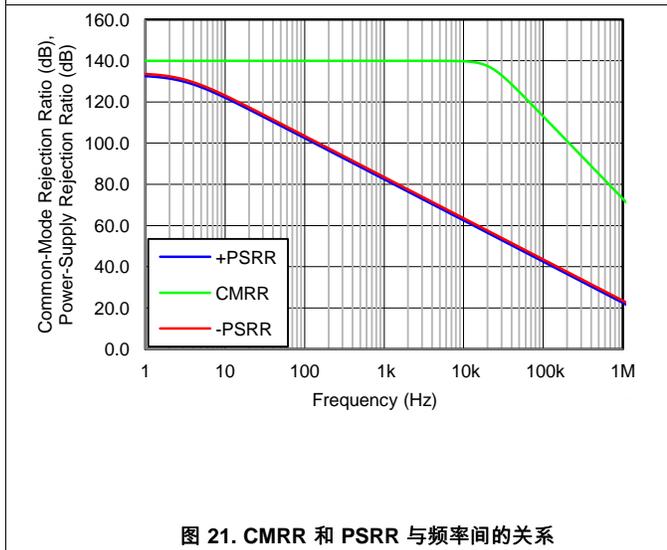


图 21. CMRR 和 PSRR 与频率间的关系

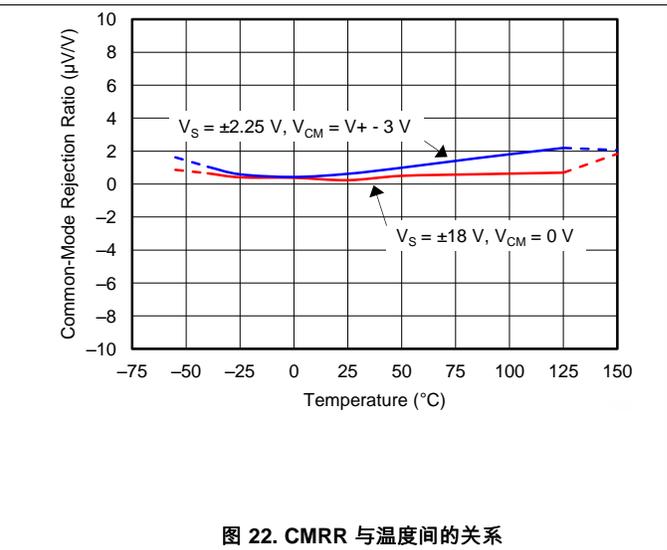


图 22. CMRR 与温度间的关系

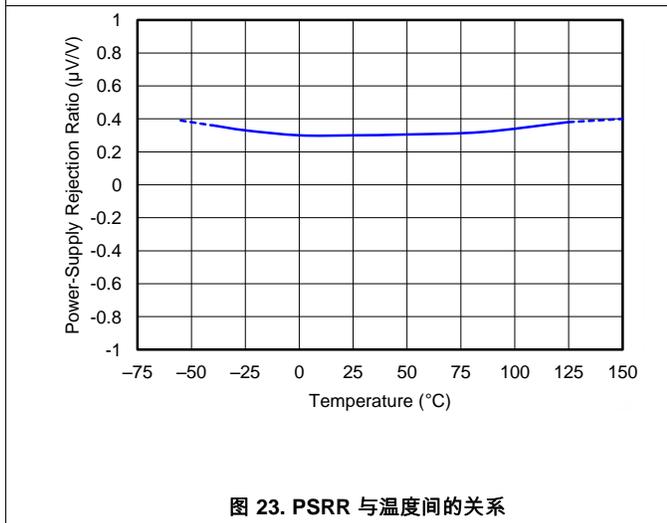


图 23. PSRR 与温度间的关系

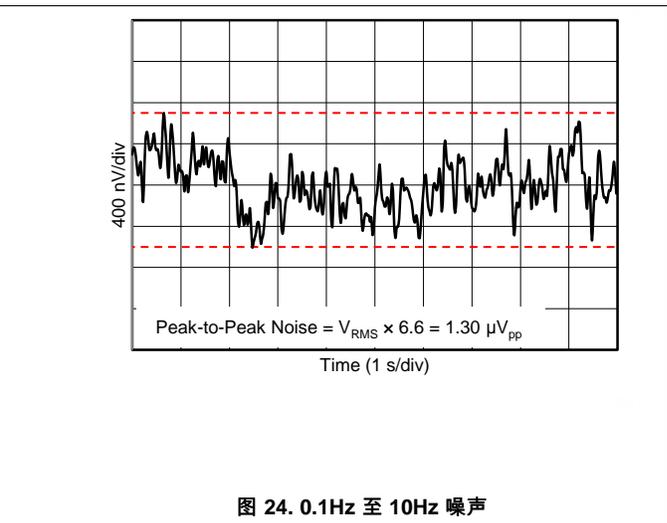
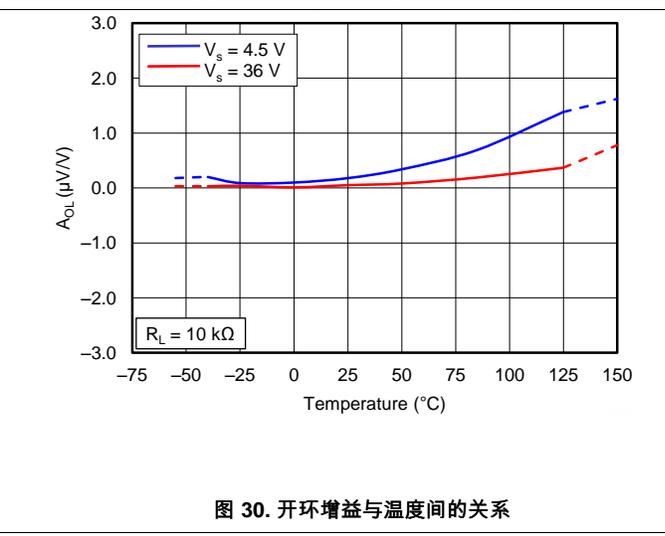
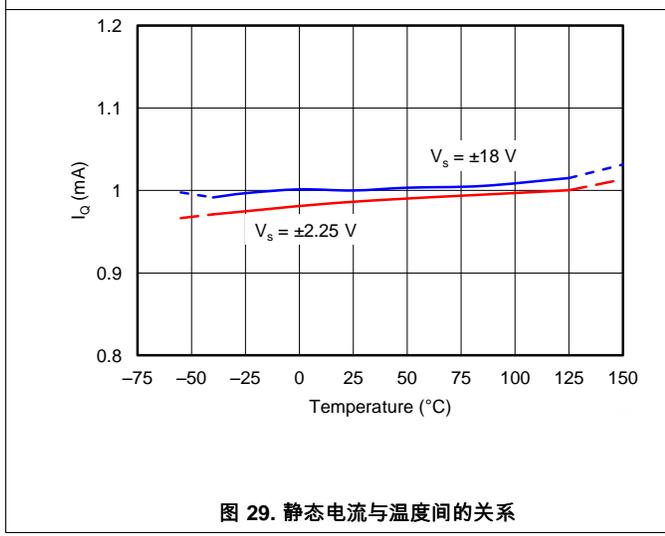
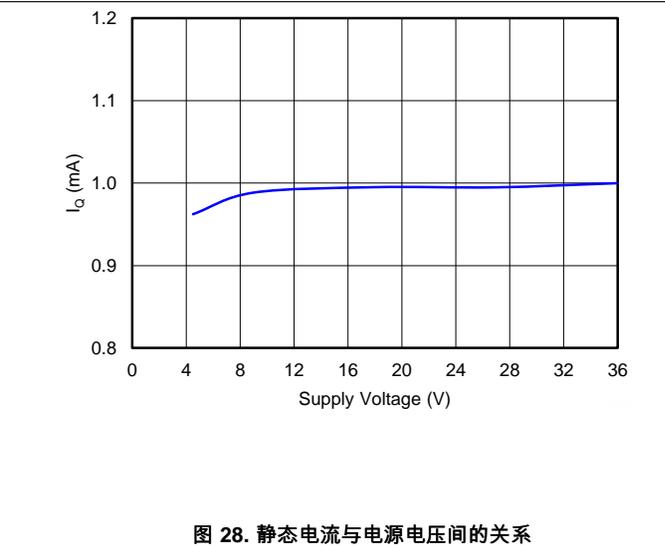
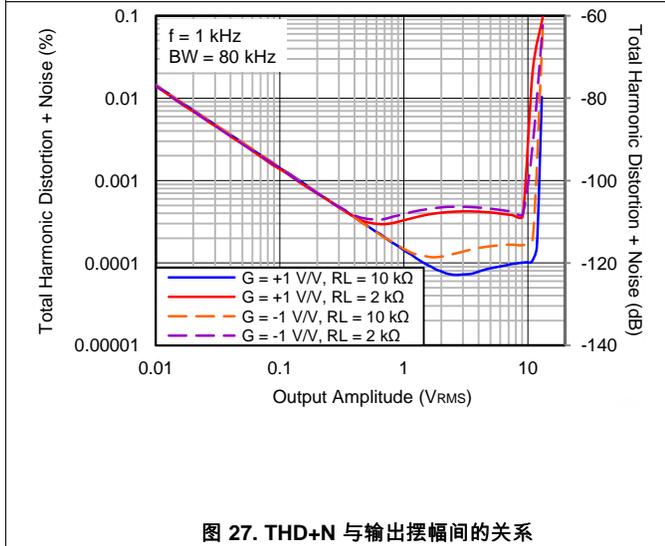
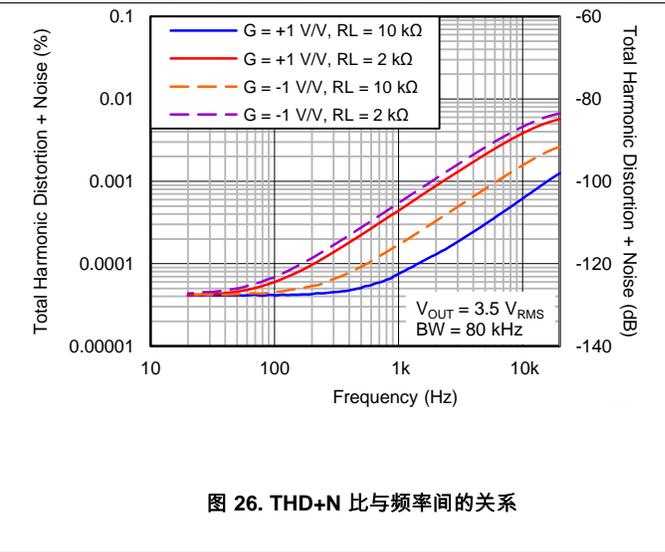
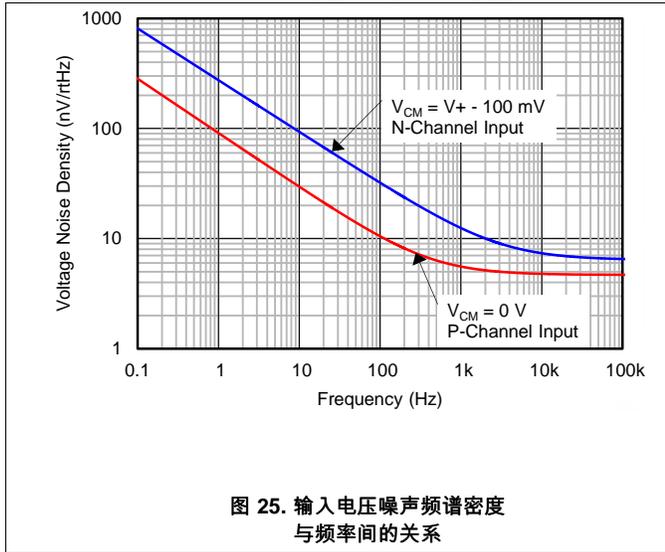


图 24. 0.1Hz 至 10Hz 噪声

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。



典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。

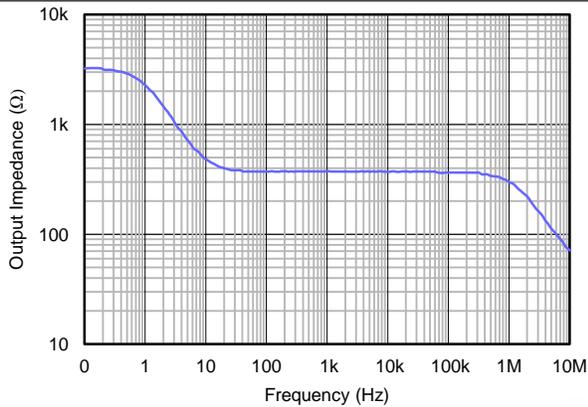


图 31. 开环输出阻抗与频率间的关系

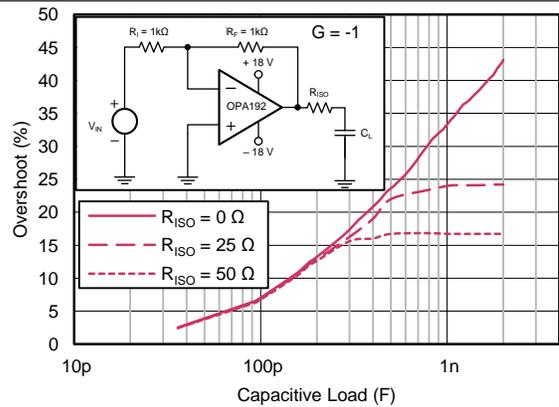


图 32. 小信号过冲与容性负载间的关系 (输出阶跃为 100mV)

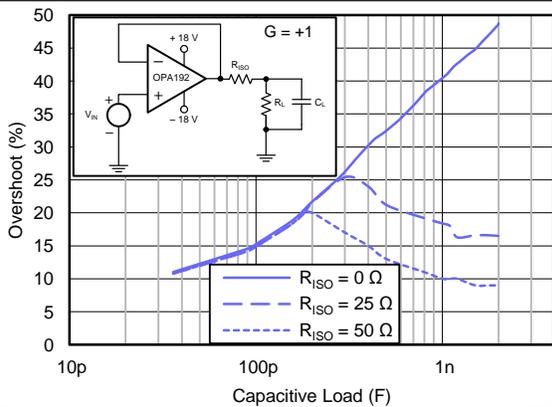


图 33. 小信号过冲与容性负载间的关系 (输出阶跃为 100mV)

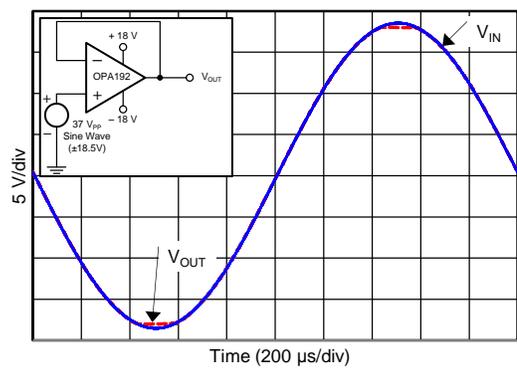


图 34. 无相位反转

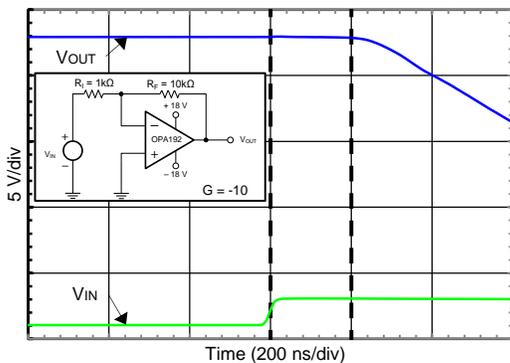


图 35. 正过载恢复

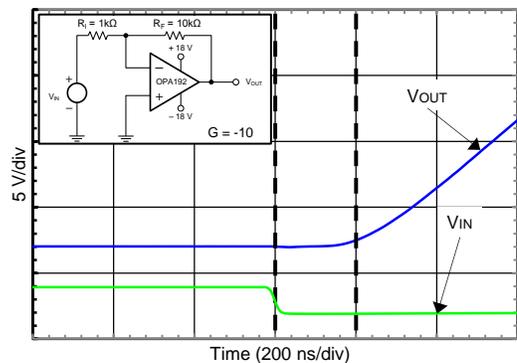


图 36. 负过载恢复

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。

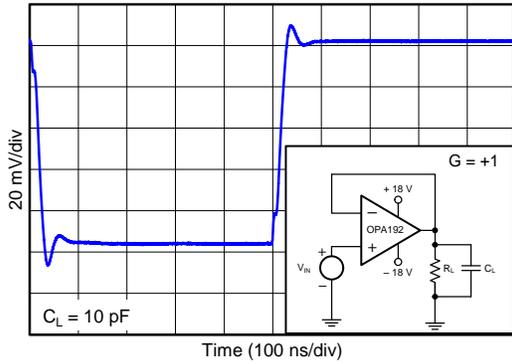


图 37. 小信号阶跃响应 (100mV)

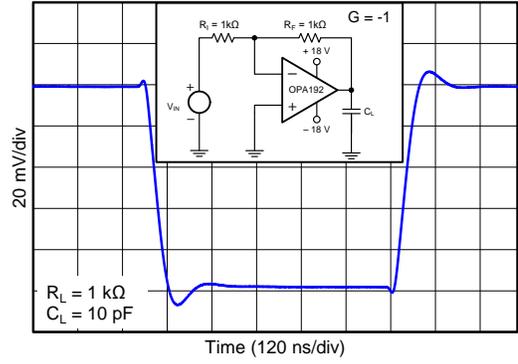


图 38. 小信号阶跃响应 (100mV)

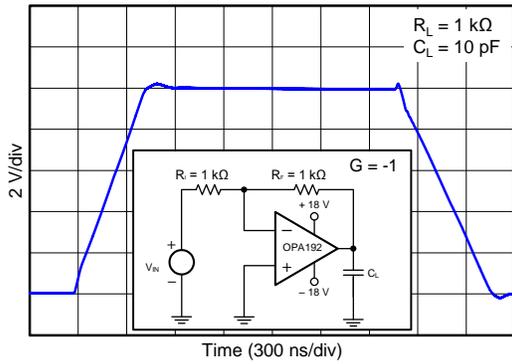


图 39. 大信号阶跃响应

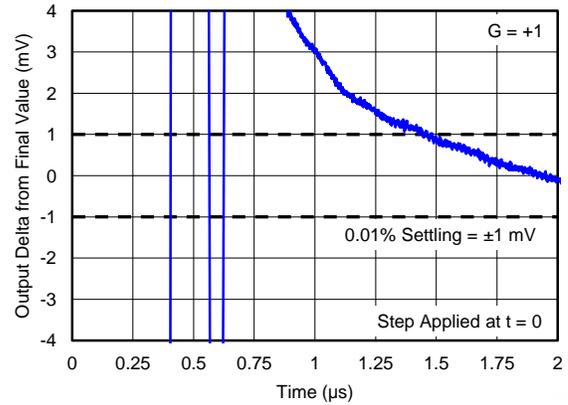


图 40. 稳定时间 (10V 正阶跃)

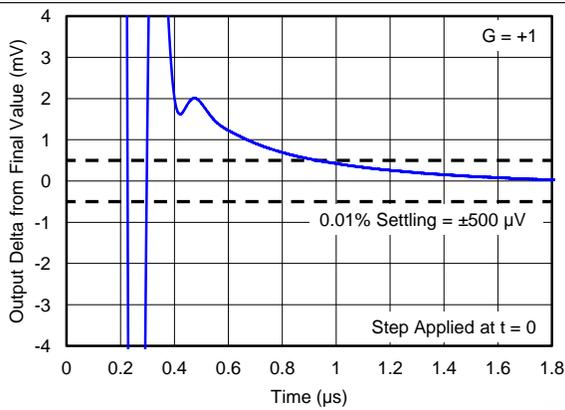


图 41. 稳定时间 (5V 正阶跃)

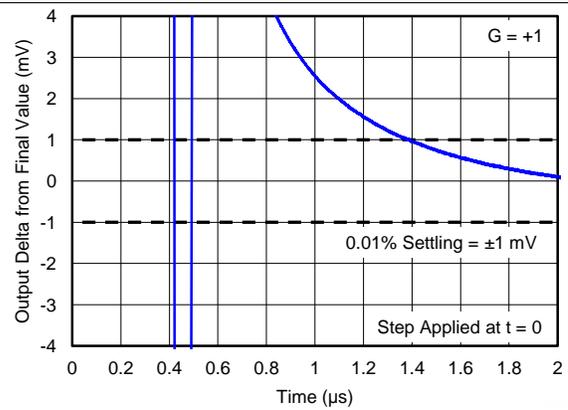


图 42. 稳定时间 (10V 负阶跃)

典型特性 (接下页)

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S / 2$, 并且 $C_L = 100\text{pF}$, 除非另有说明。

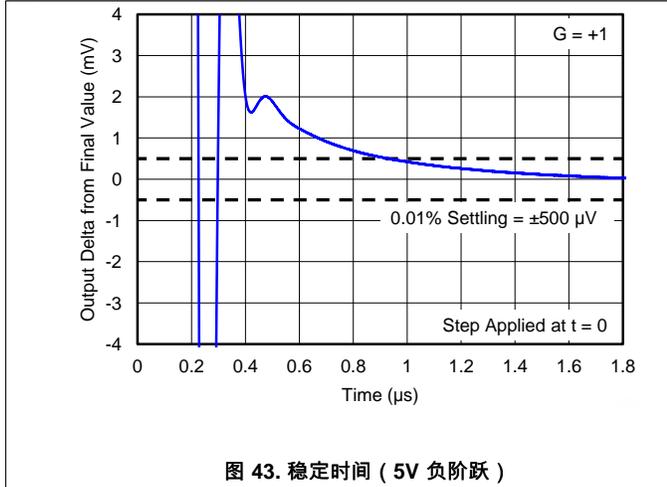


图 43. 稳定时间 (5V 负阶跃)

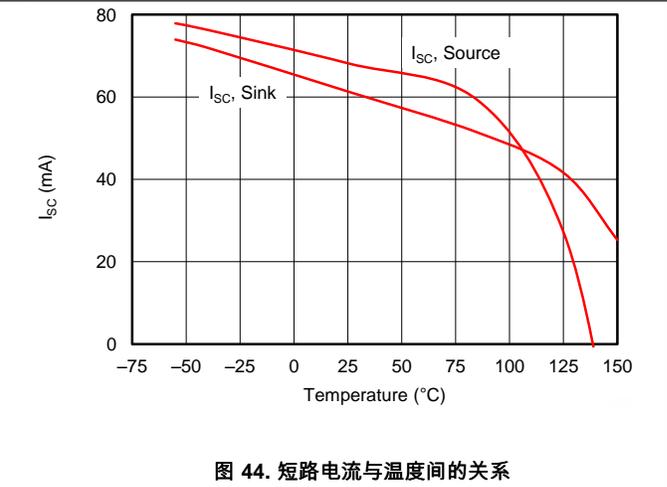


图 44. 短路电流与温度间的关系

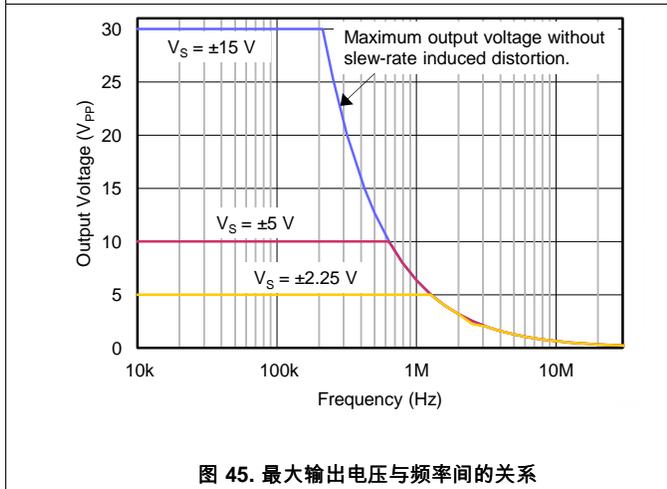


图 45. 最大输出电压与频率间的关系

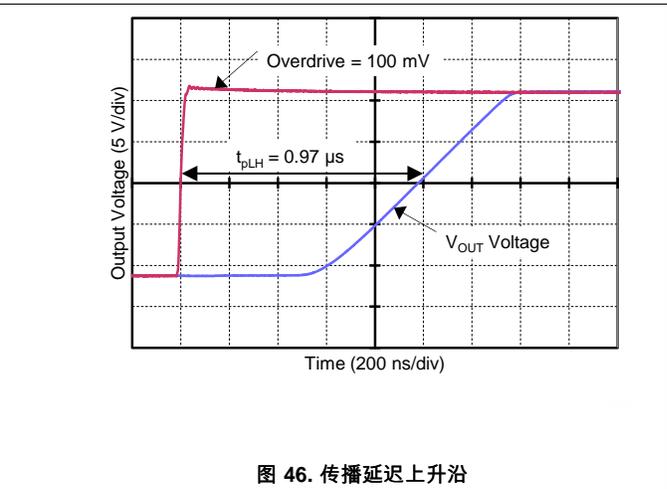


图 46. 传播延迟上升沿

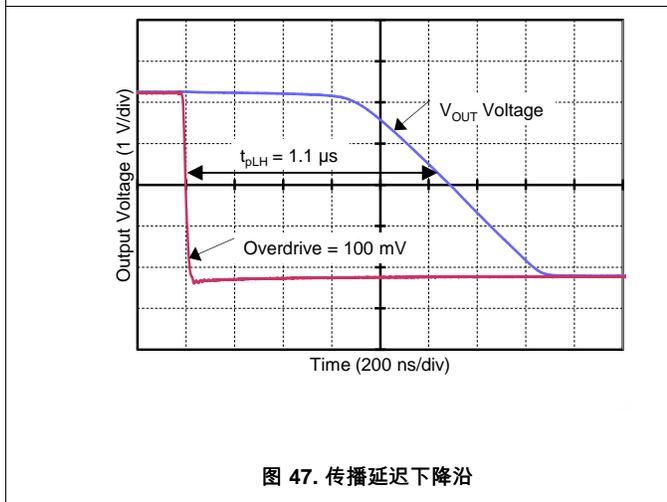


图 47. 传播延迟下降沿

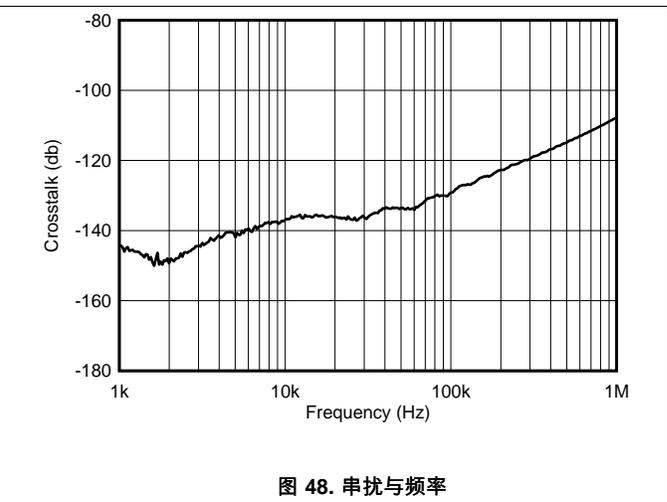


图 48. 串扰与频率

7 参数测量信息

7.1 输入失调电压漂移

OPAx192 系列运算放大器利用 TI 的 e-trim 技术制造而成。每个放大器的输入失调电压和输入失调电压漂移在生产中都经过微调，从而尽可能减小与输入失调电压和输入失调电压漂移相关的误差。e-trim 技术是 TI 专有的一种在晶圆测试或最终测试阶段微调内部器件参数的方法。在微调输入失调电压漂移时，每个器件上的系统性或线性漂移误差都被微调至零。这尽可能减小了与输入零点漂移相关的剩余误差，并且结果只来自于非线性误差源。图 49 阐明了这一概念。

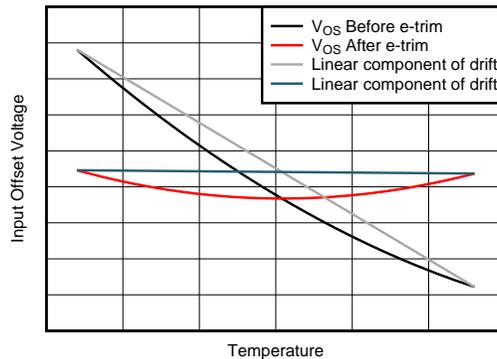


图 49. 漂移微调前后的输入失调

确定输入失调电压漂移的一种常用方法是框方法。框方法通过给失调电压与温度间关系曲线加框和使用此边界框的角来估计最大输入零点漂移，从而确定漂移。连接框的对角的连线斜率对应输入失调电压漂移。图 50 阐述了框方法的概念。当输入零点漂移在线性漂移组成中占主导时，框方法尤其适用，但是，因为 OPA192 系列采用 TI 的 e-trim 技术去除输入失调电压漂移的线性成分，所以框方法在精确执行误差分析时不是特别有用的方法。图 50 显示了 30 种典型的 OPAx192 单元，同时叠加了框方法以作说明。框的边界由沿 x 轴的额定温度范围和沿 y 轴的跨同一温度范围的最大确定输入失调电压决定。使用框方法预测输入失调电压漂移为 $0.9 \mu\text{V}/^\circ\text{C}$ 。如图 50 所示，实际输入失调电压与温度间关系曲线的斜率比框方法预测的要小很多。框方法预测的最大输入失调电压漂移值偏高，所以在执行误差分析时不建议采用该方法。

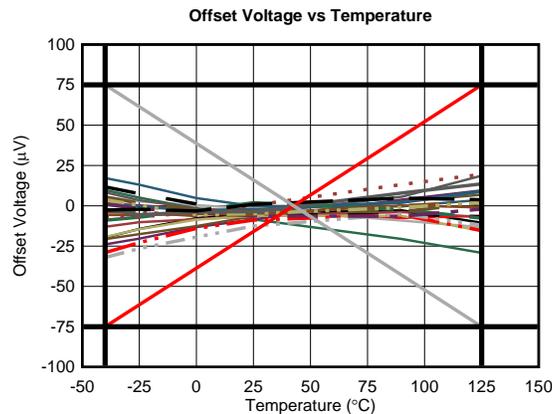
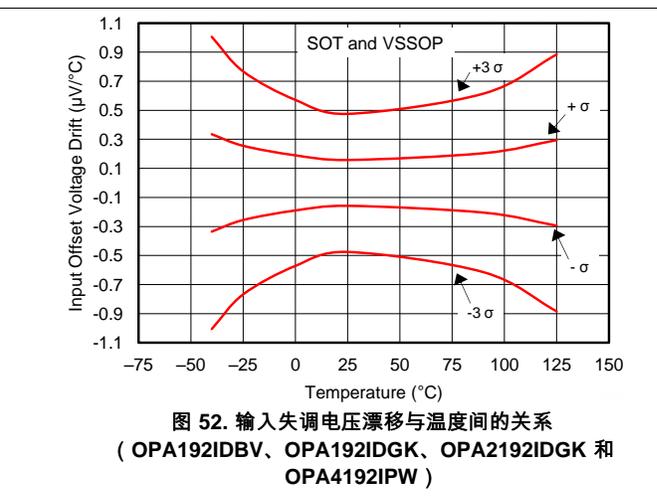
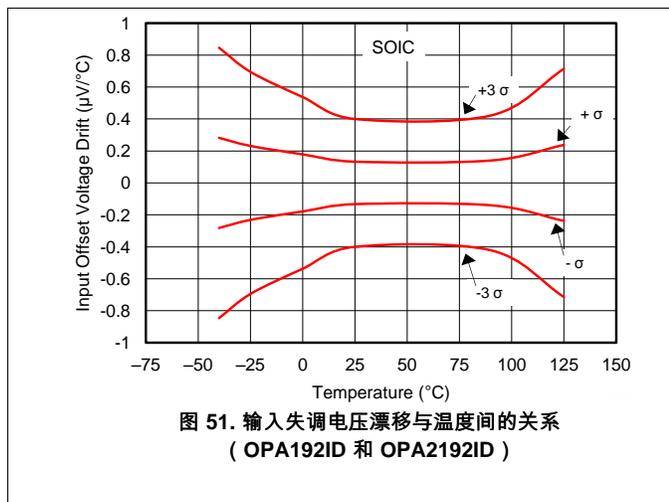


图 50. 框方法

有一种便捷的方法可替代框方法来阐明输入零点漂移，那就是计算输入失调电压与温度间关系曲线的斜率。这与计算输入失调电压与温度间关系曲线上每个点的输入零点漂移相同。OPAx192 系列的结果如图 51 和图 52 所示。

输入失调电压漂移 (接下页)



如图 51 所示，在 -40°C 至 $+125^{\circ}\text{C}$ 的范围内，输入零点漂移通常小于 $\pm 0.3\mu\text{V}/^{\circ}\text{C}$ 。在整个指定的温度范围内执行误差分析时，请按照电气特性表所述，使用输入失调电压漂移的典型最大值。如果缩小的温度范围适用，则在执行误差分析时，使用图 51 或图 52 中所示信息。要确定输入失调电压变化，请使用公式 1：

$$\Delta V_{OS} = \Delta T \times dV_{OS}/dT$$

其中

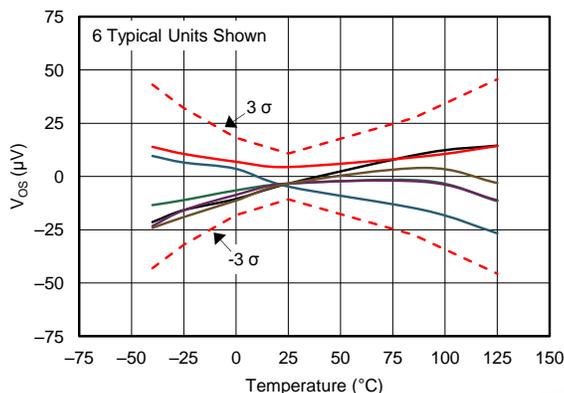
- ΔV_{OS} = 输入失调电压变化
- ΔT = 温度变化
- dV_{OS}/dT = 输入失调电压漂移

(1)

例如，确定 25°C 到 75°C 温度范围内 1σ (68%) 单元的 OPA192ID 输入失调电压变化量。如图 51 所示，输入零点漂移通常为 $0.15\mu\text{V}/^{\circ}\text{C}$ 。此输入零点漂移导致典型的输入失调电压变化量为 $(75^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.15\mu\text{V}/^{\circ}\text{C} = 7.5\mu\text{V}$ 。

对于 3σ (99.7%) 的单元，图 51 显示典型的输入零点漂移为 $0.4\mu\text{V}/^{\circ}\text{C}$ 。此输入零点漂移导致典型的输入失调电压变化量为 $(75^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.4\mu\text{V}/^{\circ}\text{C} = 20\mu\text{V}$ 。

图 53 显示六个典型单元。



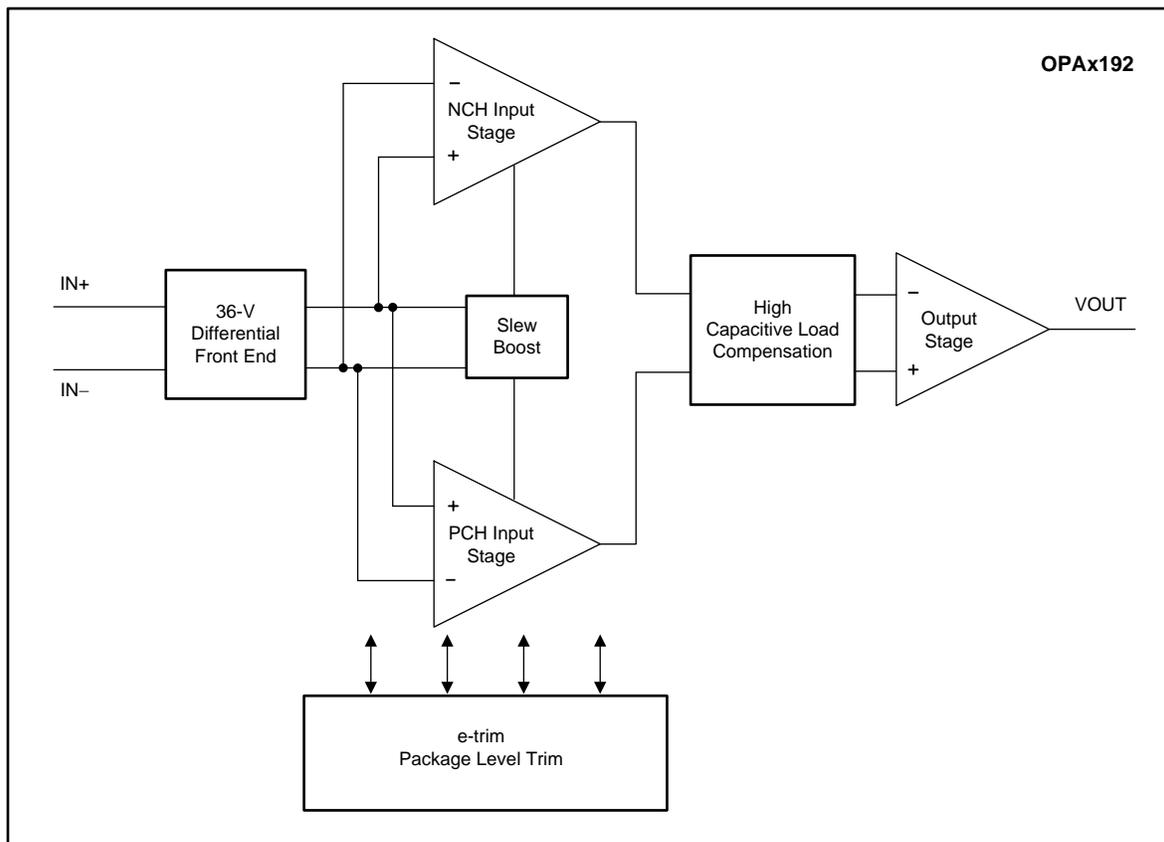
8 详细 说明

8.1 概述

OPAx192 系列运算放大器使用 *e-trim* 方法，这是在塑模成型工艺之后，在最终制造步骤阶段对失调和失调温度漂移实施封装级微调的一种方法。该方法最大限度地减少了固有的输入晶体管不匹配的影响和在封装成型过程中引入的误差。在器件完成封装后进行器件的稳零调节，这样可以将封装引入的失调也一起校正，当调节完成后会熔断内部调零通信接口。[功能框图](#)一节显示了使用 *e-trim* 的 OPA192 的简单示意图。

与以往的 *e-trim* 运算放大器不同，OPAx192 使用获得专利的双温度微调体系结构，在整个指定的温度范围内获得了一个非常低的 $25\mu\text{V}$ （最大）的失调电压和 $0.5\mu\text{V}/^\circ\text{C}$ （最大）的低电压零点漂移。在宽电源电压下的这一精度水平使得这些放大器非常适用于高阻抗工业传感器、滤波器和高电压数据采集。

8.2 功能框图



8.3 特性说明

8.3.1 输入保护电路

OPA_x192 使用独特的输入体系结构来消除对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。可以通过快速瞬态阶跃响应来激活图 54 中所示的常规输入二极管保护方案，但由于交流电路径，这将引入信号失真和稳定时间延迟，如图 55 所示。对于增益电路，这些快速斜向输入信号前向偏置背对背二极管会导致输入电流增加，进而使稳定时间延长，如图 56 所示。

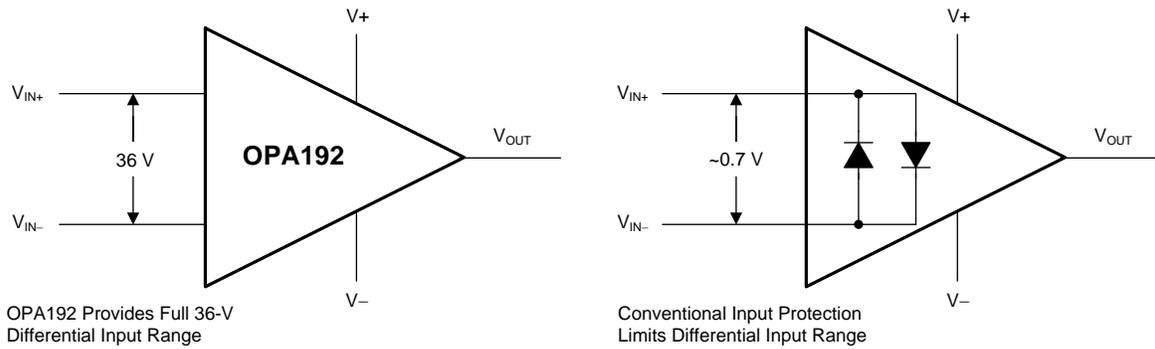


图 54. OPA192 输入保护不限制差分输入能力

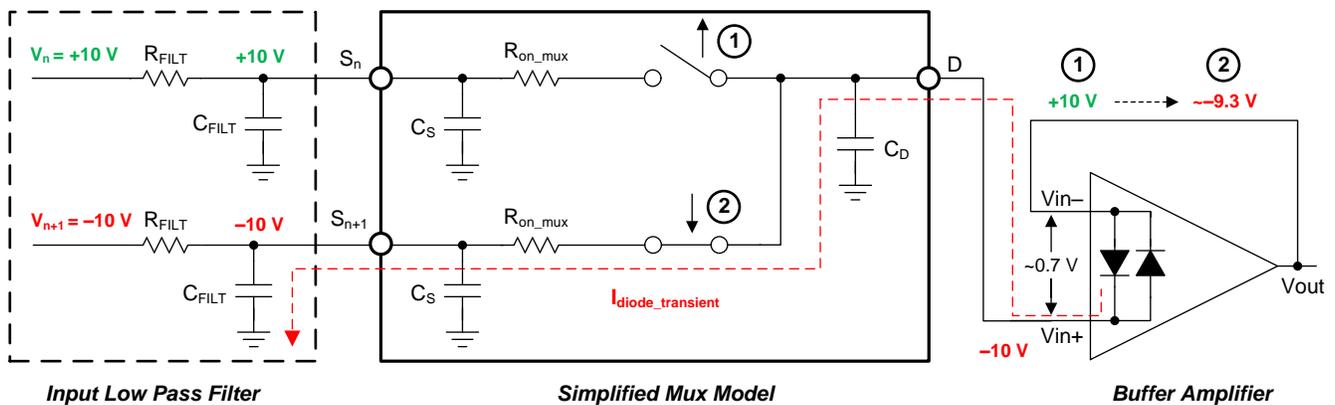


图 55. 背对背二极管造成稳定问题

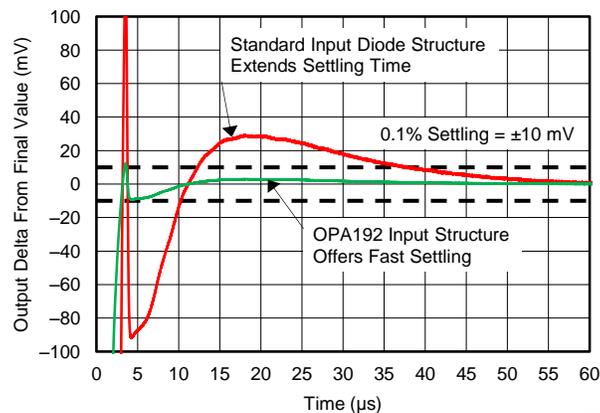


图 56. OPA192 保护电路保持快速稳定瞬态响应

特性说明 (接下页)

OPAx192 系列运算放大器为高压应用提供真正的高阻抗差分输入能力。这种获得专利的输入保护体系结构不会引入额外的信号失真或延迟稳定时间，使该器件成为多通道、高开关输入应用的理想运算放大器。OPA192 可以承受高达 36V 的最大差分摆幅（运算放大器的反相和同相引脚之间的电压）、使该器件适合作为比较器，或用于存在快速斜向输入信号的应用（如多路复用数据采集系统）；请参阅图 66。

8.3.2 EMI 抑制

OPAx192 使用集成电磁干扰 (EMI) 过滤来降低干扰源（如无线通信设备以及混合使用模拟信号链和数字组件的高密度电路板）产生的 EMI 效应。OPAx192 采用上述这些设计和改进，受益不少。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 57 显示对 OPA192 执行此测试的结果。表 2 显示在实际应用中经常遇到的特定频率下 OPA192 的 EMIRR IN+ 值。在表 2 中列出的应用可在下图给出的特定频率或其近似频率下运行。详细信息另见于应用报告运算放大器中的 EMI 抑制比，SBOA128；下载地址为 www.ti.com。

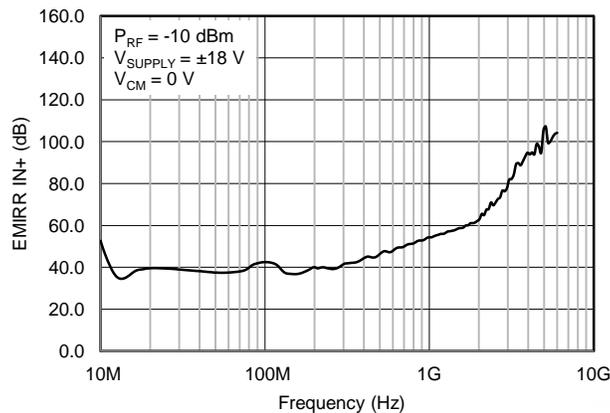


图 57. EMIRR 测试

表 2. OPA192 在目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	44.1dB
900MHz	移动通信全球系统 (GSM) 应用，广播通信、导航、GPS (至 1.6GHz)、GSM、航空移动、UHF 应用	52.8dB
1.8GHz	GSM 应用，个人移动通信、宽带、卫星、L 波段 (1GHz 至 2GHz)	61.0dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段 (2GHz 至 4GHz)	69.5dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	88.7dB
5.0GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段 (4GHz 至 8GHz)	105.5dB

8.3.3 反相保护

OPAx192 系列具有内部反相保护。当输入被驱动至超过其线性共模范围时，很多运算放大器表现出一个相位反转。这个情况经常出现在输入被驱动至超过额定共模电压范围的时候，从而导致输出反向进入相对电源轨。

OPAx192 是一个轨至轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。图 58 中显示了这个特性。

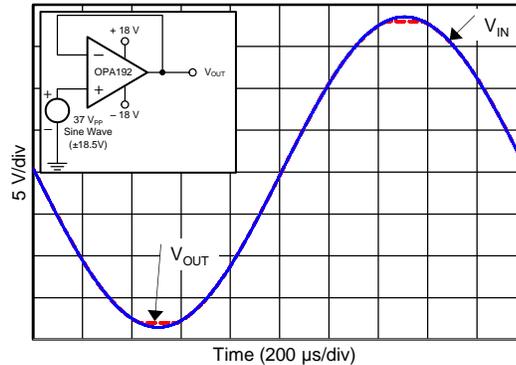


图 58. 无相位反转

8.3.4 过热保护

任何放大器的内部功耗都会导致内部温度（结温）升高。这一现象称为自热。OPAx192 的绝对最大结温为 150°C。超过此温度会导致器件损坏。OPAx192 具有过热保护功能，可防止由自热造成的损坏。保护的方式是，监控器件的温度，一旦温度超过 140°C，则关闭运算放大器输出驱动。图 59 显示了 OPA192 的一个应用示例，该示例因为其功耗 (0.81W) 而会产生显著的自热 (159°C)。热计算表明，在 65°C 环境温度下，器件结温一定会达到 187°C。不过，实际器件会关闭输出驱动以保持安全的结温。图 59 显示了电路在过热保护期间的行为。在正常工作期间，器件充当缓冲区，因此输出为 3V。当自热导致器件结温升高到 140°C 以上时，过热保护强制输出进入高阻抗状态，输出通过电阻 RL 拉向地。

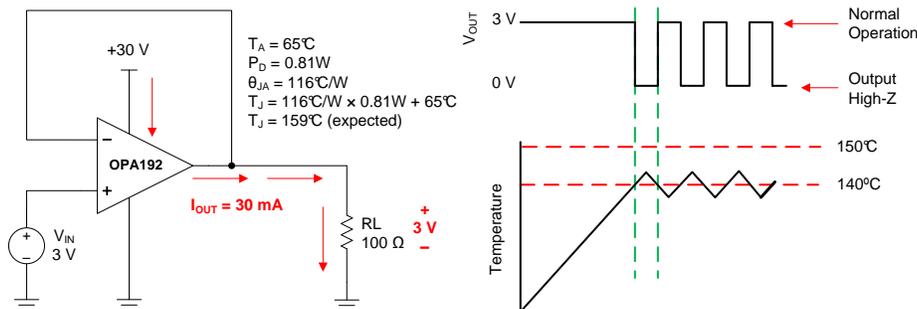


图 59. 过热保护

8.3.5 容性负载和稳定性

OPAx192 具有获得专利的输出级，能够驱动大容性负载，并且在单位增益配置下，可直接驱动高达 1nF 的纯容性负载。增加增益可增强放大器驱动更大容性负载的能力；请参阅图 60 和图 61。在确定放大器是否将稳定运行时，需要考虑一些因素，如特定的运算放大器电路配置、布局、增益和输出负载等。

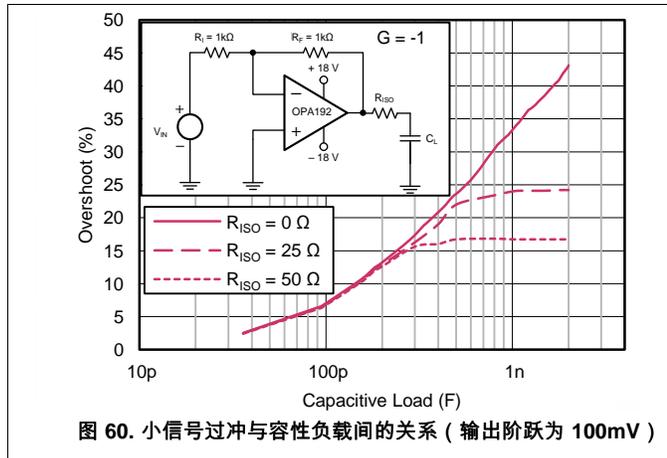


图 60. 小信号过冲与容性负载间的关系 (输出阶跃为 100mV)

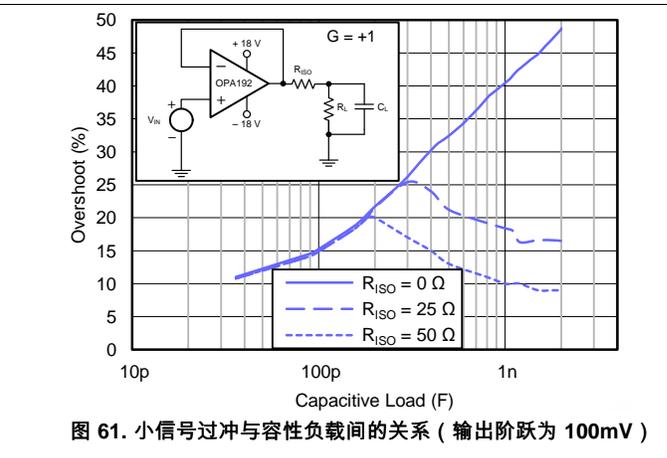


图 61. 小信号过冲与容性负载间的关系 (输出阶跃为 100mV)

要增加单位增益配置下的驱动能力，可与输出串联，插入一个小的 (10Ω 至 20Ω) 电阻器 R_{ISO} ，如图 62 中所示，以此来提高容性负载驱动能力。此电阻器可显著减少振铃，并保持纯容性负载的交流性能。但是，如果电阻负载与容性负载并联，则会产生一个电压分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_{ISO} / R_L 的比率成正比，在低输出电平下通常可忽略不计。高容性负载驱动的特性使得 OPA192 非常适用于诸如参考缓冲器、MOSFET 栅极驱动和电缆屏蔽驱动等应用。图 62 所示的电路使用隔离电阻器 R_{ISO} 来稳定运算放大器的输出。 R_{ISO} 修改系统的开环增益以增加相位裕量，表 3 总结了使用 OPA192 的结果。有关使用此电路进行优化和设计的技巧的其他信息，TI 精密设计 TIDU032 详述了完整的设计目标、模拟和测试结果。

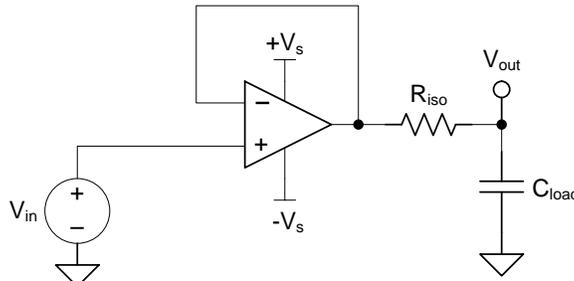


图 62. 使用 OPA192 扩展容性负载驱动

表 3. 使用隔离电阻器的 OPA192 容性负载驱动解决方案的计算及测量结果比较

参数	值									
	100pF		1000pF		0.01μF		0.1μF		1μF	
相位裕量	45°	60°	45°	60°	45°	60°	45°	60°	45°	60°
R_{ISO} (Ω)	47.0	360.0	24.0	100.0	20.0	51.0	6.2	15.8	2.0	4.7
测量的过冲 (%)	23.2	8.6	10.4	22.5	9.0	22.1	8.7	23.1	8.6	21.0
计算出的 PM	45.1°	58.1°	45.8°	59.7°	46.1°	60.1°	45.2°	60.2°	47.2°	60.2°



有关分步设计程序、电路原理图、物料清单、印制电路板 (PCB) 文件、模拟结果和测试结果，请参见 TI 精密设计 TIDU032，使用隔离电阻器的容性负载驱动解决方案。

8.3.6 共模电压范围

OPAx192 是一个 36V 的真正轨至轨输入运算放大器，其输入共模范围在任一电源轨之外扩展了 100mV。此宽范围通过并联互补的 N 通道和 P 通道差分输入对实现，如图 63 所示。当输入电压接近正电源轨，通常比正电源高 $(V+) - 3V$ 到 100mV 时，N 通道对正常运行。当输入电压低于负电源轨 100mV 至大约 $(V+) - 1.5V$ 时，P 通道对正常运行。存在一个小转换区域，通常为 $(V+) - 3V$ 到 $(V+) - 1.5V$ ，在该区域中两个输入对都处于打开状态。此转换区域可能与过程变化略有不同，在该区域内，相比区域外的运算，PSRR、CMRR、失调电压、零点漂移、噪声和 THD 性能可能会退化。

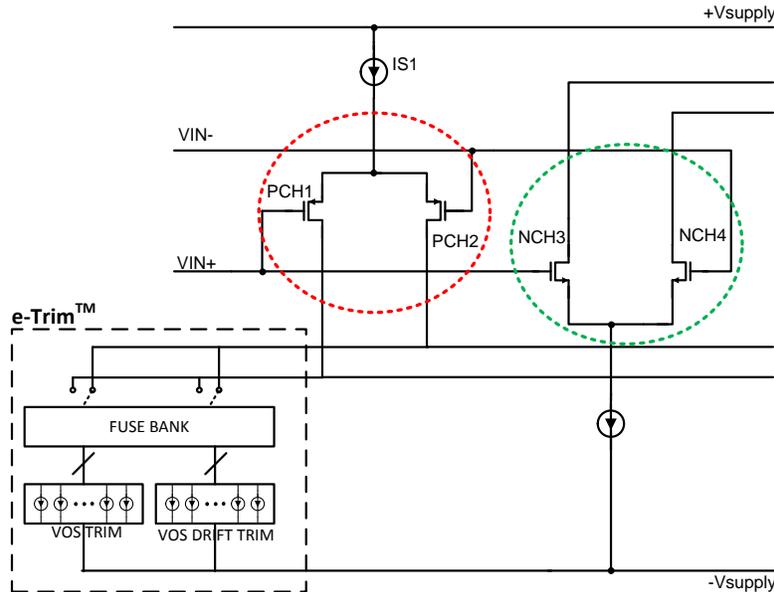


图 63. 轨至轨输入级

为实现两级轨至轨输入放大器的最佳性能，应尽可能避免转换区域。OPAx192 对 N 通道和 P 通道区域都使用精确微调。此技术使失调电平大大低于前代器件，导致输入级转换区域内的变化幅度相对于整个共模范围内的失调显得比较大，如图 64 所示。

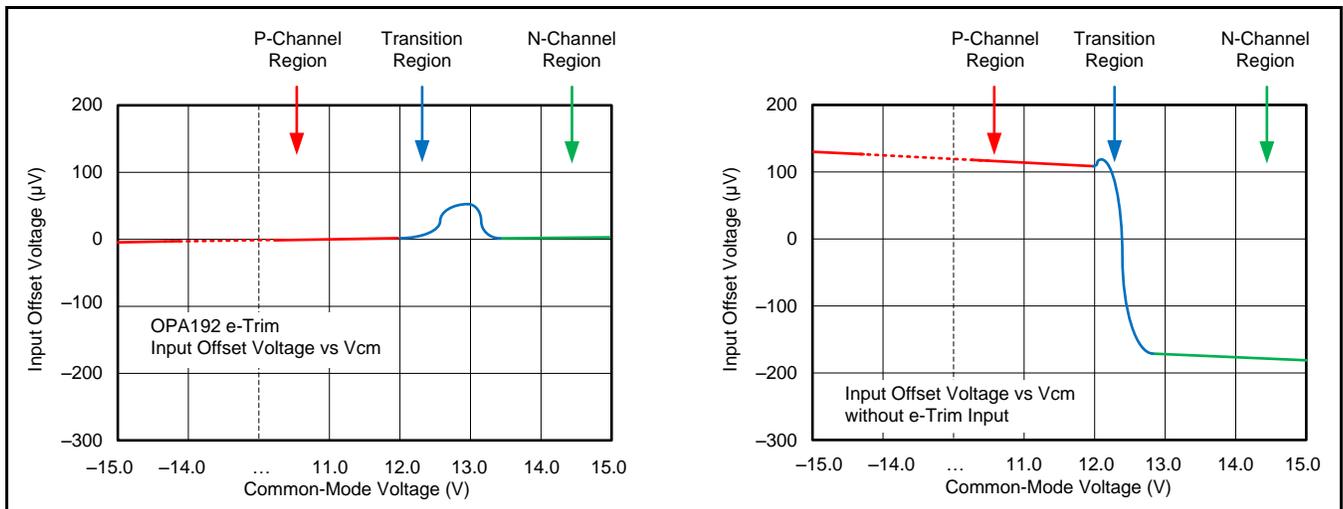


图 64. 共模转换与标准轨至轨放大器

8.3.7 电气过载

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路有内置的内部静电放电 (ESD) 保护来在产品组装之前和组装过程中保护此电路不受意外的 ESD 事件的影响。

能够充分了解 ESD 基本电路及其与电气过载事件的关联会有所帮助。图 65 图示了 OPAx192 中包含的 ESD 电路 (用虚线区域指示)。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元 (运算放大器的内在部分) 处相接。该保护电路在电路正常工作时处于未激活状态。

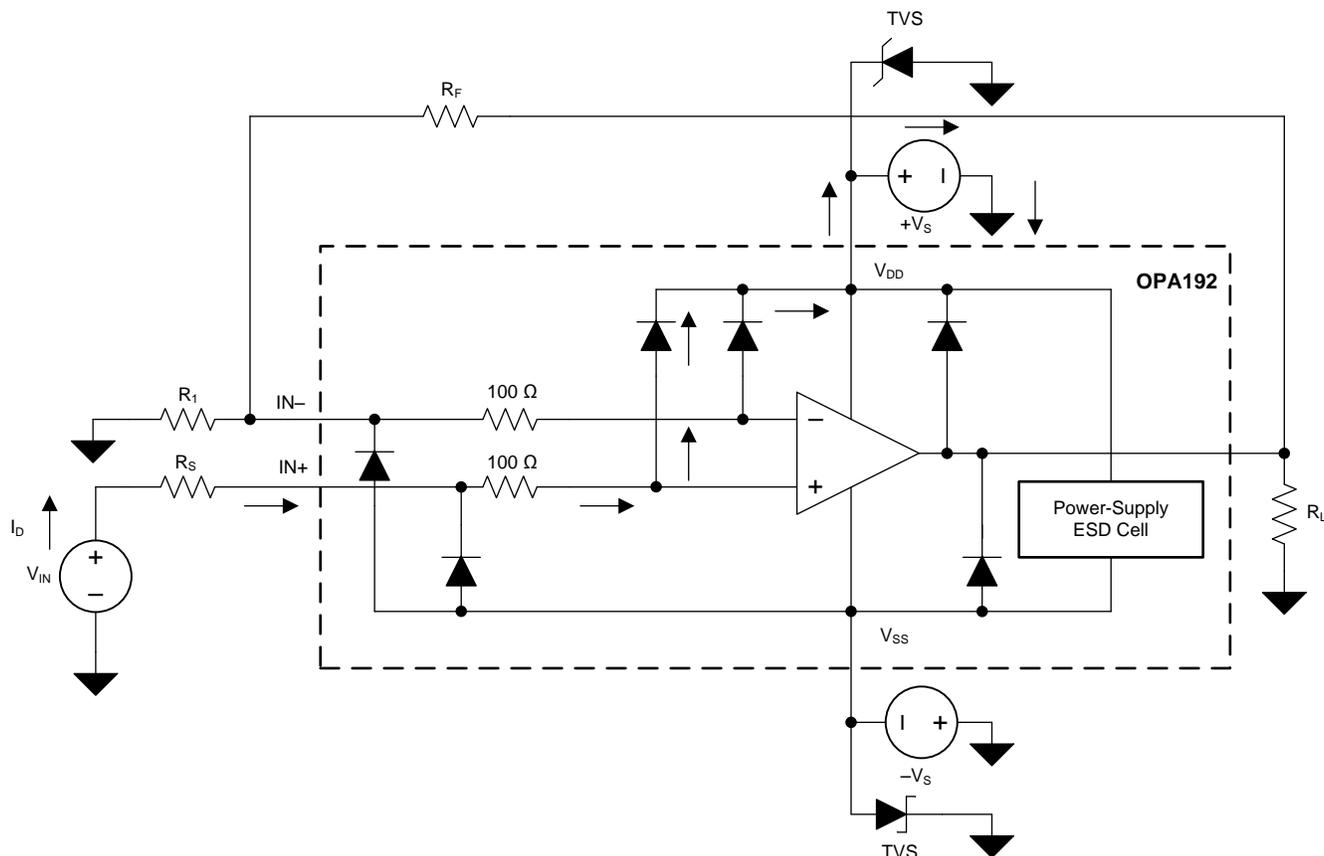


图 65. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。瞬态电压抑制器 (TVS) 可用于防止电路内 ESD 事件中因打开 ESD 吸收电路而导致的损坏。使用适当的限流电阻和 TVS 二极管则允许使用器件 ESD 二极管来防止 EOS 事件。

8.3.8 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx192 的过载恢复时间大约为 200ns。

8.4 器件功能模式

OPAx192
4.5V ($\pm 2.25V$) 时工作。OPAx192 的最大电源电压为 36V ($\pm 18V$)。

具有单一功能模式，可在电源电压大于

9 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

OPAx192 系列提供卓越的直流精度和交流性能。这些器件可以运行在高达 36V 的供电电源，并提供真正的轨至轨输入/输出、超低失调电压、失调电压漂移以及 10MHz 带宽和高容性负载驱动。这些 特性 使 OPAx192 成为一个适用于高压工业应用的强大的高性能运算放大器。

9.2 典型 应用

9.2.1 16 位精度多路复用数据采集系统

图 66 显示一个 16 位的差分 4 通道多路复用数据采集系统。这在需要低失真和高压差分输入的 工业应用 中是一个典型的示例。电路中使用了 ADS8864，这是一个 16 位的 400 kSPS 逐次逼近式电阻 (SAR) 模数转换器 (ADC)，还使用了一个高精度高压信号调节前端和一个 4 通道差分多路复用器 (mux)。此 TI 高精度设计详细描述了通过使用 OPA192 和 OPA140 来优化精度、高压以及前端驱动电路，并搭配 ADS8864 来实现采集系统卓越的动态性能以及高线性度。

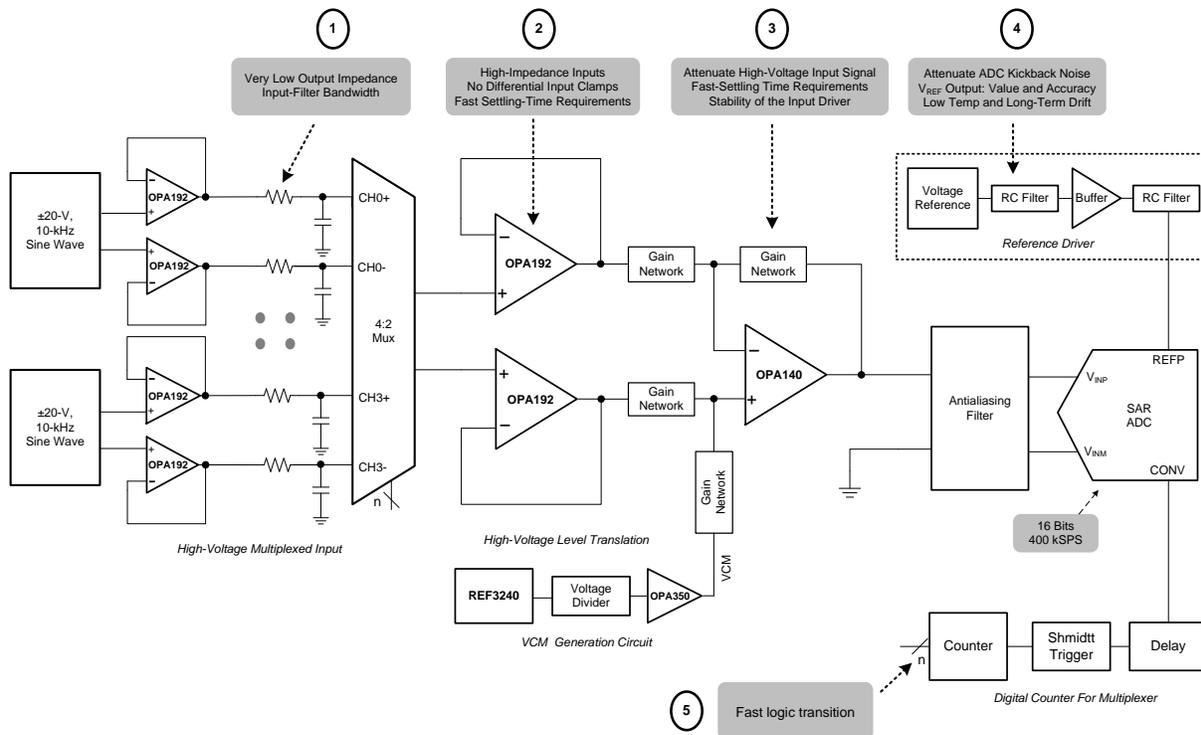


图 66. OPA192 用于 16 位 400kSPS 4 通道多路复用数据采集系统，可实现低失真下的高电压输入

9.2.1.1 设计要求

主要目标是将 16 位 400kSPS 吞吐量的 ADS8864 用于满量程 10kHz 纯正弦波输入，设计一个具有最小失真度的 ±20V 差分 4 通道多路复用数据采集系统。针对这个块设计的设计需求为：

- 系统电源电压：±15V
- ADC 电源电压：3.3V
- ADC 采样率：400kSPS
- ADC 参考电压 (REFP)：4.096V

典型应用 (接下页)

- 系统输入信号：峰值振幅为 10V，频率 (f_{IN}) 为 10kHz 的高压差分输入信号应用于多路复用器的每个差分输入。

9.2.1.2 详细设计流程

该精密设计的目的是设计一个优化的高电压多路复用数据采集系统，以实现最高系统线性度和快速的稳定时间。总系统框图如图 66 所示。该电路是一个多通道数据采集信号链，由输入低通滤波器、多路复用器 (mux)、多路复用器输出缓冲器、衰减 SAR ADC 驱动器、多路复用数字计数器和参考驱动器组成。该体系结构允许使用单个 ADC 对多个通道进行快速采样，从而提供低成本的解决方案。为了尽可能提高精密多路复用数据采集系统的性能，有两个主要设计考虑因素，一个是多路复用器输入模拟前端，一个是高压电平转换 SAR ADC 驱动器设计。但是，只有根据 ADC 性能规范精心设计每个模拟电路块，才能得到 16 位分辨率下的最快稳定性和最低失真系统。此图包含针对每个单独模拟块的最主要的技术规格。

本设计系统地接近每个模拟电路块，以获得满量程输入级电压的 16 位稳定时间，以及每个输入通道上 10kHz 正弦输入信号的线性度。设计的第一步是了解多路复用器极低阻抗输入滤波器设计的要求。了解此要求有助于决定适当的输入滤波器和选择多路复用器，以满足系统稳定要求。下一个重要步骤是设计衰减模拟前端 (AFE)，用于在保持放大器稳定性的同时，将高压输入信号电平转换为低压 ADC 输入。再下一步是设计一个数字接口，以最小的延迟来切换多路复用输入通道。最后的设计挑战是设计一个高精度参考驱动电路，来提供一个具有低偏移、温漂和噪声的 REEP 参考电压。

9.2.1.3 应用曲线

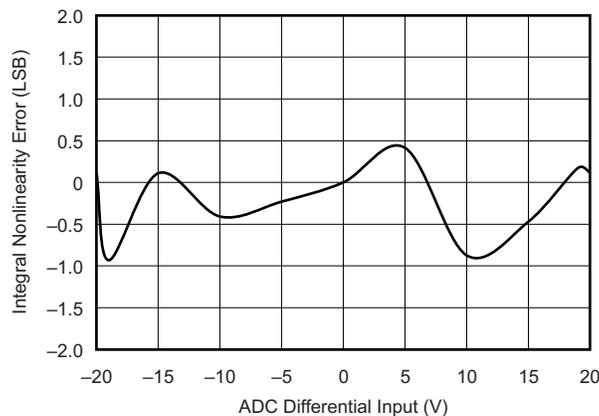


图 67. 多路复用数据采集块的 ADC 16 位线性误差



有关分步设计程序、电路原理图、物料清单、PCB 文件、模拟结果和测试结果，请参见 TI 精密设计 TIDU181，最低失真度下，16 位 400kSPS 4 通道多路复用高压输入数据采集系统。

9.2.2 输入保护的压摆率限制

在阀门或马达控制系统中，电压或电流的突变会导致机械损伤。通过控制驱动电路中的电压给定的压摆率，负载电压会以安全的速度上升和下降。对于对称的压摆率应用（正压摆率等于负压摆率），一个额外的运算放大器为一个给定的模拟增益电路提供压摆率控制。OPAx192 独特的输入保护、高输出电流以及压摆率使 OPAx192 成为单双通道电源供电的压摆率控制系统的理想运放。图 68 显示压摆率限制设计中的 OPA192。

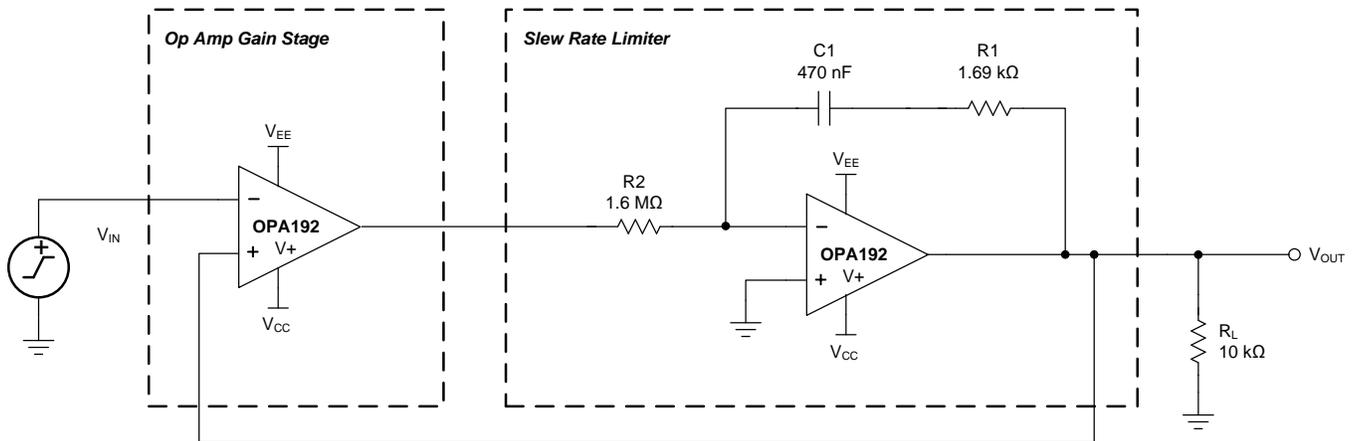


图 68. 压摆率限制器使用一个运算放大器



有关分步设计程序、电路原理图、物料清单、PCB 文件、模拟结果和测试结果，请参见 [TI 精密设计 TIDU026](#)，[压摆率限制器使用一个运算放大器](#)。

9.2.3 精密参考缓冲器

OPAx192 具有 高输出电流驱动能力和低输入失调电压，使该器件成为一个卓越的参考缓冲器，可提供精确的缓冲输出，并且有充足驱动电流用于瞬态变化。对于图 69 中所示的 $10\mu\text{F}$ 陶瓷电容器， R_{ISO} （一个 37.4Ω 的隔离电阻）可隔离两个反馈路径以实现最佳稳定性。反馈路径 1 通过 R_{F} ，直接连接到输出 V_{OUT} 端。反馈路径 2 通过 R_{FX} 和 C_{F} ，连接到运算放大器的输出端。所示的对 $10\mu\text{F}$ 负载设计的优化稳定性组件能够对 V_{OUT} 提供 4kHz 的闭环带宽，并且仍然提供 89° 环路增益相位裕量。任何其他负载电容都需要重新计算稳定性组件： R_{F} 、 R_{FX} 、 C_{F} 和 R_{ISO} 。

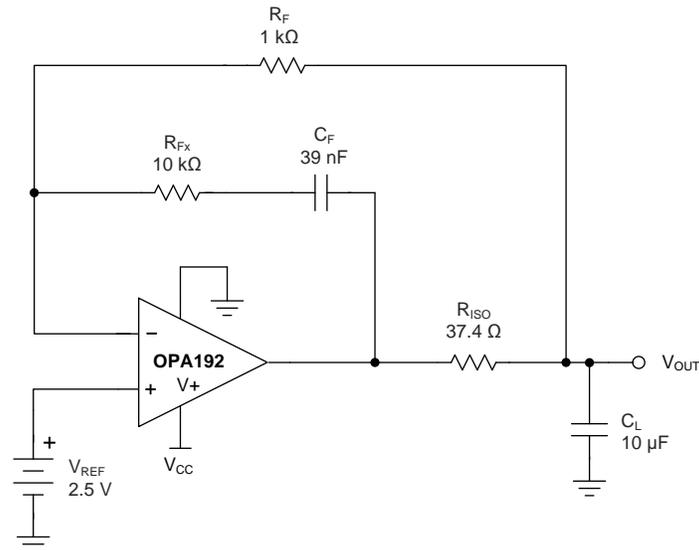


图 69. 精密参考缓冲器

10 电源相关建议

OPAx192 的额定工作电压范围是 4.5V 到 36V ($\pm 2.25\text{V}$ 到 $\pm 18\text{V}$) ; 许多规格在 -40°C 至 $+125^{\circ}\text{C}$ 的温度下适用。 [典型特性](#) 介绍了随工作电压或温度发生明显变化的参数。

CAUTION

电源电压超过 40V 就会对器件造成永久损坏，请参见 [绝对最大额定值](#)。

将 $0.1\mu\text{F}$ 旁路电容放置于电源引脚附近，旁路电容可以提供低阻抗回路来降低电源的耦合噪声。有关旁路电容放置位置的详细信息，请参见 [布局](#) 部分。

11 布局

11.1 布局准则

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR $0.1\mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 $V+$ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路中的模拟部分和数字部分单独接地是最为简单有效的噪声抑制方法。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参见 [电路板布局技巧](#)，[SLOA089](#)。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如 [图 71](#) 所示，使 R_F 和 R_G 靠近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循任何 PCB 水清洁过程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

11.2 布局示例

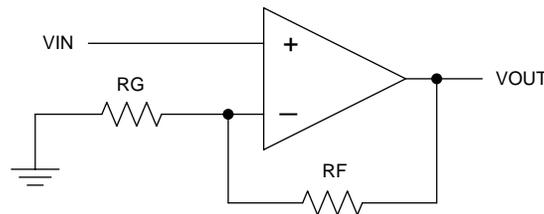
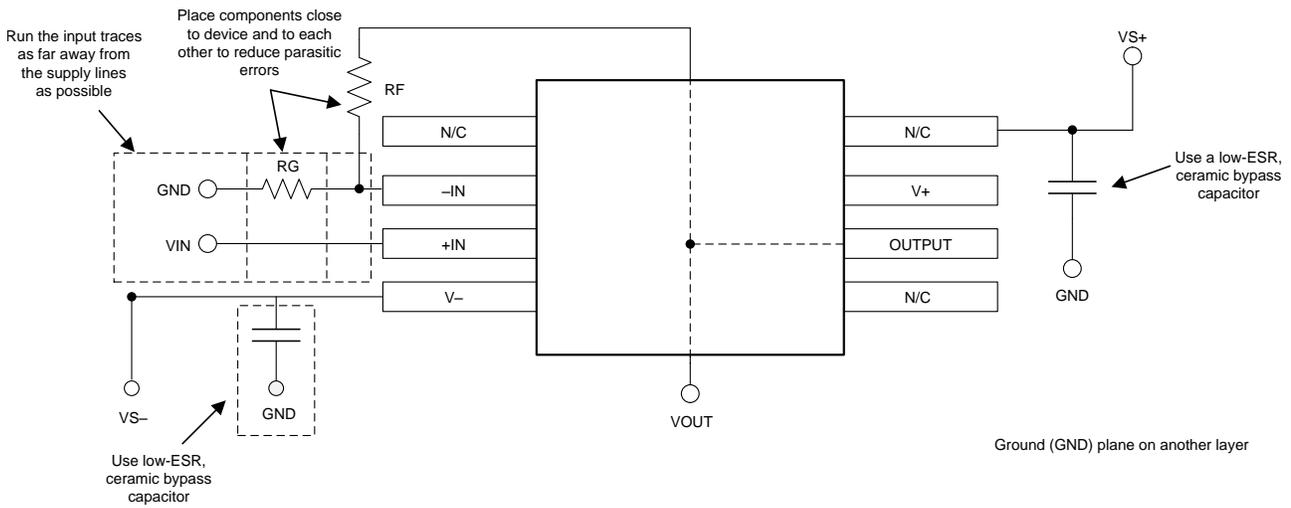


图 70. 原理图表示

布局示例 (接下页)



Copyright © 2017, Texas Instruments Incorporated

图 71. 同相配置的运算放大器电路板布局

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

12.1.1.1 TINA-TI™ (免费下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™提供) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

12.1.1.2 TI 高精度设计

OPA192 采用多种 TI 高精度设计，获取相关内容请访问 <http://www.ti.com.cn/ww/analog/precision-designs/>。TI 高精度设计是由 TI 公司高精度模拟应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。

12.2 文档支持

12.2.1 相关文档

《电路板布局布线技巧》，[SLOA089](#)。

《适用于所有人的运算放大器》，[SLOD006](#)。

12.3 相关链接

[表 4](#) 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 4. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA192	请单击此处				
OPA2192	请单击此处				
OPA4192	请单击此处				

12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

TI E2E™ 在线社区 [TI 的工程师对工程师 \(E2E\) 社区](#)。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 [TI 参考设计支持](#) 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

12.5 商标

e-trim, E2E are trademarks of Texas Instruments.

TINA-TI is a trademark of Texas Instruments, Inc and DesignSoft, Inc.

蓝牙 is a registered trademark of Bluetooth SIG, Inc.

TINA, DesignSoft are trademarks of DesignSoft, Inc.

12.5 商标 (接下页)

All other trademarks are the property of their respective owners.

12.6 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.7 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页中包括机械封装、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参见左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA192ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA192
OPA192ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA192
OPA192IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUYS
OPA192IDBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUYS
OPA192IDBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUYS
OPA192IDBVRG4.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUYS
OPA192IDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUYS
OPA192IDBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUYS
OPA192IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUXS
OPA192IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUXS
OPA192IDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUXS
OPA192IDGKRG4.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUXS
OPA192IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUXS
OPA192IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OUXS
OPA192IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA192
OPA192IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA192
OPA192IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA192
OPA192IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA192
OPA2192ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2192
OPA2192ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2192
OPA2192IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVLM
OPA2192IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVLM
OPA2192IDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVLM
OPA2192IDGKRG4.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVLM
OPA2192IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVLM
OPA2192IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OVLM
OPA2192IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2192
OPA2192IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2192
OPA2192IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2192

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2192IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2192
OPA4192ID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192ID.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IDR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IDRG4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IDRG4.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IPW	Active	Production	TSSOP (PW) 14	90 TUBE	Yes	SN	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IPW.B	Active	Production	TSSOP (PW) 14	90 TUBE	Yes	SN	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	OPA4192
OPA4192IPWR.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	OPA4192

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

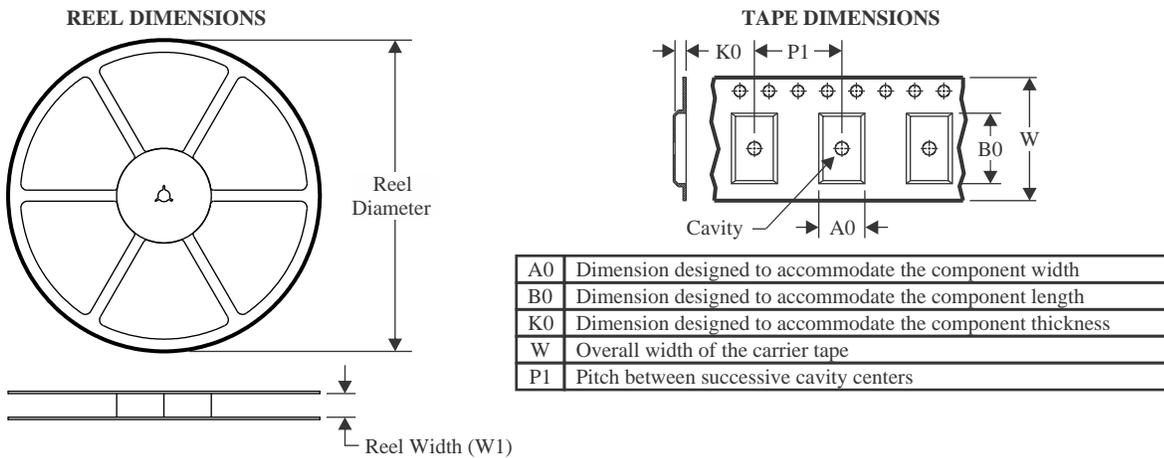
OTHER QUALIFIED VERSIONS OF OPA192, OPA2192 :

- Automotive : [OPA192-Q1](#), [OPA2192-Q1](#)

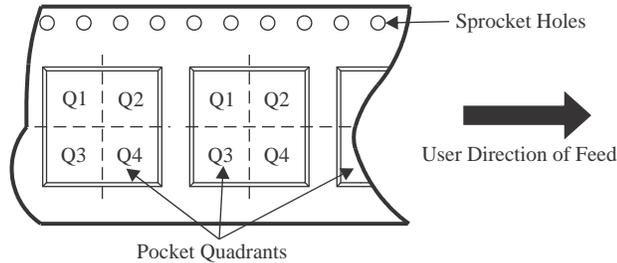
NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

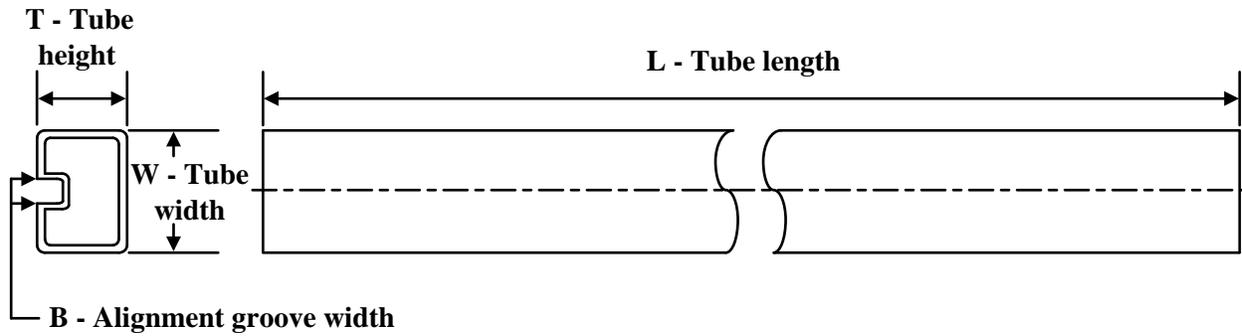
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA192IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA192IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA192IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA192IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA192IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA192IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA192IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA192IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2192IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2192IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2192IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2192IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2192IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2192IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4192IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4192IDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4192IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

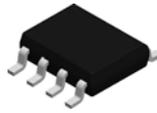

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA192IDBVR	SOT-23	DBV	5	3000	223.0	270.0	35.0
OPA192IDBVRG4	SOT-23	DBV	5	3000	223.0	270.0	35.0
OPA192IDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA192IDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
OPA192IDGKRG4	VSSOP	DGK	8	2500	358.0	335.0	35.0
OPA192IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
OPA192IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA192IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA2192IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2192IDGKRG4	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA2192IDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2192IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
OPA2192IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2192IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4192IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4192IDRG4	SOIC	D	14	2500	353.0	353.0	32.0
OPA4192IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA192ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA192ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2192ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2192ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA4192ID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4192ID.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA4192IPW	PW	TSSOP	14	90	508	8.5	3250	2.8
OPA4192IPW.B	PW	TSSOP	14	90	508	8.5	3250	2.8

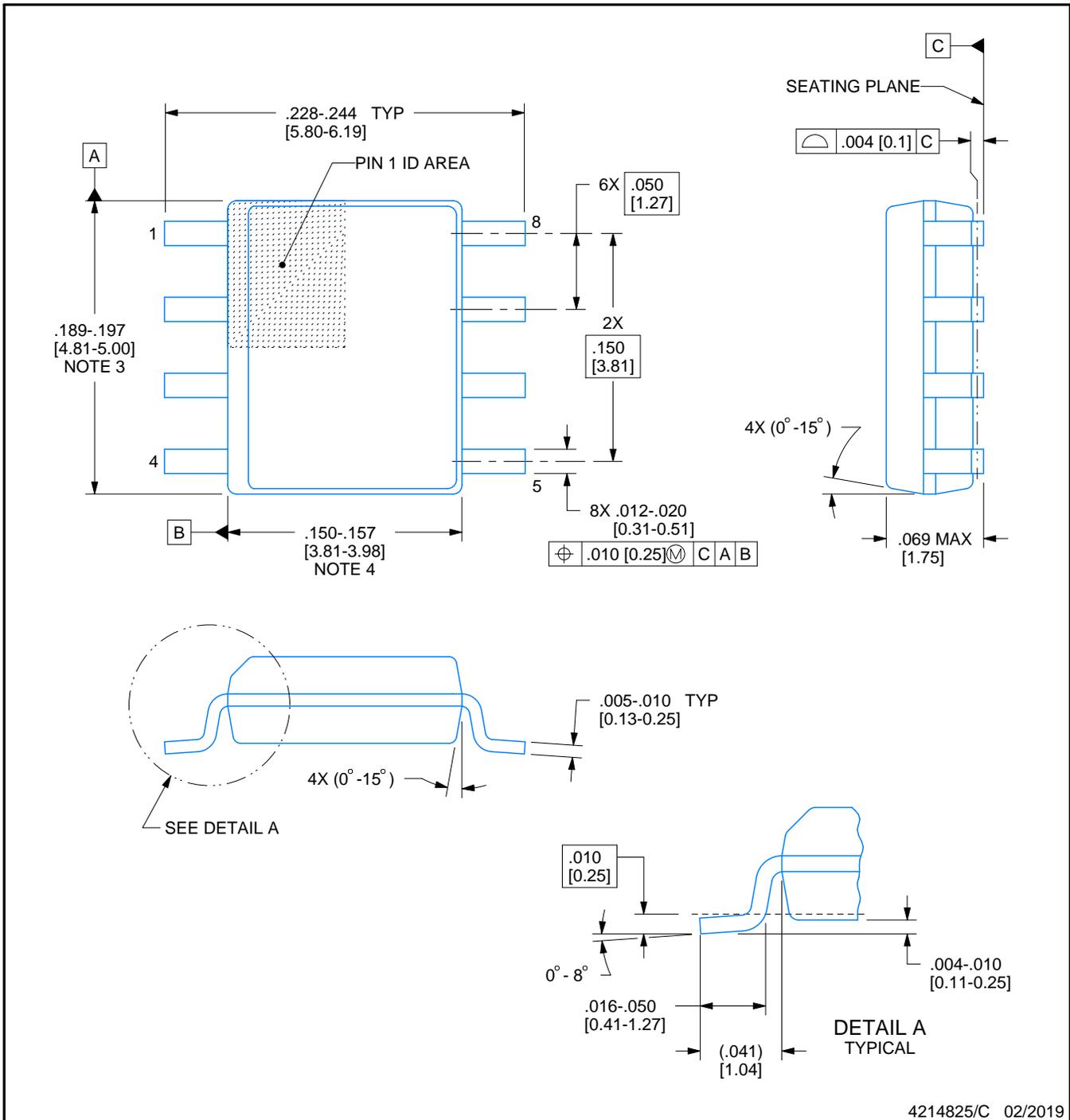


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

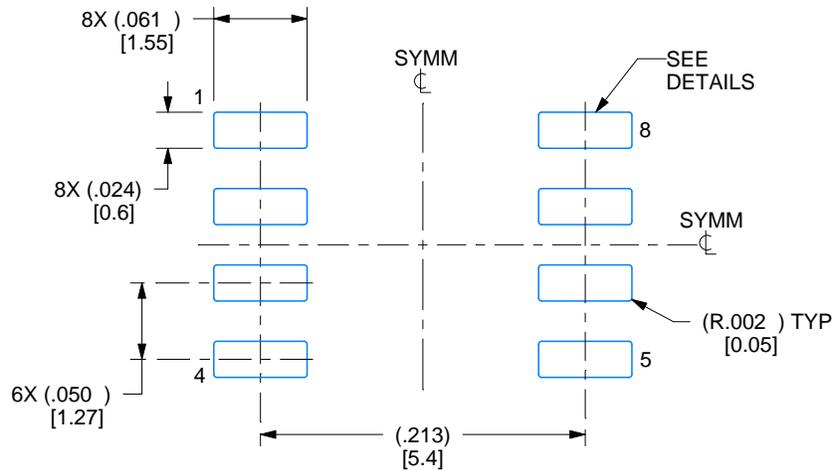
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

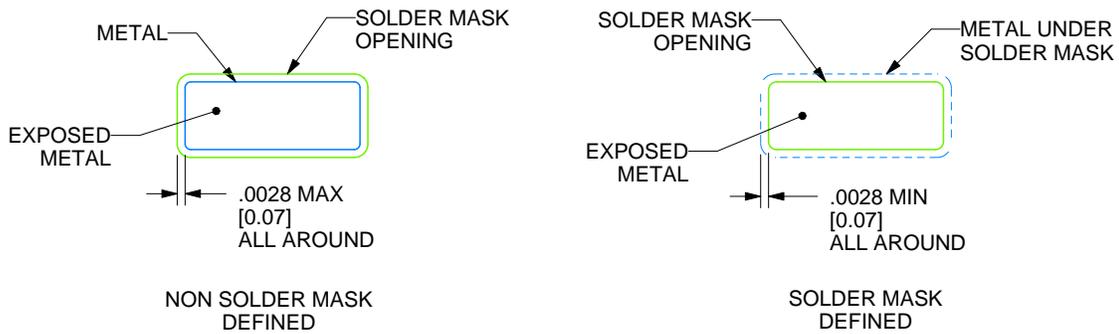
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

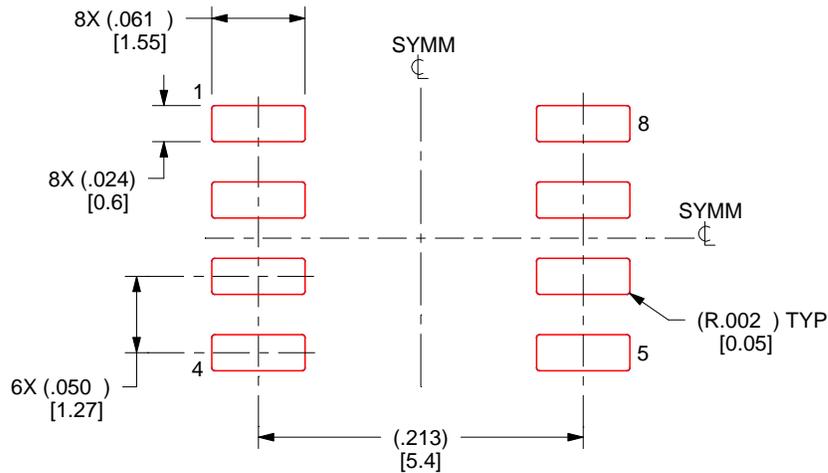
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

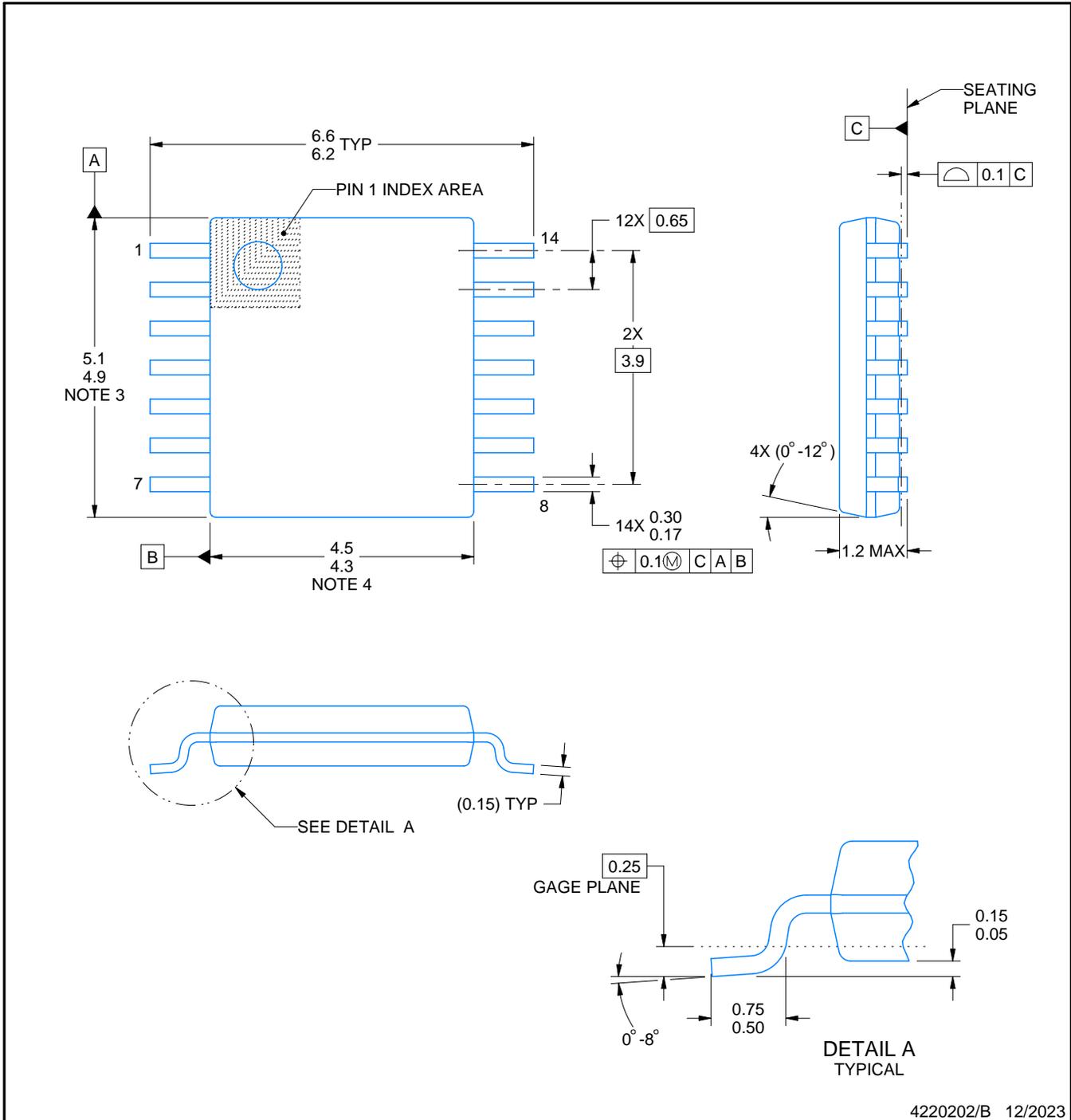


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

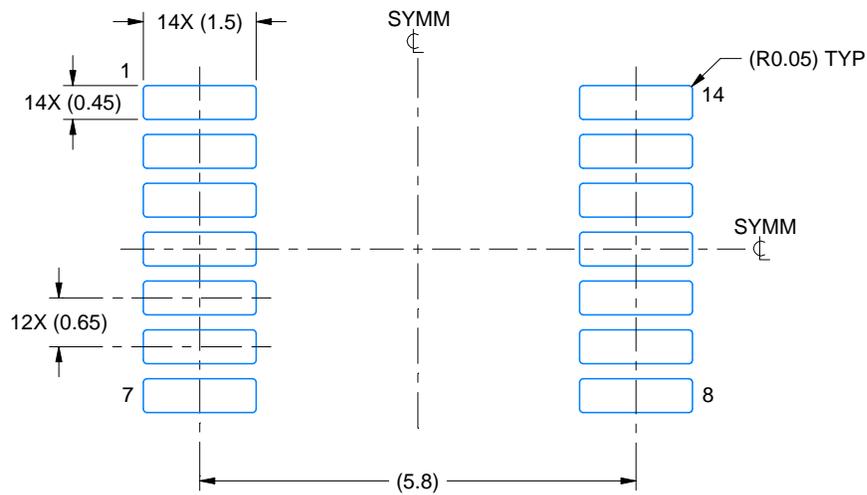
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

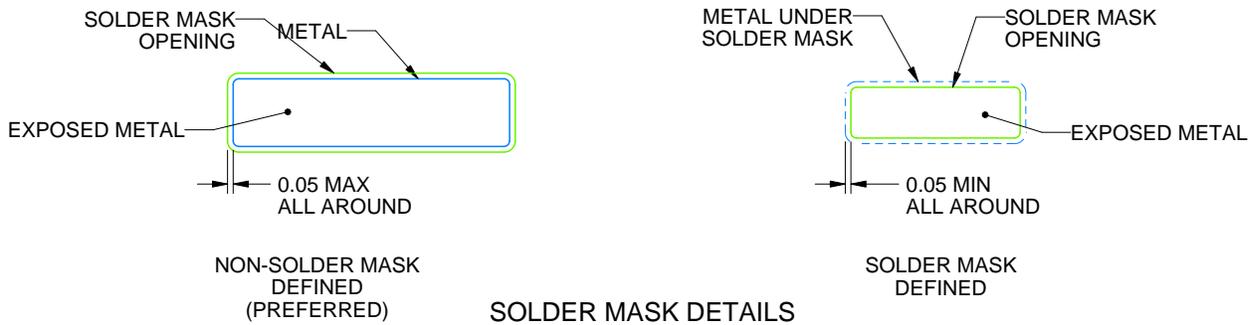
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

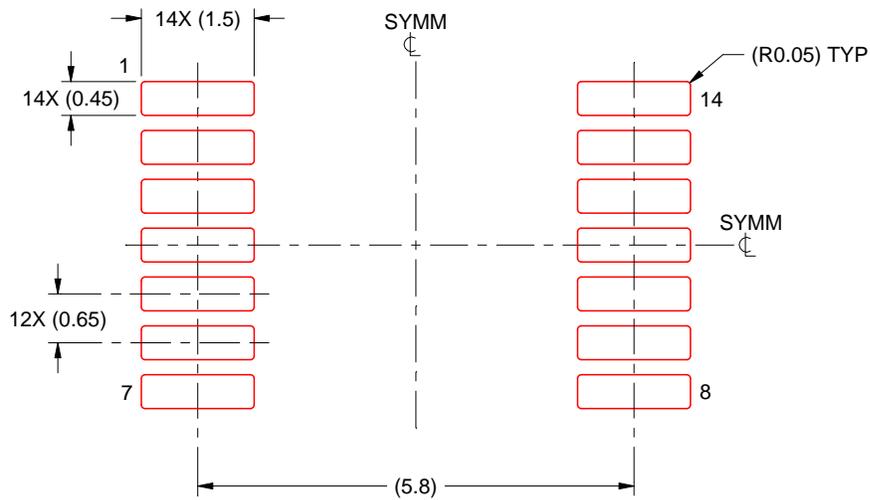
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

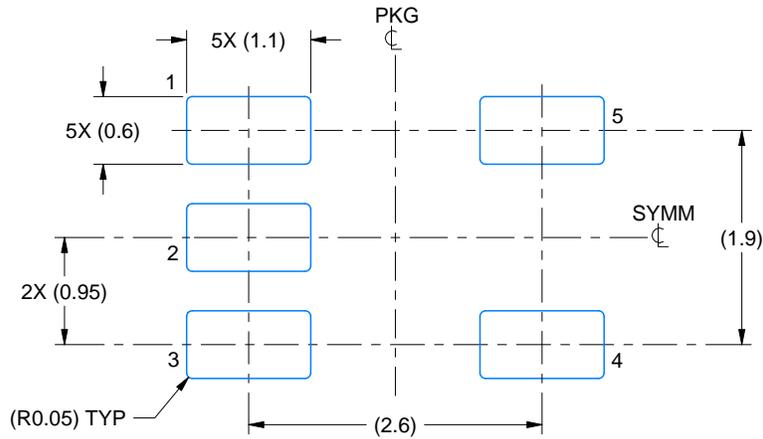
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

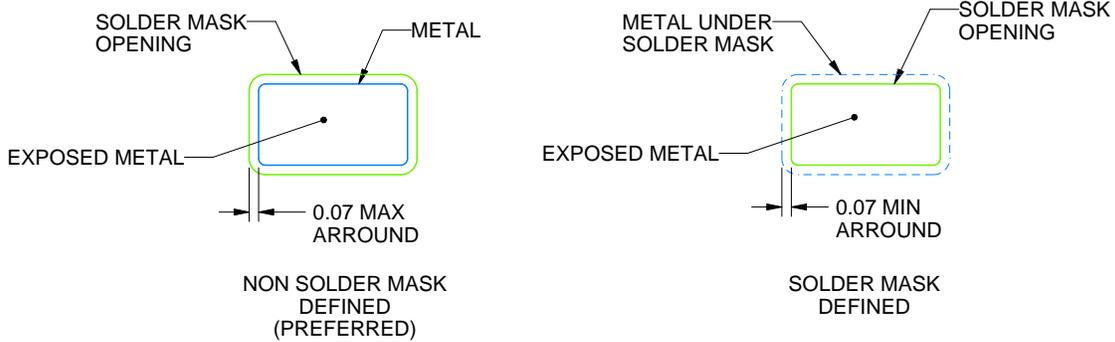
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

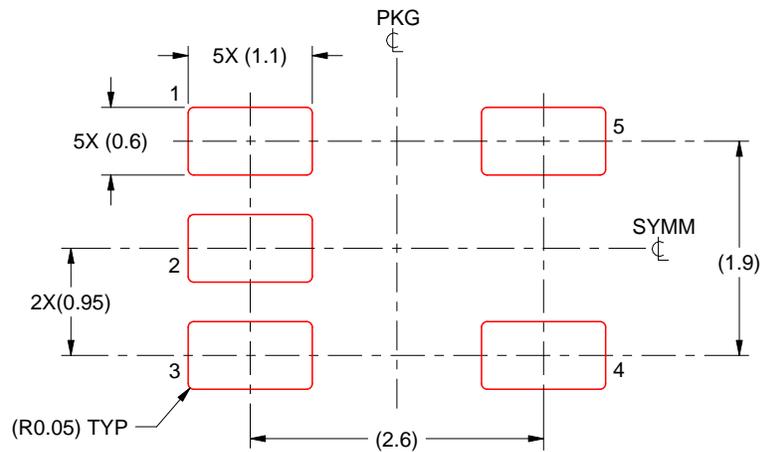
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

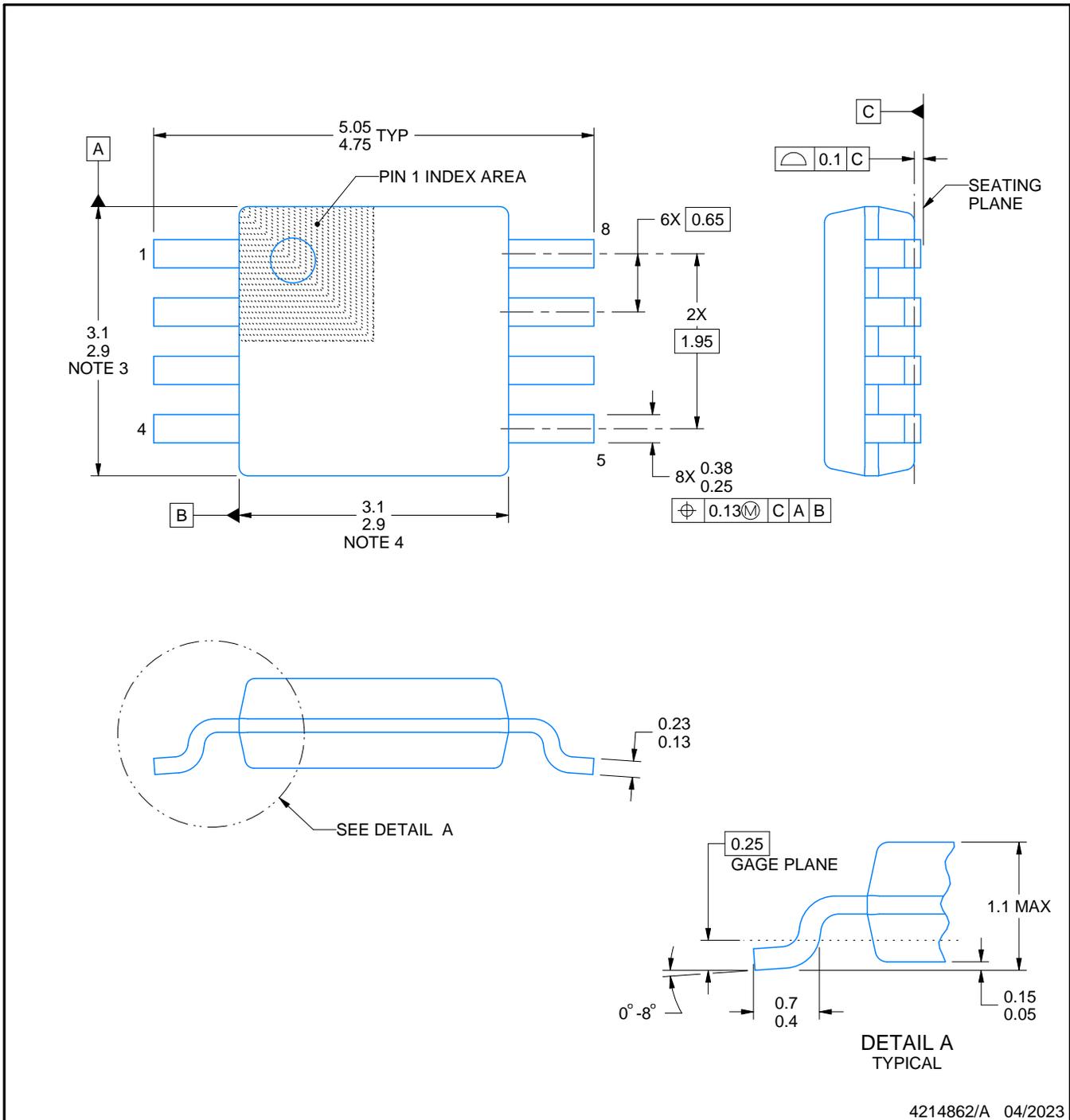
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

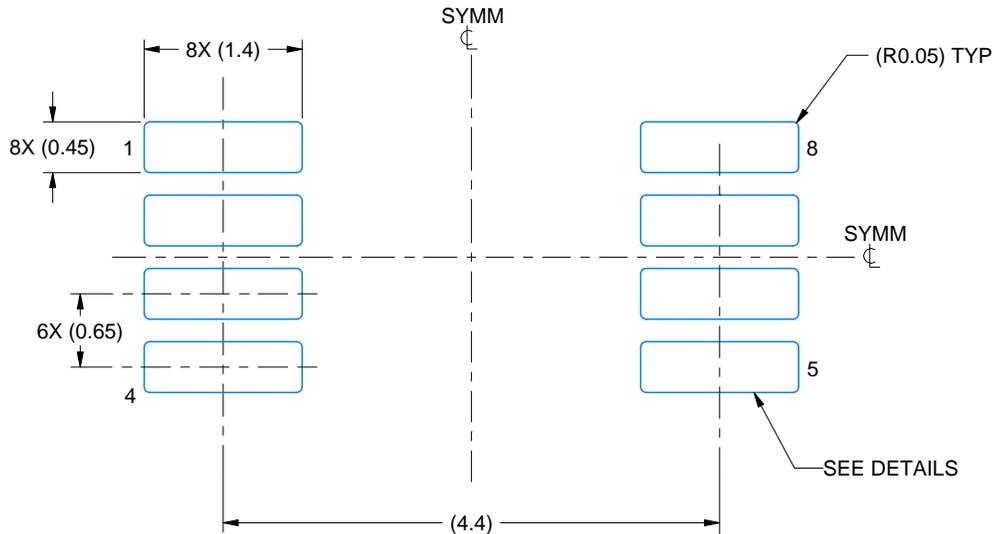
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

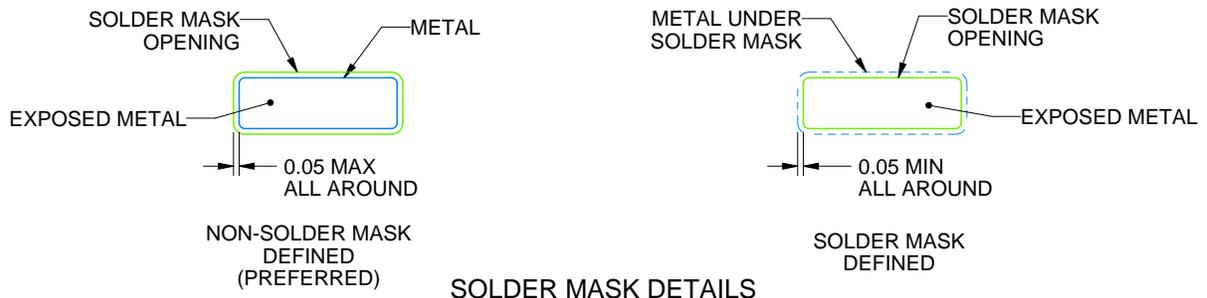
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

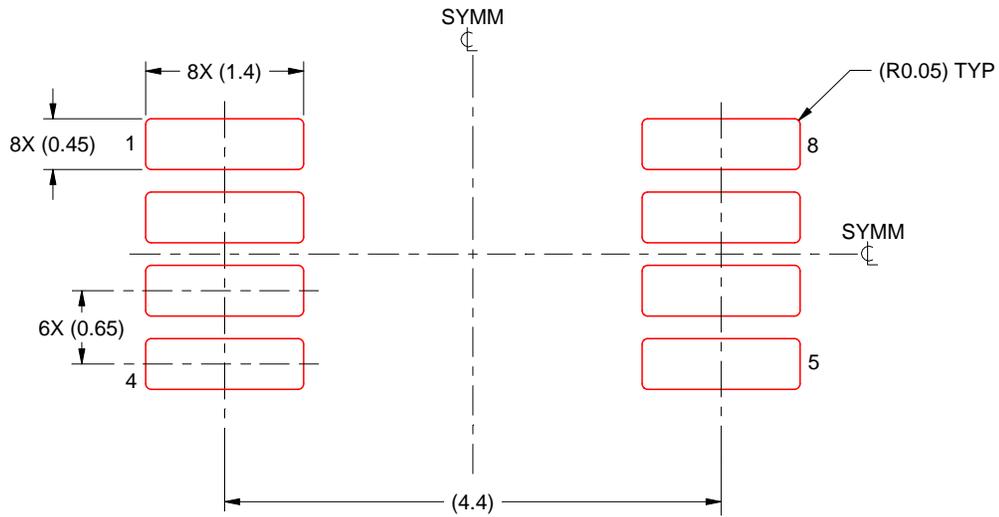
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

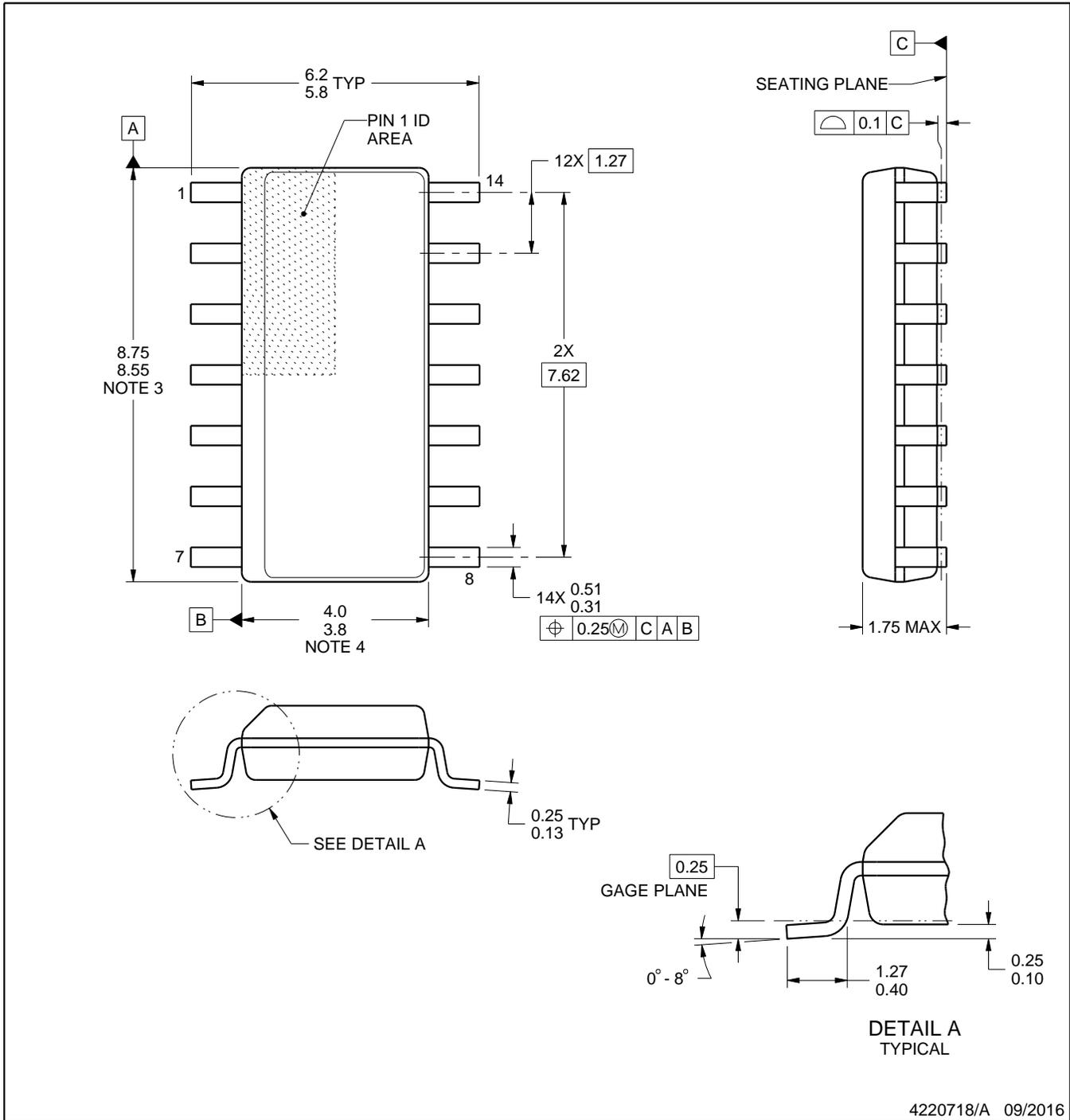
D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

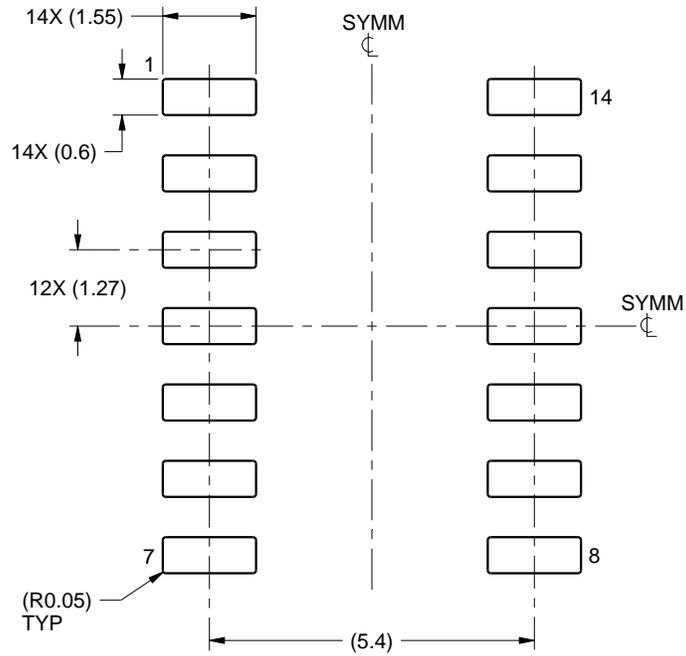
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

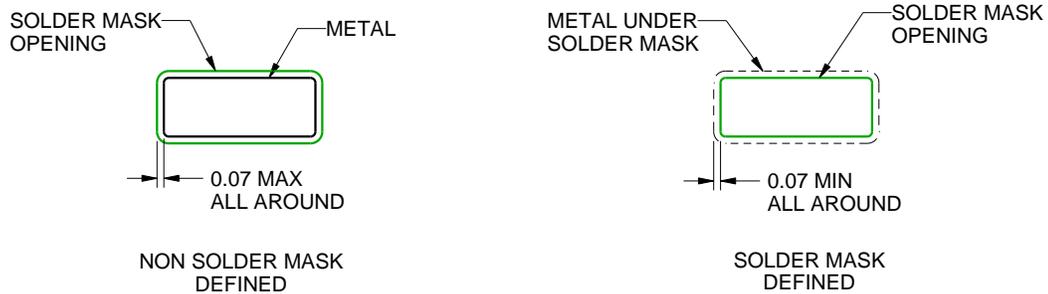
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

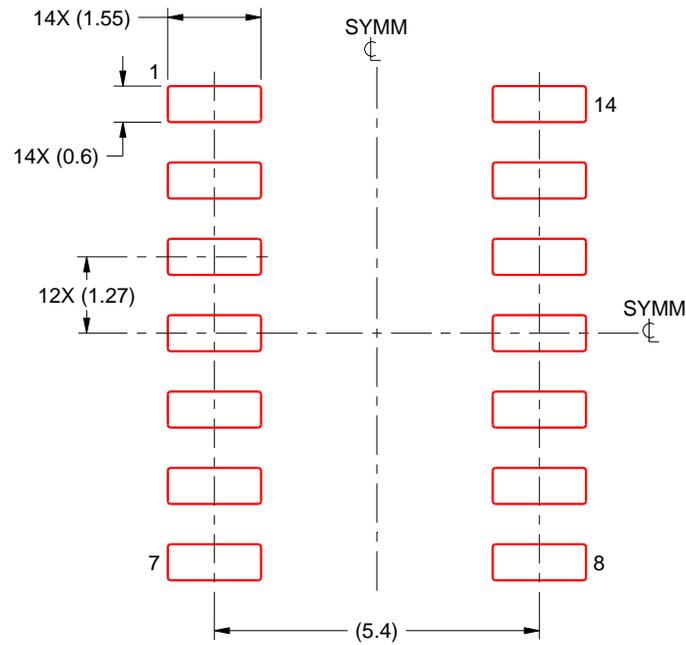
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月