

TLC352 双通道差分比较器

1 特性

- 单电源或双电源运行
- 宽电源电压范围：2.7V 至 18V
- 超低电流损耗：
 - 5V 时典型值为 150 μ A
- 内置 ESD 保护
- 高输入阻抗：典型值为 $10^{12}\Omega$
- 极低输入偏置电流：典型值为 5pA
- 超稳定的低输入偏移电压
- 共模输入电压范围包括接地
- 输出与 TTL、MOS 和 CMOS 兼容
- 引脚与 LM393 兼容

2 说明

该器件使用 CMOS 技术制造，包含两个独立的电压比较器，每个比较器采用单电源供电设计。如果两个电源之间的电压差在 2.7V 至 18V 之间，也可由双电源供电运行。每个器件都具有极高的输入阻抗（通常大于 $10^{12}\Omega$ ），因此可以直接连接高阻抗源。输出为 N 通道漏极开路配置，可连接来实现正逻辑线与关系。TLC352 能够由 2.7V 电源供电运行，因此非常适合低电压电池应用。

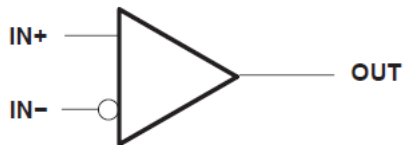
TLC352 具有内部静电放电 (ESD) 保护电路，并获评 2000V ESD 等级。不过，在处理该器件时必须小心，因为接触 ESD 会导致器件参数性能下降。

TLC352C 可在 0°C 至 70°C 的温度范围内运行。TLC352I 可在 -40°C 至 85°C 的工业温度范围内运行。

器件信息

T_A	V_{IO} 在 25°C 时的 最大值	封装 ⁽¹⁾
		小外形 (D)
0°C 至 70°C	5mV	TLC352CD
-40°C 至 85°C	5mV	TLC352ID

(1) D 封装可采用带卷形式供货。向器件类型添加了 R 后缀（例如 TLC352CDR）。



符号（每个比较器）



内容

1 特性.....	1	6.2 功能方框图.....	9
2 说明.....	1	6.3 特性说明.....	9
3 引脚配置和功能.....	3	6.4 器件功能模式.....	9
4 规格.....	4	7 器件和文档支持.....	13
4.1 绝对最大额定值.....	4	7.1 接收文档更新通知.....	13
4.2 建议运行条件.....	4	7.2 支持资源.....	13
4.3 电气特性.....	5	7.3 商标.....	13
4.4 电气特性.....	6	7.4 静电放电警告.....	13
4.5 开关特性.....	6	7.5 术语表.....	13
5 典型特性.....	7	8 修订历史记录.....	13
6 详细说明.....	9	9 机械、封装和可订购信息.....	13
6.1 概述.....	9		

3 引脚配置和功能

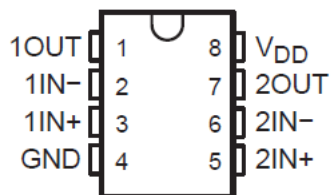


图 3-1. TLC352C、TLC352I D 或 P 封装 (顶视图)

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V _{DD}	电源电压 ⁽²⁾		18		V
V _{ID}	差分输入电压 ⁽³⁾		±V _{DD}		V
V _I	输入电压范围		-0.3	V _{DD}	V
V _O	输出电压		18		V
I _I	输入电流		±5		mA
I _O	输出电流		20		mA
	输出接地短路的持续时间 ⁽⁴⁾		无限		
T _A	自然通风条件下的工作温度范围	TLC352C	0	70	℃
		TLC352I	-40	85	
	贮存温度范围		- 65	150	℃
	10 秒内距离外壳 1.6mm (1/16 英寸) 的引线温度	D 封装	260		℃
		P 封装			

- (1) 应力超出“绝对最大额定值”下所列的值会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分电压外的所有电压值都是相对于网络接地而言。
- (3) 差分电压是相对于 IN^- 的 IN^+ 上的值。
- (4) 从输出到 V_{DD} 的短路会导致过热，最终导致器件损坏。

4.2 建议运行条件

			TLC352C		TLC352I		单位
			最小值	最大值	最小值	最大值	
V _{DD}	电源电压		2.7	16	2.7	16	V
V _{IC}	共模输入电压	V _{DD} = 5V	0	3.5	0	3.5	V
		V _{DD} = 10V	0	8.5	0	8.5	
T _A	自然通风条件下的工作温度范围		0	70	-40	85	°C

4.3 电气特性

在指定自然通风温度下， $V_{DD} = 2.7V$ (除非另有说明)

参数		测试条件		T_A ⁽¹⁾	TLC352C			TLC352I			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
V_{IO}	输入失调电压	$V_{IC} = V_{ICRmin}$		25°C		2	5		2	5	mV
				完整范围			6.5			7	
I_{IO}	输入失调电流			25°C		1			1		pA
				最大值			0.3			1	nA
I_{IB}	输入偏置电流			25°C		5			5		pA
				最大值			0.6			2	nA
V_{ICR}	共模输入电压范围			完整范围	0		1.2	0		1.2	V
V_{OL}	低电平输出电压			25°C		100	200		100	200	mV
				完整范围			200			200	
I_{OL}	低电平输出电流	$V_{ID} = -0.5V$	$V_{OL} = 0.3V$	25°C	1	1.6		1	1.6		mA
I_{DD}	电源电流 (两个比较器)	$V_{ID} = 0.5V$	无负载	25°C		65	150		65	150	μA
				完整范围			200			200	

(1) 除非另有说明，否则所有特性均在零共模输入电压下测得。对于 TLC352C，完整范围为 0°C 至 70°C；对于 TLC352I，为 -40°C 至 85°C。

4.4 电气特性

在指定自然通风温度下， $V_{DD} = 5V$ (除非另有说明)

参数		测试条件		T_A ⁽¹⁾	TLC352C			TLC352I			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
V_{IO}	输入失调电压	$V_{IC} = V_{ICRmin}$		25°C	1		5	1		5	mV
				完整范围			6.5			7	
I_{IO}	输入失调电流			25°C	1			1			pA
				最大值			0.3			1	nA
I_{IB}	输入偏置电流			25°C	5			5			pA
				最大值			0.6			2	nA
V_{ICR}	共模输入电压范围			25°C	0 到 $V_{DD} - 1$			0 到 $V_{DD} - 1$			V
				完整范围	0 到 $V_{DD} - 1.5$			0 到 $V_{DD} - 1.5$			
I_{OH}	高电平输出电流	$V_{ID} = 1V$	$V_{OH} = 5V$	25°C	0.1			0.1			nA
			$V_{OH} = 15V$	完整范围			1			1	μA
V_{OL}	低电平输出电压	$V_{ID} = 1V$	$I_{OL} = 4mA$	25°C	150		400	150		400	mV
				完整范围			700			700	
I_{OL}	低电平输出电流	$V_{ID} = -1V$	$V_{OL} = 1.5V$	25°C	6		16	6		16	mA
I_{DD}	电源电流 (两个比较器)	$V_{ID} = 1V$	无负载	25°C	0.15		0.3	0.15		0.3	mA
				完整范围			0.4			0.4	

(1) 除非另有说明，否则所有特性均在零共模输入电压下测得。对于 TLC352C，完整范围为 0°C 至 70°C；对于 TLC352I，为 -40°C 至 85°C。

4.5 开关特性

$V_{DD} = 5V$ ， $T_A = 25°C$

参数	测试条件		TLC352C、TLC352I			单位
			最小值	典型值	最大值	
响应时间	R_L 通过 5.1kΩ 连接到 5V $C_L = 15pF$ ^{(1) (2)}	具有 10mV 过驱的 100mV 输入阶跃		200		ns
		100mV 过驱		100		

(1) C_L 包括探头和夹具电容

(2) 指定的响应时间是输入阶跃函数与输出超过 1.4V 的那一刻之间的间隔。

5 典型特性

在 $T_A = 25^\circ\text{C}$ 时, $V_S = 12\text{V}$, $V_{CM} = V_S/2\text{V}$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV , $R_{PU} = 10\text{k}\Omega$, 除非另有说明。

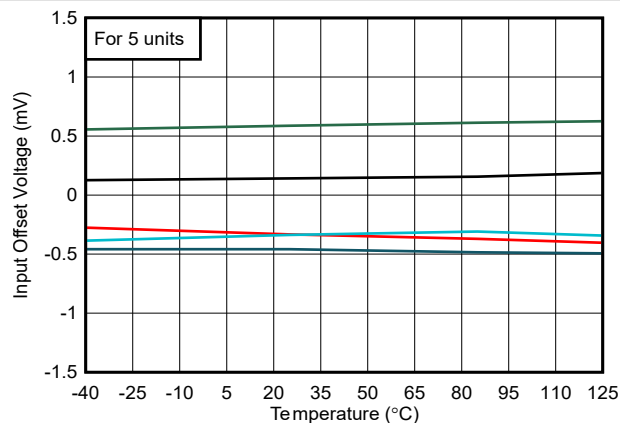


图 5-1. 失调电压与温度间的关系

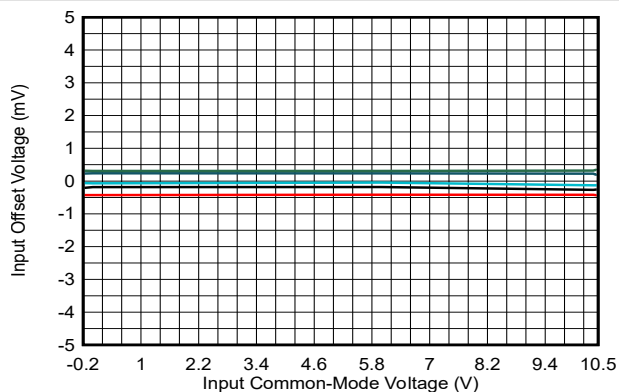


图 5-2. 失调电压与共模电压间的关系, 12V

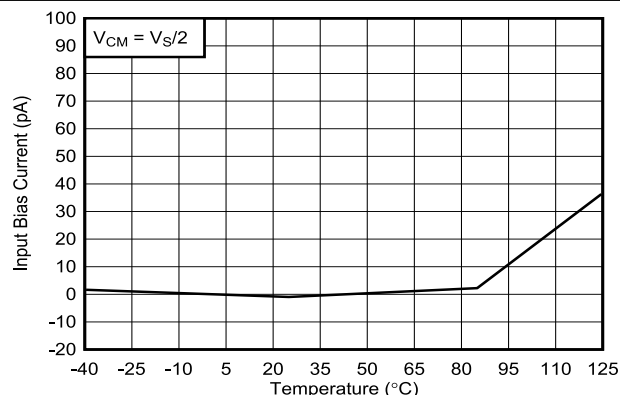


图 5-3. 偏置电流与温度间的关系

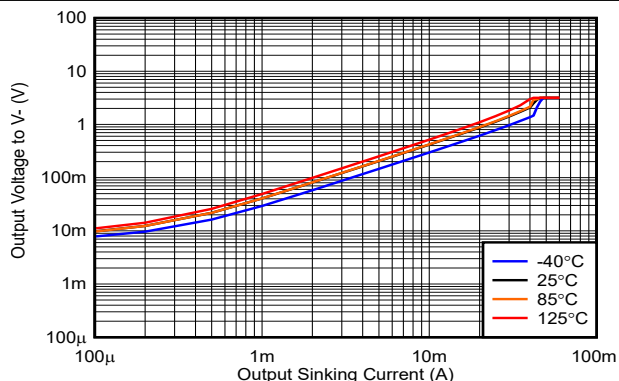


图 5-4. 输出电压与灌电流间的关系, 3.3V

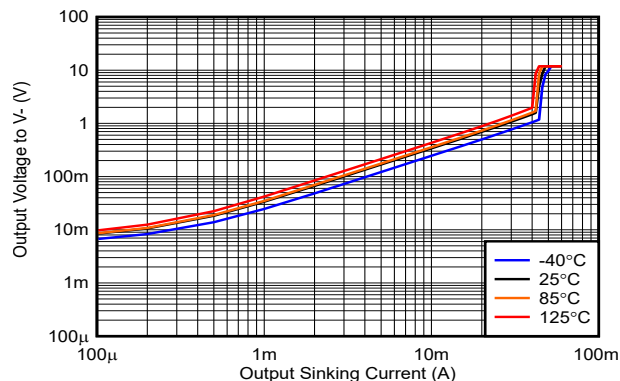


图 5-5. 输出电压与灌电流间的关系, 12V

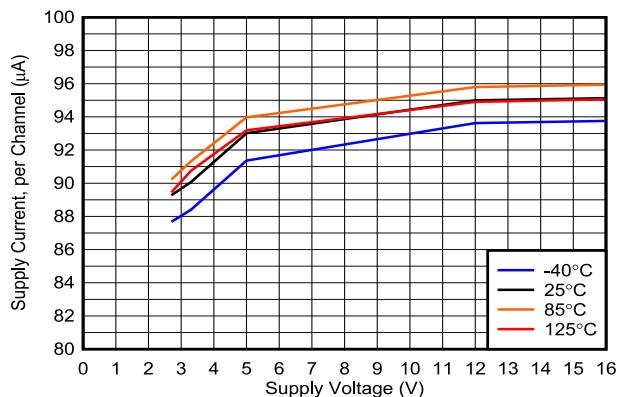


图 5-6. 电源电流与电源电压间的关系, 输出低电平, 无负载

5 典型特性 (续)

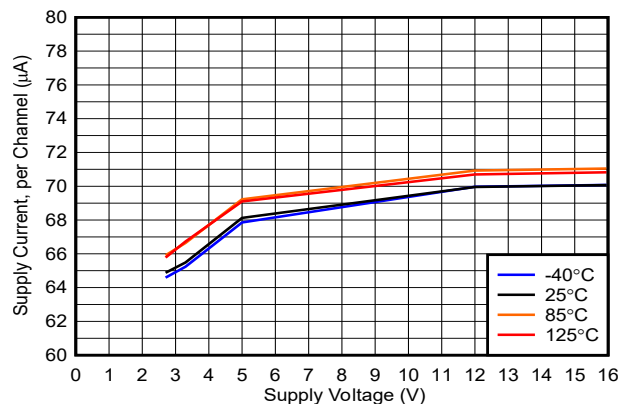


图 5-7. 电源电流与电源电压间的关系，输出高电平，无负载

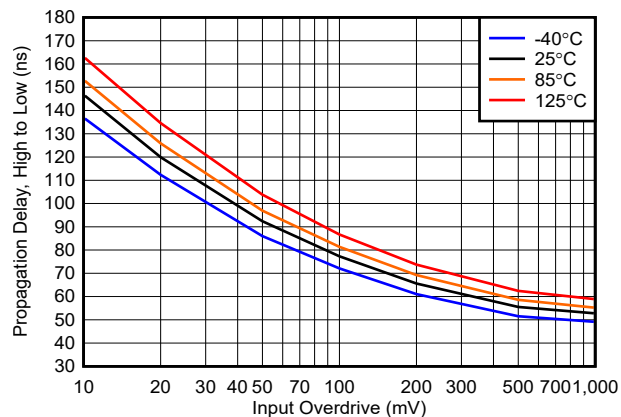


图 5-8. 传播延迟 (低电平到高电平) 与输入过驱间的关系，3.3V

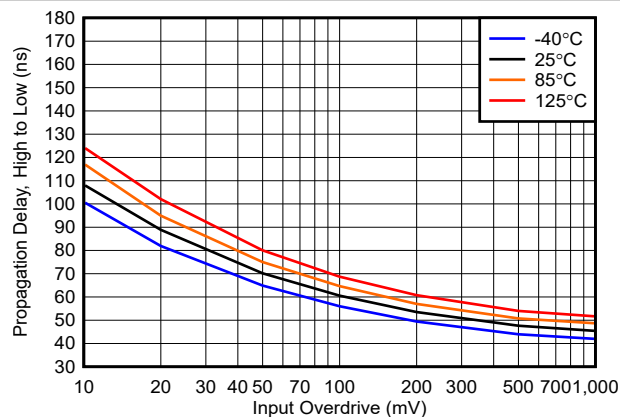


图 5-9. 传播延迟 (低电平到高电平) 与输入过驱间的关系，12V

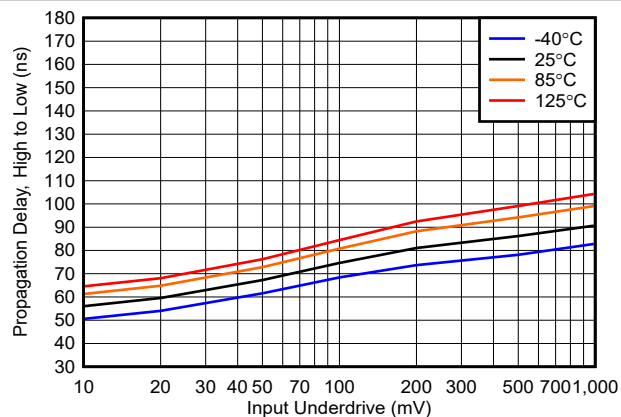


图 5-10. 传播延迟 (高电平到低电平) 与输入欠驱间的关系，3.3V

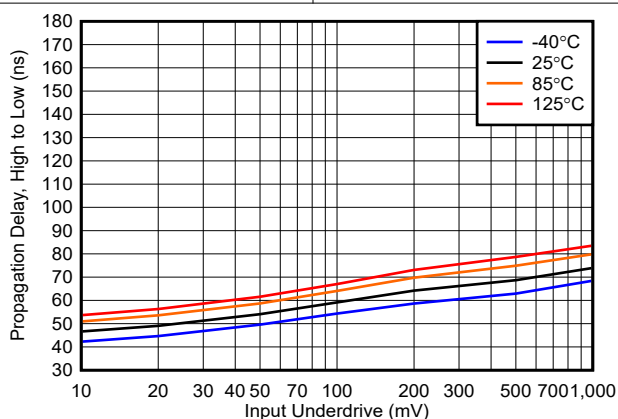


图 5-11. 传播延迟 (高电平到低电平) 与输入欠驱间的关系，12V

6 详细说明

6.1 概述

TLC352 器件是一款具有漏极开路输出的低功耗比较器。TLC372 的工作电压低至 3V，而每通道仅消耗 75μA 电流，因此非常适合功耗敏感型应用。

6.2 功能方框图

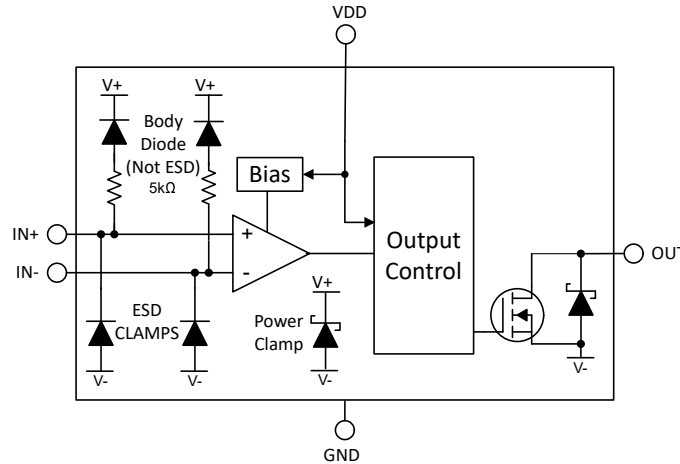


图 6-1. 方框图

6.3 特性说明

TLC372 比较器包含一个 CMOS 差分对输入，使器件能够获得非常高的增益，能快速响应且在最小的输入偏置电流下运行。输出包含出一个漏极开路输出级，能够通过负差分输入电压灌入电流。

6.4 器件功能模式

6.4.1 输入

在全温度范围内，TLC3x2 输入电压范围覆盖 V_- 至比 V_+ 低 1.5V 的区间。差分输入电压 (V_{ID}) 可以是上述范围内的任何电压。当输入电压保持在指定范围内时，比较器输出不会发生相位转换。

6.4.2 ESD 保护

TLC3x2 输入和输出 ESD 保护电路包含 I/O 引脚与 V_+ 之间的传统二极管型“上部”ESD 钳位和 I/O 引脚输出与 V_- 之间的“下部”ESD 钳位。输入或输出电压不得比电源轨高出 300mV 以上。TI 建议不要在没有电源电压的情况下向输入施加信号。

当输入端要连接到低阻抗源（例如电源或缓冲参考线）时，请添加一个与输入端串联的限流电阻器，以限制钳位导通时的任何电流。电流必须限制在 10mA 或更小，但 TI 建议将电流限制在 1mA 或更小。该串联电阻可以是任何电阻输入分压器或网络的一部分。

6.4.3 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低偏移电压，将输入端直接连接在一起可导致高频率抖动，因为器件会触发其自身的内部宽带噪声。必须将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，一个输入可以接地，另一个输入可以连接到基准电压。

6.4.4 开漏输出

TLC3x2 具有一个仅灌入的漏极开路（通常也被称为集电极开路）输出级，可将输出逻辑电平上拉至一个外部电压（0V 至 16V），而不受比较器电源电压 (VDD) 的影响。该开漏输出允许对多个开漏输出进行逻辑或运算和逻辑

电平转换。TI 建议将上拉电阻器电流设置为 100uA 至 1mA。较低的上拉电阻值有助于增加上升沿的上升时间，但代价是会增加 VOL 和功率耗散。上升时间将取决于总上拉电阻和总负载电容的时间常数。较大的上拉电阻值 (>1MΩ) 由于输出 RC 时间常数而产生指数上升沿，并增加上升时间。

直接将输出短接至 VDD 会导致热失控，并最终在高上拉电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的漏极开路输出可保持悬空，如果不允许使用悬空引脚，也可以连接到 GND 引脚。

6.4.5 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置可能会出现振荡或产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。

可以通过添加迟滞或正反馈来防止发生该问题。

图 6-2 所示为迟滞传递曲线。该曲线是一个涉及三个分量的函数： V_{TH} 、 V_{OS} 和 V_{HYST} ：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

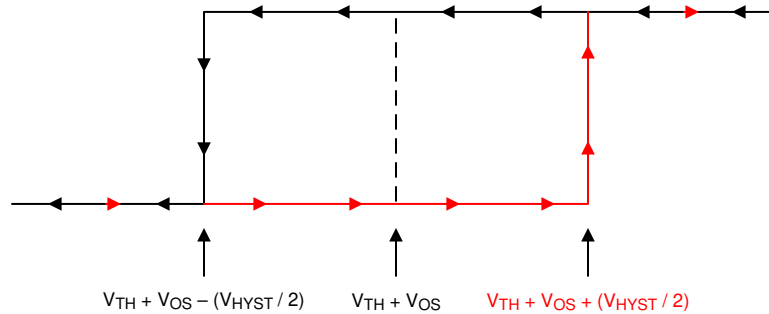


图 6-2. 迟滞传递曲线

更多相关信息，请参阅应用手册 SBOA219 “具有/不具有迟滞功能的比较器电路”。

6.4.5.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如下所示。

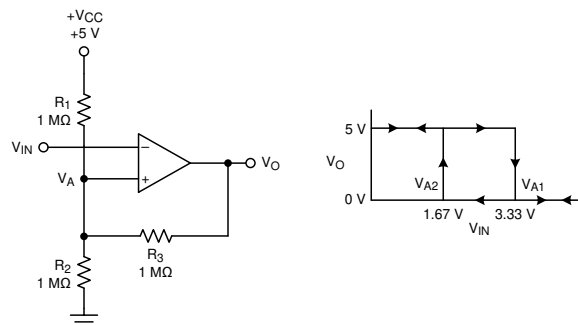


图 6-3. 具有迟滞功能的反相配置

输出为高电平和低电平时的等效电阻器网络如下所示。

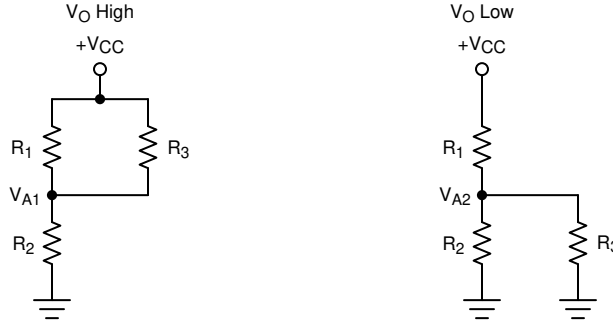


图 6-4. 反相配置电阻器等效网络

当 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三个网络电阻器可以表示为 $R1 \parallel R3$ 与 $R2$ 串联，如左上方所示。

下面的公式定义了从高电平转换到低电平的跳变电压 (V_{A1})。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \quad (1)$$

当 V_{IN} 大于 V_A 时，输出电压较低。在这种情况下，三个网络电阻器可以表示为 $R2 \parallel R3$ 与 $R1$ 串联，如右上方所示。

使用下面的公式定义从低电平转换到高电平的跳变电压 (V_{A2})。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \quad (2)$$

此公式定义了网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \quad (3)$$

6.4.5.2 具有迟滞功能的同相比较器

具有磁滞功能的非反相比较器需要一个双电阻器网络并在反相输入端需要一个电压基准 (V_{REF})，如图 6-5 所示。

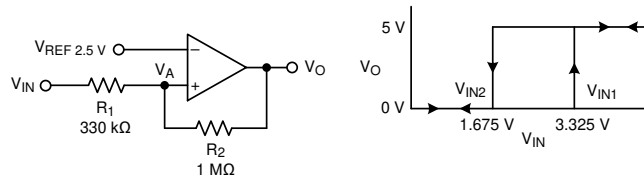


图 6-5. 具有迟滞功能的同相配置

输出为高电平和低电平时的等效电阻器网络如图 6-6 所示。

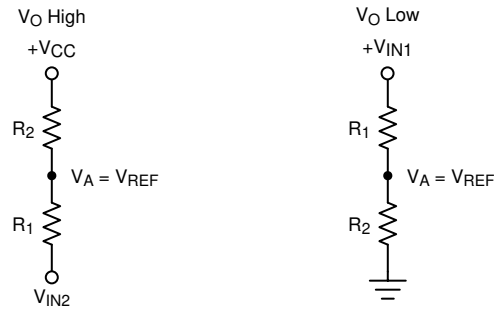


图 6-6. 同相配置电阻器网络

当 V_{IN} 小于 V_{REF} 时，输出为低电平。若要使输出从低电平切换到高电平， V_{IN} 必须高于 V_{IN1} 阈值。请使用[方程式 4](#)来计算 V_{IN1} 。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \quad (4)$$

当 V_{IN} 大于 V_{REF} 时，输出为高电平。若要使比较器切换回低电平状态， V_{IN} 必须降至 V_{IN2} 以下。请使用[方程式 5](#)来计算 V_{IN2} 。

$$V_{IN2} = \frac{V_{REF} (R1 + R2) - V_{CC} \times R1}{R2} \quad (5)$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如[方程式 6](#)所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \quad (6)$$

更多相关信息，请参阅应用手册 SNOA997 “[具有迟滞功能的反相比较器电路](#)”和 SBOA313 “[具有迟滞功能的同相比较器电路](#)”。

7 器件和文档支持

TI 提供广泛的开发工具。用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

7.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

7.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (September 2002) to Revision B (June 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了整个数据表，以反映新裸片的性能.....	1

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC352CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	352C
TLC352CDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	352C
TLC352CDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	352C
TLC352CP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC352CP
TLC352CP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC352CP
TLC352ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	352I
TLC352IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	352I
TLC352IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	352I
TLC352IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 85	
TLC352IP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC352IP
TLC352IP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC352IP
TLC352IPW	Obsolete	Production	TSSOP (PW) 8	-	-	Call TI	Call TI	-40 to 85	P352I
TLC352IPWR	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P352I
TLC352IPWR.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P352I

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

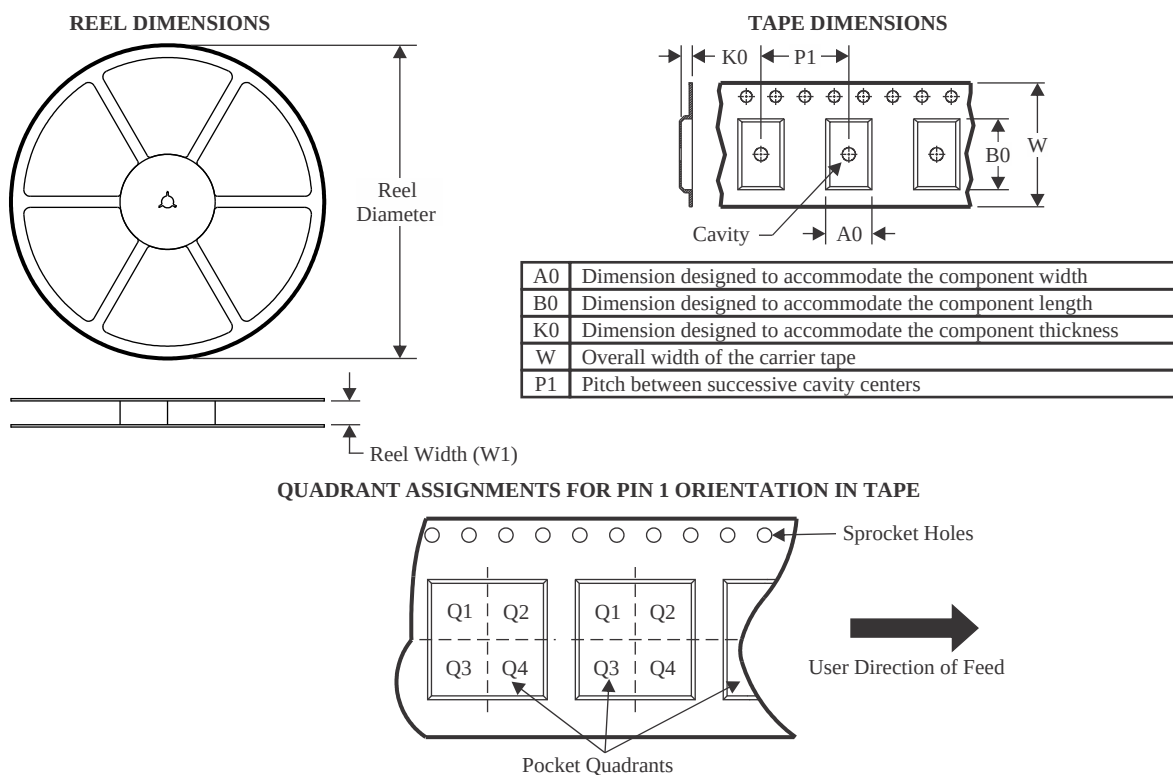
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

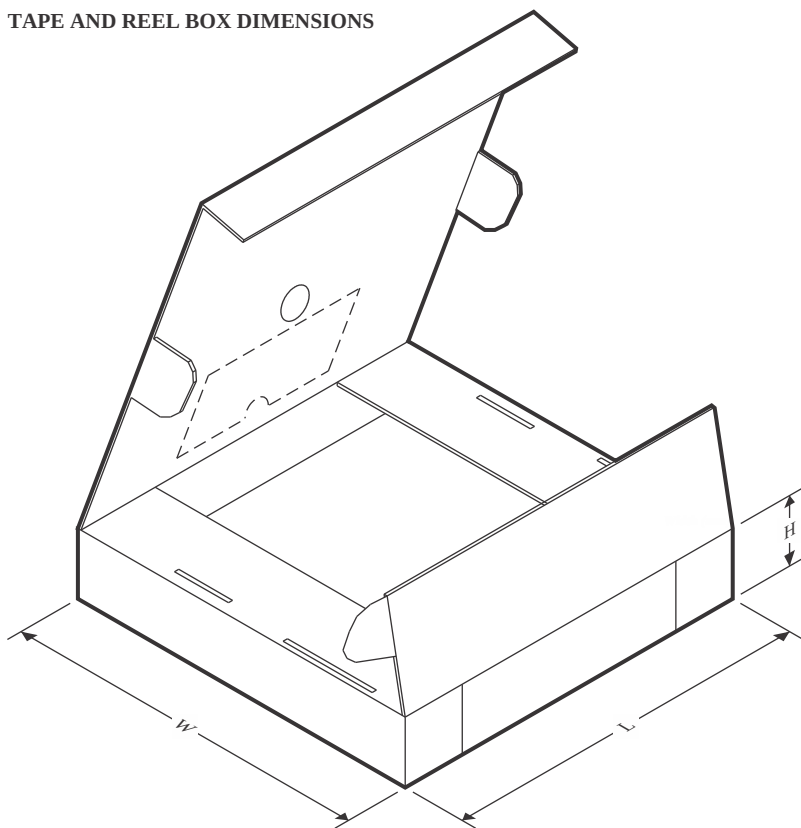
TAPE AND REEL INFORMATION



*All dimensions are nominal

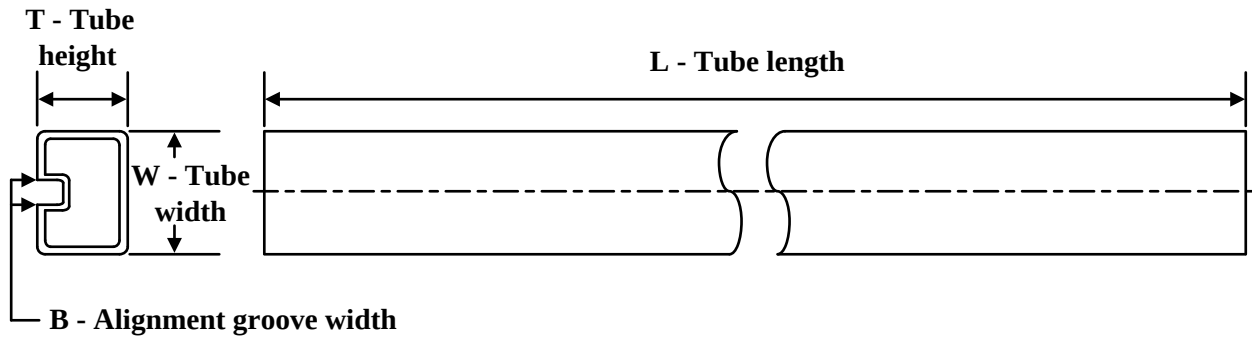
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC352CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC352IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



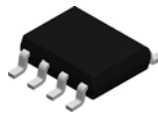
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC352CDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC352CDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC352IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC352IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC352IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLC352CP	P	PDIP	8	50	506	13.97	11230	4.32
TLC352CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC352IP	P	PDIP	8	50	506	13.97	11230	4.32
TLC352IP.A	P	PDIP	8	50	506	13.97	11230	4.32

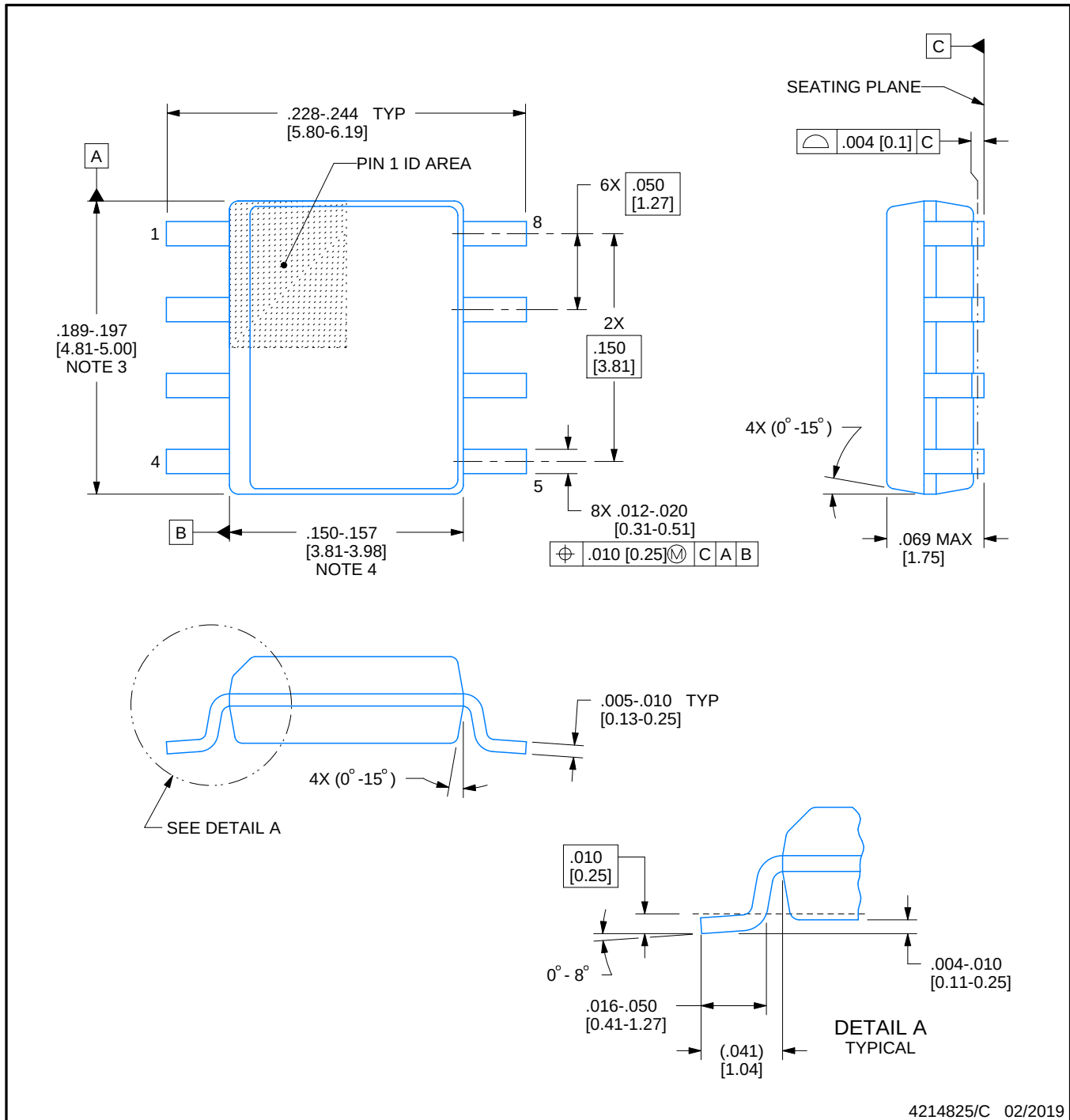


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

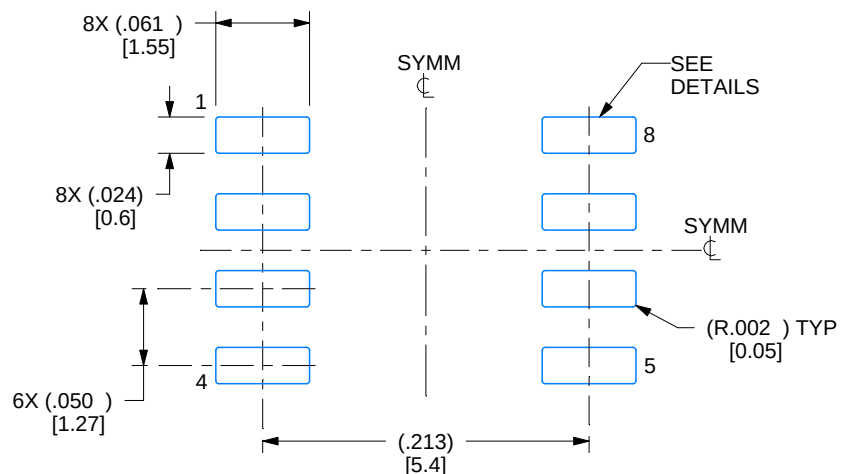
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

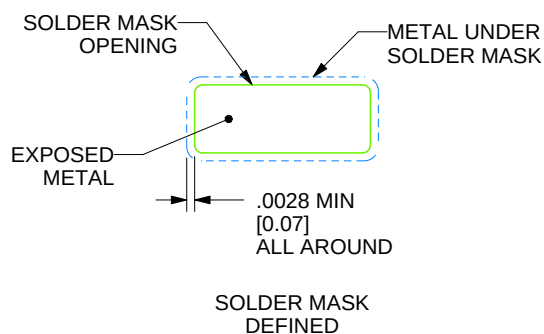
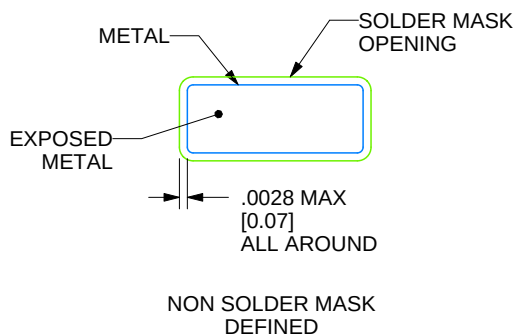
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

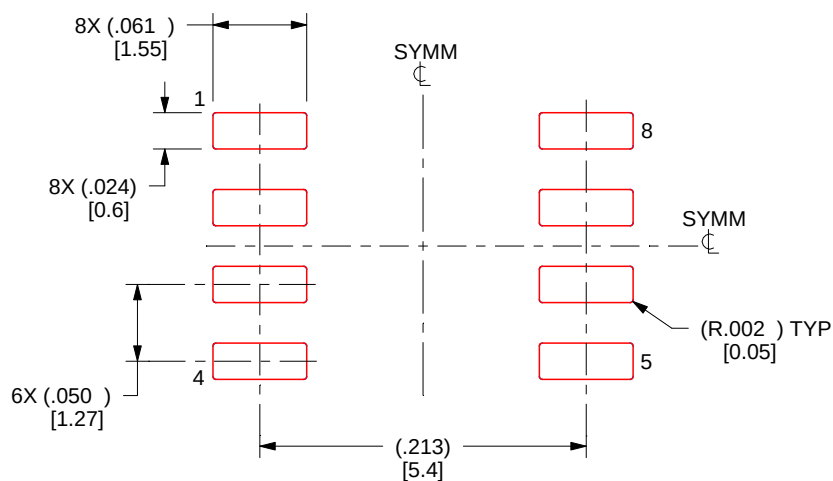
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

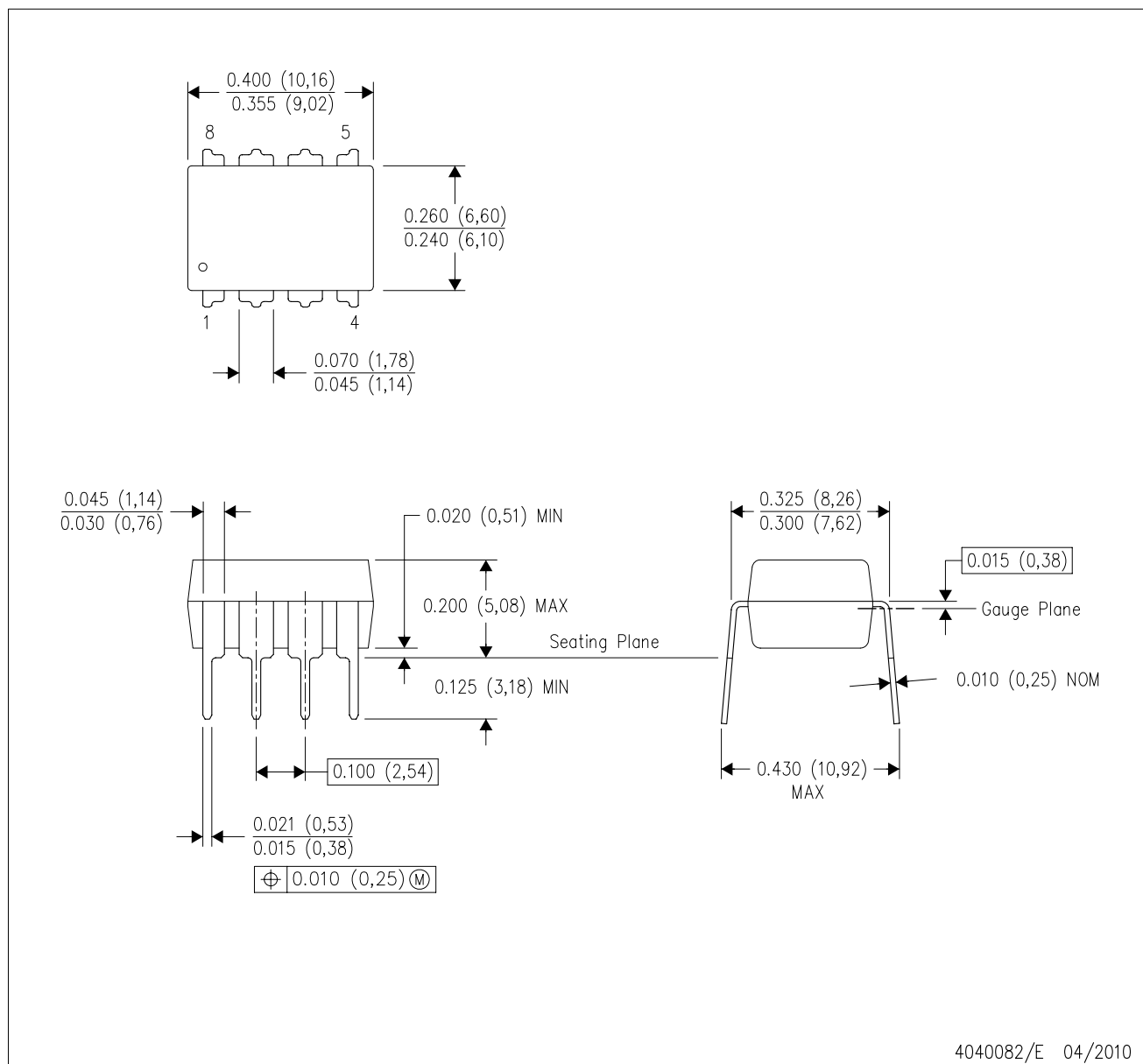
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE

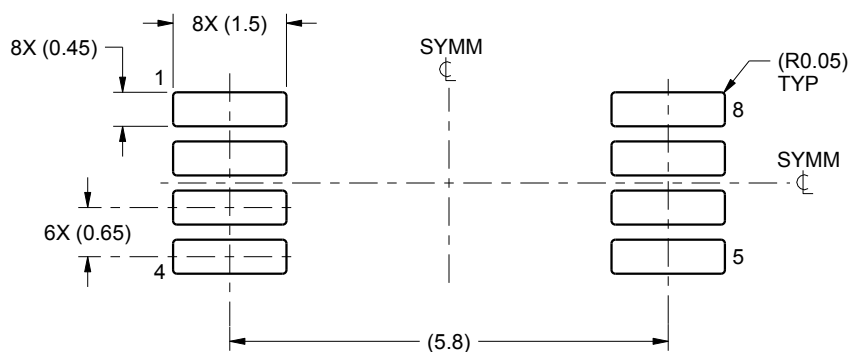


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

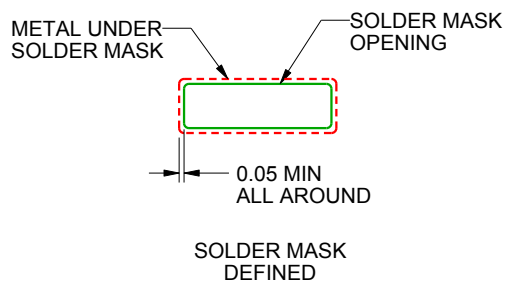
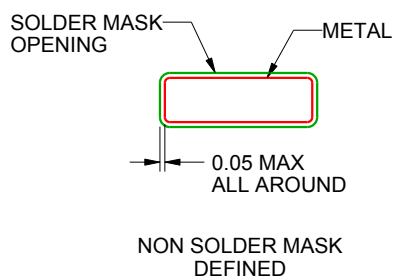
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

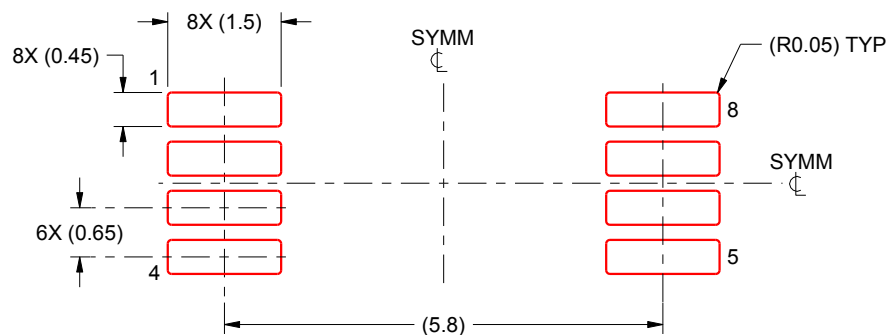
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月