TMF0008 具有 SDQ 接口的 8K 位串行 FRAM

1 特性

- 7680 位的 FRAM 用于存储划分至多个页面的用户可编程配置数据
- 单线接口，可减少电路板布线
- 以 15.4Kbps（标准速度）和 90Kbps（超速）进行通信
- 器件中嵌入了开关点迟滞和滤波功能，可提高出现噪声时的性能
- IEC 61000-4-2 4 级 ESD 保护（±8kV 接触放电，±15kV 空气放电，典型值）
- 出厂设定的唯一 64 位识别号
- 工作温度范围：-10°C 至 85°C
- 工作电压范围：5V ±5%（标准速度和超速）
- 工作电压范围：3.3V ±5%（仅限标准速度）
- 采用 TO-92 (LP)、WSON (DRS) 和 SO (PS) 封装

2 应用

- 医用电缆识别
- 资产跟踪器
- 联网外设和打印机
- 防止假冒硬件

3 说明

TMF0008 是一款 8K 位串行非易失性存储器 (NVM) 器件，包含唯一的出厂编程 48 位识别号和 8 位系列代码。该存储器基于 FRAM，与其他 NVM 技术相比，耐写次数更高（10^6 个 R/W 周期）。

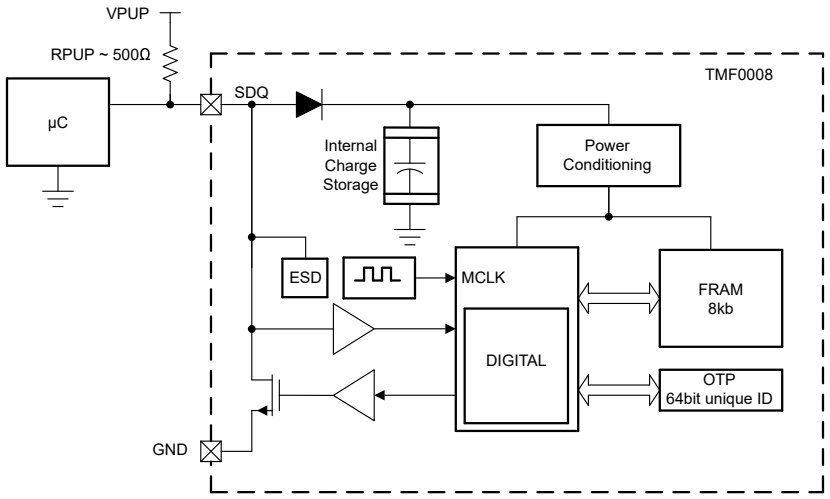
该器件通过 SDQ™ 单线接口进行通信，并支持 15.4Kbps 和 90Kbps 两种速度。SDQ 引脚供器件进行通信和获取电源。存储器分为 30 个内存页，每页 256 位。数据先写入 32 字节的暂存区进行验证，然后复制到 FRAM 存储器。

该器件有两个电源电压工作范围：3.3V ±5% 和 5V ±5%，额定温度范围为 -10°C 至 85°C。该工作范围涵盖了大多数应用，同时可优化设计，实现低成本开发。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸（标称值）
TMF0008LP	TO-92 (LP)	5.20mm × 3.68mm	4.83mm × 4.83mm
TMF0008DRS	WSON (DRS)	3.00mm × 3.00mm	3.00mm × 3.00mm
TMF0008PS	SO (PS)	6.20mm × 7.80mm	6.20mm × 5.30mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 时序要求.....6
5.7 功能测试.....7
5.8 典型特性.....7
6 详细说明.....8
6.1 概述.....8
6.2 功能方框图.....8
6.3 特性说明.....8
6.4 器件功能模式.....11
6.5 编程.....12
7 应用和实施.....24
7.1 应用信息.....24
7.2 典型应用.....24
7.3 电源相关建议.....25
7.4 布局.....26
8 器件和文档支持.....27
8.1 接收文档更新通知.....27
8.2 支持资源.....27
8.3 商标.....27
8.4 静电放电警告.....27
8.5 术语表.....27
9 修订历史记录.....27
10 机械、封装和可订购信息.....27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

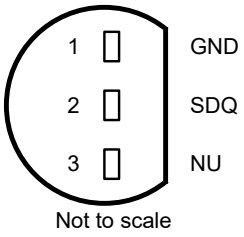


图 4-1. TMF0008 LP 封装，3 引脚 TO-92（底视图）

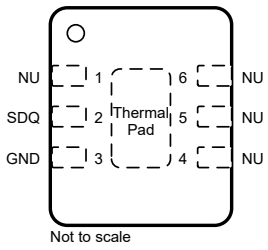


图 4-2. TMF0008 DRS 封装，6 引脚 WSON（顶视图）

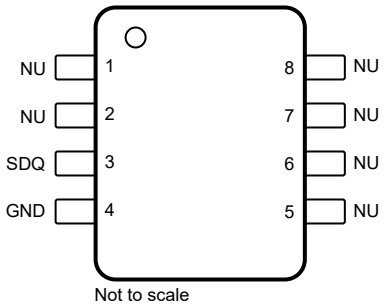


图 4-3. TMF0008 PS 封装，8 引脚 SOIC（顶视图）

表 4-1. 引脚功能

引脚				类型	说明
名称	TMF0008				
	TO-92	WSON	SOIC		
EP	—	EP	—	—	外露散热焊盘连接至 GND。
GND	1	3	4	GND	接地
NU	3	1、4、5、6	1、2、5、6、7、8	—	非可用终端。请勿连接。
SDQ	2	2	3	I/O	数据。漏极开路，需要外部 500Ω 上拉电阻。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{PUP}	施加到数据的直流电压	-0.3	5.5	V
I_{OL}	低电平输出电流		30	mA
T_{STG}	贮存温度	-40	125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±250	
		ESD IEC 61000-4-2 空气放电，SDQ 和 GND	±15000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。.

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{PUP}	运行上拉电压	3.13		5.25	V
R_{PUP}	串行通信接口上拉电阻		500		Ω
T_A	自然通风条件下的工作温度	-10		85	°C

5.4 热性能信息

热指标(1)		TMF0008			单位
		DRS (WSON)	PS (SO)	TO-92 (LP)	
		6 引脚	8 引脚	3 引脚	
$R_{\theta JA}$	结至环境热阻	70.2	109.9	133.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	66.5	55.6	99.2	°C/W
$R_{\theta JB}$	结至电路板热阻	38.2	61.6	103.5	°C/W
ψ_{JT}	结至顶部特征参数	2.2	16.4	28.4	°C/W
ψ_{JB}	结至电路板特征参数	38.2	60.6	103.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	11.0	-	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

最小值和最大值规格的适用范围为 -10°C 的 T_A 至 85°C。典型值规格的适用条件为 25°C 且 V_{PUP} = 3.3V 和 5V (除非另有说明) 。

参数		测试条件	最小值	典型值	最大值	单位
IO 引脚：一般数据						
V_{PUP}	上拉电压	±5% 浮动	3.13	3.3	3.46	V
			4.75	5	5.25	V
R_{PUP}	上拉电阻	注释(1)、(2)、(5)		500		Ω
C_{CABLE}	电缆电容	注释(4)、(11)			1.7	nF
C_{IO}	输入电容	注释(3)、(4)		2000		pF
I_L	输入负载电流	注意 (6)		7	14	µA
V_{IL}	输入低电压	注意 (7)			0.5	V
V_{OL}	输出低电压	在 R_{PUP} = 500Ω、V_{PUP} = 3.3V 下测量		0.4	0.5	V
		在 R_{PUP} = 500Ω、V_{PUP} = 5V 下测量		0.4	0.5	V
V_{TL}	高至低电平转换阈值 (注释(4)、(5)、(8))	V_{PUP} = 3.3V	0.84		1.72	V
		V_{PUP} = 5V	2		3	V
V_{TH}	低至高电平转换阈值 (注释(4)、(5)、(9))	V_{PUP} = 3.3V	1.64		2.75	V
		V_{PUP} = 5V	3.2		4.3	V
V_{HY}	开关磁滞 (注释(4)、(5)、(10))	V_{PUP} = 3.3V	0.44		1.1	V
		V_{PUP} = 5V	0.9		1.3	V

(1) 允许的最大上拉电阻取决于连接的器件数量和恢复时间。该指定值假设系统中连接了六个器件并且恢复时间超短。
(2) 电阻容差在 1% 以内或更低。
(3) 最大电容值表示首次施加 V_{PUP} 时的内部寄生电容。寄生储能电容在充电时，不会影响正常的逻辑转换。
(4) 只由设计、特性分析或仿真指定。未经生产测试。
(5) V_{TL}、V_{TH} 和 V_{HY} 是内部电源电压的函数，内部电源电压是 V_{PUP}、R_{PUP}、单线时序和 SDQ 引脚上容性负载的函数。VPUP 越低、R_{PUP} 和容性负载越大、t_{REC} 越短，会导致 V_{TL}、V_{TH} 和 V_{HY} 的值越低。
(6) 当 SDQ 为高电平 (V_{PUP}) 且器件处于空闲模式 (无数字活动或存储器访问) 时适用。数字表示待机电流消耗。
(7) 在主机将 SDQ 驱动至逻辑 0 电平时，SDQ 上的电压需要始终小于或等于 V_{ILMAX}。
(8) 低于此电压时，在 SDQ 的下降沿期间检测到逻辑 0。
(9) 高于该电压时，在 SDQ 的上升沿期间检测到逻辑 1。
(10) 在 SDQ 引脚的上升沿期间超过 V_{TH} 后，SDQ 上的电压必须至少下降 V_{HY} 才能检测为逻辑 0。
(11) 系统要求。

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求

最小值和最大值规格的适用范围为 -10°C 的 T_A 至 85°C。典型值规格的适用条件为 25°C 且 V_{PUP} = 3.3V 和 5V（除非另有说明）。

			最小值	标称值	最大值	单位
IO 引脚：一般数据						
$t_{STARTUP}$	启动时间	在器件使用存在脉冲响应之前 SDQ 必须为高电平的最短时间		10		ms
t_{REC}	恢复时间	标准速度(1)、(2)	5			µs
		超速(1)、(2)	5			µs
t_{REH}	上升沿延迟时间	标准速度(1)、(2)	0.5		5	µs
t_{SLOT}	时隙持续时间	标准速度(3)	65			µs
		超速(3)	11			µs
IO 引脚：单线复位、存在检测周期						
t_{RSTL}	复位低电平时间	标准速度	480		550	µs
		超速	48		80	µs
t_{PDH}	存在检测高电平脉冲	标准速度	15		60	µs
		超速	2		6	µs
t_{PDL}	存在检测低电平时间	标准速度	60		240	µs
		超速	8		24	µs
t_{PDS}	存在检测采样时间(4)、(5)	标准速度	60	70	75	µs
		超速	6	8.7	10	µs
IO 引脚：单线写入						
t_{W0L}	写入“0”低电平时间	标准速度(6)	60		120	µs
		超速(6)	6		15.5	µs
t_{W1L}	写入“1”低电平时间	标准速度(6)	1		15	µs
		超速(6)	1		2	µs
IO 引脚：单线读取						
t_{RL}	读取低电平时间	标准速度(2)、(7)	5		15 - t_{RC}	µs
		超速(2)、(7)	1		2 - t_{RC}	µs
t_{RDS}	读取采样时间(8)	标准速度(2)、(7)	t_{RL} + t_{RC}		15	µs
		超速(2)、(7)	t_{RL} + t_{RC}		3	µs
FRAM						
NCY	写入/擦除周期（耐写次数）(2)				1M	周期
t_{PROG}	编程时间(2)	对于所有 7.5Kb 存储器			1	ms
t_{DR}	数据保留(9)	80°C 时		10		年
		85°C 时		7		

(1) 在主机将 SDQ 驱动至逻辑 0 电平时，SDQ 上的电压需要始终小于或等于 V_{ILMAX}。
(2) 只由设计、特性分析或仿真指定。未经生产测试。
(3) 定义了比特率的最大可能值。
(4) 如果存在 TMF0008，则在 t_{RSTL} 之后的时间间隔内，总线主机可读取 SDQ 上的逻辑 0。存在检测脉冲可以在此时间间隔之外，但会在上电后 2ms 内完成。这种行为解决了单线器件长时间断电（总线低电平）的情况。然后，施加总线电源。允许器件发生故障，并生成一个违反存在时序规格的存在脉冲。然而，异常情况通常会在 10ms 内解决。
(5) 系统要求
(6) 图 6-17 和图 6-18 中的 t_ε 表示上拉电路将 SDQ 引脚上的电压从 V_{IL} 提高到 V_{TH} 所需的时间。因此，主机将线路拉至低电平的实际最大持续时间分别为 $t_{W1LMAX} + t_F - t_\varepsilon$ 和 $t_{W0LMAX} + t_F - t_\varepsilon$。

Copyright © 2025 Texas Instruments Incorporated

(7) 图 6-19 中的 t_{RC} 表示上拉电路将 SDQ 引脚的电压从 V_{IL} 提高到主机器件输入高电平阈值所需的时间。因此，主机将线路拉至低电平的实际最大持续时间为 t_{RLMAX} + t_F。
(8) 指在前一个上升沿达到 V_{TH} 后，能够识别负边沿的最短时间。
(9) 数据保留时间随着 T_A 增加而降低。不建议在高温下长期贮存。

5.7 功能测试

在自然通风条件下的工作温度范围内且 V_{PUP} = 3.3V 和 5V 的条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
多目标总线	任何 TMF0008 都必须能够在具有多个响应器器件的网络中进行通信。*多响应器配置* (1)中展示了 3 个响应器器件（包括 DUT）的示例配置。		0		多响应器总线故障

(1) 请参阅*功能测试的测试程序*。

5.8 典型特性

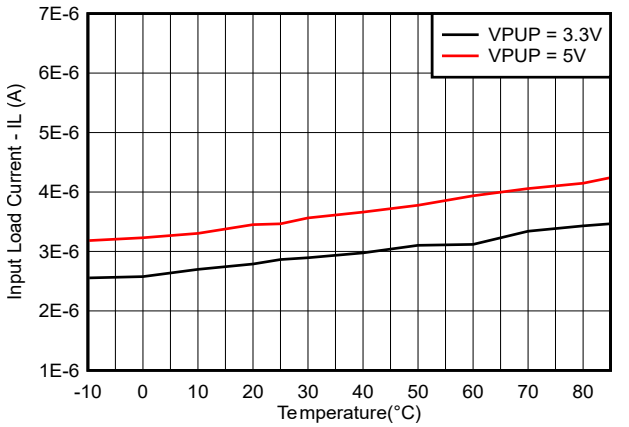


图 5-1. 输入负载电流 (I_L) 与温度间的关系（标准速度）

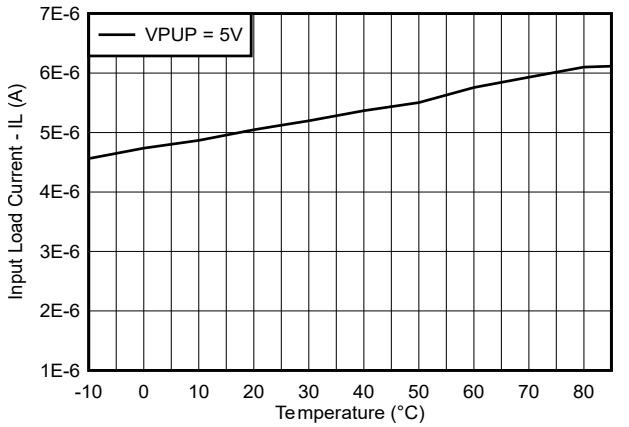


图 5-2. 输入负载电流 (I_L) 与温度间的关系（超速）

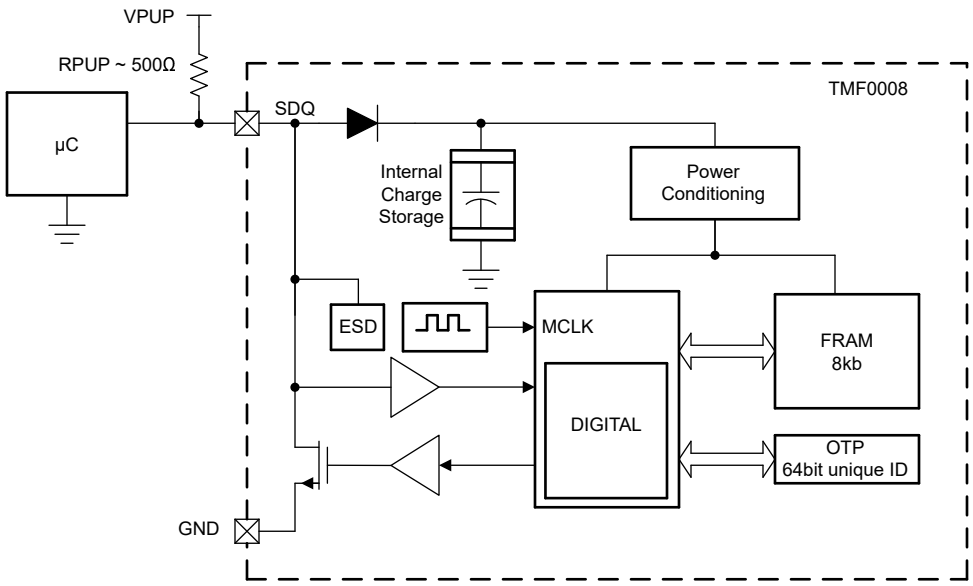
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

功能方框图 部分介绍了 TMF0008 器件的片上块级元件。TMF0008 具有以下数据组件：一个 64 位出厂编程 ROM，包含 8 位系列代码、48 位识别号和 8 位 CRC 值，以及 7680 位 FRAM 数据存储器。读取和写入操作的电源由 SDQ 引脚提供。内部电容器在信号线路为高电平时存储能量，并在 SDQ 引脚处于低电平期间释放能量，直到引脚返回高电平以补充电容器上的电荷。

6.2 功能方框图



6.3 特性说明

6.3.1 7680 位 FRAM

表 6-1 是 TMF0008 7680 位 FRAM 部分的存储器映射，配置为 30 页、每页 32 字节。四个相邻页构成一个 128 字节块。对 FRAM 存储器进行编程时，使用 32 字节的易失性暂存缓冲区。写入 FRAM 存储器的过程包括两个步骤：首先，将数据写入暂存缓冲区；然后，通过读取确认正确接收数据的暂存缓冲区来验证数据。如果缓冲区内容正确，则发出“复制暂存区”命令，将暂存缓冲区复制到 FRAM 存储器。在对存储器进行编程时，该过程会验证数据完整性。有关对 TMF0008 的 7680 位 FRAM 部分进行编程和读取的详细信息，请参见本数据表的*存储器功能命令* 部分。

表 6-1. FRAM 数据存储器映射

地址范围	类型(1)	说明	保护代码（注释）
0000h 至 007Fh	R/(W)	数据内存页 0 至 3（块 0）	（保护由地址 03C0h 控制）
0080h 至 00FFh	R/(W)	数据内存页 4 至 7（块 1）	（保护由地址 03C1h 控制）
0100h 至 017Fh	R/(W)	数据内存页 8 至 11（块 2）	（保护由地址 03C2h 控制）
0180h 至 01FFh	R/(W)	数据内存页 12 至 15（块 3）	（保护由地址 03C3h 控制）
0200h 至 027Fh	R/(W)	数据内存页 16 至 19（块 4）	（保护由地址 03C4h 控制）
0280h 至 02FFh	R/(W)	数据内存页 20 至 23（块 5）	（保护由地址 03C5h 控制）
0300h 至 037Fh	R/(W)	数据内存页 24 至 27（块 6）	（保护由地址 03C6h 控制）
0380h 至 03BFh	R/(W)	数据内存页 28 至 29（块 7）	（保护由地址 03C7h 控制）

(1) R = 读取，W = 写入

在 FRAM 器件中，数字信息以极化形式存储在电介质中。这种极化可能会以与温度相关的速率丢失，温度升高会增加去极化速率。电气特性表中列出了数据保留指标。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 FRAM 状态存储器

如表 6-1 所示，TMF0008 的数据存储器由八个连续的 FRAM 存储块组成。块 0 至 6 各为 128 字节，由四个相邻的内存页构成，而块 7 是 64 字节，由两个相邻的内存页构成（一个数据内存页是 32 个相邻的存储字节）。

除数据存储器外，TMF0008 还包含起始地址为 03C0h 的状态存储器，如表 6-2 所示。状态存储器中的寄存器页包含八个保护控制字节和用户 EEPROM 的六个字节，每个字节用于锁定存储器块和寄存器页。

这 8 个保护控制字节和存储器块锁定字节共同控制对 8 个数据存储器块的访问。默认情况下，存储器块设置为开放访问。保护字节值 55h 会将相应的存储器块设置为写保护模式，而保护字节值 AAh 会将相应的存储器块设置为 EPROM 模式。

如果存储器块锁定字节编程为 55h 或 AAh，则会为所有受写保护的数据存储器块设置复制保护（EPROM 模式下的存储器块不受影响）。同样，如果将寄存器页锁定字节编程为 55h 或 AAh，则会为整个寄存器页设置复制保护。

将存储器位置设置为写保护模式可以进行复制暂存区操作，但会阻止数据更改。这支持使用相同的数据对存储器重新编程，从而刷新极化以延长数据保留时间。

与写保护相比，复制保护会阻止复制暂存区功能。只有在所有受写保护的块和相关的保护控制字节设置为最终值后，才使用此特性。请注意，复制保护不会阻止器件间的数据复制。当设置为 55h 或 AAh 时，保护控制寄存器和锁定字节会自我写保护。任何其他设置都允许不受限制的写入访问。

地址 03D1h 和 03D2h 可用于对可选的制造商 ID 进行编程。主机可以读取这些值，例如，将最终用户产品与 TMF0008 关联。在地址 03D0h 处，TMF0008 存储了一个用于锁定制造商 ID 的字节，默认值为 00h。向该位置写入 AAh 或 55h 后，制造商 ID 和锁定字节会永久受写保护。

表 6-2. FRAM 状态存储器映射

地址范围	类型(1)	说明	保护代码（注释）
03C0h	R/(W)	保护控制字节（块 0）	55h：写保护块 0； AAh：EPROM 模式块 0； 55h 或 AAh：写保护 03C0h
03C1h	R/(W)	保护控制字节（块 1）	55h：写保护块 1； AAh：EPROM 模式块 1； 55h 或 AAh：写保护 03C1h
03C2h	R/(W)	保护控制字节（块 2）	55h：写保护块 2； AAh：EPROM 模式块 2； 55h 或 AAh：写保护 03C2h
03C3h	R/(W)	保护控制字节（块 3）	55h：写保护块 3； AAh：EPROM 模式块 3； 55h 或 AAh：写保护 03C3h
03C4h	R/(W)	保护控制字节（块 4）	55h：写保护块 4； AAh：EPROM 模式块 4； 55h 或 AAh：写保护 03C4h
03C5h	R/(W)	保护控制字节（块 5）	55h：写保护块 5； AAh：EPROM 模式块 5； 55h 或 AAh：写保护 03C5h
03C6h	R/(W)	保护控制字节（块 6）	55h：写保护块 6； AAh：EPROM 模式块 6； 55h 或 AAh：写保护 03C6h
03C7h	R/(W)	保护控制字节（块 7）	55h：写保护块 7； AAh：EPROM 模式块 7； 55h 或 AAh：写保护 03C7h
03C8h-03CDh	R/(W)	用户 EEPROM	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. FRAM 状态存储器映射（续）

地址范围	类型(1)	说明	保护代码（注释）
03CEh	R/(W)	存储器块锁定	55h 或 AAh：复制保护 受写保护的数据内存页 55h 或 AAh：写保护 03CEh
03CFh	R/(W)	寄存器页面锁定	55h 或 AAh：复制保护 03C0h-03CFh
03D0h	R/(W)	出厂字节	55h 或 AAh：写保护 03D0h-03D2h 其他：03D0h-03D2h 是可编程的
03D1h	R/(W)	制造商 ID	
03D2h	R/(W)	制造商 ID	
03D3h	R	RESERVED	

(1) R = 读取，W = 写入

6.3.3 地址寄存器和传输状态

TMF0008 使用三个地址寄存器：TA1、TA2 和 E/S（图 6-1、图 6-2 和 图 6-3）。

寄存器 TA1 和 TA2 用于加载要写入数据或读取数据的目标地址。寄存器 E/S 是一个只读的传输状态寄存器，用于通过写入命令验证数据的完整性。在“写入暂存区”命令期间，E/S 位 E[4:0] 最初加载传入的 T[4:0]，然后在每次传入后续数据字节时递增。因此，E[4:0] 是 32 字节暂存区内的结束偏移计数器。E/S 寄存器的 PF 位是不完整字节标志，在接收到的字节不完整（数据位不是 8 的整数倍）或暂存区数据由于断电而无效时设置。

当成功写入暂存区时，将 PF 位清零。当“复制暂存区”命令期间授权匹配时，会设置 E/S 寄存器的 AA（已接受授权）位。如果 AA=1 且 PF=0，则表示存储在暂存区中的数据已复制到目标存储器。只要将数据写入暂存区，就会清除 AA 标志。AA 标志仅在 PF 标志为 0 时有效。

图 6-1. 目标地址 (TA1)

7	6	5	4	3	2	1	0
T7	T6	T5	T4	T3	T2	T2	T0

图 6-2. 目标地址 (TA2)

7	6	5	4	3	2	1	0
T15	T14	T13	T12	T11	T10	T9	T8

图 6-3. 结束地址和数据状态 (E/S)（只读）

7	6	5	4	3	2	1	0
AA	0	PF	E4	E3	E2	E1	E0

6.3.4 将数据写入 FRAM

TMF0008 器件不允许主机直接写入 FRAM 存储器。通过将暂存区用作临时存储库，可由主机直接写入 FRAM 存储器。要写入暂存区，主机首先发出“写入暂存区”命令，然后是所需的目标地址和要写入暂存区的数据。根据“写入暂存区命令”部分所述的条件，主机可以在“写入暂存区”命令序列结束时，接收整个写入暂存区序列（收到“写入暂存区”命令、地址和数据）的 CRC16 取反值。

如果主机接收到 CRC16 值，则主机可以将该值与预期的计算值进行比较。如果匹配，则写入暂存区通信成功，主机可以决定继续执行“复制暂存区”命令。

如果主机未接收 CRC16 值，则主机可以使用“读取暂存区”命令来验证存储在暂存区中的数据的完整性。接收“读取暂存区”命令后，TMF0008 会首先发送目标地址寄存器（TA1、TA2）和 E/S 寄存器的内容。如果设置了 PF 标志，或者设置了 AA 标志但清除了 PF 标志，则之前的“写入暂存器”命令不成功。在这种情况下，主机可以终止“读取暂存区”序列，并开始另一次将数据写入暂存区的尝试。如果前一个“写入暂存区”成功，则两个标志都被清除，并且读取的 E[4:0] 指示写入暂存区的最后一个字节的地址。在这种情况下，主机可以继续从

Copyright © 2025 Texas Instruments Incorporated

TMF0008 读取，验证所有数据字节。如果匹配，主机可以发送“复制暂存区”命令，后跟主机通过读取暂存区获得的寄存器 TA1、TA2 和 E/S 的确切数据。在“复制暂存区”序列结束时，如果授权模式匹配，则 TMF0008 开始将暂存区数据复制到请求的位置，前提是未设置复制保护、将 PF 标志清除，并且“写入暂存区”命令和“复制暂存区”命令之间没有发出过“读取存储器”或“扩展读取存储器”命令。

6.3.5 TMF0008 器件 ID

64 位 ID 标识每个 TMF0008。48 位序列号是唯一的，并由德州仪器 (TI) 编程。默认系列代码为 23h。

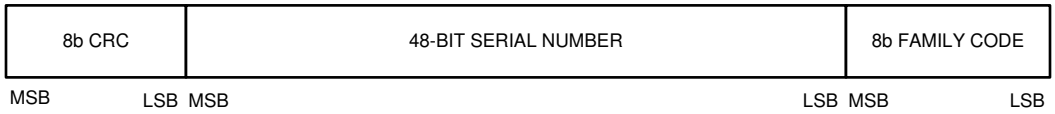


图 6-4. 64 位出厂编程 EPROM

6.3.6 总线端接

TMF0008 的驱动输出是一个开漏 N 沟道 MOSFET，为确保正常运行，SDQ 总线上必须连接一个 500Ω 外部上拉电阻（请参阅图 7-1）。

6.4 器件功能模式

6.4.1 功能测试的测试程序

本节概述了用于获取*功能测试*中所列参数的特定测试程序。

6.4.1.1 多响应器配置

该测试验证了 TMF0008 在多点连接用例中的运行。主机必须能够与 SDQ 总线上的多个器件通信，而且其他 DUT（如有）不得影响主机与所选 DUT 的通信。

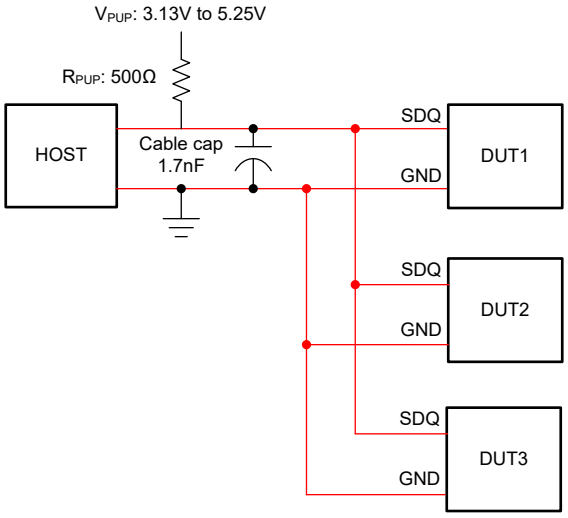


图 6-5. 多目标配置

成功通信意味着必须无故障地执行以下指令序列：

1. 以标准速度发出复位命令并检查存在脉冲。
2. 发出“搜索 ROM”命令以识别 SDQ 总线上响应器器件的 ID。
3. 以标准速度发出复位命令并检查存在脉冲。
4. 通过发出“匹配 ROM”命令，并由“搜索 ROM”命令识别响应器器件的特定 ID，选择其中一个目标。
5. 发出存储器命令对存储器进行编程或读取。

Copyright © 2025 Texas Instruments Incorporated

6. 对 SDQ 总线上的其他响应器器件重复步骤 3、4 和 5。

6.5 编程

6.5.1 串行通信

主机通过 SDQ 接口的命令结构读取、编程或检查 TMF0008 的状态，如图 6-6 所示。命令结构包括 ROM 和存储器命令。

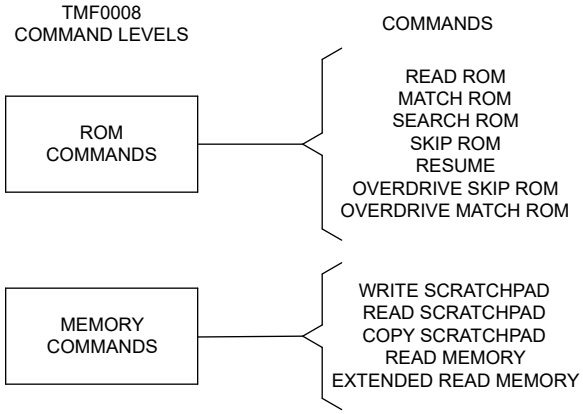


图 6-6. TMF0008 的命令结构

6.5.2 初始化

主机始终通过初始化过程开始与 TMF0008（响应器）器件的事务。初始化过程包括复位脉冲和存在脉冲。主机生成复位脉冲，而响应器器件通过存在脉冲确认复位脉冲。主机通过将 SDQ 总线驱动为低电平至少 480 µs 来复位响应器器件。接收到存在脉冲后，主机便可知道 SDQ 总线上有一个或多个响应器器件。

6.5.3 ROM 命令

在主机检测到 SDQ 总线上存在一个或多个响应器器件后，主机会发送一个 8 位 ROM 函数命令，如图 6-6 中所示。本节介绍了每个 ROM 命令发出的情况。请参阅图 6-6，查看这些命令的列表。

6.5.3.1 读取 ROM 命令 [33h]

“读取 ROM”命令序列（如图 6-7 所示）在主机生成至少 480 µs 的复位脉冲时开始。器件通过存在脉冲进行响应。接下来，主机继续发出“读取 ROM”命令 33h，然后在数据帧期间，使用读取信令（请参阅读取和写入信号部分）读回 56 位系列代码和序列号，后跟 8 位 CRC。仅当 SDQ 总线上有一个响应器器件时，主机才发出“读取 ROM”命令。如果主机在 SDQ 总线上有多个响应器器件时发出命令，则会发生数据冲突，因为所有响应器器件都尝试响应主机。主机可以通过将”读取 ROM”序列的 CRC 与计算出的 CRC 进行比较来识别数据冲突（数据冲突会导致不匹配）。

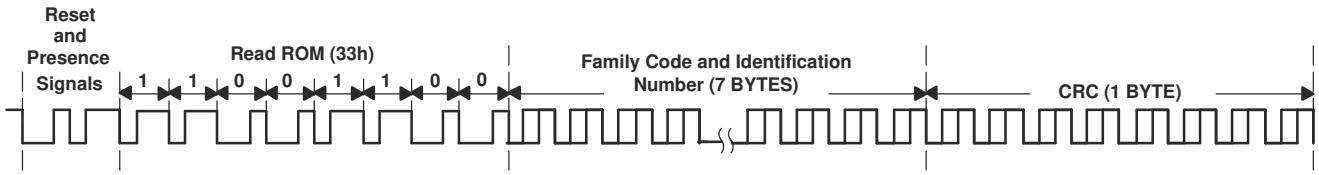


图 6-7. 读取 ROM 序列

Copyright © 2025 Texas Instruments Incorporated

6.5.3.2 匹配 ROM 命令 [55h]

当总线上有多个响应器器件，且系列代码和标识号已知时，主机使用“匹配 ROM”命令 55h 来选择特定的响应器器件。主机发出的“匹配 ROM”命令后是系列代码、序列号和 CRC 字节。选择与 64 位串行 ID 匹配的响应器器件，用于执行后续的存储器功能命令。总线上有一个响应器器件时，也可使用“匹配 ROM”命令。

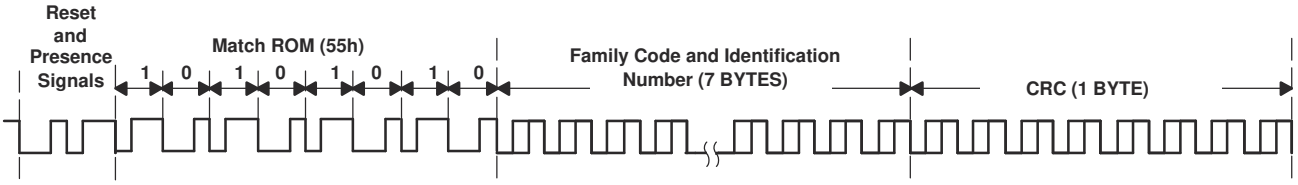


图 6-8. 匹配 ROM 序列

6.5.3.3 跳过 ROM 命令 [CCh]

“跳过 ROM”命令序列（如图 6-9 所示）是允许主机开始与响应器器件进行事务处理的最快序列。“跳过 ROM”命令 CCh 允许主机在不发出 64 位串行 ID 的情况下访问存储器功能。“跳过 ROM”命令后面直接是存储器功能命令。“跳过 ROM”命令仅在 SDQ 总线上存在一个器件时发出。如果在 SDQ 总线上有多个响应器器件时发出该命令，则所有响应器器件都开始响应后续的存储器命令，导致总线上发生数据冲突。

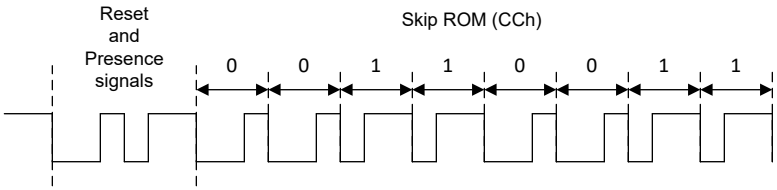


图 6-9. 跳过 ROM 序列

6.5.3.4 搜索 ROM 命令 [F0h]

当主机不知道 SDQ 总线上的器件数量时，“搜索 ROM”命令有助于在初始系统启动期间识别器件数量和每个器件的 64 位唯一 ID。“搜索 ROM”命令序列在主机生成至少 480 µs 的复位脉冲时开始。SDQ 总线上的所有响应器器件都通过存在脉冲进行响应。在接下来的通信中，主机发出“搜索 ROM”命令 F0h，之后，主机为 64 位串行 ID 的每个位发出三个时隙，如图 6-10 所示。在第一个时隙中，响应器器件开始发送 64 位串行 ID 的一位，从最低有效位开始。在第二个时隙中，响应器器件发送该位的补码。在第三个时隙中，主机写入要选择的位。该过程会持续到 64 位串行 ID 结束。与主机在第三个时隙中写入的位不匹配的所有响应器器件都会退出搜索过程。如果主机在前两个时隙中读取到零，则表示发生了冲突条件。主机知道 SDQ 总线上有多个器件。通过选择要写入的位值，主机将建立分支，用于消除一个或多个发生争用的响应器器件。在第一个运行序列结束时，主机便知道单个器件的串行 ID；然后重复该序列，识别 SDQ 总线上其余器件的串行 ID。

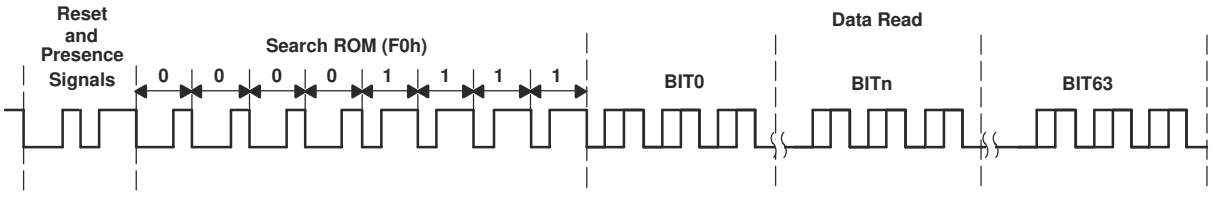


图 6-10. 搜索 ROM 序列

6.5.3.5 恢复命令 [A5h]

当 SDQ 总线上有多个响应器器件时，恢复命令 A5h 可通过减少选择响应器器件所需的位事务数量，更大限度地提高数据吞吐量。在发出恢复命令之前，主机必须首先通过发出“匹配 ROM”或“超速匹配 ROM”命令序列来

Copyright © 2025 Texas Instruments Incorporated

选择响应器器件。这就是响应器器件的选择过程。所有其他响应器器件都不会响应后续的存储器功能命令和恢复命令功能。

6.5.3.6 超速跳过 ROM 命令 [3Ch]

TMF0008 支持高速模式（称为超速模式）。“超速跳过 ROM”命令序列在主机生成至少 480 µs 的复位脉冲时开始。器件通过存在脉冲进行响应。接下来，主机以标准速度发出“超速跳过 ROM”命令 3Ch。此时，器件进入超速模式。确保所有与目标器件的后续通信都以超速进行。主机可以通过发出至少 480 µs 的复位脉冲，使所有响应器器件恢复到标准速度。

如果在 SDQ 总线上有多个响应器器件时发出“超速跳过 ROM”命令，则所有响应器器件进入超速模式。所有后续通信都对特定的器件寻址。可通过以超速发出复位脉冲、后跟“超速匹配 ROM”或“搜索 ROM”命令序列来启动此过程。该序列可加快搜索过程的速度。如果在 SDQ 总线上有多个响应器器件时发出“超速跳过 ROM”命令，则所有响应器器件开始响应后续的存储器命令，从而导致总线数据冲突。

6.5.3.7 超速匹配 ROM 命令 [69h]

“超速匹配 ROM”命令用于在 SDQ 总线上有多个响应器器件时选择特定的响应器器件，同时将器件设置为超速模式。总线上有一个响应器器件时，也可使用“超速匹配 ROM”命令。选择与 64 位串行 ID 匹配的响应器器件用于以超速执行后续的存储器功能命令。已处于超速模式的其他响应器器件继续处于超速模式，直到主机可以通过发出至少 480 µs 的复位脉冲将所有响应器器件恢复到标准速度。

6.5.4 存储器功能命令

6.5.4.1 写入暂存区命令 [0Fh]

“写入暂存区”命令 0Fh 用于写入暂存区。使用 ROM 命令选择目标 TMF0008 后，主机将提供 2 字节地址和数据。TMF0008 将 2 字节地址的 5 个 LSB 位设置为暂存区偏移地址。此外，E/S 寄存器的 5 个 LSB 位 (E[4:0]) 也用于加载暂存区偏移地址。对于每个后续的数据字节，暂存区偏移地址和 E/S 位 (E[4:0]) 都会递增。如果数据字节是不完整的，则会忽略该数据字节，并设置称为部分字节标志 (PF) 的错误标志。如果未接收到完整的 2 字节地址，也会设置该标志。一旦器件接收到完整的 2 字节地址，该标志就会清除。

在执行“写入暂存区”命令期间，内部 CRC 生成器根据包括“写入暂存区”命令 (0Fh)、2 字节地址和数据字节的数据流计算 16 位 CRC。此 CRC 是通过先清零 CRC 生成器，使用 CRC16 多项式 ($X^{16} + X^{15} + X^{2} + 1$) 生成的。主机可以随时通过发出复位命令来终止“写入暂存区”命令序列。当暂存区偏移地址达到 11111b 时，主机可以读取 TMF0008 生成的 16 位 CRC。

TMF0008 存储器地址范围为 0000h 至 03D3h，因此如果主机尝试超出地址范围进行写入，器件的内部电路会将 2 字节地址移入内部地址寄存器，从而将六个最高有效地址位设置为零。可以通过“读取暂存区”命令读回此修改后的地址。如果主机在没有读取暂存区并验证地址和数据字节的情况下发出“复制暂存区”命令，则暂存区中的存储器内容不会复制到目标 FRAM 存储器中。如果主机尝试写入受写保护的存储器位置，则器件会将 2 字节地址中的数据字节从 FRAM 存储器复制到暂存区，而不是复制由主机写入的数据字节。与此类似，如果主机尝试写入受 EEPROM 保护的存储器位置，则该器件会将主机写入的数据字节和 2 字节地址中的数据字节进行逐位逻辑与后的结果从 FRAM 存储器复制到暂存区。

6.5.4.2 读取暂存区命令 [AAh]

要读取暂存区，主机发出“读取暂存区”命令 (AAh)，然后读取 2 字节地址、结束偏移量/数据状态字节 (E/S)，最后读取从暂存区偏移地址开始的暂存区数据。主机验证地址、E/S 字节和暂存区数据与“写入暂存区”命令期间传输的信息是否匹配。可以通过“读取暂存区”命令验证 2 字节地址和暂存区数据的有效性。一旦到达暂存区的末尾，主机就可以读取反转的 CRC16。如果主机在读取 2 个 CRC 字节后继续读取，则只接收 1。

6.5.4.3 复制暂存区 [55h]

要将数据从暂存区复制到 FRAM 存储器，主机可以发出“复制暂存区”命令 (55h)，后跟通过“读取暂存区”命令获得的 2 字节地址和 E/S 字节（称为授权代码）。仅当授权代码与 E/S 字节匹配时，器件才会将暂存区复制到 FRAM 存储器中，其开头为目标地址、结尾为目标地址加上 E/S 字节中列出的暂存区偏移地址。不会设置 PF 标志、目标地址在可寻址范围内。如果主机继续读取，该器件将交替传输 0 和 1。主机可以通过发出复位脉冲来终

Copyright © 2025 Texas Instruments Incorporated

止“复制暂存区”命令序列，但只能在经过 t_{PROG} 时长之后。如果内存页受复制保护或设置了 PF 标志，则 TMF0008 不允许通过复位 AA 标志来进行存储器复制。可通过“读取暂存区”命令读取 E/S 字节中的 AA 标志位来验证此操作。

6.5.4.4 读取存储器 [F0h]

主机可以通过发出“读取存储器”命令 (F0h) 后跟 2 字节地址来读取 FRAM 存储器。如果主机发出的地址大于 03D3h，器件会将六个最高有效地址位设置为零。然后，主机可以从地址范围内的地址或修改后的地址读取数据，直到达到地址 03D3h。如果主机继续进一步读取，TMF0008 将发送 1。主机可以通过发出复位脉冲来终止“读取存储器”命令序列。

6.5.4.5 扩展读取存储器 [A5h]

除在每个内存页末尾传输的 2 字节 CRC 以外，“扩展读取存储器”命令的原理与“读取存储器”命令类似。主机可通过发出“扩展读取存储器”命令 (A5h) 后跟 2 字节地址来读取 FRAM 存储器。如果主机发出的地址大于 03D3h，器件会将六个最高有效地址位设置为零。然后，主机可以从地址范围内的地址或修改后的地址读取数据，直到 32 字节页结束。在内存页的末尾，主机读取 2 字节反转 CRC。如继续读取，主机将接收与下一页开头相对应的数据，依此类推，直到达到结束地址 03D3h。如果主机继续进一步读取，TMF0008 将发送 1。主机可以通过发出复位脉冲来终止“读取存储器”命令序列。

Copyright © 2025 Texas Instruments Incorporated

6.5.4.6 存储器命令流程图

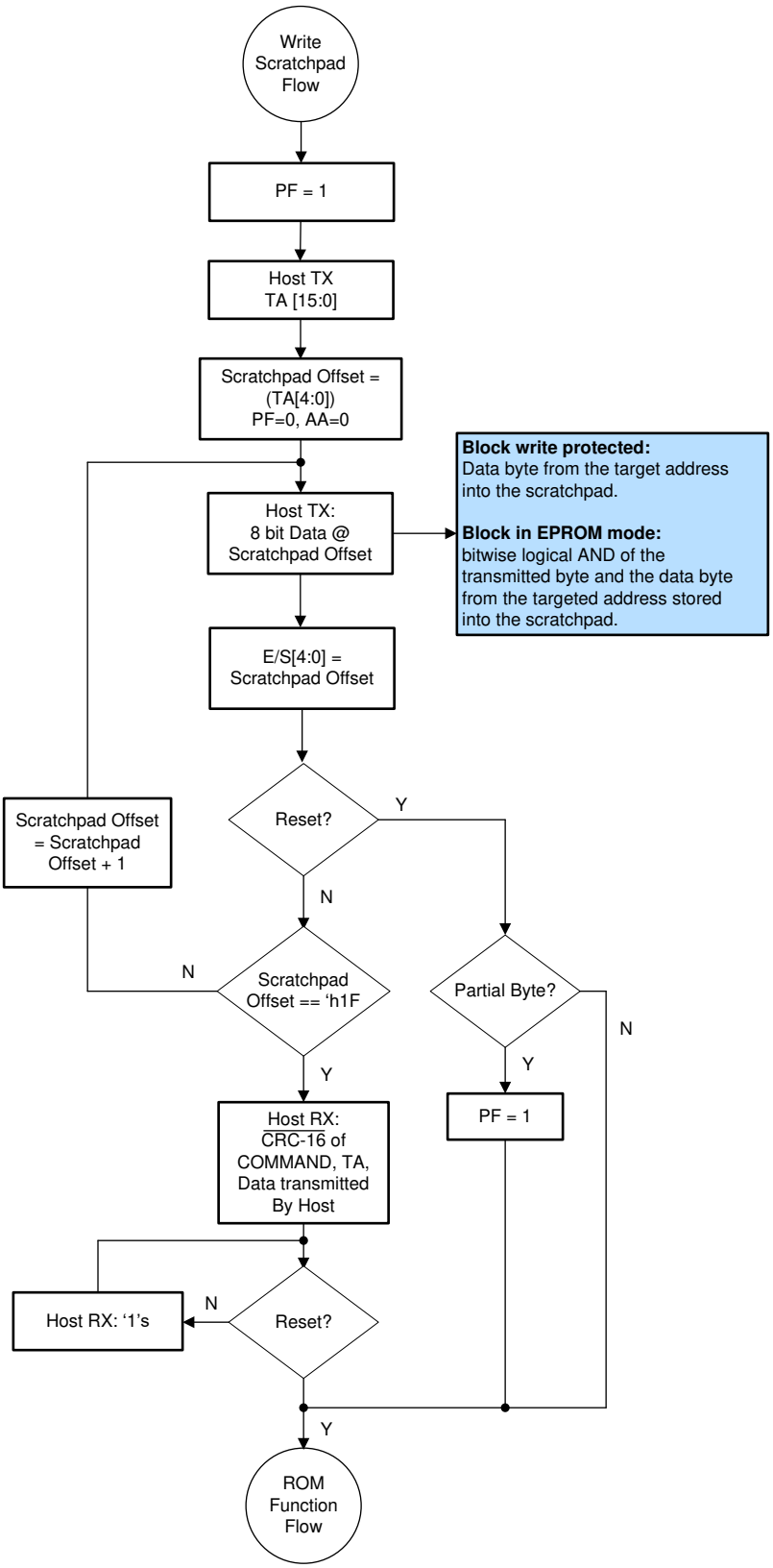


图 6-11. 写入暂存区流程图

Copyright © 2025 Texas Instruments Incorporated

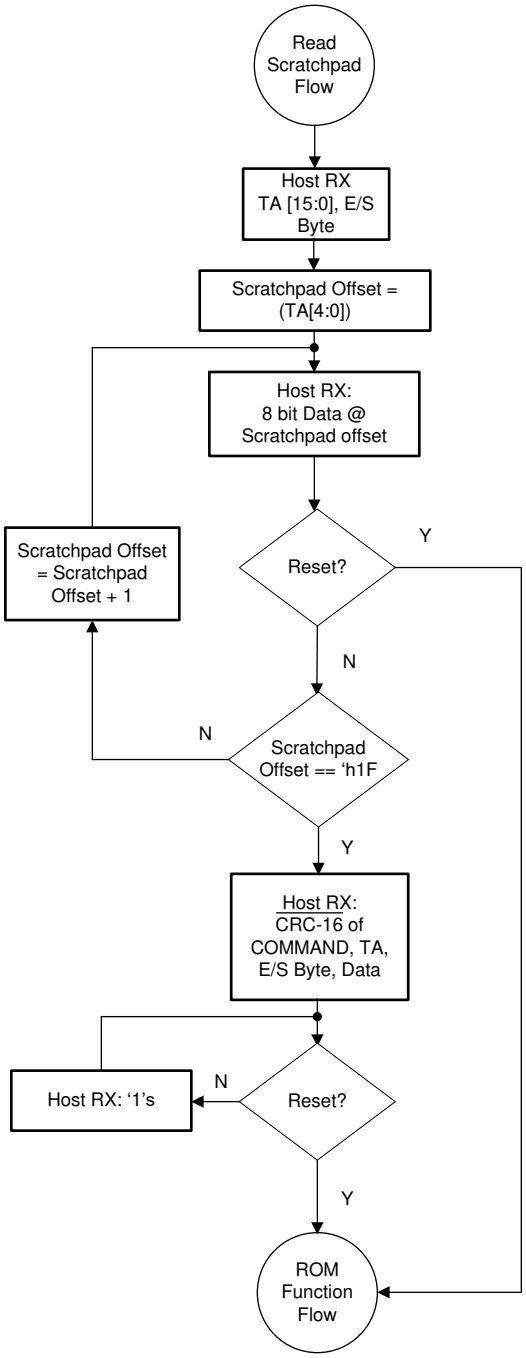


图 6-12. 读取暂存区流程图

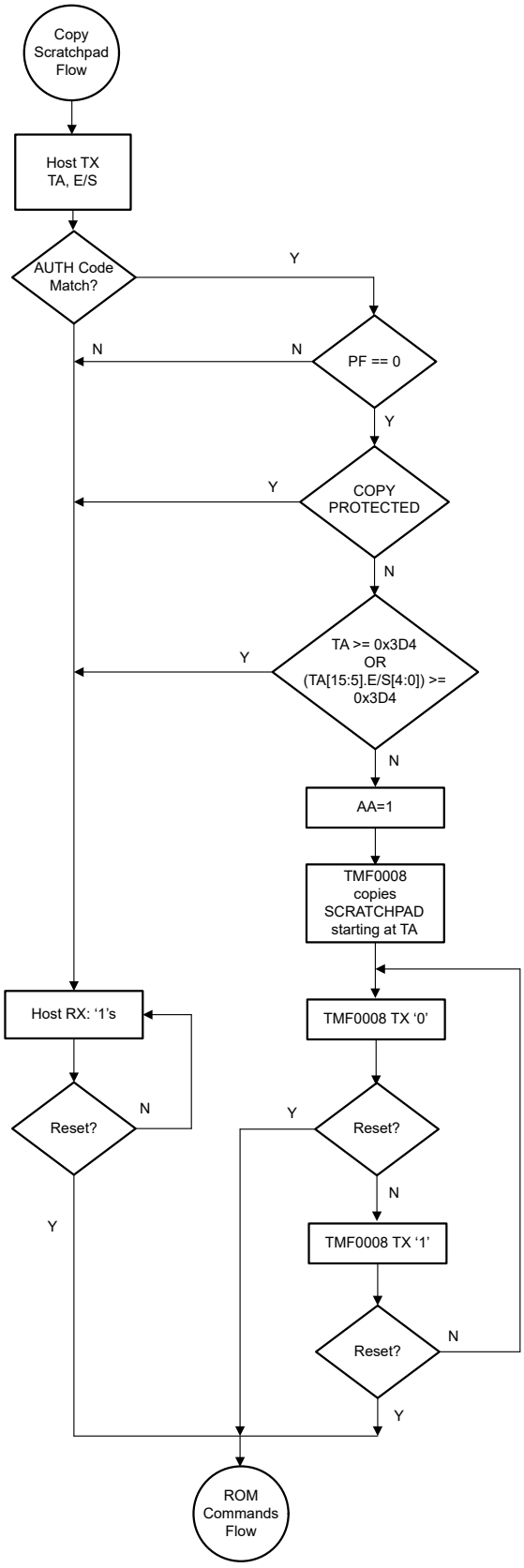


图 6-13. 复制暂存区流程图

Copyright © 2025 Texas Instruments Incorporated

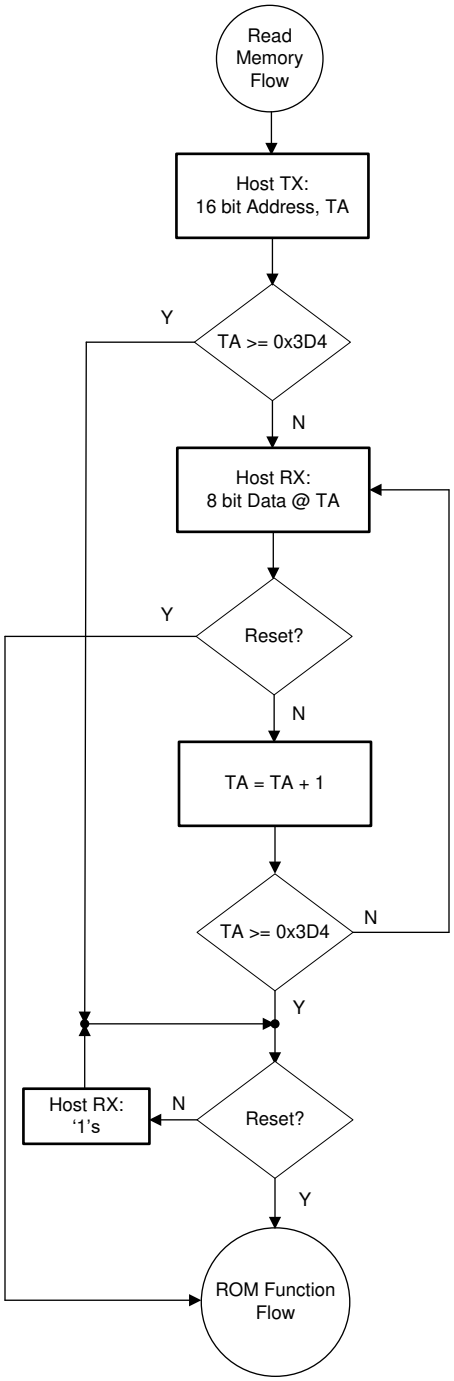


图 6-14. 存储器读取流程图

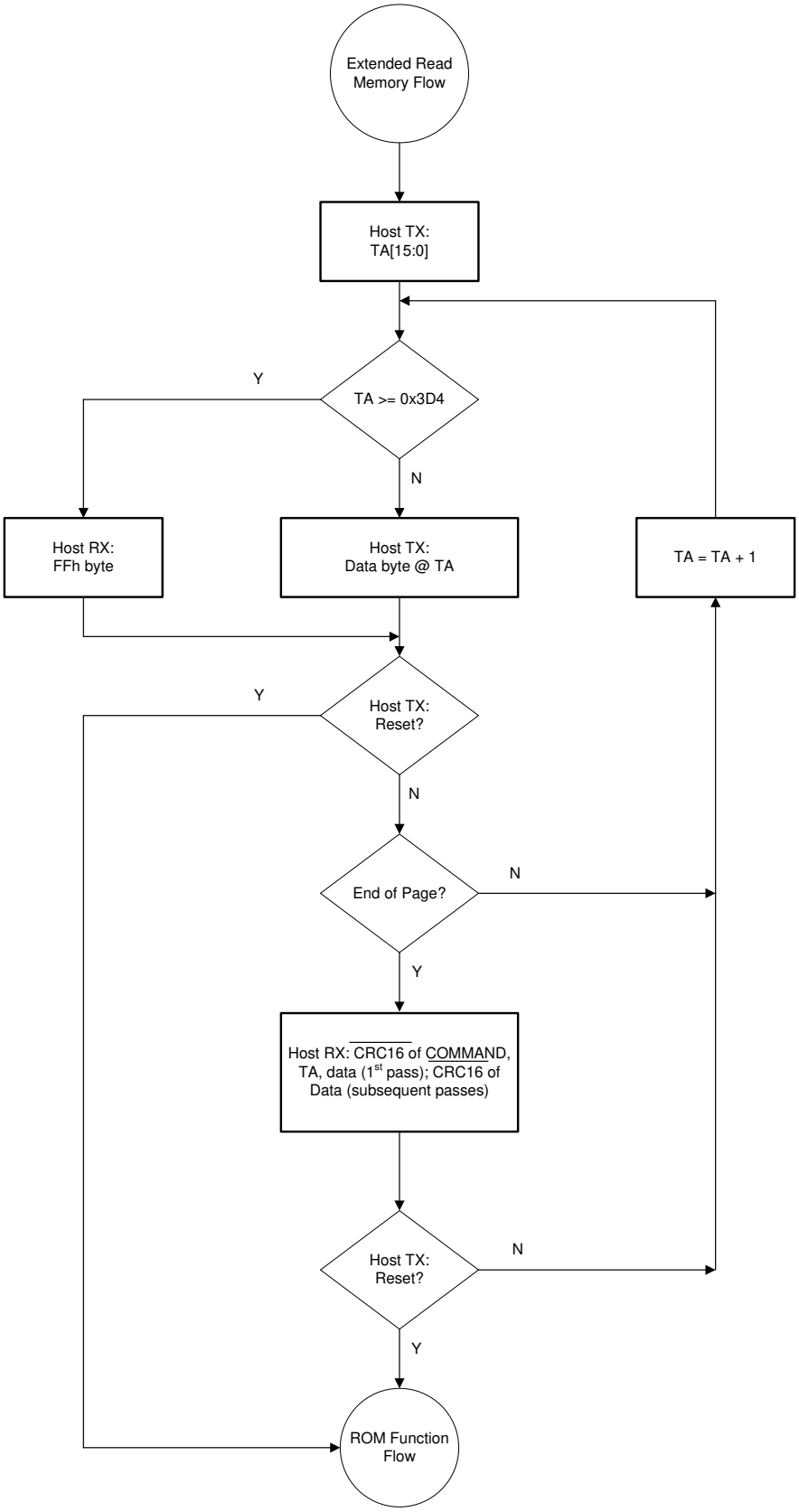


图 6-15. 扩展存储器读取流程图

Copyright © 2025 Texas Instruments Incorporated

6.5.5 SDQ 信令

单线通信没有参考时钟，因此遵守严格的时序协议以保持数据完整性至关重要。时序协议包含四种类型的信号：

1. 具有复位脉冲和存在脉冲的复位序列
2. 写入“0”时序
3. 写入“1”时序
4. 读取数据时序

主机通过将 SDQ 线路拉至低电平来启动通信，但存在脉冲除外，存在脉冲由 SDQ 总线上的响应器器件启动。响应器器件可以两种不同的速度进行通信：标准速度和超速。默认情况下，响应器器件仅以标准速度进行通信，除非该器件设置为超速模式，在超速模式下，响应器器件响应在超速时序（快速时序）中发出的命令。下面显示的所有时序波形都适用于标准时序和超速时序。

所有 SDQ 信令都从初始化器件开始，然后主机将总线驱动为低电平以写入“1”或“0”，或开始起始帧以进行位读取。图 6-16 显示了初始化时序，而图 6-17、图 6-18 和图 6-19 显示了主机通过在启动周期 $t_{W1L}/t_{W0L}/t_{RL}$ 将 SDQ 总线驱动为低电平来启动每个位。该位启动后，要么主机在写入期间继续控制总线，要么响应器器件控制总线在读取期间传输 0 位。

6.5.5.1 复位和存在脉冲

在复位序列期间，如果 SDQ 总线驱动为低电平的时间超过 120 µs，则响应器器件可复位。如果 SDQ 总线驱动为低电平的时间超过 480 µs，则响应器器件会复位，并通过使用存在脉冲进行响应来指示器件已准备好进行通信。如果 TMF0008 处于超速模式且主机发出 480 µs 或更长的 t_{RSTL} 持续时间，则器件退出超速模式并恢复到标准速度。如果器件处于超速模式且 t_{RSTL} 小于等于 80 µs，则器件仍处于超速模式。如果器件处于超速模式且 t_{RSTL} 介于 80 µs 和 480 µs 之间，则器件会复位，但通信速度不确定。

图 6-16 显示了主机启动的复位脉冲和 TMF0008（目标）启动的响应存在脉冲。

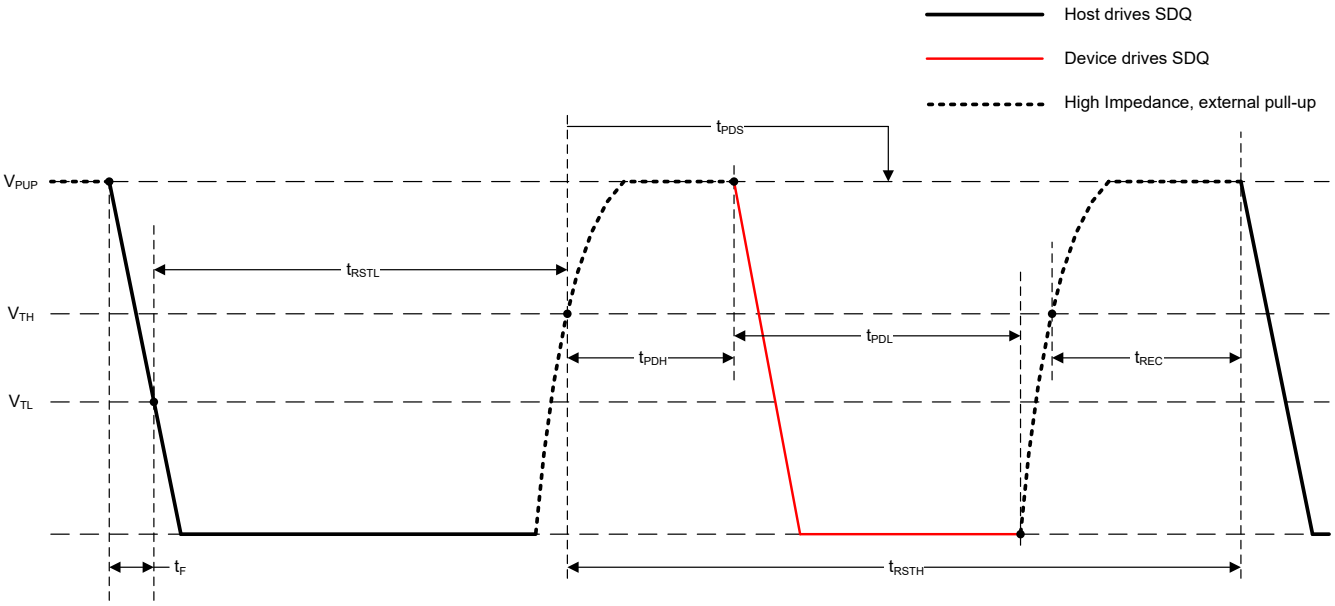


图 6-16. 复位序列时序图

6.5.5.2 写入读取时隙

单线接口通信没有参考时钟。因此，所有通信都是异步进行的，使用固定时隙 (t_{SLOT}) 和变化的脉宽表示逻辑 0 和 1。在空闲状态下，外部上拉电阻使线路保持高电平。所有位通信（无论是写入还是读取）都由主机发起，方法是将数据线驱动为低电平，并将位值解码为数据线保持低电平的时间。

Copyright © 2025 Texas Instruments Incorporated

尽管通信是按位进行，但主机和器件之间交换的数据仍然按字节进行。每个字节先发送最低有效位。发送不完整的字节时，器件行为不予验证。

图 6-17 中的写入“1”时序图显示主机通过在 $t_F + t_{W1L} - t_\varepsilon$ 时间内将 SDQ 总线拉至低电平，然后释放 SDQ 总线来启动写 1 传输。同样，图 6-18 中的写入“0”时序图显示主机通过在 $t_F + t_{W0L} - t_\varepsilon$ 时间内将 SDQ 总线拉至低电平，然后释放 SDQ 总线来启动写 0 传输。当 SDQ 总线上的电压降至阈值 V_{TL} 以下，器件启动内部时序生成器，该发生器确定在写入时隙内何时对 SDQ 线采样，以确定该位是 1 还是 0。该器件在最长 t_{W1L} 和最短 t_{W0L} 之间的时间段内对 SDQ 线进行采样。

图 6-19 中的读取数据时序图显示主机通过在 $t_F + t_{RL}$ 时间内将 SDQ 总线拉至低电平来启动位的传输。然后，该器件进行响应：将 SDQ 总线驱动为低电平来发送读取 0，或释放 SDQ 总线来发送读取 1。主机必须将上拉电阻和总线电容引起的上升时间考虑在内，以便确定对器件发送的位电平进行采样或驱动下一个读取位时隙的采样窗口。

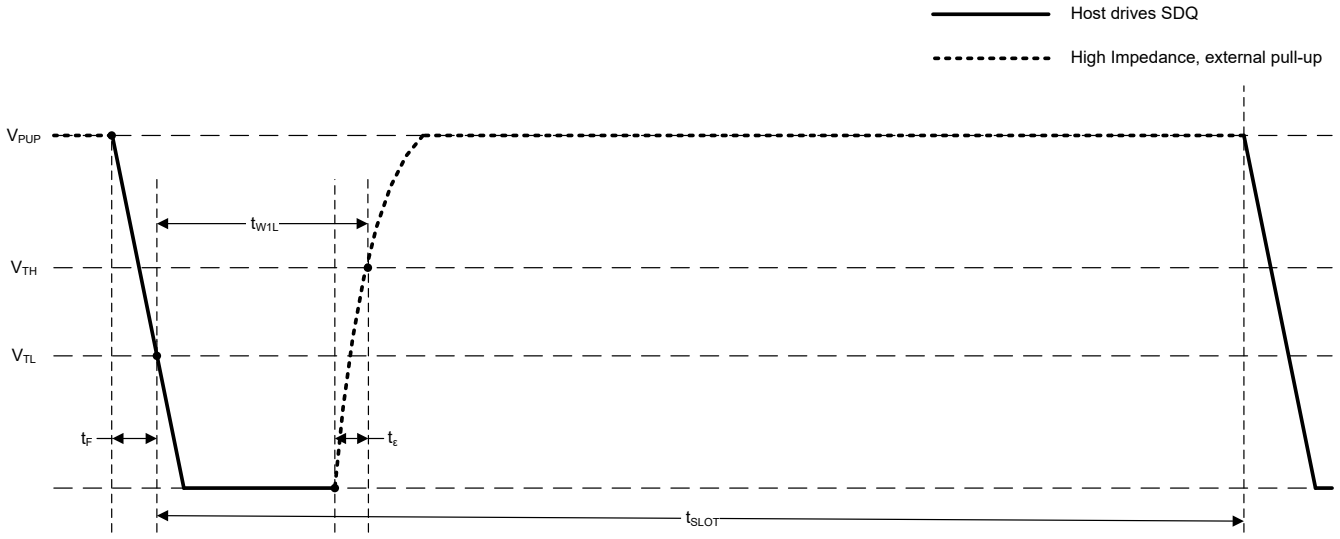


图 6-17. 写入“1”时序图

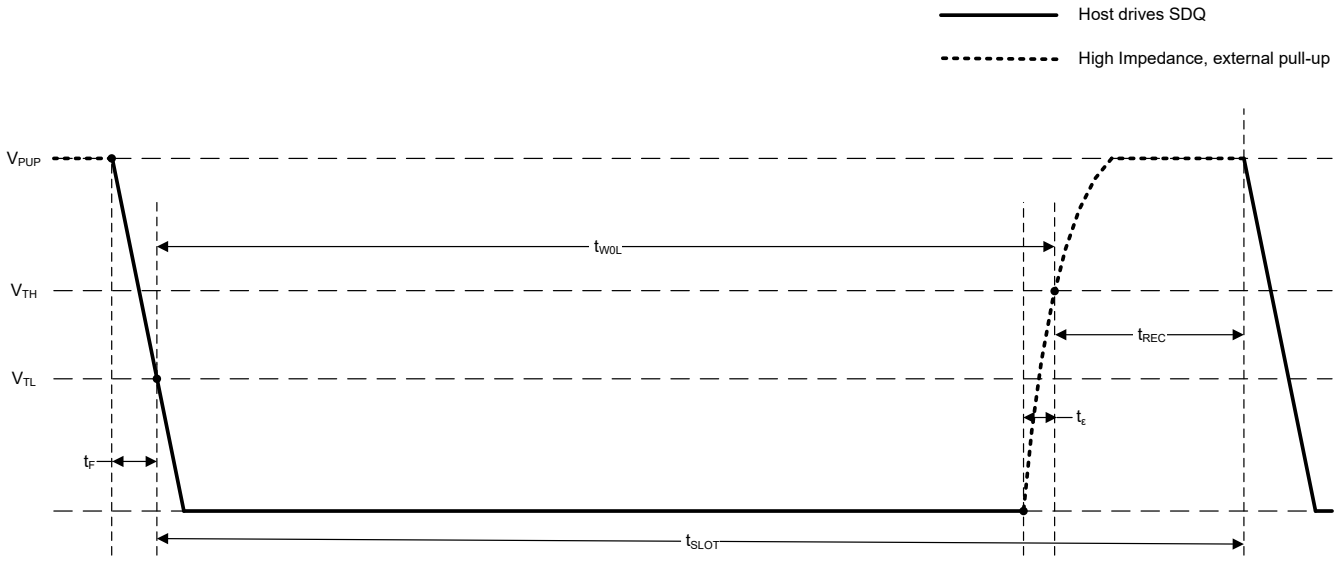


图 6-18. 写入“0”时序图

Copyright © 2025 Texas Instruments Incorporated

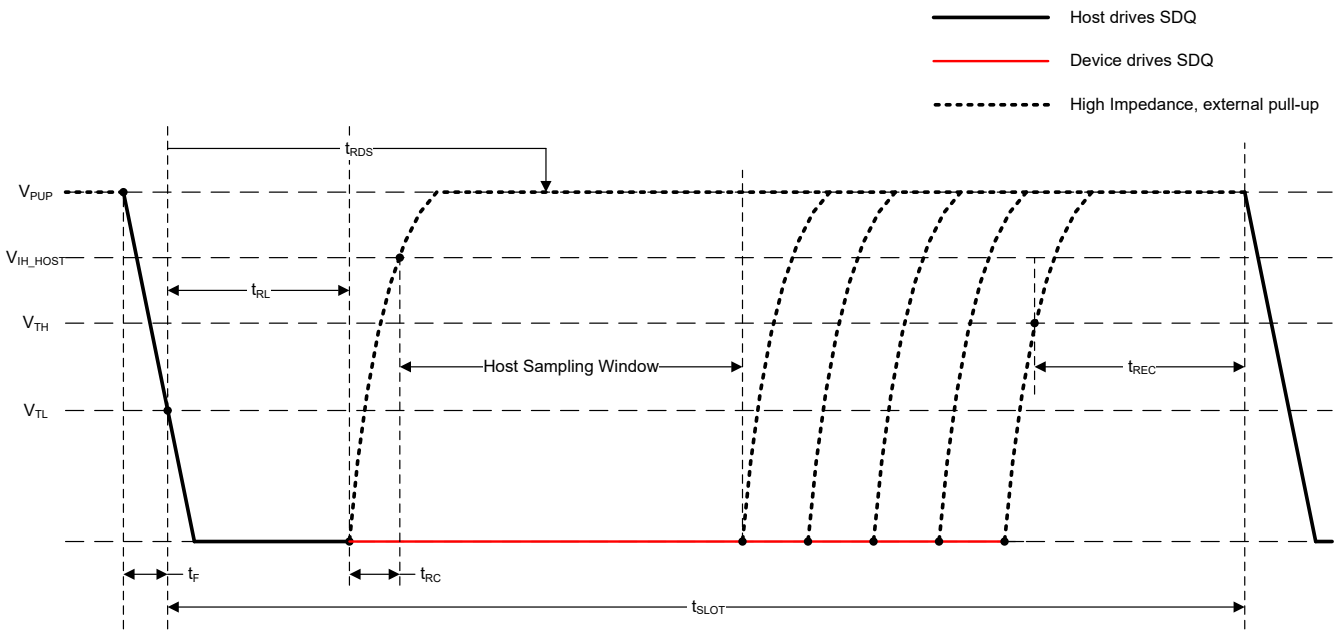


图 6-19. 读取数据时序图

6.5.6 空闲

如果 SDQ 总线为高电平，则总线处于空闲状态。通过使 SDQ 总线处于空闲状态，可以暂停总线事务，但总线事务可随时从空闲状态恢复。

6.5.7 CRC 生成

TMF0008 有一个 8 位 CRC 存储在 64 位 ROM 的最高有效字节中。总线主机可通过 64 位 ROM 的前 56 位计算 CRC 值，并将这些位与 TMF0008 中存储的值进行比较，用于确定总线主机是否无误接收到了 ROM 数据。此 CRC 的等效多项式函数为：$X^8 + X^5 + X^4 + 1$。

是否比较 CRC 值和继续运行完全由总线主机决定。如果 TMF0008 中存储的或其计算的 CRC 与总线主机生成的值不匹配，则 TMF0008 中的任何电路都无法阻止命令序列继续执行。正确使用 CRC 会使通信通道具有高完整性。

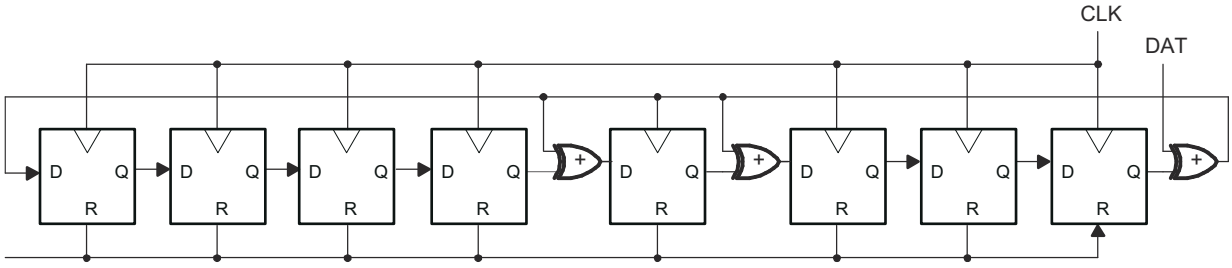


图 6-20. 8 位 CRC 生成器电路 ($X^8 + X^5 + X^4 + 1$)

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

典型应用包括一个配置为 SDQ 通信主机器件的微控制器和一个配置为 SDQ 响应器器件的 TMF0008。主机和响应器具有开漏功能，需要一个外部上拉电阻器（通常为 500Ω），并连接 3.13V 至 5.25V 范围的上拉电压。

7.2 典型应用

SDQ 总线上应避免出现额外的电容。任何电容超过 C_{CABLE} 都可能导致通信故障。请勿向 SDQ 线路添加去耦或旁路电容器。

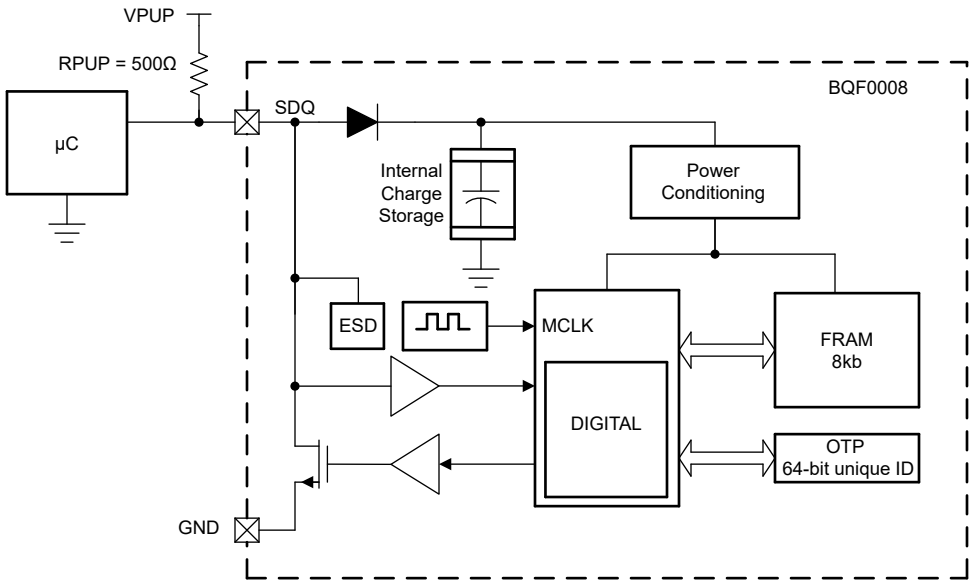


图 7-1. 典型应用电路

7.2.1 设计要求

设计参数	示例值
上拉电压	3.13V 至 5.25V
自然通风条件下的工作温度	-10°C 至 85°C
上拉电阻器	500Ω

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

可以通过基于 GPIO 的 bit-bang 操作来实现 SDQ 主机。在这种情况下，请考虑对 TMF0008 的复位例程进行额外的错误检查，以便验证响应器是否在总线上按预期运行。

只要主机发送复位，响应器器件就会通过存在脉冲确认复位。主机必须在存在脉冲之前确认总线已释放并恢复到高电平，指示没有任何因素将总线意外保持在低电平。由于最小 t_{PDH} 为 15 µs，因此在复位结束时释放总线后，留下 10 µs 让主机在总线上寻找逻辑高电平足以确认总线已释放，以便响应器器件进行确认。

7.2.3 应用曲线

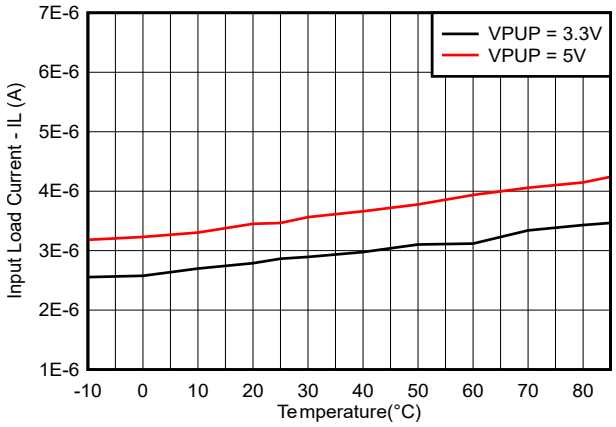


图 7-2. 输入负载电流 (I_L) 与温度间的关系（标准速度）

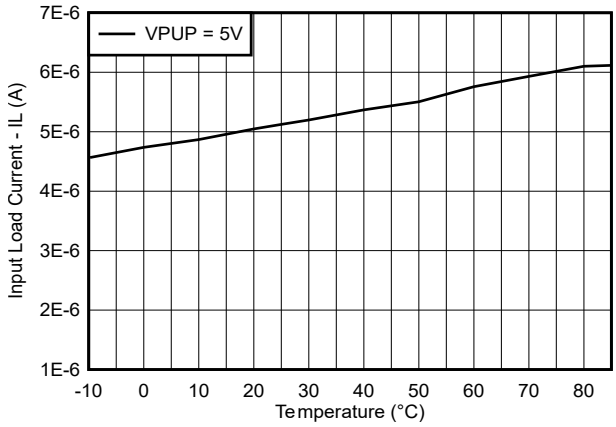


图 7-3. 输入负载电流 (I_L) 与温度间的关系（超速）

7.3 电源相关建议

TMF0008 是一款仅需要在通信时开启的低功耗器件。该器件电源来自系统中用于数字 I/O 的电压电源。该器件不包含专用的 VCC 引脚，而是从 SDQ 通信输入获得电源，该输入在正常通信活动期间可以维持电源。请勿在 SDQ 线路上安装任何电容器。

当电源初次接通时，由于电源的限流，SDQ 电压的斜坡时间可能会很慢。斜坡时间大于 200µs 可能会导致 POR 电路出现意外抖动，并导致器件不会产生存在脉冲。为了解决对器件的这种不良影响，通信主机的最佳实践是：通过将 SDQ 线路下拉 5ms 以上，然后在发出大约为 480µs 长的复位脉冲前释放 SDQ 总线，从而对器件发出“硬”复位。

图 7-4 说明了处理初始上电斜坡的最佳实践。



1. 初始上电斜坡的持续时间可能很长。
2. 主机发出“硬”复位，持续 5ms 以上，从而将器件复位。
3. TMF0008 通过发出存在脉冲来响应硬复位。
4. 在前一个存在脉冲之后，可施加一个持续大约 480µs 的“软”复位。
5. TMF0008 通过发出存在脉冲来响应软复位。

图 7-4. 上电最佳实践

Copyright © 2025 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

TMF0008 只有一个信号 (SDQ)。建议将信号布线直接从 TMF0008 的 SDQ 引脚路由到应用系统的外部连接器或主机 SDQ 主机器件。使用平行的接地平面正确屏蔽信号布线，如图 7-5 所示。如果 TMF0008 没有可用的接地平面，则连接 GND 的导线应大到足以围绕该器件的大部分区域，并且 SDQ 布线应在与 GND 平行的情况下返回到主机。

7.4.2 布局示例

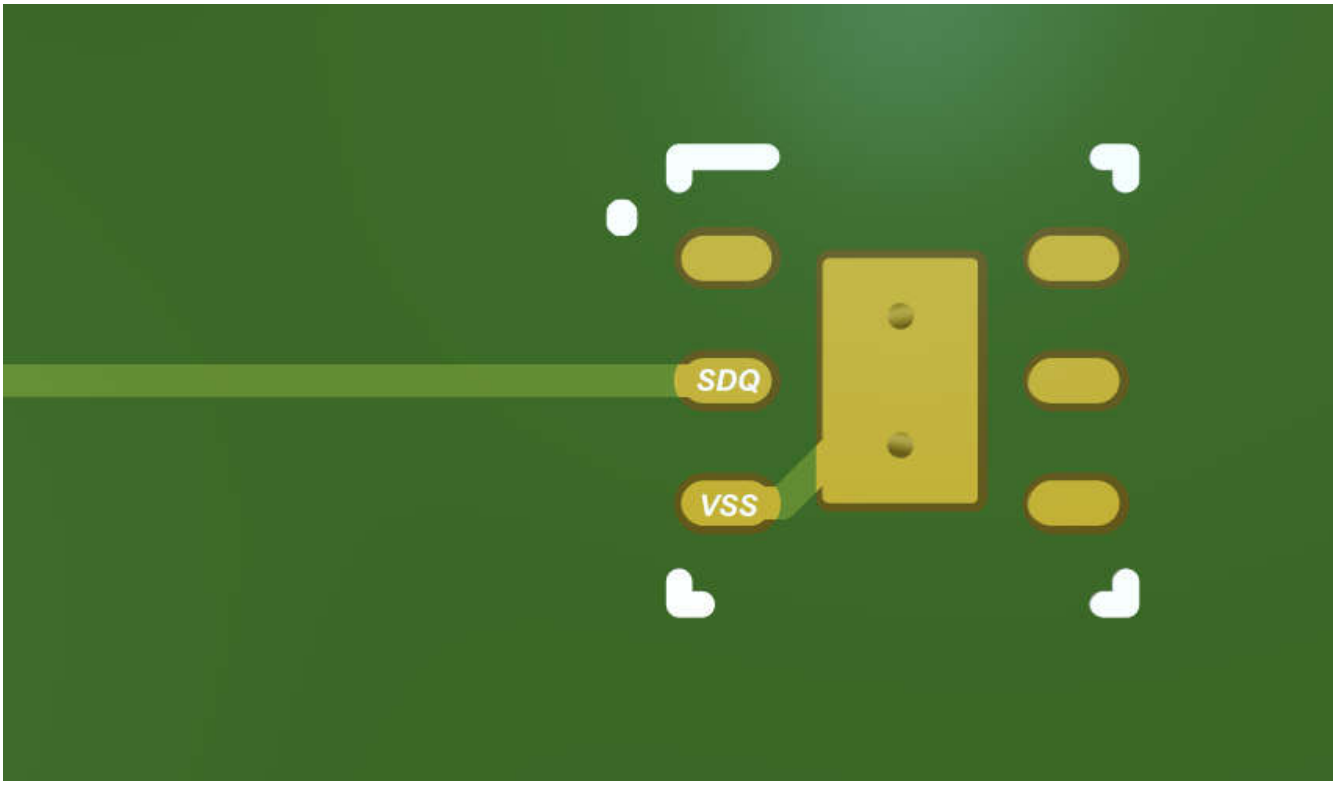


图 7-5. 电路板布局示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

SDQ™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
July 2025	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMF0008DRSR	Active	Production	SON (DRS) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-10 to 85	TMF008
TMF0008LP	Active	Production	TO-92 (LP) | 3	1000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-10 to 85	TMF0008
TMF0008PSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-10 to 85	TMF0008

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

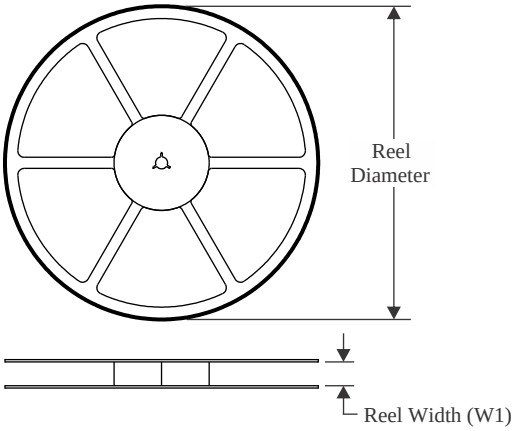
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

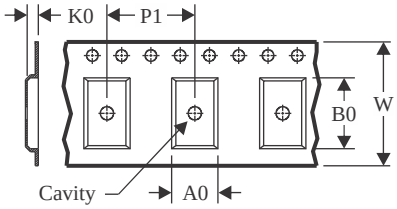
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

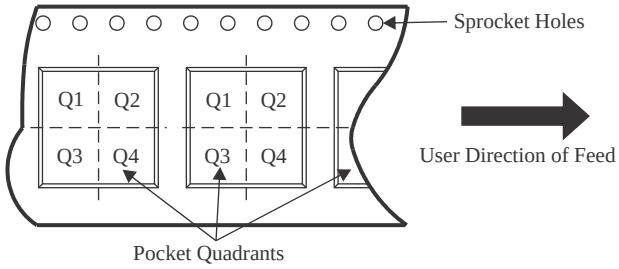


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

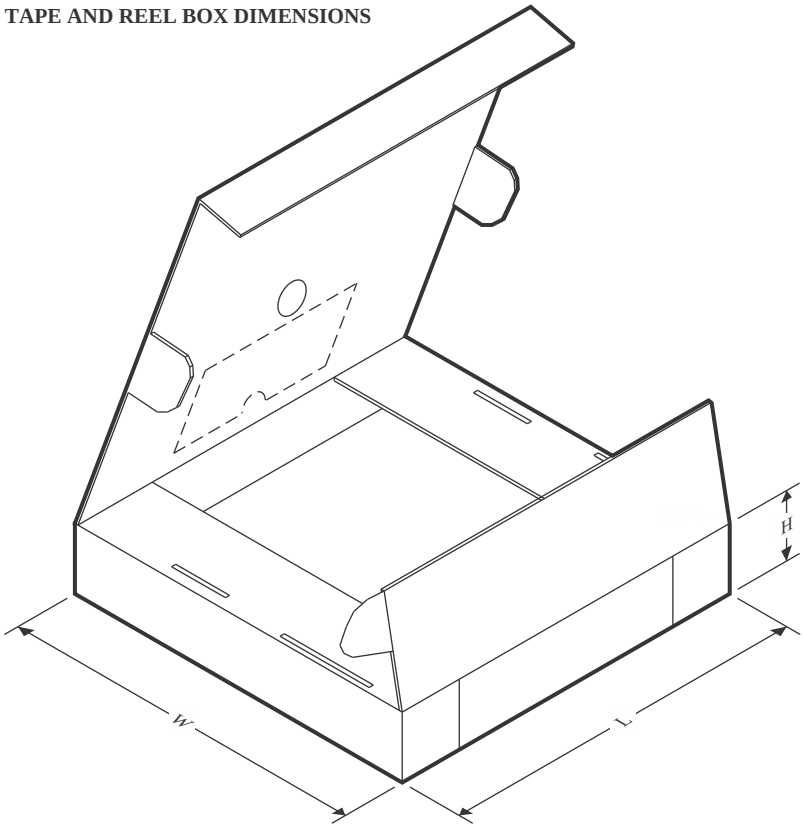
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMF0008DRSR	SON	DRS	6	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TMF0008PSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1

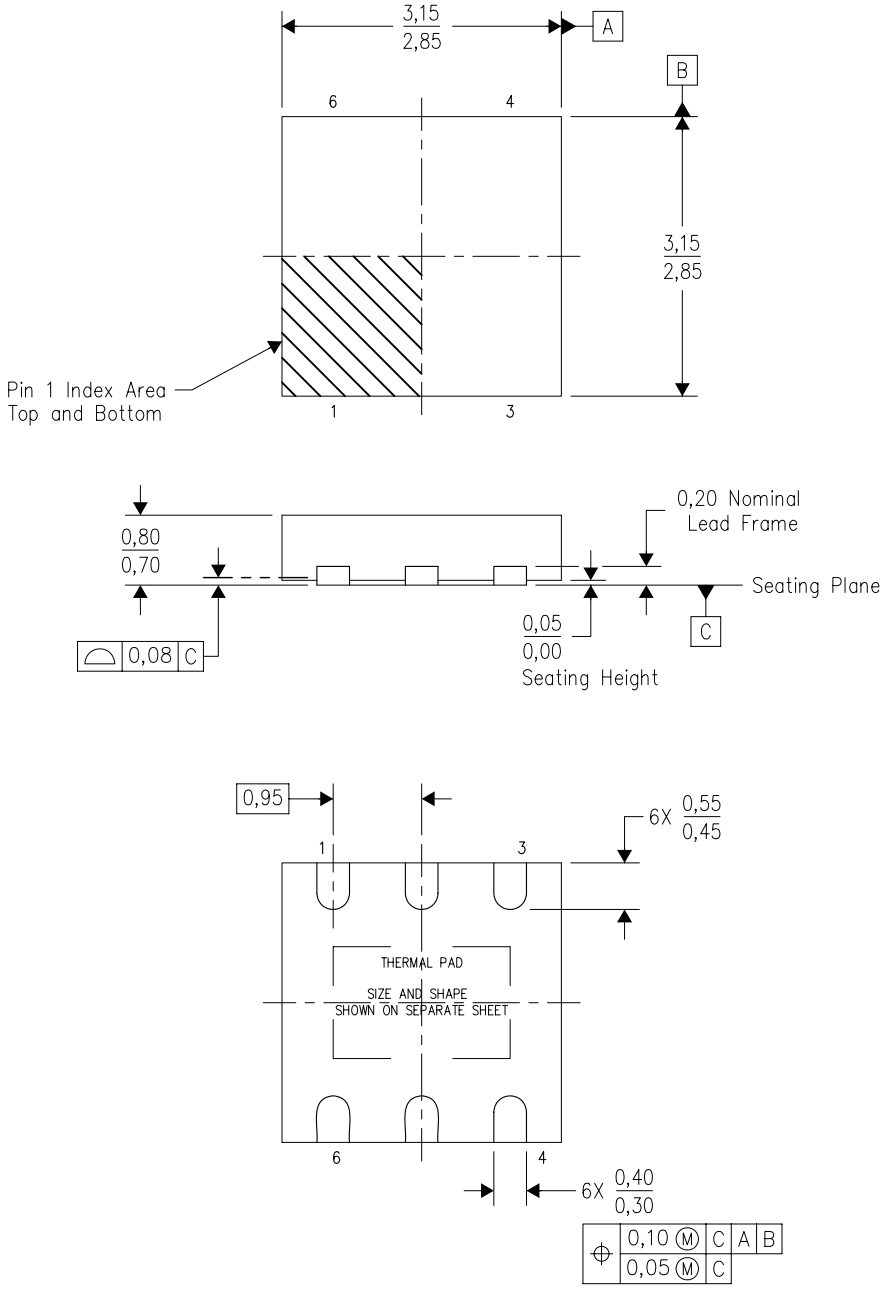
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMF0008DRSR	SON	DRS	6	3000	367.0	367.0	35.0
TMF0008PSR	SO	PS	8	2000	353.0	353.0	32.0

DRS (S–PWSON–N6) PLASTIC SMALL OUTLINE NO–LEAD

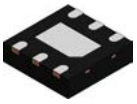


4206219/F 07/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. SON (Small Outline No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

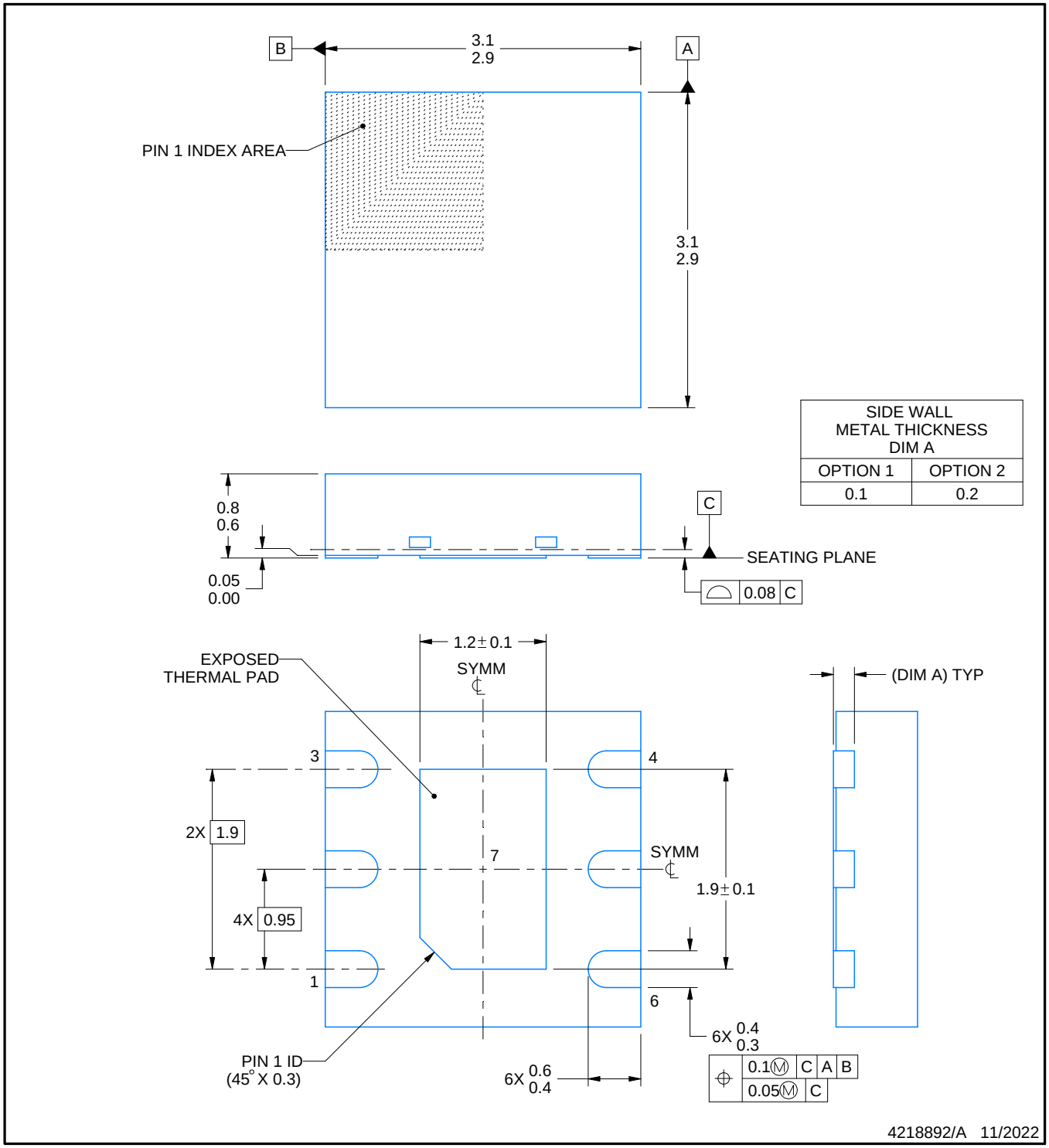
PACKAGE OUTLINE

DRS0006A



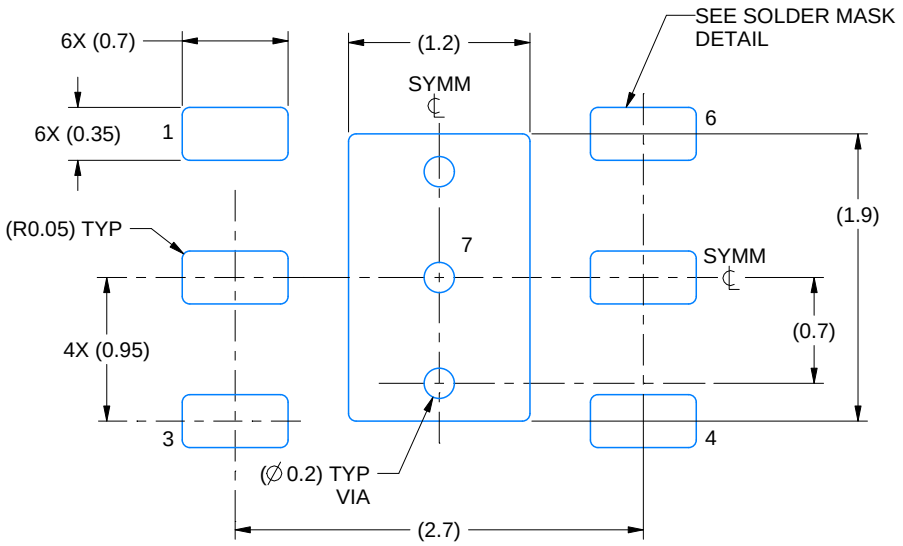
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

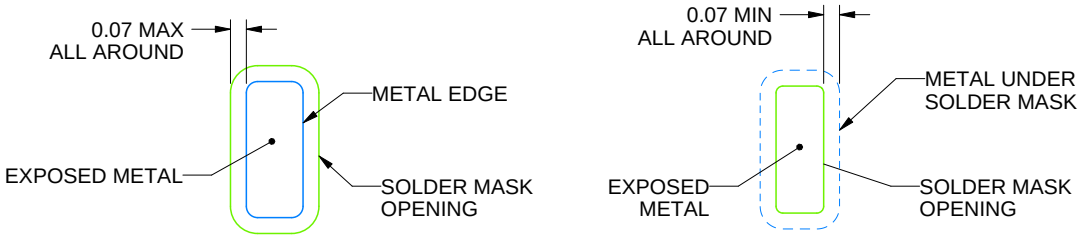


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4218892/A 11/2022

NOTES: (continued)

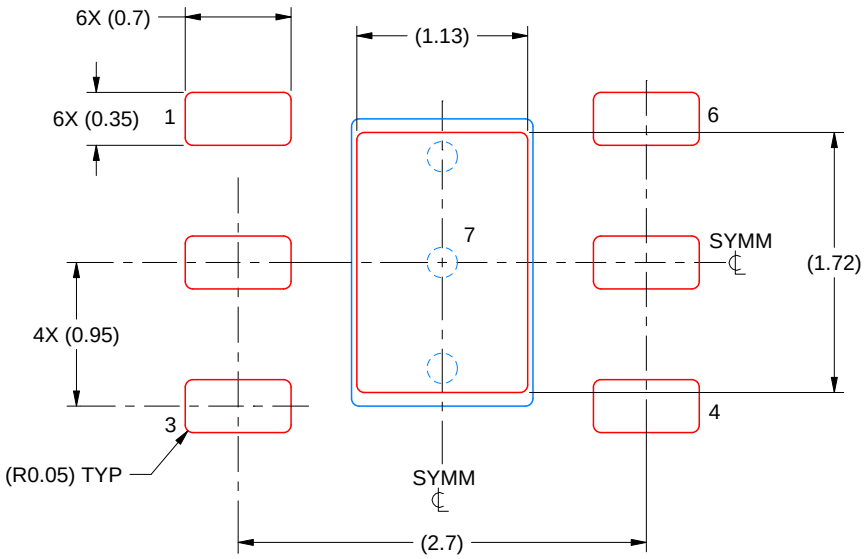
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRS0006A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 7
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

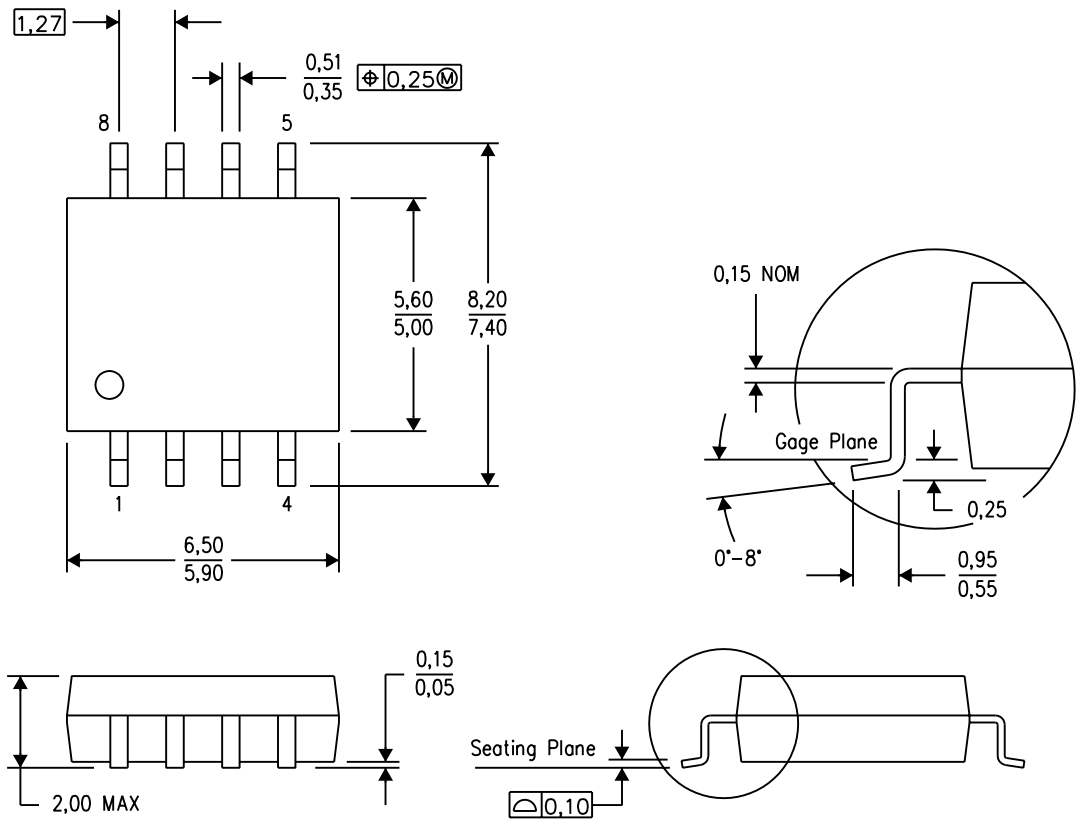
4218892/A 11/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

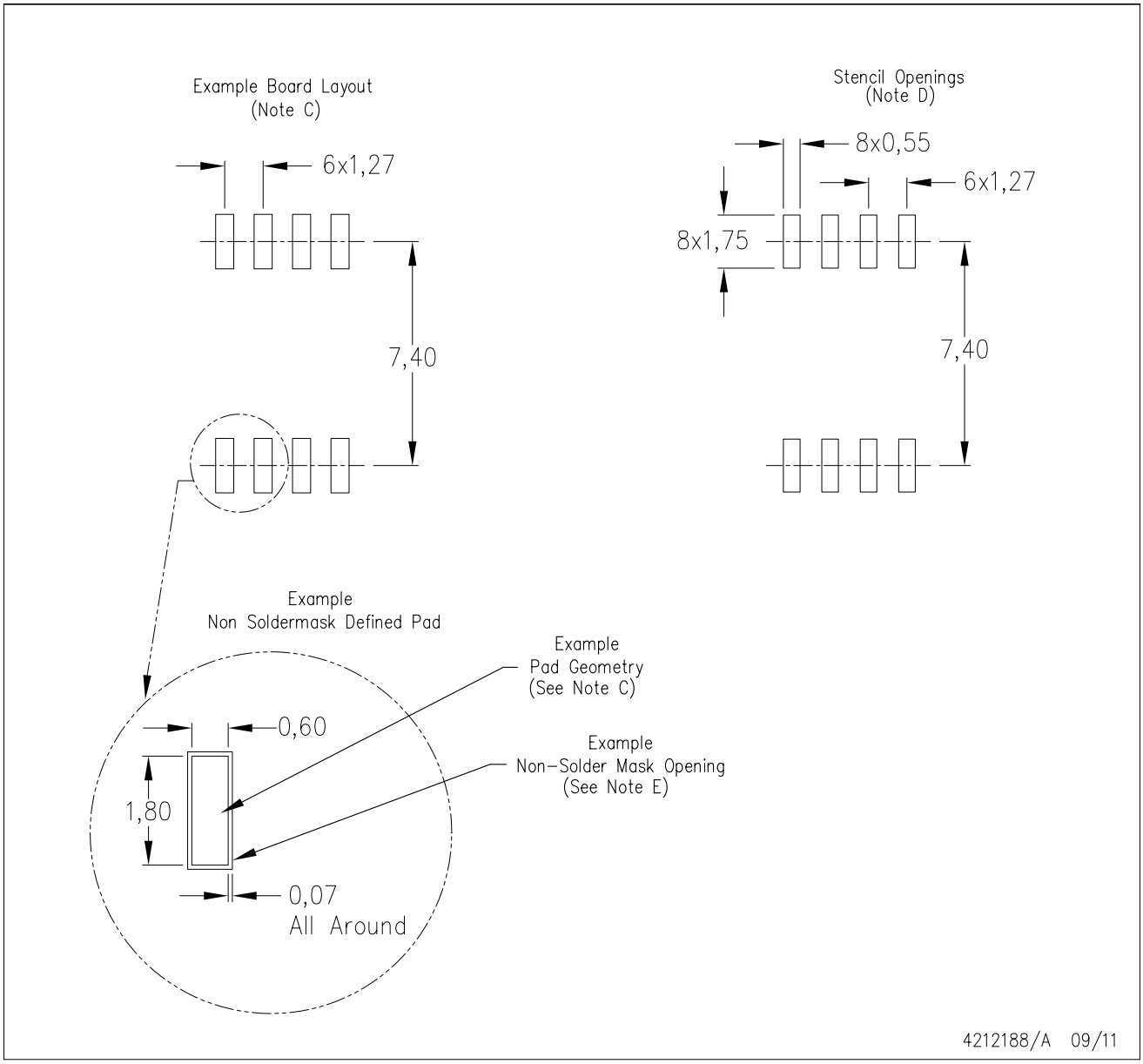
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

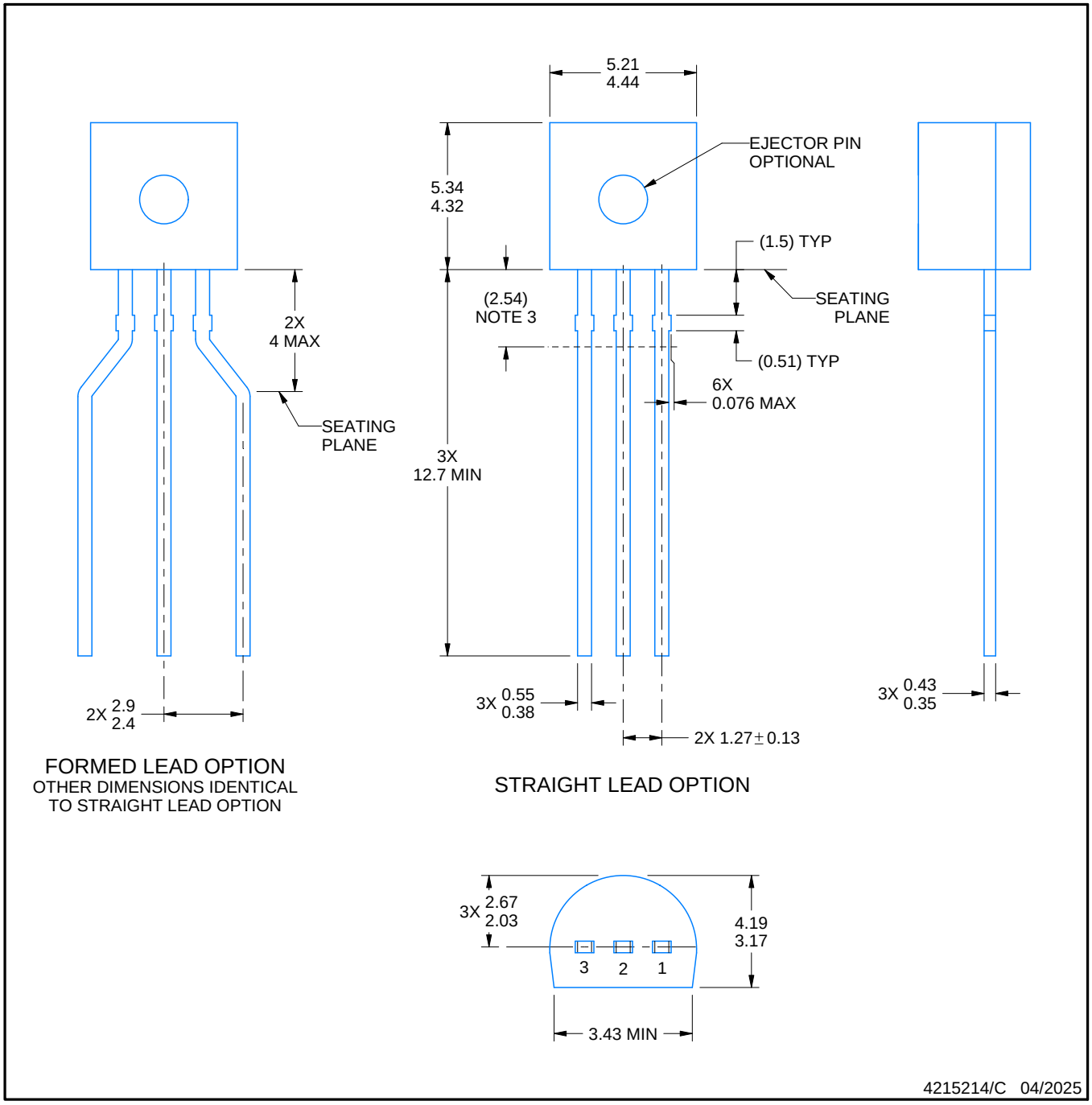
LP0003A



PACKAGE OUTLINE

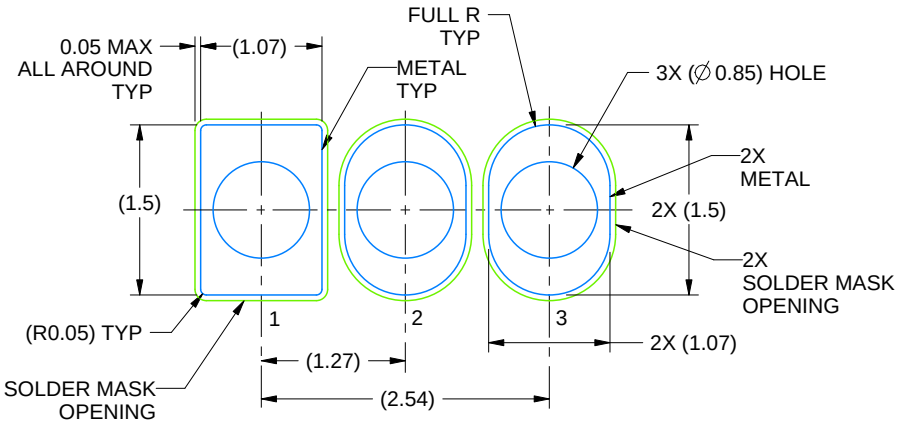
TO-92 - 5.34 mm max height

TO-92

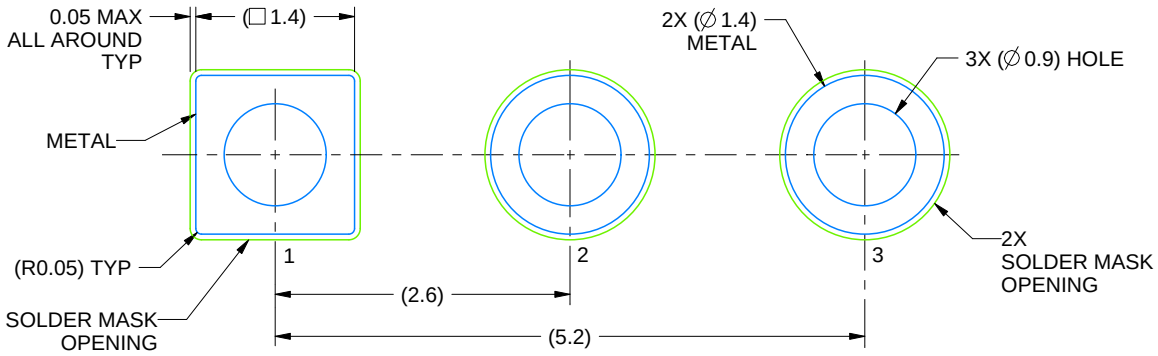


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
   a. Straight lead option available in bulk pack only.
   b. Formed lead option available in tape and reel or ammo pack.
   c. Specific products can be offered in limited combinations of shipping medium and lead options.
   d. Consult product folder for more information on available options.



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



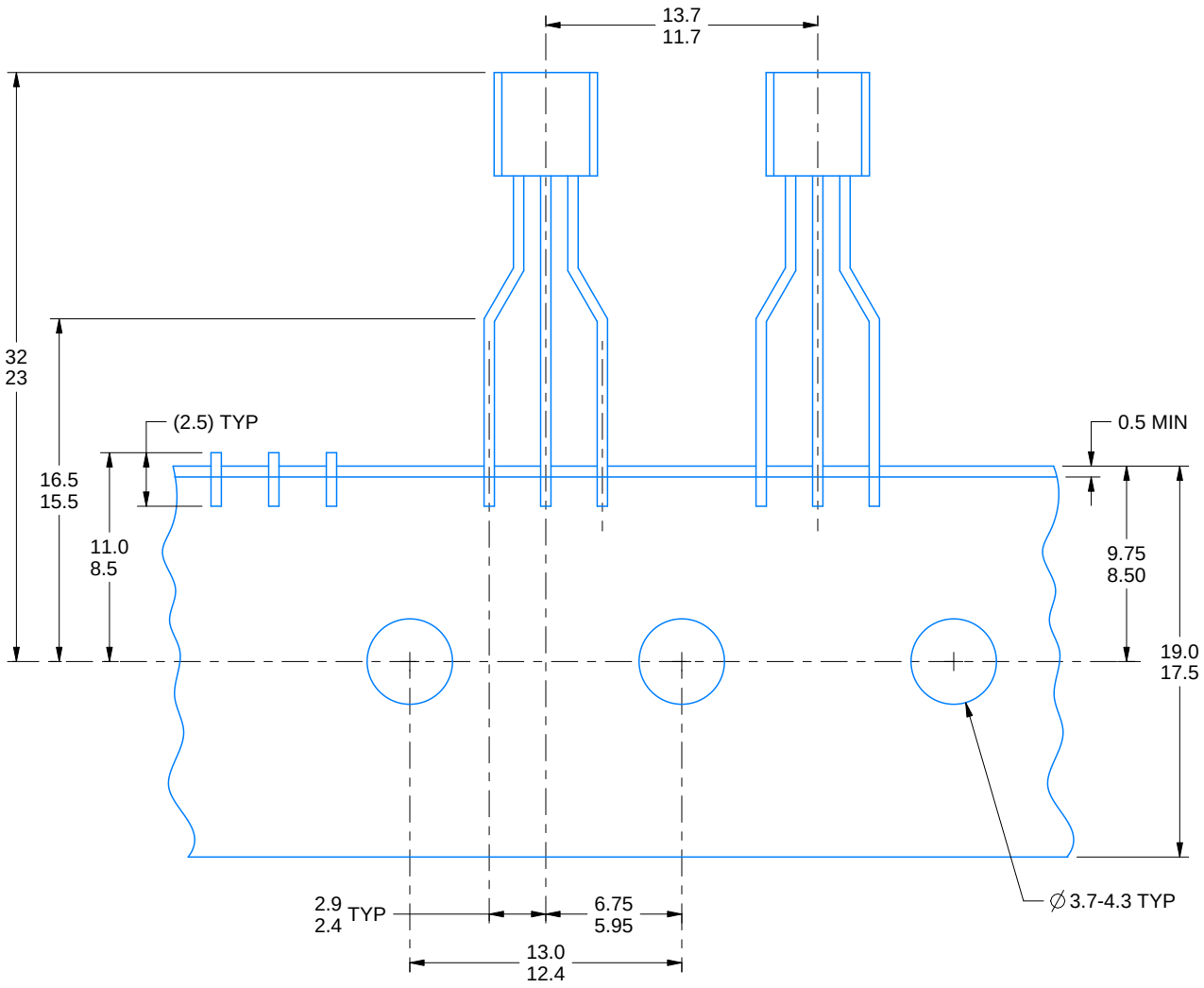
LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/C 04/2025

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

4215214/C 04/2025

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月