

ADS9120 16 位、2.5MSPS、15.5mW SAR ADC，具有增强型性能特性

1 特性

- 采样速率：2.5MSPS
- 无延迟输出
- 出色的直流和交流性能：
 - INL：±0.25LSB
 - DNL：±0.6LSB
 - SNR：96dB，THD：-118dB
- 宽输入范围：
 - 单极差分输入范围：±V_{REF}
 - V_{REF} 输入范围：2.5V 至 5V、独立于 AVDD
- 低功耗：
 - 2.5MSPS 时为 9mW (仅限 AVDD)
 - 15.5mW，2.5MSPS 时 (总计)
 - 灵活的低功耗模式可实现吞吐量随功耗动态调节
- 增强型 SPI (multiSPI™) 数字接口
- 1.8V DVDD 下符合 JESD8-7A 标准的数字 I/O
- 额定工作温度范围：-40°C 至 +125°C
- 小尺寸：4mm x 4mm VQFN

2 应用

- 测试和测量
- 电机控制
- 医疗成像
- 高精度、高速工业级

3 说明

ADS9120 是一款 16 位 2.5MSPS 逐次逼近寄存器 (SAR) 模数转换器 (ADC)，具备高性能增强功能。高吞吐量使开发人员能够对输入信号进行过采样，以改善测量的动态范围和精度。ADS9110 是 ADS9120 的一款引脚兼容型 18 位 2MSPS 型号

ADS9120 通过使用 TI 增强型 SPI 功能，提高了模拟性能，同时保持高分辨率数据传输。增强型 SPI 支持 ADS9120 以较低的时钟速度实现高吞吐量，从而简化电路板布局并降低系统成本。

增强型 SPI 还简化了数据的主机时钟输入，因此使该器件非常适合涉及 FPGA 和 DSP 的应用。ADS9120 与标准 SPI 接口兼容。ADS9120 具有可附加到 ADC 数据输出的内部数据奇偶校验功能。主机使用奇偶校验位进行 ADC 数据验证，以提高系统可靠性。

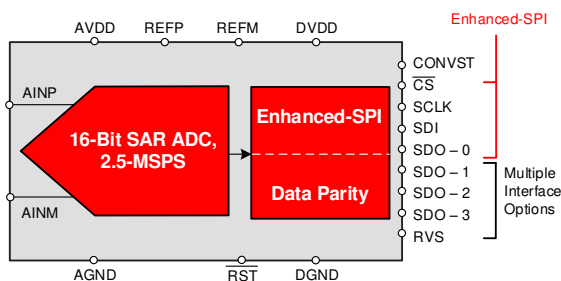
该器件支持符合 JESD8-7A 标准的 I/O 和扩展工业级温度范围，并采用节省空间的 4mm × 4mm VQFN 封装。

满吞吐量下的 SPI 接口时钟

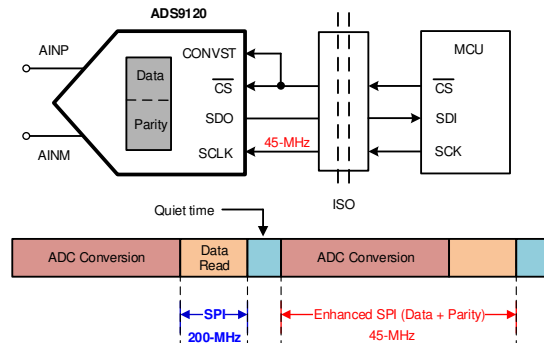
器件型号 ⁽¹⁾	3-WIRE SPI	3 线增强型 SPI
ADS9120	200MHz	45MHz

(1) 要了解增强型 SPI 的所有功能，请参阅 [接口模块](#) 部分。

ADS9120 Block Diagram



Lowest Clock Speeds at 2.5-MSPS using 3-Wire Enhanced-SPI



使用 ADS9120 简化系统设计



内容

1 特性	1	6.5 编程.....	24
2 应用	1	6.6 寄存器映射.....	44
3 说明	1	7 应用和实施	48
4 引脚配置和功能	3	7.1 应用信息.....	48
5 规格	4	7.2 典型应用.....	50
5.1 绝对最大额定值.....	4	8 电源相关建议	55
5.2 ESD 等级.....	4	8.1 电源去耦.....	55
5.3 建议运行条件.....	4	8.2 节能.....	55
5.4 热性能信息.....	4	9 布局	58
5.5 电气特性.....	5	9.1 布局指南.....	58
5.6 时序要求：转换周期.....	7	9.2 布局示例.....	59
5.7 时序要求：异步复位、NAP 和 PD.....	7	10 器件和文档支持	60
5.8 时序要求：SPI 兼容串行接口.....	7	10.1 文档支持.....	60
5.9 时序要求：源同步串行接口（外部时钟）.....	8	10.2 接收文档更新通知.....	60
5.10 时序要求：源同步串行接口（内部时钟）.....	8	10.3 支持资源.....	60
5.11 典型特性.....	12	10.4 商标.....	60
6 详细说明	17	10.5 静电放电警告.....	60
6.1 概述.....	17	10.6 术语表.....	60
6.2 功能方框图.....	17	11 修订历史记录	61
6.3 特性说明.....	18	12 机械、封装和可订购信息	61
6.4 器件功能模式.....	22		

4 引脚配置和功能

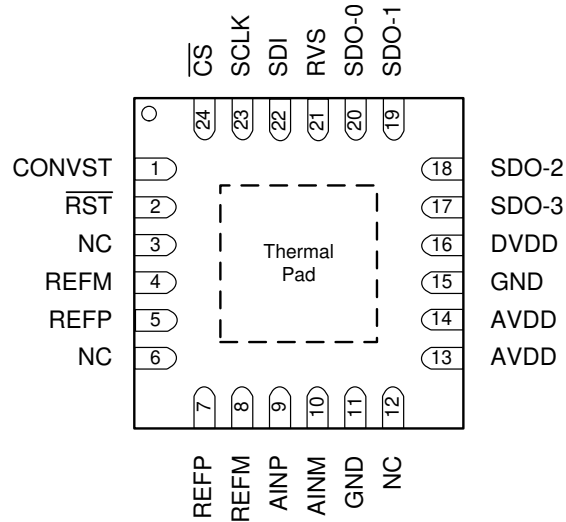


图 4-1. RGE 封装 24 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		功能	说明
名称	编号		
AINM	10	模拟输入	负模拟输入
AINP	9	模拟输入	正模拟输入
AVDD	13、14	电源	器件的模拟电源
CONVST	1	数字输入	器件的转换启动输入引脚。 CONVST 上升沿使器件从 ACQ 状态进入 CNV 状态。
\overline{CS}	24	数字输入	器件的片选输入引脚；低电平有效。 当 \overline{CS} 为低电平时，器件控制数据总线。 当 \overline{CS} 为高电平时，SDO-x 引脚进入三态状态。
DVDD	16	电源	接口电源
GND	11、15	电源	接地
NC	3、6、12	无连接	这些引脚必须悬空，不得外接任何电路
REFM	4、8	模拟输入	基准接地电势
REFP	5、7	模拟输入	基准电压输入
RST	2	数字输入	器件的异步复位输入引脚。 RST 引脚上的低电平脉冲可将器件复位，并且所有寄存器位均返回默认状态。
RVS	21	数字输出	器件的多功能输出引脚。 当 \overline{CS} 保持高电平时，RVS 反映内部 ADCST 信号的状态。 当 \overline{CS} 为低电平时，RVS 的状态取决于输出协议选择。
SCLK	23	数字输入	串行接口的时钟输入引脚。 所有系统同步数据传输协议根据 SCLK 信号计时。
SDI	22	数字输入	器件的串行数据输入引脚。 此引脚用于将数据或命令馈入器件。
SDO-0	20	数字输出	串行通信：数据输出 0。
SDO-1	19	数字输出	串行通信：数据输出 1。
SDO-2	18	数字输出	串行通信：数据输出 2。
SDO-3	17	数字输出	串行通信：数据输出 3。
散热焊盘		电源	外露散热焊盘；建议将此引脚接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
AVDD 至 GND	-0.3	2.1	V
DVDD 至 GND	-0.3	2.1	V
REFP 至 REFM	-0.3	5.5	V
REFM 至 GND	-0.1	0.1	V
模拟 (AINP、AINM) 至 GND	-0.3	REFP + 0.3	V
数字输入 (RST、CONVST、CS、SCLK、SDI) 至 GND	-0.3	DVDD + 0.3	V
数字输出 (RVS、SDO-0、SDO-1、SDO-2、SDO-3) 至 GND	-0.3	DVDD + 0.3	V
工作温度, T _A	-40	85	°C
贮存温度, T _{stg}	-65	150	°C

(1) 应力超出绝对最大额定值中列出的值时，可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
AVDD	模拟电源电压		1.8		V
DVDD	数字电源电压		1.8		V
REFP	正基准		5		V

5.4 热性能信息

热指标 ⁽¹⁾		ADS9120	单位
		RGE (VQFN)	
		24 引脚	
R _{θJA}	结至环境热阻	31.9	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	29.9	°C/W
R _{θJB}	结至电路板热阻	8.9	°C/W
ψ _{JT}	结至顶部特征参数	0.3	°C/W
ψ _{JB}	结至电路板特征参数	8.9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	2.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

除非另有说明，否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ ，以及 $f_{DATA} = 2.5$ MSPS。

除非另有说明，否则所有最小值和最大值规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。

所有典型值均在 $T_A = 25^{\circ}C$ 下测得。

参数	测试条件	最小值	典型值	最大值	单位	
模拟输入						
FSR	满标度输入范围 (AINP - AINM) ⁽¹⁾	$-V_{REF}$		V_{REF}	V	
V_{IN}	绝对输入电压 (AINP 和 AINM 至 REFGND)	-0.1		$V_{REF} + 0.1$	V	
V_{CM}	共模电压范围 (AINP + AINM)/2	$(V_{REF}/2) - 0.1$	$V_{REF}/2$	$(V_{REF}/2) + 0.1$	V	
C_{IN}	输入电容	处于采样模式	60		pF	
		处于保持模式	4			
I_{IL}	输入漏电流		± 1		μA	
电压基准输入						
V_{REF}	基准输入电压范围	2.5		5	V	
I_{REF}	基准输入电流	平均电流、 $V_{REF} = 5V$ 、 2kHz、满量程输入、 吞吐量 = 2.5 MSPS		1.3	mA	
直流精度						
	分辨率		16		位	
NMC	无丢码		16		位	
INL	积分非线性	$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	-0.6	$\pm 0.25^{(2)}$	0.6	LSB ⁽³⁾
		$T_A = -40^{\circ}C$ 至 $+125^{\circ}C$	-0.7	$\pm 0.25^{(2)}$	0.7	
DNL	微分非线性	$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	-0.6	$\pm 0.25^{(2)}$	0.6	LSB
		$T_A = -40^{\circ}C$ 至 $+125^{\circ}C$	-0.7	± 0.25	0.7	
$E_{(IO)}$	输入失调电压误差	-1	$\pm 0.025^{(2)}$	1	mV	
dV_{OS}/dT	输入失调电压热漂移		1		$\mu V/^{\circ}C$	
G_E	增益误差	-0.02	$\pm 0.01^{(2)}$	0.02	%FS	
G_E/dT	增益误差热漂移		0.25		ppm/ $^{\circ}C$	
	切换噪声		0.35		LSB	
CMRR	共模抑制比	直流至 20kHz	80		dB	

5.5 电气特性 (续)

除非另有说明, 否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$, 以及 $f_{DATA} = 2.5$ MSPS。

除非另有说明, 否则所有最小值和最大值规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。

所有典型值均在 $T_A = 25^{\circ}C$ 下测得。

参数	测试条件	最小值	典型值	最大值	单位
交流精度⁽⁴⁾					
SINAD 信噪比 + 失真	$f_{IN} = 2kHz$	94.4	96		dB
	$f_{IN} = 100kHz$		95		
	$f_{IN} = 500kHz$		83.9		
SNR 信噪比	$f_{IN} = 2kHz$	94.5	96		dB
	$f_{IN} = 100kHz$		95.9		
	$f_{IN} = 500kHz$		84		
THD 总谐波失真 ⁽⁵⁾	$f_{IN} = 2kHz$		-118		dB
	$f_{IN} = 100kHz$		-102		
	$f_{IN} = 500kHz$		-101		
SFDR 无杂散动态范围	$f_{IN} = 2kHz$		120		dB
	$f_{IN} = 100kHz$		108		
	$f_{IN} = 500kHz$		106		
数字输入⁽⁶⁾					
V_{IH} 高电平输入电压		0.65 DVDD		DVDD + 0.3	V
V_{IL} 低电平输入电压		-0.3		0.35 DVDD	V
数字输出⁽⁶⁾					
V_{OH} 高电平输出电压	$I_{OH} = 2mA$ 源电流	DVDD - 0.45			V
V_{OL} 低电平输出电压	$I_{OH} = 2mA$ 灌电流			0.45	V
电源					
AVDD 模拟电源电压		1.65	1.8	1.95	V
DVDD 数字电源电压		1.65	1.8	1.95	V
IDD AVDD 供电电流 (AVDD = 1.8V)	有效、2.5-MSPS 吞吐量、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		5	6.5	mA
	有效、2.5-MSPS 吞吐量、 $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$		5	6.75	
	静态、ACQ 状态		3.7		mA
	低功耗 NAP 模式		500		
	断电 (PD) 状态		1		
P _D AVDD 功率耗散 (AVDD = 1.8V)	有效、2.5-MSPS 吞吐量、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		9	11.7	mW
	有效、2.5-MSPS 吞吐量、 $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$		9	12.15	
	静态、ACQ 状态		6.6		mW
	低功耗 NAP 模式		900		
	断电 (PD) 状态		1.8		
温度范围					
T_A 自然通风条件下的工作温度		-40		125	$^{\circ}C$

(1) 理想输入范围, 不包括增益或失调电压误差。

(2) 请参阅图 5-9、图 5-10、图 5-25 和图 5-26, 查看 INL、DNL、偏移和增益误差参数的统计分布数据。

(3) LSB = 最低有效位。18 位时的 1LSB 约为 3.8ppm。

(4) 除非另有说明, 否则所有以分贝 (dB) 表示的规范均基于满量程输入 (FSR), 并且测试采用的输入信号比满量程低 0.1dB。

(5) 根据输入频率的前九次谐波计算。

(6) 遵循 JESD8-7A 标准。根据设计确定; 未经生产测试。

5.6 时序要求：转换周期

除非另有说明，否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ ，以及 $f_{DATA} = 2.5$ MSPS。
所有最小和最大规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。所有典型值均在 $T_A = 25^{\circ}C$ 下测得。请参阅图 5-1。

		最小值	典型值	最大值	单位
时序要求					
f_{cycle}	采样频率			2.5	MHz
t_{cycle}	ADC 周期时长	400			ns
t_{wh_CONVST}	脉冲持续时间：CONVST 高电平	30			ns
t_{wl_CONVST}	脉冲持续时间：CONVST 低电平	30			ns
t_{acq}	采集时间	100			ns
t_{qt_acq}	静默采集时间 ⁽¹⁾	25			ns
t_{d_cnvcap}	静默孔径时间 ⁽¹⁾	10			ns
时序规格					
t_{conv}	转换时间	270		290	ns

(1) 请参阅图 6-12。

5.7 时序要求：异步复位、NAP 和 PD

除非另有说明，否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ ，以及 $f_{DATA} = 2.5$ MSPS。
所有最小和最大规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。所有典型值均在 $T_A = 25^{\circ}C$ 下测得。请参阅图 5-2 和图 5-3。

		最小值	典型值	最大值	单位
时序要求					
t_{wl_RST}	脉冲持续时间： \overline{RST} 为低电平	100			ns
时序规格					
t_{d_rst}	延迟时间： \overline{RST} 上升沿至 RVS 上升沿			1250	μs
t_{nap_wkup}	唤醒时间：NAP 模式			300	ns
t_{PWRUP}	上电时间：PD 模式			250	μs

5.8 时序要求：SPI 兼容串行接口

除非另有说明，否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ ，以及 $f_{DATA} = 2.5$ MSPS。
所有最小和最大规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。所有典型值均在 $T_A = 25^{\circ}C$ 下测得。请参阅图 5-4。

		最小值	典型值	最大值	单位
时序要求					
f_{CLK}	串行时钟频率			75	MHz
t_{CLK}	串行时钟时间周期	13.33			ns
t_{ph_CK}	SCLK 高电平时间	0.45		0.55	t_{CLK}
t_{pl_CK}	SCLK 低电平时间	0.45		0.55	t_{CLK}
t_{su_CSCK}	建立时间： \overline{CS} 下降至第一个 SCLK 捕捉沿	5			ns
t_{su_CKDI}	建立时间：SDI 数据对 SCLK 捕捉沿有效	1.2			ns
t_{ht_CKDI}	保持时间：SCLK 捕捉沿至 SDI 上的 (前一个) 数据有效	0.65			ns
t_{ht_CKCS}	延迟时间：最后一个 SCLK 下降到 \overline{CS} 上升	5			ns
时序规格					
t_{den_CSDO}	延迟时间： \overline{CS} 下降沿至数据使能			4.5	ns
t_{dz_CSDO}	延迟时间： \overline{CS} 上升沿到 SDO 三态输出			10	ns
t_{d_CKDO}	延迟时间：SCLK 启动沿至 SDO 上的 (下一个) 数据有效状态			6.5	ns
$t_{d_CSRDY_f}$	延迟时间： \overline{CS} 下降沿至 RVS 下降沿			5	ns
$t_{d_CSRDY_r}$	延迟时间： \overline{CS} 上升沿至 RVS 上升沿	执行 NOP 操作后		10	ns
		执行 WR 或 RD 操作后		70	

5.9 时序要求：源同步串行接口（外部时钟）

除非另有说明，否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ ，以及 $f_{DATA} = 2.5$ MSPS。
所有最小和最大规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。所有典型值均在 $T_A = 25^{\circ}C$ 下测得。请参阅图 5-5。

		最小值	典型值	最大值	单位
时序要求					
f_{CLK}	串行时钟频率			100	MHz
t_{CLK}	串行时钟时间周期	10			ns
时序规格⁽¹⁾					
$t_{d_CKSTR_r}$	延迟时间：SCLK 启动沿至 RVS 上升沿			8.5	ns
$t_{d_CKSTR_f}$	延迟时间：SCLK 启动沿至 RVS 下降沿			8.5	ns
$t_{off_STRDO_f}$	时间偏移：RVS 上升沿至 SDO 上的（下一个）数据有效状态	-0.5		0.5	ns
$t_{off_STRDO_r}$	时间偏移：RVS 下降沿至 SDO 上的（下一个）数据有效状态	-0.5		0.5	ns

(1) 其他参数与 **时序要求：SPI 兼容串行接口** 表中的参数相同。

5.10 时序要求：源同步串行接口（内部时钟）

除非另有说明，否则所有规范均基于 $AVDD = 1.8V$ 、 $DVDD = 1.8V$ 、 $V_{REF} = 5V$ ，以及 $f_{DATA} = 2.5$ MSPS。
所有最小和最大规范均基于 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$ 。所有典型值均在 $T_A = 25^{\circ}C$ 下测得。请参阅图 5-6。

		最小值	典型值	最大值	单位
时序规格⁽¹⁾					
t_{d_CSSTR}	延迟时间： \overline{CS} 下降沿至 RVS 上升沿	12		40	ns
$t_{off_STRDO_f}$	时间偏移：RVS 上升沿至 SDO 上的（下一个）数据有效状态	-0.5		0.5	ns
$t_{off_STRDO_r}$	时间偏移：RVS 下降沿至 SDO 上的（下一个）数据有效状态	-0.5		0.5	ns
t_{STR}	选通输出时间段	INTCLK 选项		9.9	11.1
		INTCLK/2 选项		19.8	22.2
		INTCLK/4 选项		39.6	44.4
t_{ph_STR}	选通输出高电平时间	0.45		0.55	t_{STR}
t_{pl_STR}	选通输出低电平时间	0.45		0.55	t_{STR}

(1) 其他参数与 **时序要求：SPI 兼容串行接口** 表中的参数相同。

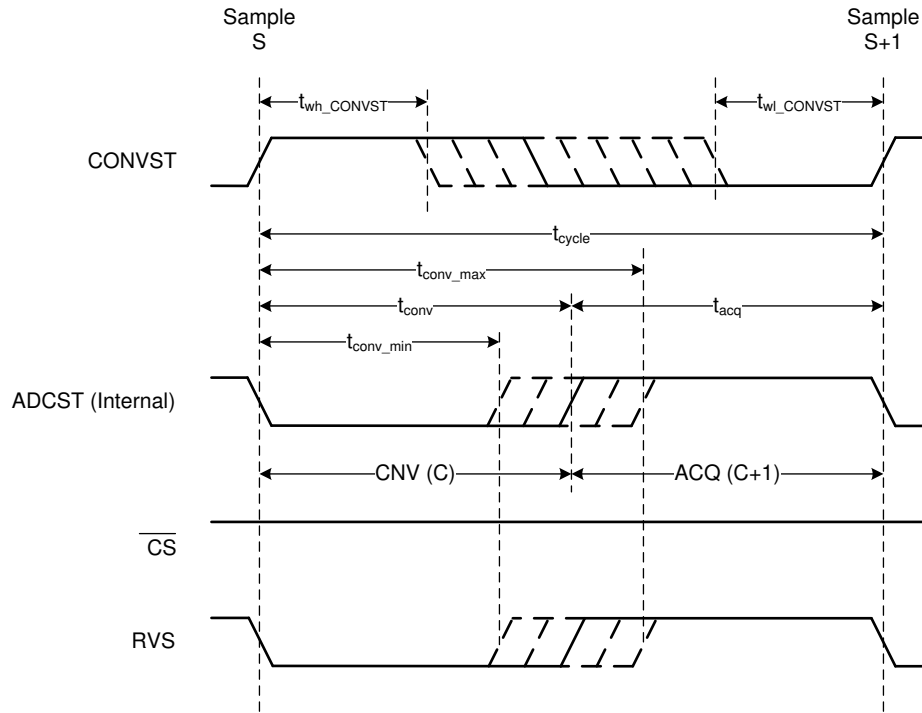


图 5-1. 转换周期时序图

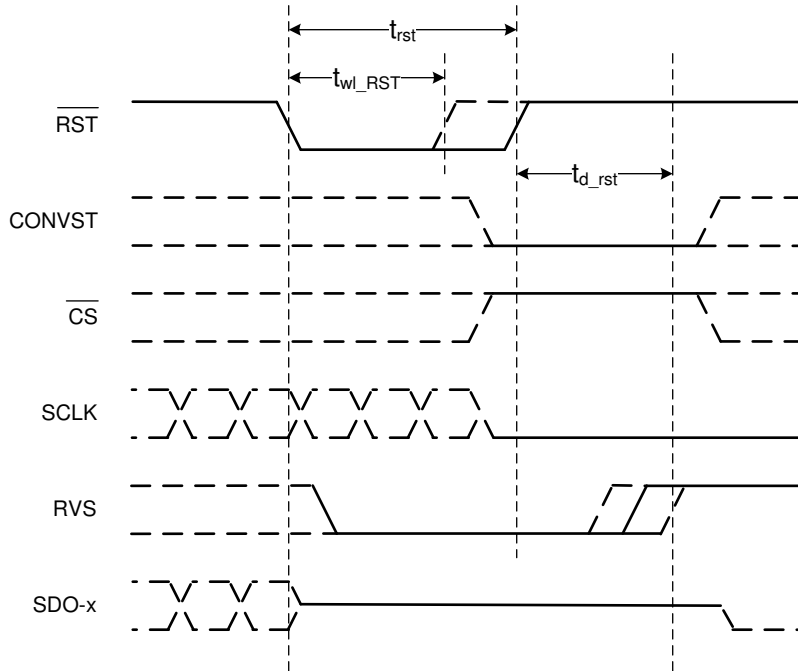


图 5-2. 异步复位时序图

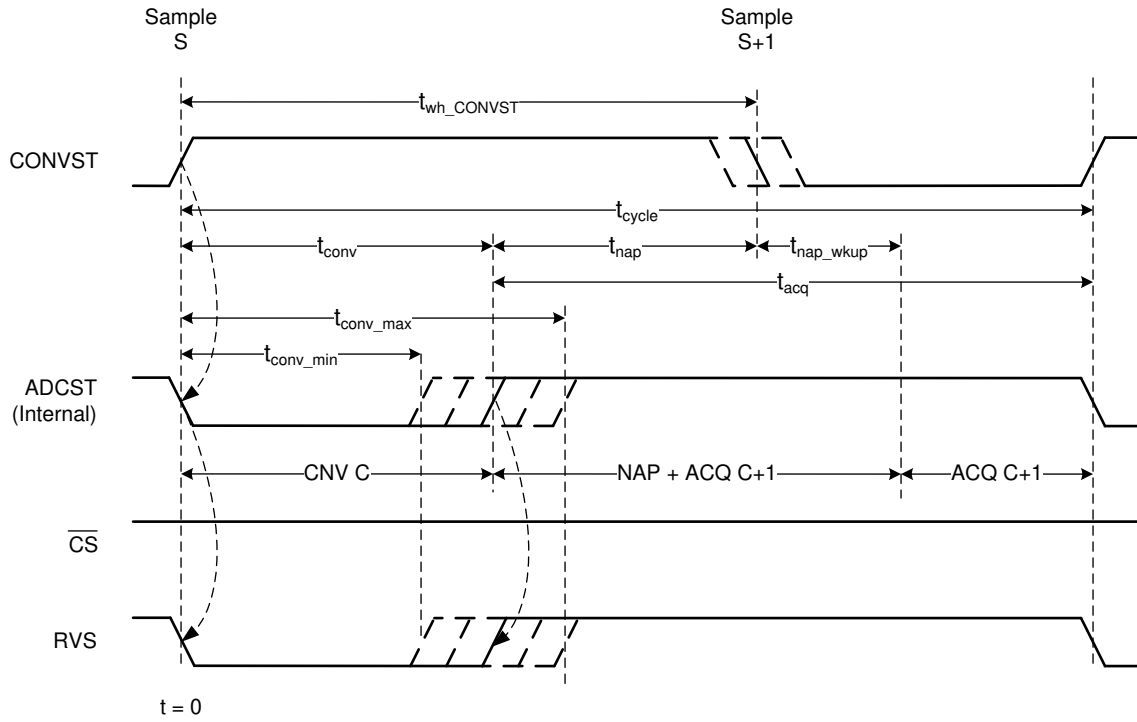
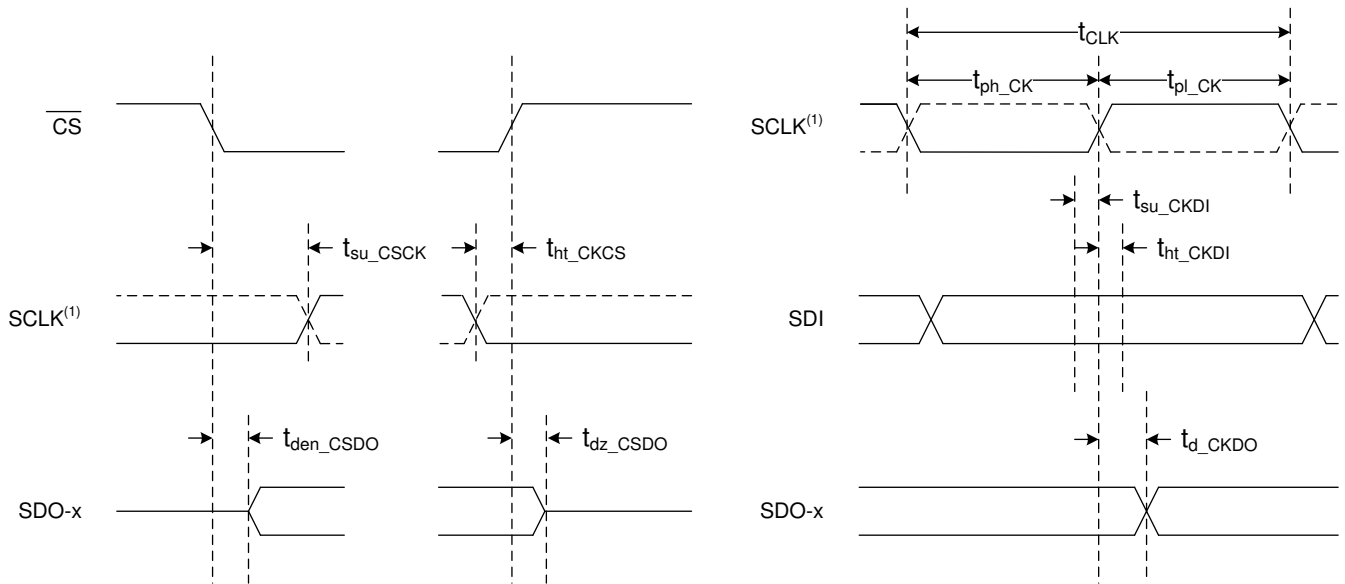


图 5-3. NAP 模式时序图



1. SCLK 极性、启动沿和捕获边沿取决于所选的 SPI 协议。

图 5-4. SPI 兼容串行接口时序图

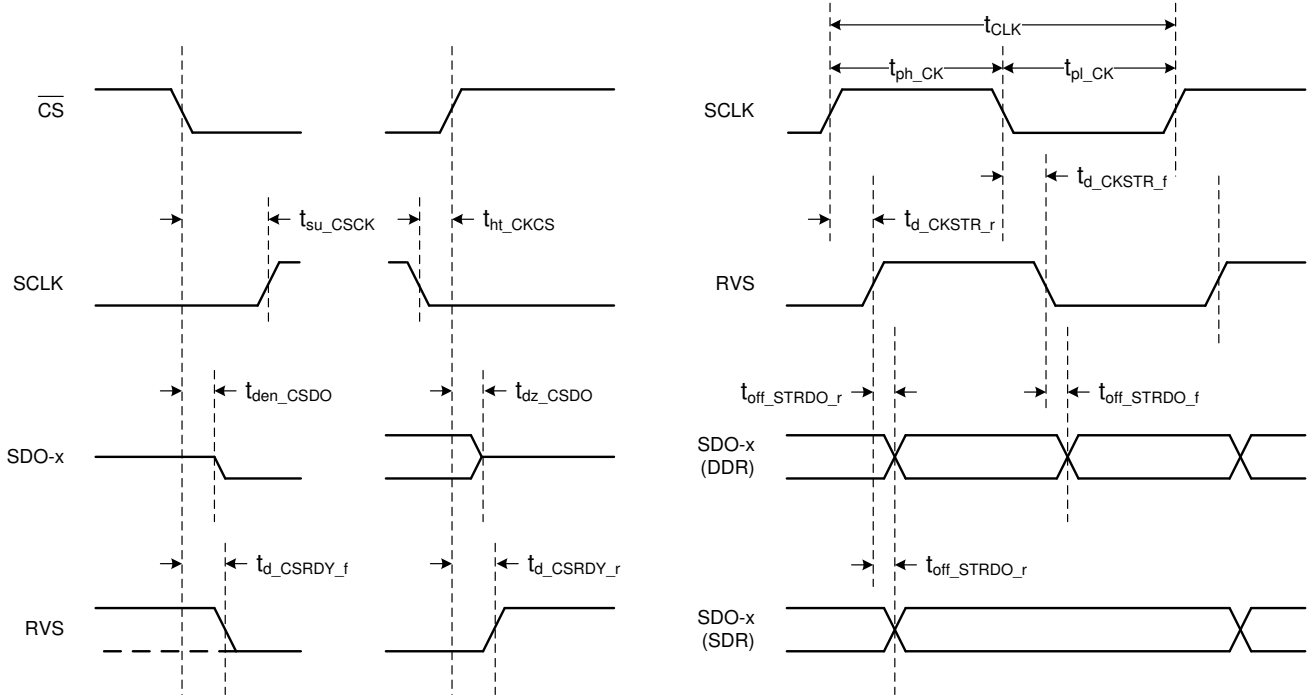


图 5-5. 源同步串行接口时序图 (外部时钟)

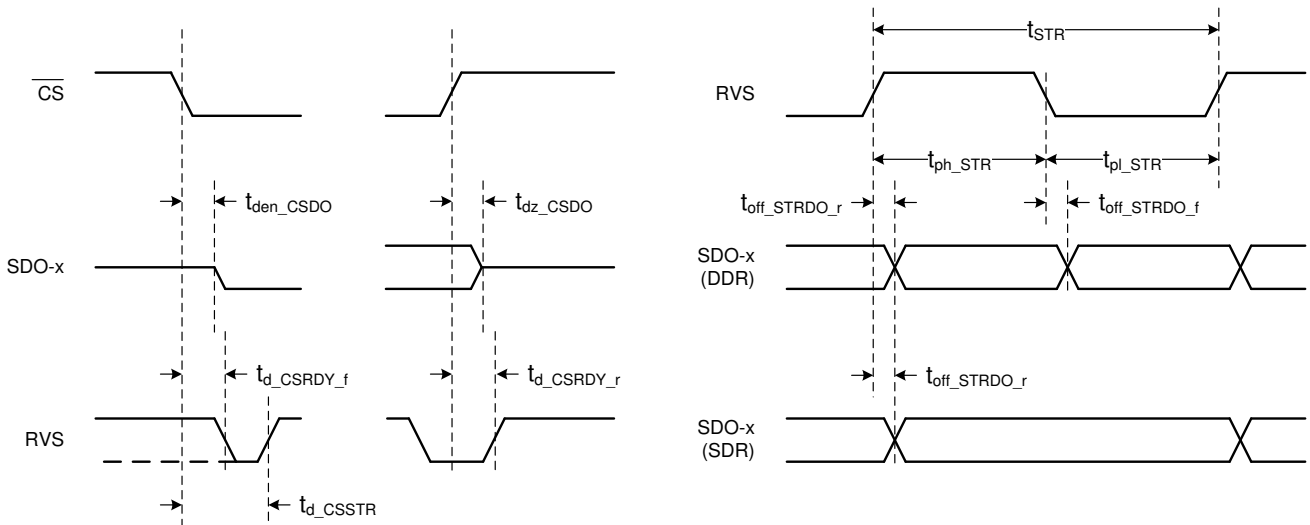


图 5-6. 源同步串行接口时序图 (内部时钟)

5.11 典型特性

在 $T_A = 25^\circ\text{C}$ 、 $AV_{DD} = 1.8\text{V}$ 、 $DV_{DD} = 1.8\text{V}$ 、 $V_{REF} = 5\text{V}$ 且 $f_{\text{SAMPLE}} = 2.5\text{MSPS}$ 的条件下测得 (除非另有说明)

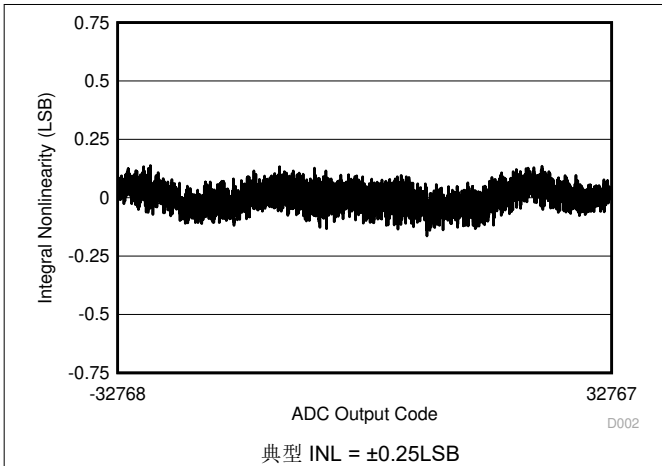


图 5-7. 典型 INL

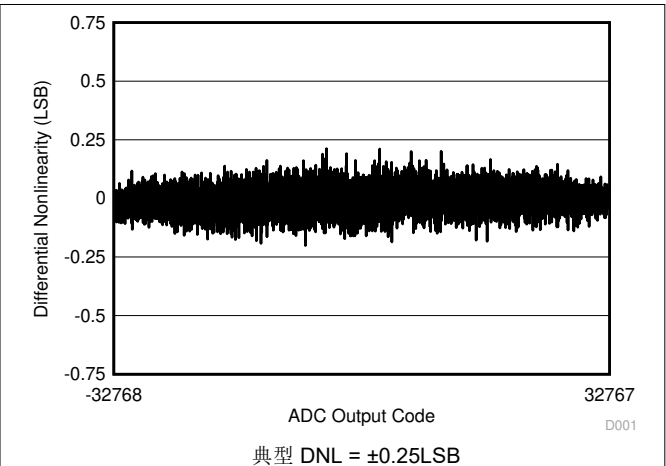


图 5-8. 典型 DNL

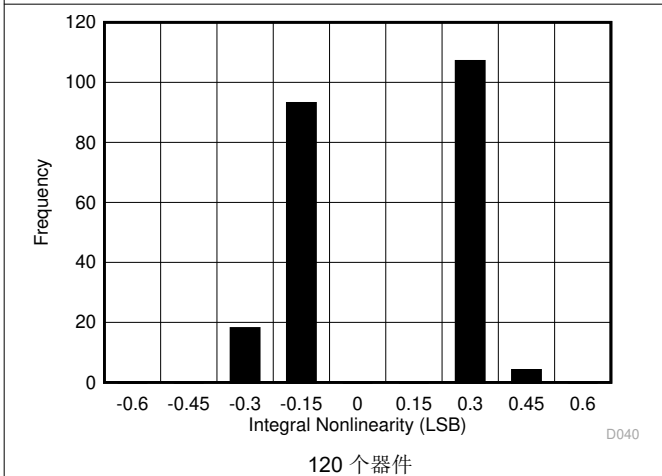


图 5-9. 典型 INL 分布

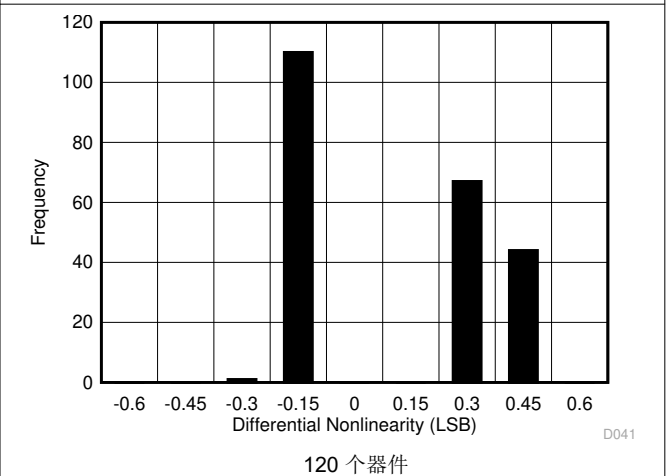


图 5-10. 典型 DNL 分布

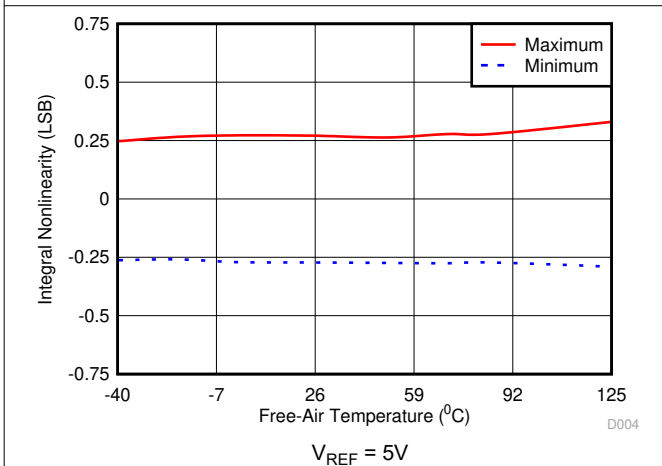


图 5-11. INL 与温度间的关系

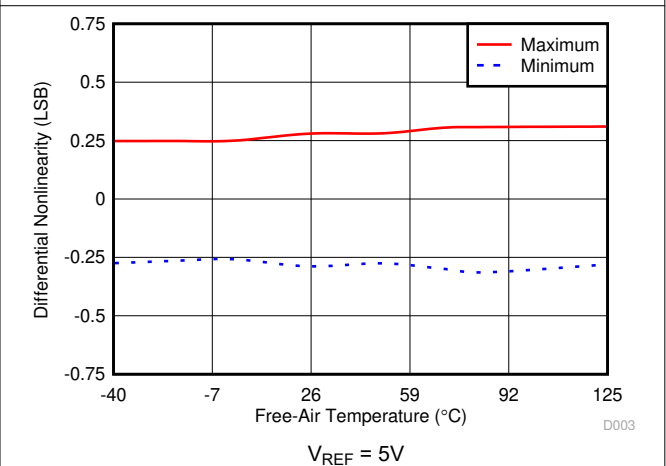


图 5-12. DNL 与温度间的关系

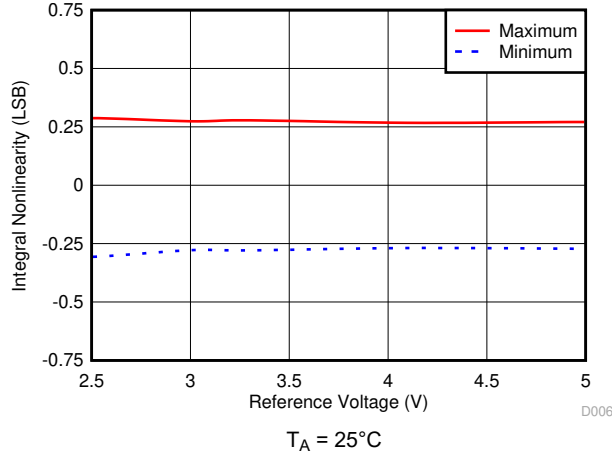


图 5-13. INL 与基准电压间的关系

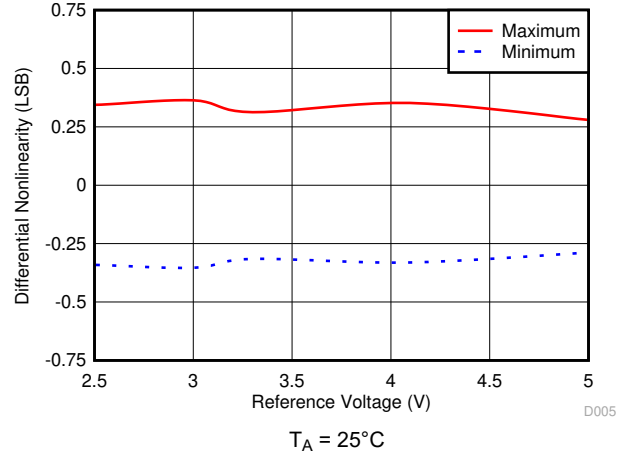


图 5-14. DNL 与基准电压间的关系

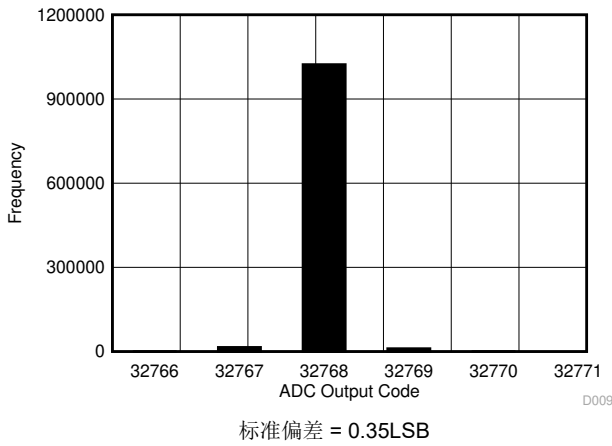


图 5-15. 直流输入柱状图、代码中心

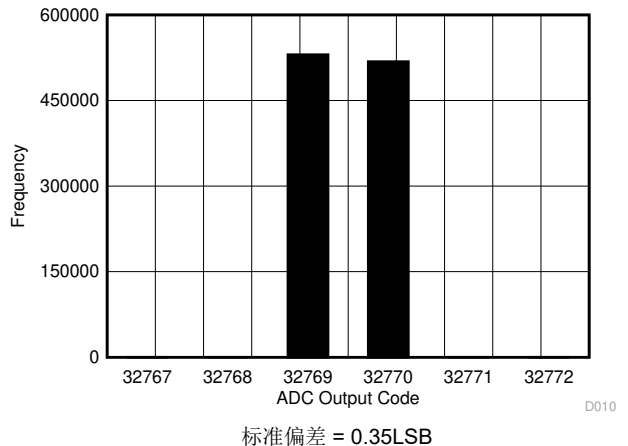


图 5-16. 直流输入柱状图、代码转换

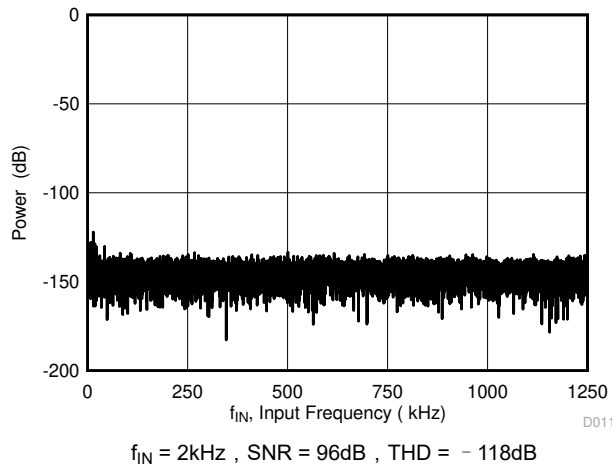


图 5-17. 典型 FFT

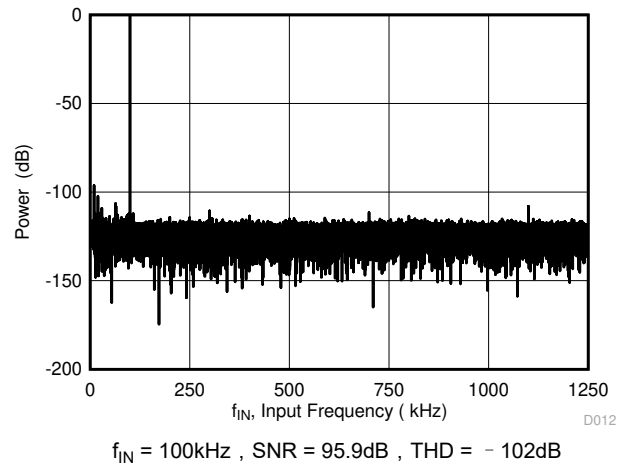


图 5-18. 典型 FFT

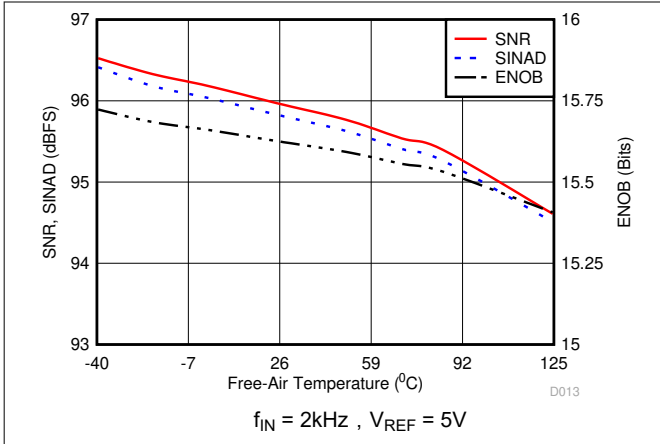


图 5-19. 噪声性能与温度间的关系

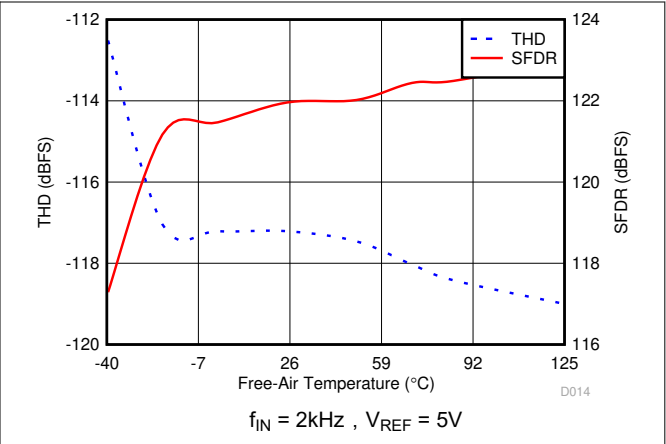


图 5-20. 失真性能与温度间的关系

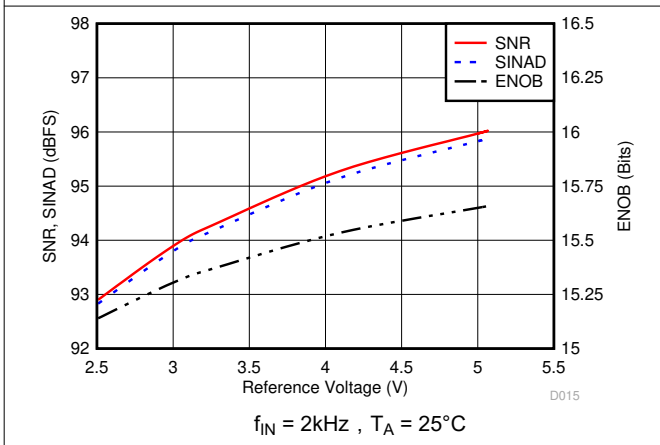


图 5-21. 噪声性能与基准电压间的关系

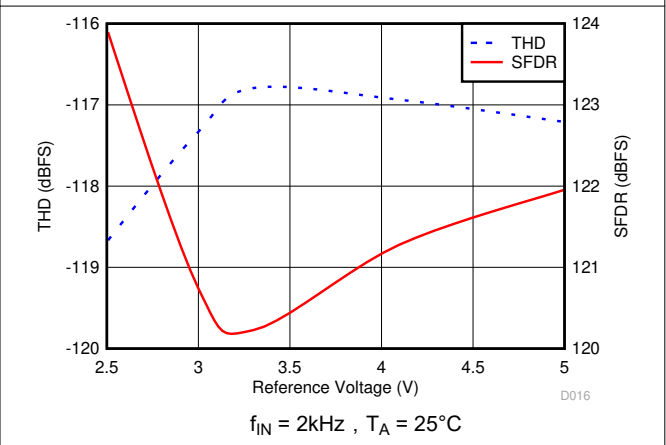


图 5-22. 失真性能与基准电压间的关系

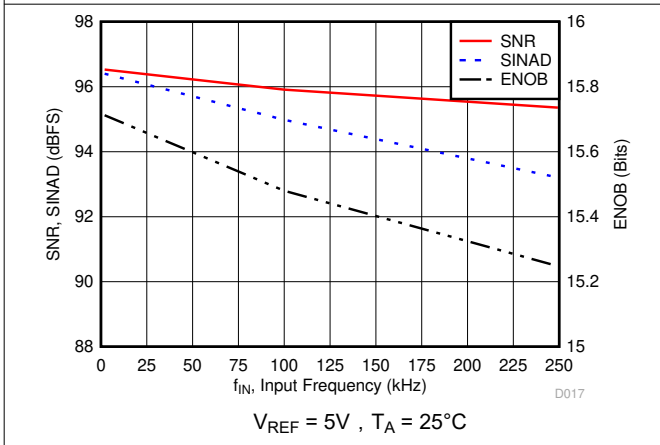


图 5-23. 噪声性能与输入频率间的关系

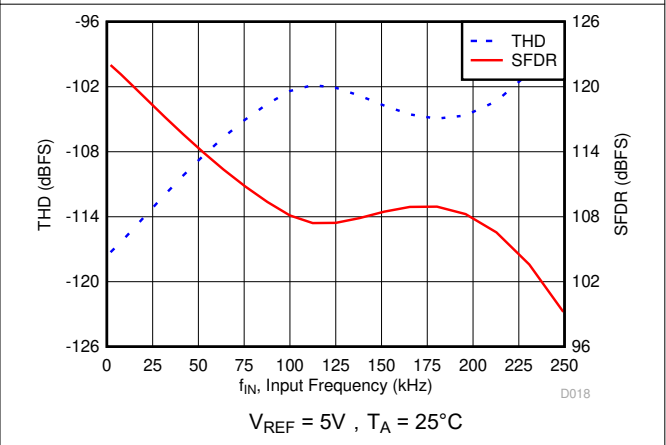


图 5-24. 失真性能与输入频率间的关系

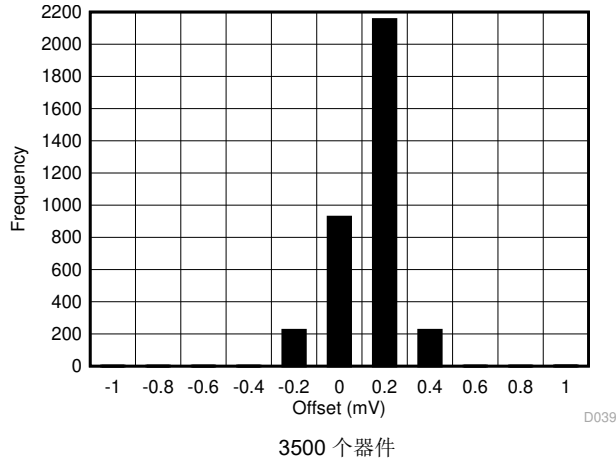


图 5-25. 偏移典型分布

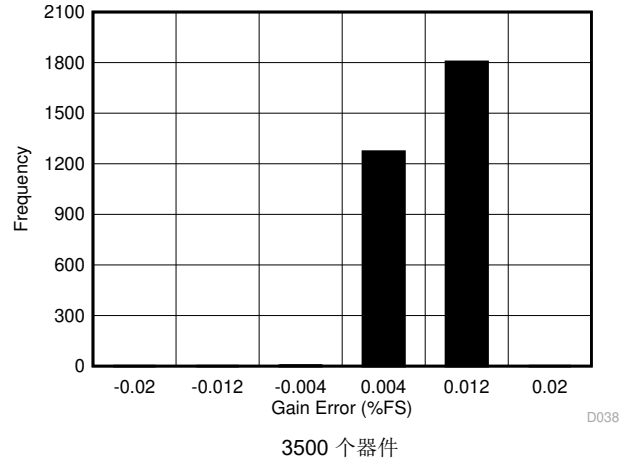


图 5-26. 增益误差典型分布

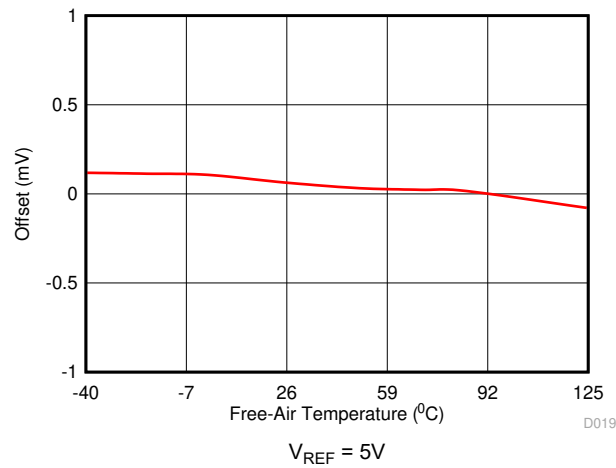


图 5-27. 偏移与温度间的关系

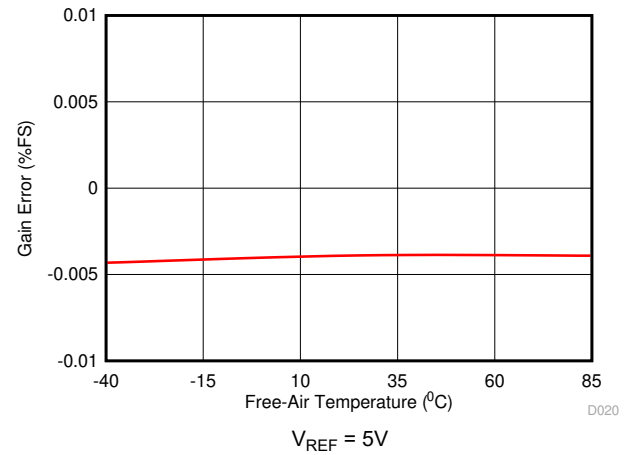


图 5-28. 增益误差与温度间的关系

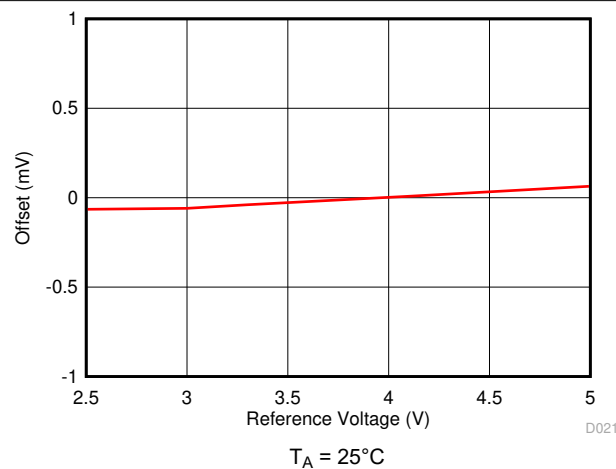


图 5-29. 偏移与基准电压间的关系

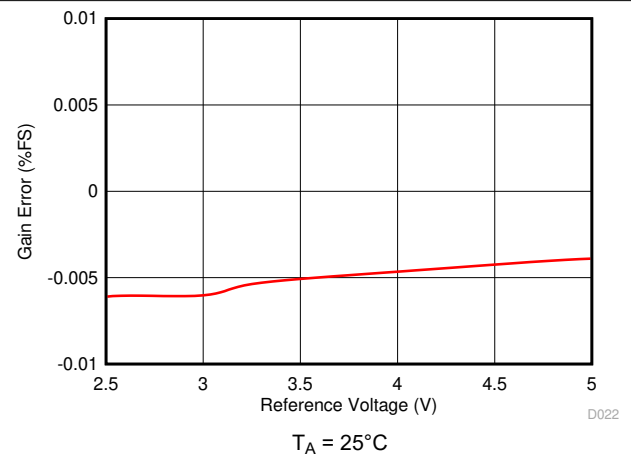


图 5-30. 增益误差与基准电压间的关系

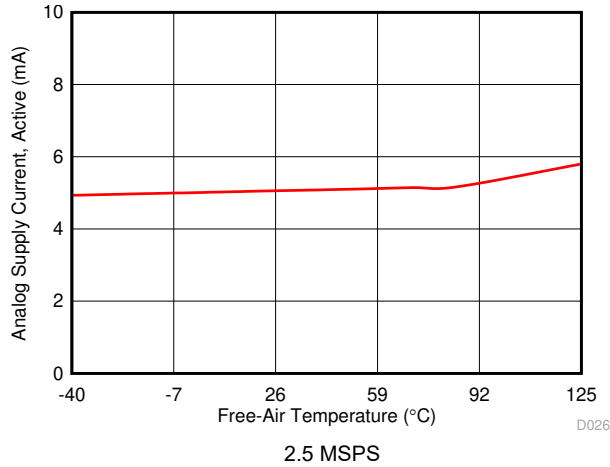


图 5-31. 电源电流与温度间的关系

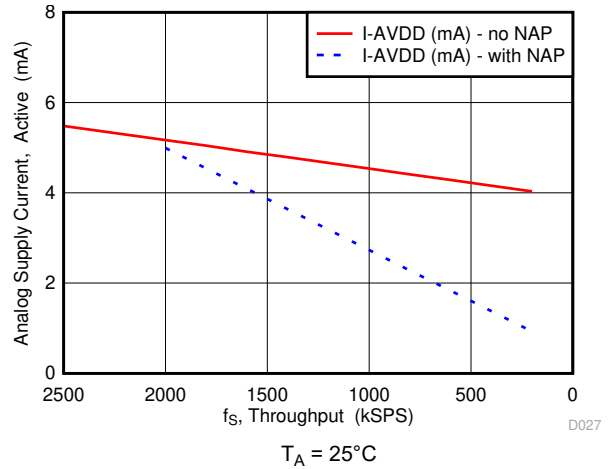


图 5-32. 电源电流与吞吐量间的关系

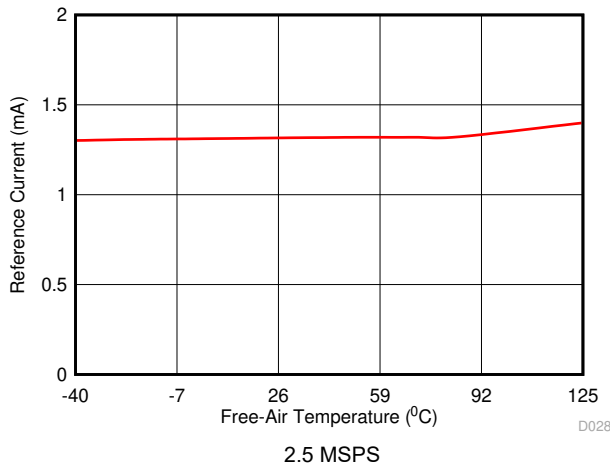


图 5-33. 基准电流与温度间的关系

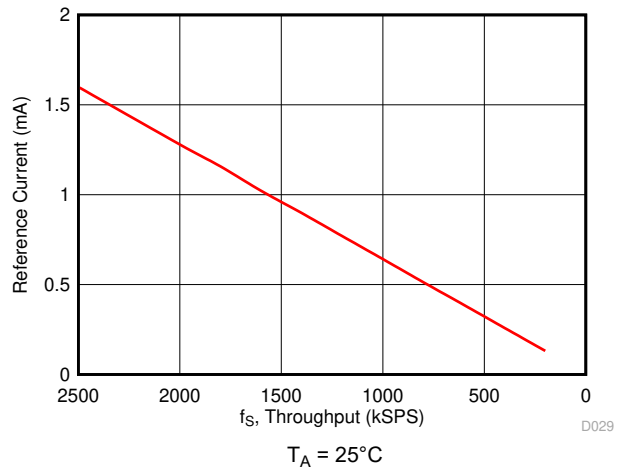


图 5-34. 参考电流与吞吐量间的关系

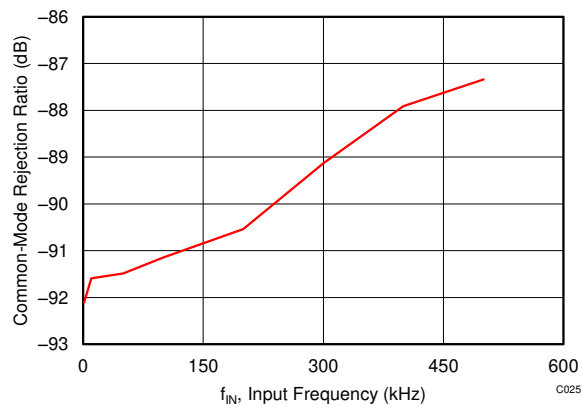


图 5-35. CMRR 与输入频率间的关系

6 详细说明

6.1 概述

ADS9120 是一款基于电荷重新分配架构的高连续逼近型寄存器 (SAR) 模数转换器 (ADC)。这款紧凑型器件以高吞吐率和低功耗提供高性能。

ADS9120 支持单极全差分模拟输入信号，并在 2.5V 至 5V 外部基准下工作，无需额外的输入调节即可提供宽输入范围选择。

转换启动后，会在内部电容器阵列上对 AINP 和 AINM 引脚之间的差分输入信号进行采样。ADS9120 使用内部时钟执行转换。在转换过程中，两个模拟输入都从内部电路上断开。在转换过程结束时，该器件会将采样电容器重新连接到 AINP 和 AINM 引脚并进入采集阶段。

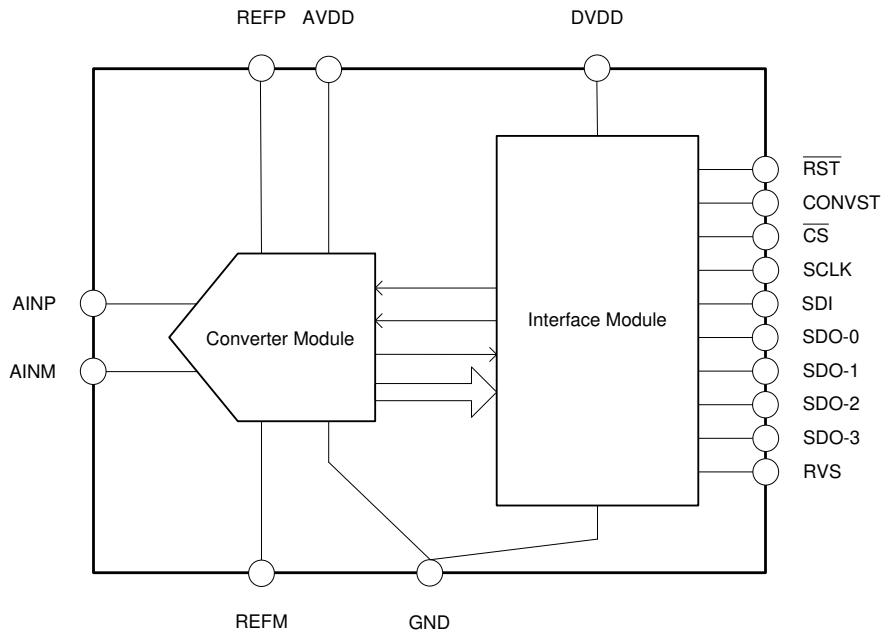
该器件在以 2.5 MSPS 的最大吞吐量运行时，仅消耗 15.5mW 的功耗。使用灵活的低功耗模式 (NAP 和 PD) 可以降低低吞吐量下的功耗。

全新的 multiSPI™ 接口简化了电路板布局、时序和固件，并在较低的时钟速度下实现高吞吐量，从而可轻松连接到各种微处理器、数字信号处理器 (DSP) 和现场可编程门阵列 (FPGA)。

6.2 功能方框图

从功能的角度来看，该器件由两个模块组成：转换器模块和接口模块，如本部分所示。

转换器模块对模拟输入进行采样并将其转换为等效的数字输出代码，而接口模块有助于与主机控制器进行通信和数据传输。



6.3 特性说明

6.3.1 转换器模块

如图 6-1 所示，转换器模块对模拟输入信号（在 AINP 和 AINM 引脚之间提供）进行采样，将该信号与基准电压（在 REFP 和 REFM 引脚对之间提供）进行比较，并生成等效的数字输出代码。

转换器模块接收来自接口模块的 $\overline{\text{RST}}$ 和 CONVST 输入，并将 ADCST 信号和转换结果输出回接口模块。

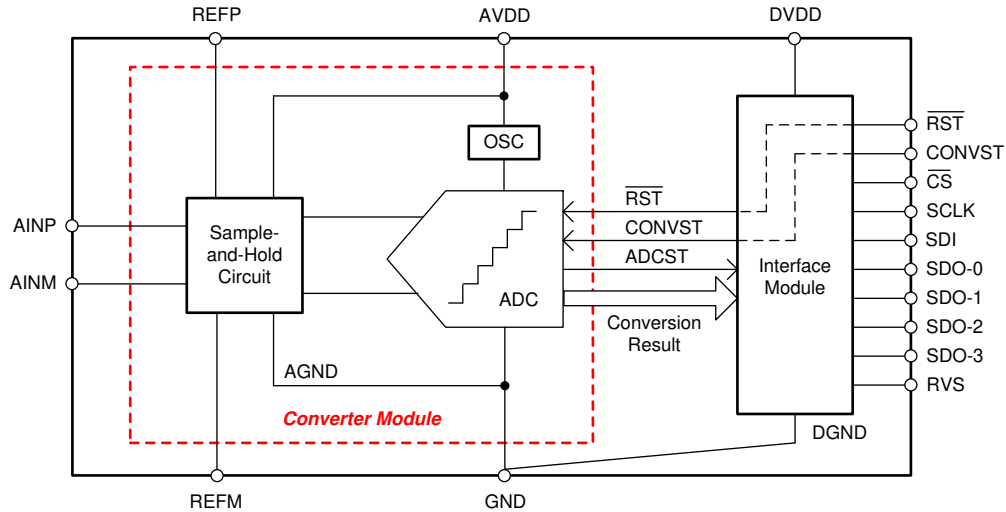


图 6-1. 转换器模块

6.3.1.1 采样保持电路

该器件支持单极全差分模拟输入信号。图 6-2 显示了采样保持电路的小信号等效电路。每个采样开关由一个电阻（ R_{s1} 和 R_{s2} ，通常为 $30\ \Omega$ ）表示，与一个理想开关（ sw_1 和 sw_2 ）串联。采样电容 C_{s1} 和 C_{s2} 通常为 60pF 。

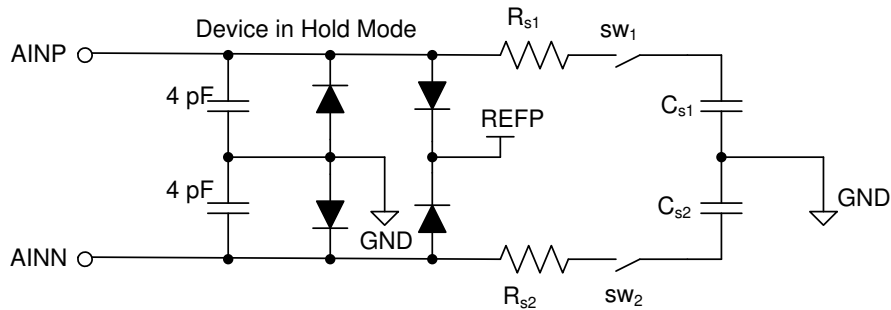


图 6-2. 输入采样级等效电路

在采集过程中（在 ACQ 状态下），正负输入端分别在 C_{s1} 和 C_{s2} 上单独进行采样。在转换过程中（在 CNV 状态下），器件会对两个采样值之间的电压差进行转换： $V_{\text{AINP}} - V_{\text{AINM}}$ 。

每个模拟输入引脚均配有连接到 REFP 和 GND 的静电放电 (ESD) 保护二极管。将模拟输入保持在指定范围内，以避免二极管导通。

方程式 1 和方程式 2 显示了模拟输入端支持的任何外部基准电压 (V_{REF}) 的满标度电压范围 (FSR) 和共模电压范围 (V_{CM})。

$$FSR = \pm V_{REF} \quad (1)$$

$$V_{CM} = \left(\frac{V_{REF}}{2} \right) \pm 0.1 \text{ V} \quad (2)$$

6.3.1.2 外部基准源

器件的输入范围是通过施加在两个 REFP 引脚上的外部电压来设置的。REFM 引脚用作参考接地，且必须连接到每个基准电容器。

在 RST 和 ACQ 状态下，该器件从基准引脚获取的静态电流非常小。在转换过程 (CNV 状态) 中，二进制加权电容器会切换至基准引脚。开关频率与转换时钟频率成正比，但动态电荷要求是输入电压绝对值和基准电压的函数。基准电容器对动态基准负载进行解耦，并且需要使用低阻抗基准驱动器将电压调节至 1LSB 范围内。

大多数基准源都具有非常高的宽带噪声。建议在连接到基准驱动器之前使用 160Hz 滤波器对电压基准源进行滤波，如图 6-3 中所示。要了解如何选择基准电容器和驱动器，请参阅 ADC 基准驱动器部分。此外，基准输入对电路板布局很敏感；因此，必须遵循布局部分中所述的布局指南。

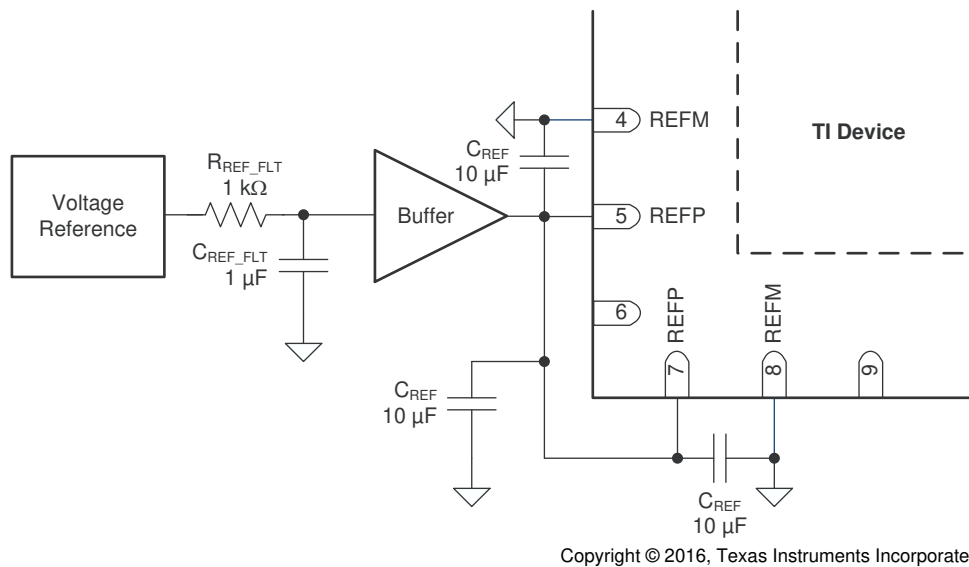


图 6-3. 基准驱动器原理图

6.3.1.3 内部振荡器

该器件具有一个可提供转换时钟的内部振荡器 (OSC)；参见图 6-1。受 t_{conv} 的最小值和最大值限制，转换持续时间可能会有所不同；如时序要求：转换周期表中所述。

接口模块可以使用此内部时钟 (OSC) 或外部时钟（由主机控制器在 SCLK 引脚上提供），或使用内部和外部时钟组合在器件和主机控制器之间执行数据传输操作；有关更多详细信息，请参阅接口模块部分。

6.3.1.4 ADC 传递函数

ADS9120 支持单极全差分模拟输入。器件输出采用二进制补码格式。图 6-4 和表 6-1 中显示了器件的理想传输特性。

方程式 3 给出了 ADC 的 LSB :

$$1 \text{ LSB} = \frac{\text{FSR}}{2^{16}} = 2 \times \frac{V_{\text{REF}}}{2^{16}} \tag{3}$$

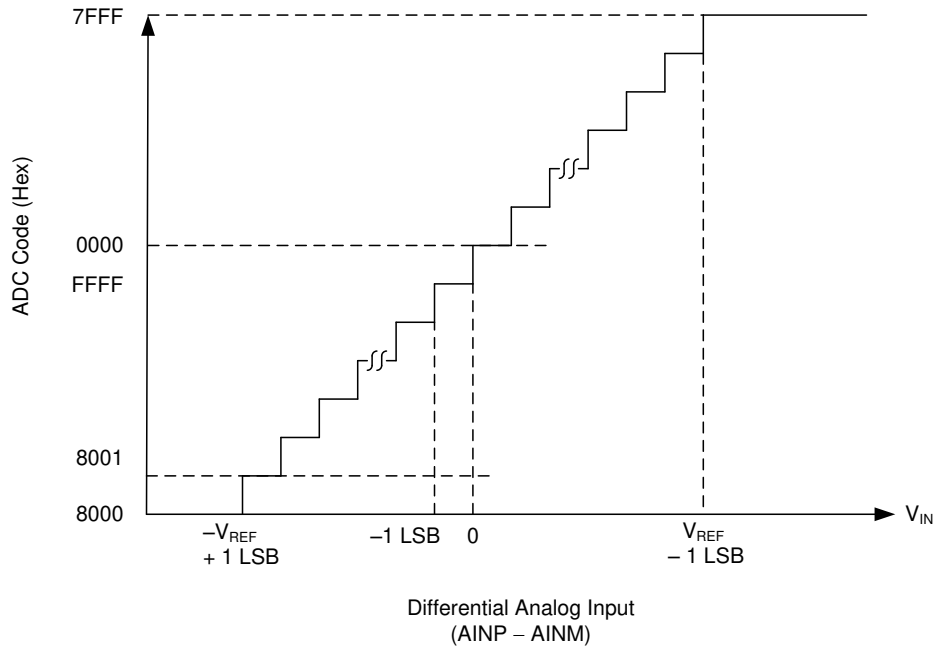


图 6-4. 差分传输特性

表 6-1. 传输特性

差分模拟输入电压 (AINP - AINM)	输出代码 (十六进制)
< -V _{REF}	8000
-V _{REF} + 1 LSB	8001
-1 LSB	FFFF
0	0000
1 LSB	0001
> V _{REF} - 1 LSB	7FFF

6.3.2 接口模块

接口模块有助于在器件和主机控制器之间进行通信和数据传输。如图 6-5 中所示，接口模块由移位寄存器（输入数据和输出数据）、配置寄存器和协议单元组成。

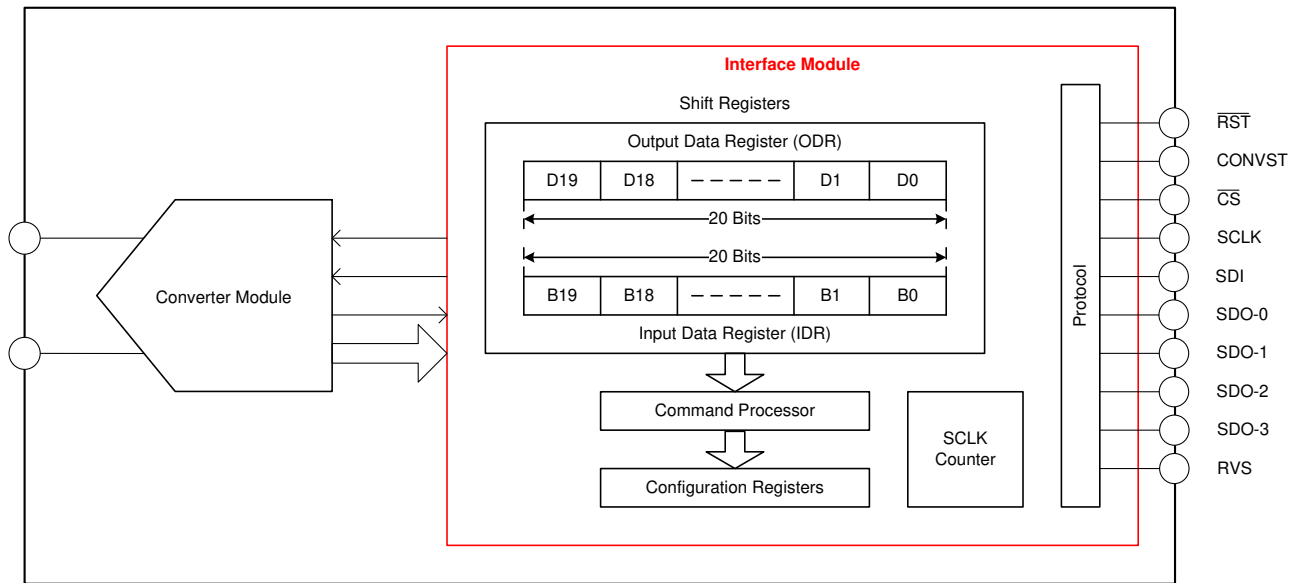


图 6-5. 接口模块

引脚配置和功能部分提供了接口引脚说明；数据传输帧部分详细介绍了移位寄存器、SCLK 计数器和命令处理器的功能；数据传输协议部分详细介绍了支持的协议；寄存器映射部分介绍了配置寄存器和位设置。

6.4 器件功能模式

如图 6-6 所示，该器件支持三种功能状态：RST、ACQ 和 CNV。器件状态由主机控制器提供的 CONVST 和 $\overline{\text{RST}}$ 控制信号的状态决定。

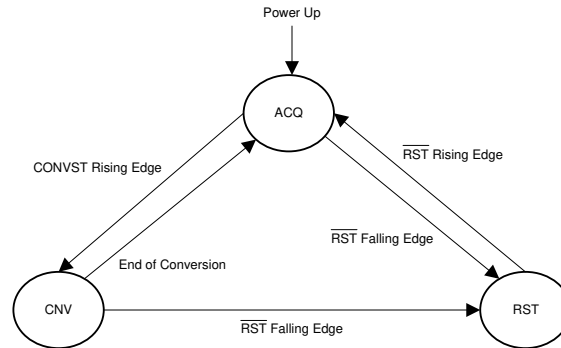


图 6-6. 器件功能状态

6.4.1 RST 状态

在 ADS9120 中， $\overline{\text{RST}}$ 引脚是异步数字输入引脚。要进入 RST 状态，主机控制器必须将 $\overline{\text{RST}}$ 引脚拉至低电平并在 $t_{\text{wl_RST}}$ 时间内保持低电平（如 [时序要求：异步复位、NAP 和 PD](#) 表中所述）。

在此 RST 状态下，所有配置寄存器（参见 [寄存器映射](#) 部分）均重置为默认值，RVS 引脚保持低电平，SDO-x 引脚处于三态状态。

要退出 RST 状态，主机控制器必须将 $\overline{\text{RST}}$ 拉至高电平，使 CONVST 和 SCLK 保持低电平、使 $\overline{\text{CS}}$ 保持高电平，如图 6-7 中所示。在经过 $t_{\text{d_rst}}$ 延迟后，器件会进入 ACQ 状态且 RVS 引脚变为高电平。

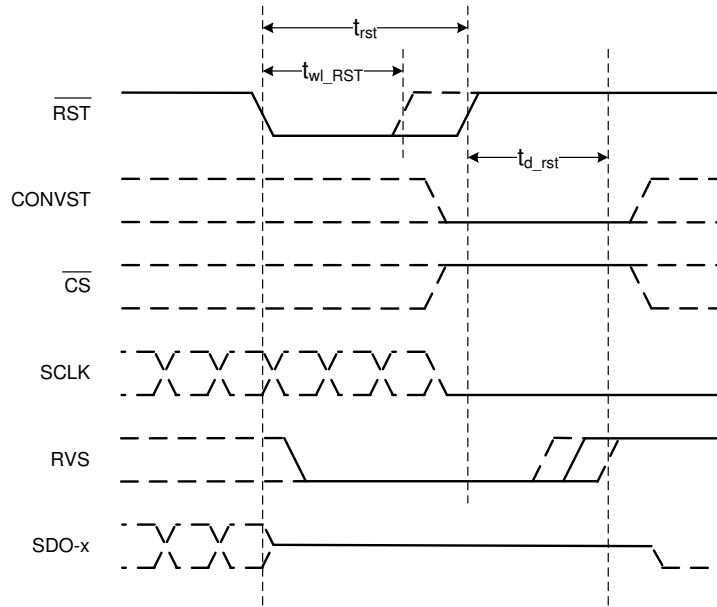


图 6-7. 异步复位

要在其他两种状态（ACQ 或 CNV）中的任何一种状态下运行器件， $\overline{\text{RST}}$ 引脚必须保持高电平。当 $\overline{\text{RST}}$ 引脚保持高电平时，CONVST 引脚上的转换决定了器件的功能状态。

图 6-8 显示了一个典型的转换过程。一个内部信号 ADCST 在转换期间变为低电平，在转换结束时变为高电平。当 \overline{CS} 保持高电平时，RVS 将反映 ADCST 信号的状态。

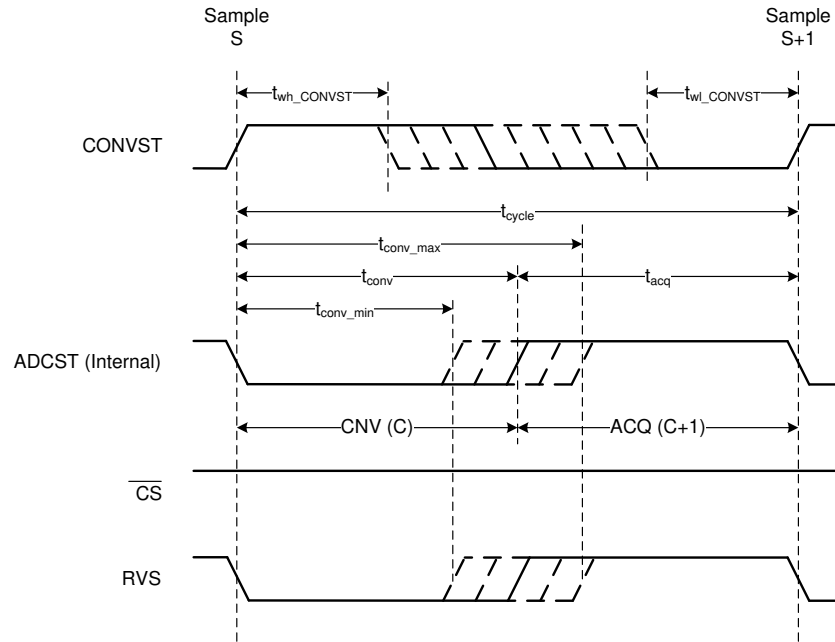


图 6-8. 典型转换过程

6.4.2 ACQ 状态

在 ACQ 状态下，器件获取模拟输入信号。在任何异步复位之后或每次转换结束后，加电时器件都会进入 ACQ 状态。

\overline{RST} 下降沿使器件从 ACQ 状态进入 RST 状态。CONVST 上升沿使器件从 ACQ 状态进入 CNV 状态。

该器件提供低功耗 NAP 模式来降低 ACQ 状态下的功耗；有关 NAP 模式的更多详细信息，请参阅 [NAP 模式](#) 部分。

6.4.3 CNV 状态

该器件在 CONVST 引脚的上升沿从 ACQ 状态切换至 CNV 状态。转换过程使用内部时钟，并且器件会忽略 CONVST 信号的任何进一步转换，直至正在进行的转换完成（即，在 t_{conv} 时间间隔内）。

转换结束时，器件进入 ACQ 状态。[方程式 4](#) 给出了器件的周期时间：

$$t_{cycle-min} = t_{conv} + t_{acq-min} \quad (4)$$

备注

转换时间 t_{conv} 在 $t_{conv-min}$ 和 $t_{conv-max}$ 的指定限值范围内变化（如[时序要求：转换周期](#)表中所述）。启动转换后，主机控制器必须监测 RVS 引脚上从低电平到高电平的转换，或等待 $t_{conv-max}$ 时间结束，然后才会启动新操作（数据传输或转换）。如果未监测 RVS，则将[方程式 4](#) 中的 t_{conv} 替换为 $t_{conv-max}$ 。

6.5 编程

该器件具有四个配置寄存器（如 [寄存器映射](#) 部分所述），并支持两种类型的数据传输操作：数据写入（主机配置器件）和数据读取（主机从器件读取数据）。

要访问内部配置寄存器，该器件需支持 [表 6-2](#) 中列出的命令。

表 6-2. 支持的命令

操作码 B[19:0]	命令首字母缩写词	命令描述
0000_0000_0000_0000_0000	NOP	无操作
1001_<8 位地址>_0000_0000	RD_REG	从 <8 位地址> 读取内容
1010_<8 位地址>_<8 位数据>	WR_REG	将 <8 位数据> 写入 <8 位地址>
1111_1111_1111_1111_1111	NOP	无操作
其余组合	保留	这些命令被保留，器件将其视为无操作

在 ADS9120 中，对器件的任何数据写入操作始终同步到 SCLK 引脚上提供的外部时钟。通过对配置寄存器进行编程，从器件读取的数据可以同步到同一外部时钟或器件的内部时钟（有关详细信息，请参阅 [数据传输协议](#) 部分）。

在任何数据传输帧中，内部 20 位输出数据字的内容会在 SDO 引脚上移出。任何帧 (F+1) 的 20 位输出数据字的 D[19:4] 位由以下设置确定：

- DATA_PATN[2:0] 位的设置，适用于帧 F+1（请参阅 [DATA_CNTL 寄存器](#)），以及
- 在帧 F 发出的命令

如果在帧 F 中执行有效的 RD_REG 命令，则帧 F+1 中的 D[19:12] 位会反映所选寄存器的内容，并且 D[11:0] 位为 0。

如果帧 F+1 的 DATA_PATN[2:0] 位设置为 1xxb，则帧 F+1 中的 D[19:4] 位是如 [图 6-9](#) 中所示的固定数据模式。

对于所有其他组合，帧 F+1 的 D[19:4] 位是最新转换结果。

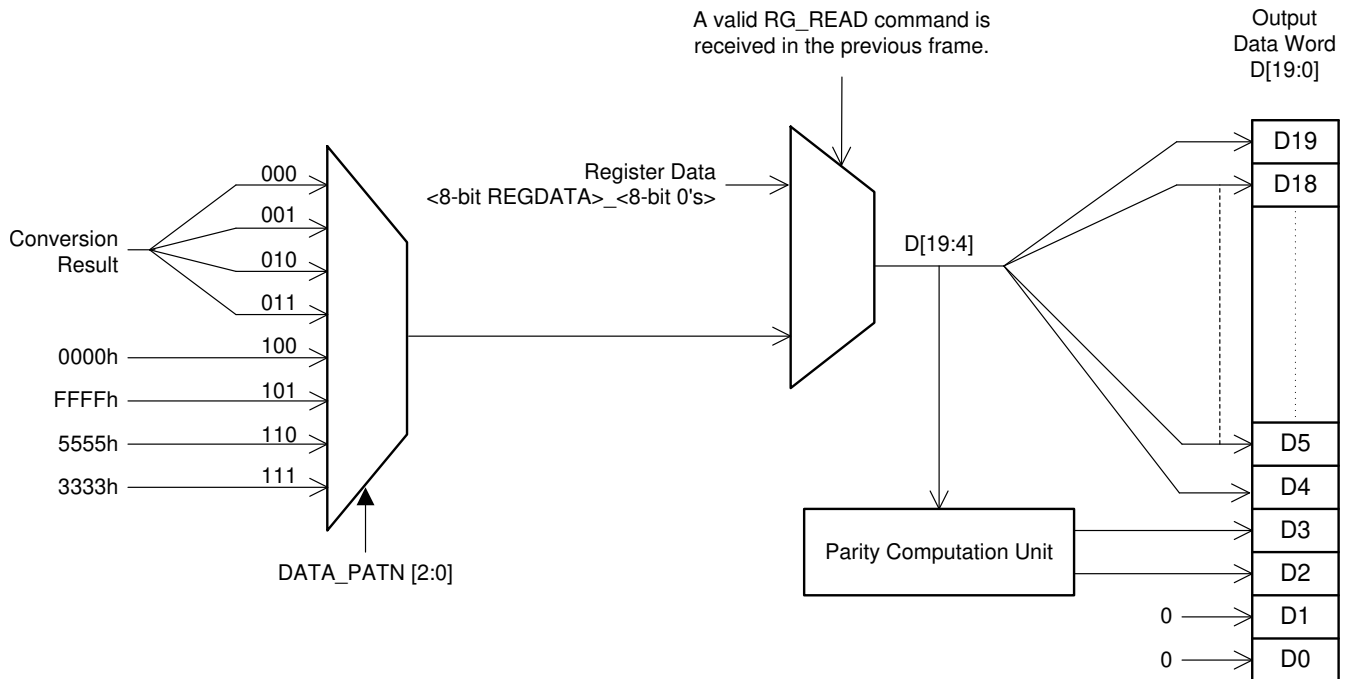


图 6-9. 输出数据字 (D[19:0])

图 6-10 显示了图 6-9 中所示的奇偶校验计算单元的更多详细信息。

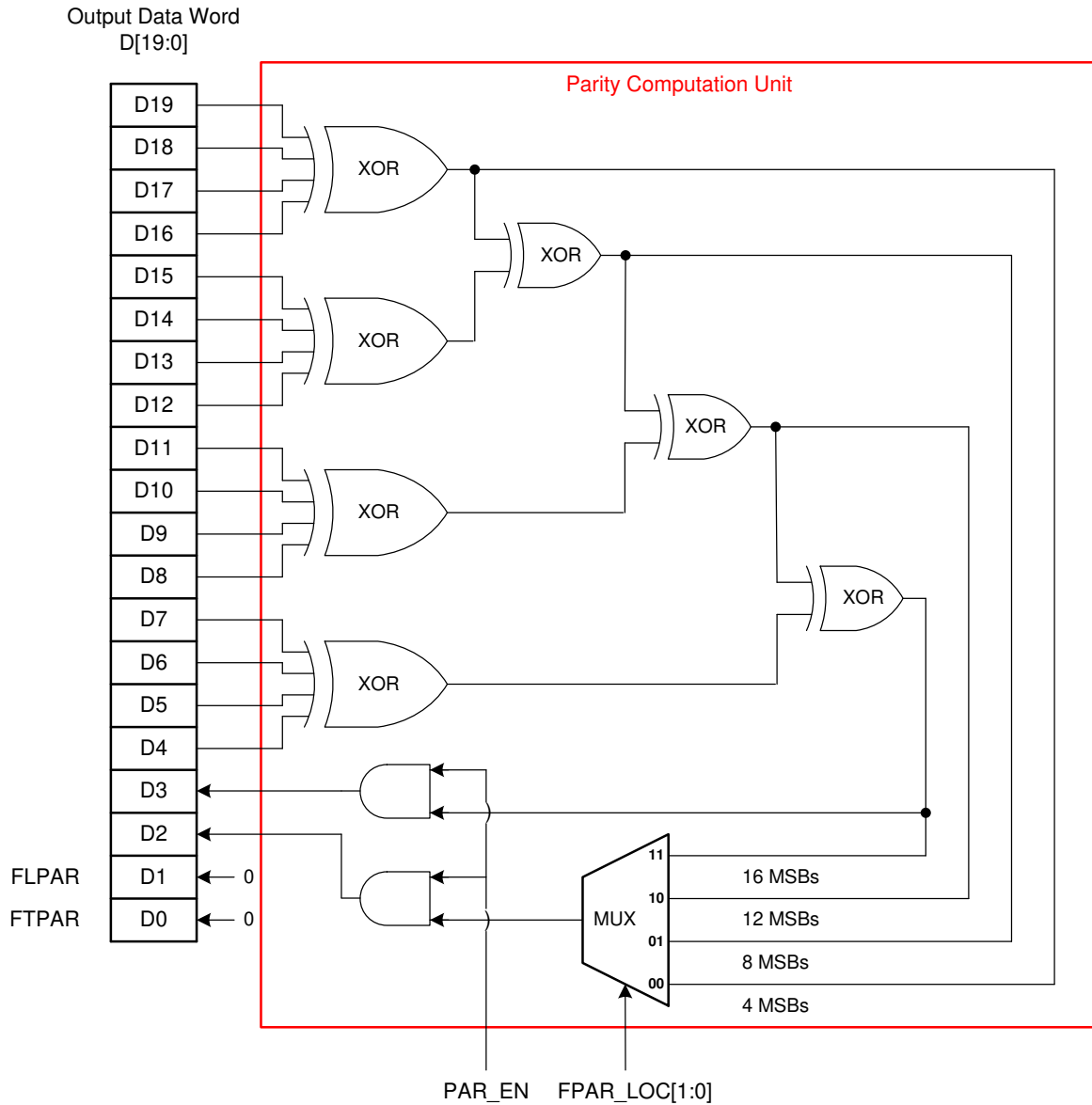


图 6-10. 奇偶校验位计算

当 PAR_EN 位设置为 0 时，输出数据字的 D[3] 和 D[2] 位将设置为 0 (默认配置)。

当 PAR_EN 位设置为 1 时，器件会计算奇偶校验位 (FLPAR 和 FTPAR)，并将它们附加为位 D[3] 和 D[2]。

- FLPAR 是在位 D[19:4] 上计算出的偶校验。
- FTPAR 是在由 FPAR_LOC[1:0] 定义的位上计算出的偶校验。

有关 FPAR_LOC[1:0] 位设置的更多详细信息，请参阅 DATA_CNTL 寄存器。

D[1] 和 D[0] 位始终设置为 0。

6.5.1 数据传输帧

器件和主机控制器之间的数据传输帧由一个 \overline{CS} 下降沿和随后的 \overline{CS} 上升沿界定。无论 CONVST 信号的状态如何，主机控制器都可以随时启动数据传输帧（如图 6-11 所示）；但是，此类数据传输帧期间读取的数据是 CONVST 和 \overline{CS} 信号之间相对时序的函数。

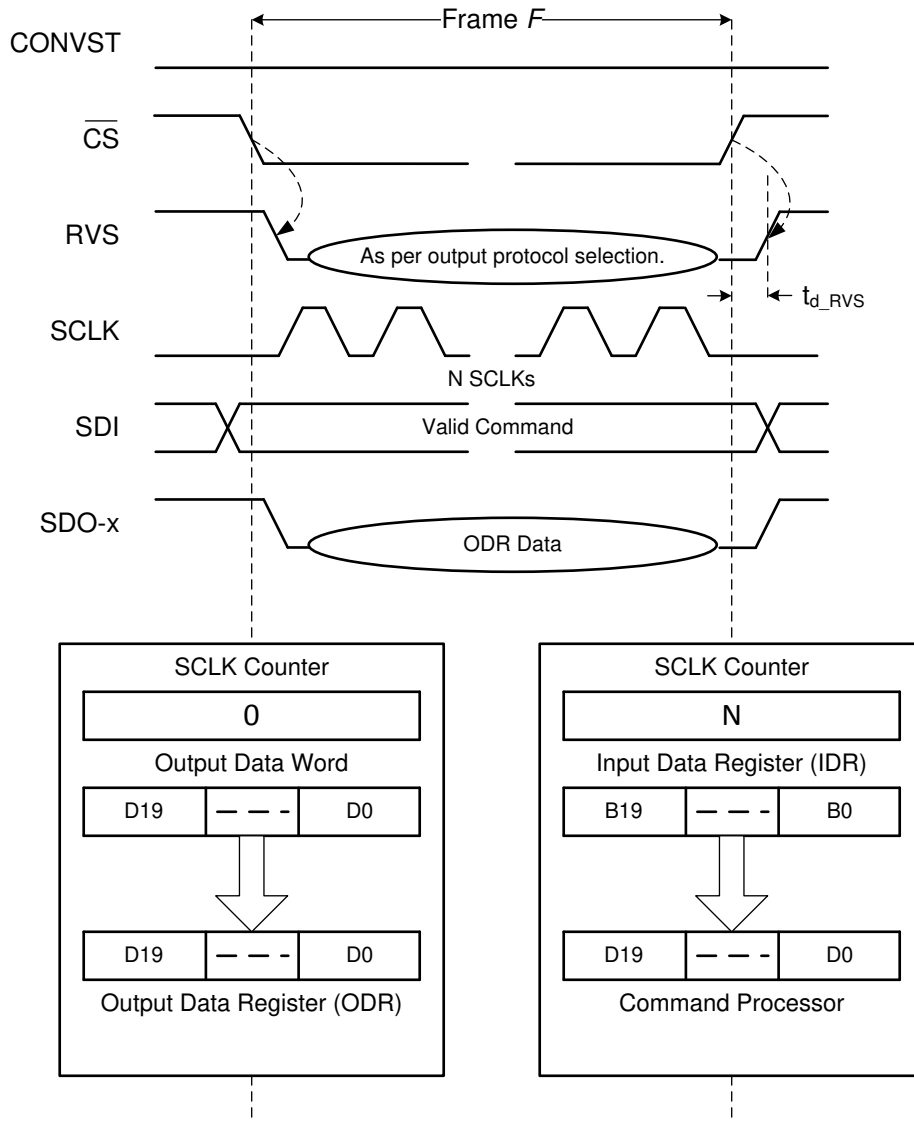


图 6-11. 数据传输帧

在此讨论中，假设 CONVST 信号保持低电平。

对于典型的数据传输帧 F：

1. 主机控制器将 \overline{CS} 拉至低电平，以便启动数据传输帧。在 \overline{CS} 下降沿：
 - RVS 变为低电平，指示数据传输帧开始。
 - SCLK 计数器复位为 0。
 - 该器件可控制数据总线，如图 6-11 中所示。输出数据字的 20 位内容（参见图 6-9）已加载到 20 位 ODR 中（参见图 6-5）。
 - 20 位 IDR（参见图 6-5）复位为 00000h，相当于执行了一个 NOP 命令。

- 在数据帧期间，主机控制器在 SCLK 引脚上提供时钟信号：
 - 在每个 SCLK 捕捉边沿，SCLK 计数器递增，在 SDI 引脚上接收到的数据位移入 IDR。
 - 在输出时钟的每个启动边沿（在本例中为 SCLK），ODR 数据在选定 SDO-x 引脚上移出。
 - RVS 引脚的状态取决于输出协议选择（参见[从器件读取数据时使用的协议](#)部分）。
- 主机控制器将 CS 拉至高电平，以结束数据传输帧。在 CS 上升沿：
 - SDO-x 引脚进入三态。
 - RVS 变为高电平（经过 t_{d_RVS} 延迟后）。
 - 如图 6-11 中所示，IDR 的 20 位内容传输至命令处理器（参见图 6-5），以进行解码和执行后续操作。

将 CS 拉至高电平后，主机控制器必须监测 RVS 引脚上从低电平到高电平的转换，或等待 t_{d_RVS} 时间（参见[时序要求：SPI 兼容串行接口表](#)）结束，然后再启动新操作（数据传输或转换）。任何数据传输帧 F 的延迟 t_{d_RVS} 因在帧 F 处执行的数据传输操作而异。

在数据传输帧 F 结束时：

- 如果 SCLK 计数器小于 20，则表示 IDR 从 SDI 捕获的位少于 20 位。在这种情况下，器件将帧 F 视为短命令帧。在短命令帧结束时，IDR 不会更新，并且器件会将该帧视为无操作命令。
- 如果 SCLK 计数器等于 20，则表示 IDR 恰好从 SDI 捕获了 20 位。在这种情况下，器件将帧 F 视为最优命令帧。在最优命令帧结束时，命令处理器会将 IDR 的 20 位内容视为有效命令字。
- 如果 SCLK 计数器大于 20，则表示 IDR 从 SDI 捕获的位超过 20，并且仅保留最后 20 位。在这种情况下，器件将帧 F 视为长命令帧。在长命令帧结束时，命令处理器会将 IDR 的 20 位内容视为有效命令字。在任何数据传输帧 F 中可提供的最大时钟数没有限制。但是，如上所述，在 CS 上升沿之前移入器件的最后 20 位必须构成所需命令。

在短命令帧中，对器件的写入操作无效，但该帧期间传输的输出数据位仍为有效的输出数据。因此，主机控制器可以使用较短的数据传输帧从 20 位输出数据字中仅读取所需数量的 MSB 位。如图 6-9 中所示，ADS9120 的最优读取帧必须只读取输出数据字的 16 MSB 位。最优读取帧的长度取决于输出协议选择；要了解更多信息，请参阅[从器件读取数据时使用的协议](#)部分。

备注

上面的示例显示了与 SCLK 引脚上提供的外部时钟同步的数据读取和数据写入操作。

该器件还支持与内部时钟同步的数据读取操作；要了解更多信息，请参阅[从器件读取数据时使用的协议](#)部分。在这种情况下，当 ODR 内容在内部时钟的启动沿上移入 SDO 时，器件会继续在 SCLK 捕捉边沿将 SDI 数据捕捉至 IDR（并使 SCLK 计数器递增）。

6.5.2 交错式转换周期和数据传输帧

主机控制器可以通过交错执行转换周期和数据传输帧，来以所需的吞吐量运行 ADS9120。

器件的周期时间 t_{cycle} 是主机控制器提供的两个连续 CONVST 上升沿之间的时间差。器件的响应时间 t_{resp} 是主机控制器启动转换 C 和主机控制器接收转换 C 的完整结果之间的时间差。

图 6-12 展示了三个转换周期 C、C+1 和 C+2。转换 C 由 CONVST 上升沿在 $t = 0$ 时间启动，转换结果可在 t_{conv} 时间用于数据传输。但是，此结果仅在后续 \overline{CS} 下降沿加载到 ODR 中。该 \overline{CS} 下降沿必须在转换 C+1 完成之前（即在 $t_{cycle} + t_{conv}$ 时间之前）提供。

为达到额定性能规范，主机控制器必须确保在静默采集时间 (t_{qt_acq}) 和静默孔径时间 (t_{d_cnvcap}) 内不会切换数字信号，如图 6-12 中所示。 t_{d_cnvcap} 期间的任何噪声都会对正在进行的转换的结果产生负面影响，而 t_{qt_acq} 期间的任何噪声都会对后续采样产生负面影响（进而影响其转换结果）。

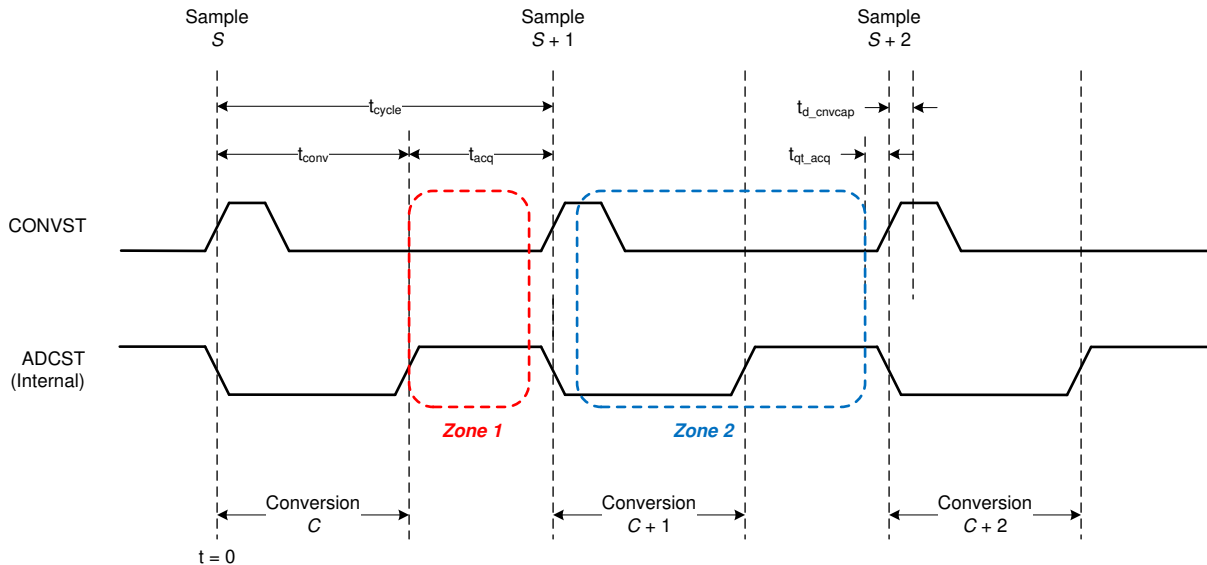


图 6-12. 数据传输区域

这种架构允许两个不同的区域 (zone1 和 zone2) 为每次转换传输数据。转换 C 的 Zone1 和 zone2 在表 6-3 中定义。

表 6-3. 数据传输区域时序

区域	开始时间	结束时间
转换 C 的 Zone1	t_{conv}	$t_{cycle} - t_{qt_acq}$
转换 C 的 Zone2	$t_{cycle} + t_{d_cnvcap}$	$t_{cycle} + t_{cycle} - t_{qt_acq}$

响应时间包括转换时间和数据传输时间，因此是所选数据传输区域的函数。

图 6-13 和图 6-14 分别展示了 zone1 和 zone2 中三个转换周期 (C、C+1 和 C+2) 与三个数据传输帧 (F、F+1 和 F+2) 的交错执行方式。

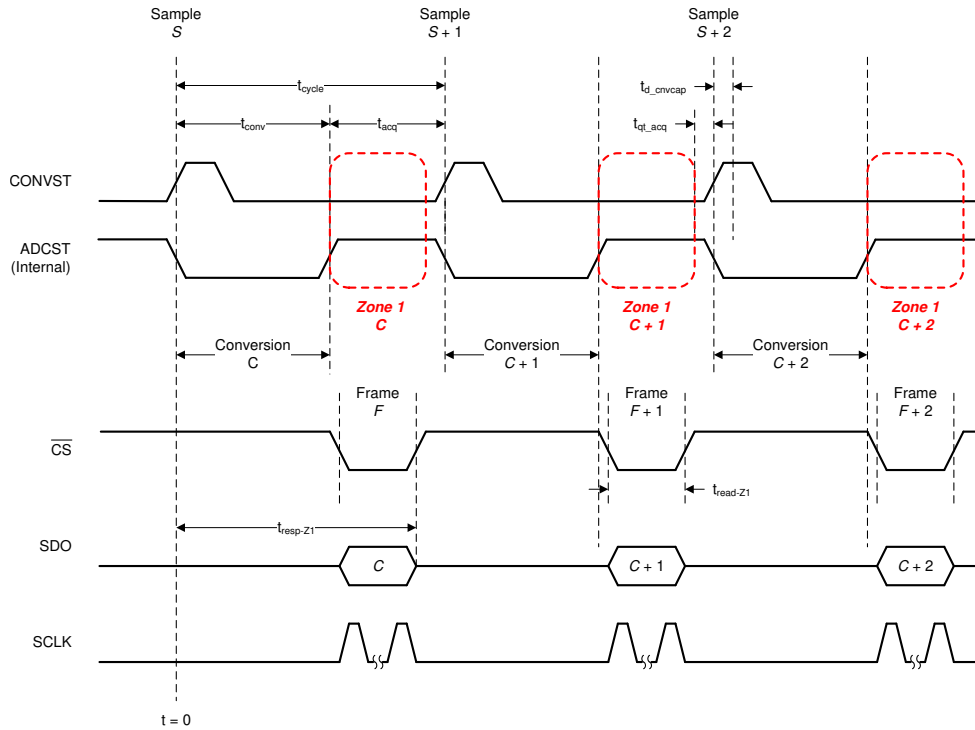


图 6-13. Zone1 数据传输

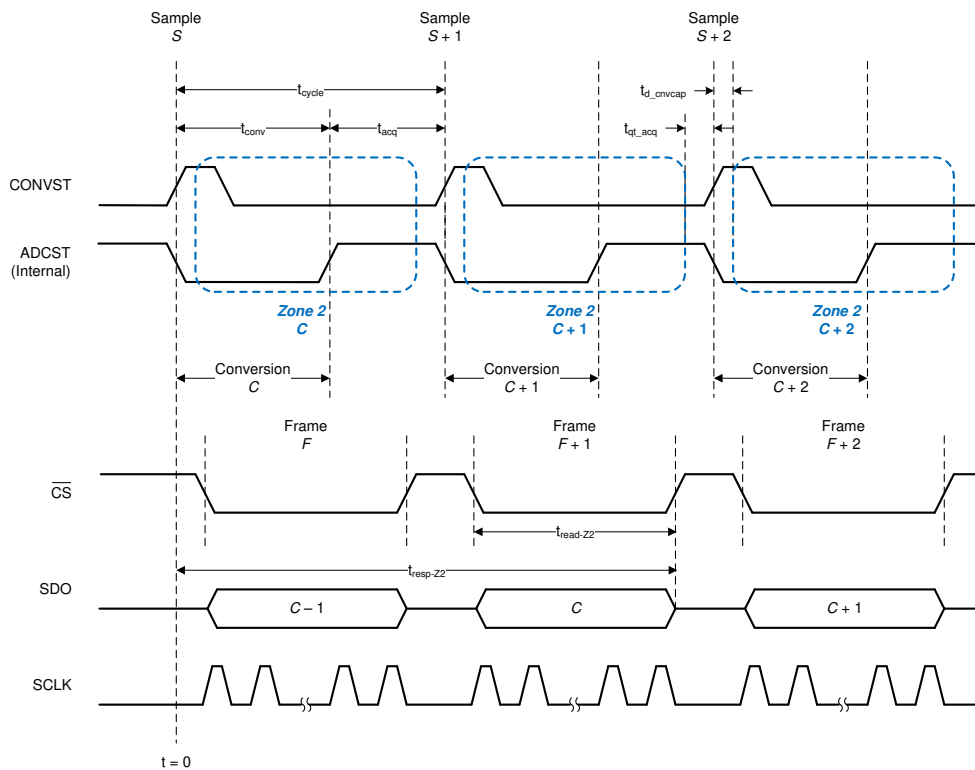


图 6-14. Zone2 数据传输

要实现周期时间 t_{cycle} ，**zone1** 中的读取时间需由 [方程式 5](#) 指定：

$$t_{\text{read-Z1}} \leq t_{\text{cycle}} - t_{\text{conv}} - t_{\text{qt_acq}} \quad (5)$$

对于最优读取帧，[方程式 5](#) 产生的 SCLK 频率由 [方程式 6](#) 指定：

$$f_{\text{SCLK}} \geq \frac{16}{t_{\text{read-Z1}}} \quad (6)$$

然后，**zone1** 数据传输实现由 [方程式 7](#) 定义的响应时间：

$$t_{\text{resp-Z1-min}} = t_{\text{conv}} + t_{\text{read-Z1}} \quad (7)$$

例如，当以 2.5MSPS 的最大吞吐量运行 ADS9120 时，如果 **zone1** 中的数据传输在 85ns 内完成，则主机控制器可实现 400ns 的响应时间。但是，为了实现此响应时间，SCLK 频率必须大于 188MHz。

请注意，该器件不支持此类高 SCLK 速度。

zone2 中的数据传输可以在相同的周期时间内实现较低的 SCLK 速度。**zone2** 中的读取时间由 [方程式 8](#) 指定：

$$t_{\text{read-Z2}} \leq t_{\text{cycle}} - t_{\text{d_cnvcap}} - t_{\text{qt_acq}} \quad (8)$$

对于最优数据传输帧，[方程式 8](#) 产生的 SCLK 频率由 [方程式 9](#) 指定：

$$f_{\text{SCLK}} \geq \frac{16}{t_{\text{read_Z2}}} \quad (9)$$

然后，**zone2** 数据传输实现由 [方程式 10](#) 定义的响应时间：

$$t_{\text{resp-Z2-min}} = t_{\text{cycle}} + t_{\text{d_cnvcap}} + t_{\text{read-Z2}} \quad (10)$$

例如，主机控制器可以使用 **zone2** 数据传输，在 44MHz SCLK 的频率下（读取时间为 365ns），以 2.5MSPS 的最大吞吐量运行 ADS9120。但是，**zone2** 数据传输会使响应时间接近 800ns。

$t_{\text{read-Z1}}$ 和 $t_{\text{read-Z2}}$ 没有上限，但是，这些读取时间的任何增加都将增加响应时间，并可能增加周期时间。

对于给定周期时间，**zone1** 数据传输显然可以实现更快的响应时间，但也需要更高的 SCLK 速度（如 [方程式 5](#)、[方程式 6](#) 和 [方程式 7](#) 中所示），而 **zone2** 数据传输显然需要较低的 SCLK 速度，同时支持较慢的响应时间（如 [方程式 8](#)、[方程式 9](#) 和 [方程式 10](#) 中所示）。

备注

此外，数据传输帧可以从 **zone1** 开始，然后扩展到 **zone2**；但是，主机控制器必须确保在 $t_{\text{qt_acq}}$ 和 $t_{\text{d_cnvcap}}$ 时间间隔内不会发生数字转换。

6.5.3 数据传输协议

该器件具有 multiSPI™ 接口，借助该接口，主机控制器能够以较慢的 SCLK 速度运行，并仍然以更快的响应时间实现所需的周期时间。multiSPI™ 接口模块提供两个选项来降低数据传输所需的 SCLK 速度：

1. 其中一个选项可增加输出数据总线的宽度
2. 另一个选项支持双倍数据速率 (DDR) 传输

这两个选项可以结合使用，以进一步降低 SCLK 速度。

图 6-15 显示了典型串行通信中主机控制器和器件之间的延迟。

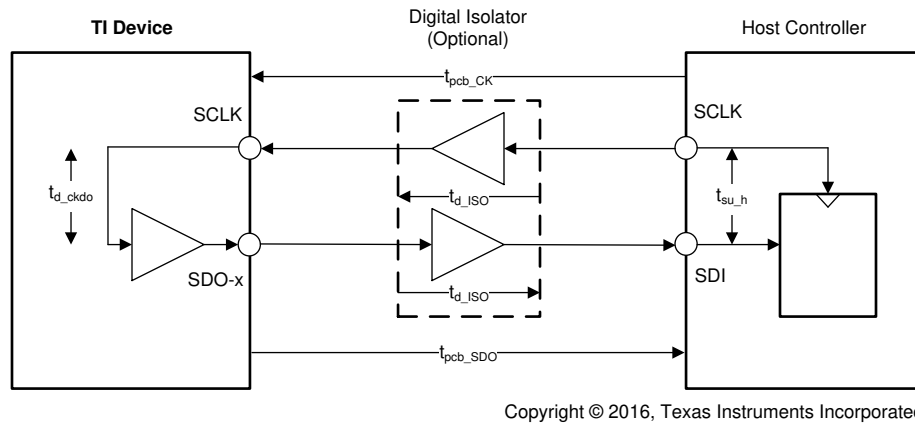


图 6-15. 串行通信延迟

如果 t_{pcb_CK} 和 t_{pcb_SDO} 是 PCB 布线针对串行时钟和 SDO 信号引入的延迟， t_{d_CKDO} 是器件的时钟到数据延迟， t_{d_ISO} 是数字隔离器引入的传播延迟， t_{su_h} 是主机控制器的建立时间规格，则路径中的总延迟由方程式 11 指定：

$$t_{d_total_serial} = t_{pcb_CK} + t_{d_iso} + t_{d_ckdo} + t_{d_iso} + t_{pcb_SDO} + t_{su_h} \quad (11)$$

在标准 SPI 协议中，主机控制器和器件在备用 SCLK 边沿启动和捕获数据位。因此， $t_{d_Total_serial}$ 延迟必须始终小于 SCLK 持续时间的一半。方程式 12 显示了 SPI 协议支持的最快时钟。

$$f_{clk-SPI} \leq \frac{1}{2 \times t_{d_total_serial}} \quad (12)$$

如果 $t_{d_total_serial}$ 延迟的值较大，则会限制 SPI 协议的最大 SCLK 速度，从而导致读取和响应时间增加，并可能延长周期时间。为了消除对 SCLK 速度的这种限制，multiSPI™ 接口模块支持 ADC 时钟主模式或源同步运行模式。

如图 6-16 中所示，在 ADC 时钟主模式或源同步模式下，器件可提供同步输出时钟（在 RVS 引脚上）以及输出数据（在 SDO-x 引脚上）。

对于可以忽略不计的 t_{off_STRDO} 值，源同步数据传输路径中的总延迟由方程式 13 指定：

$$t_{d_total_srcsync} = t_{pcb_RVS} - t_{pcb_SDO} + t_{su_h} \quad (13)$$

如方程式 11 和方程式 13 中所示，ADC-时钟主模式或源同步模式完全消除了隔离器延迟 (t_{d_ISO}) 和时钟到数据延迟 (t_{d_CKDO}) 的影响，这些延迟通常是整体延迟计算的最大影响因素。

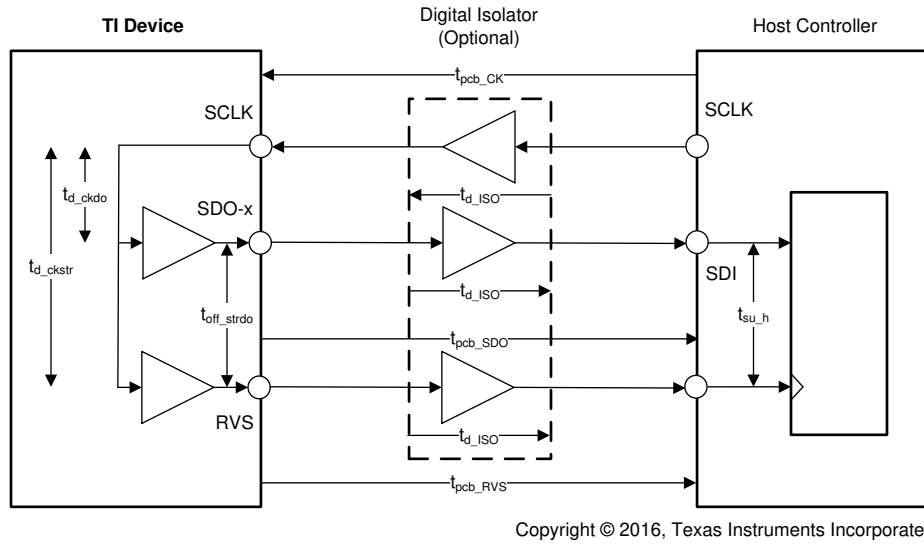


图 6-16. 源同步通信延迟

此外， t_{pcb_RVS} 和 t_{pcb_SDO} 的实际值也无关系要。在大多数情况下，通过在 PCB 上将 RVS 和 SDO 线路布线在一起，可以尽可能减少 $t_{d_total_srcsync}$ 延迟。因此，ADC-时钟主模式或源同步模式能够使主机控制器和器件之间的数据传输以更高的 SCLK 速度进行。

6.5.3.1 配置器件的协议

如表 6-4 中所述，主机控制器可以使用四种与 SPI 兼容的传统协议 (SPI-00-S、SPI-01-S、SPI-10-S 或 SPI-11-S) 中的任何一种协议将数据写入器件。

表 6-4. 用于配置器件的 SPI 协议

协议	SCLK 极性 (在 CS 下降沿)	SCLK 相位 (捕捉边沿)	SDI_CNTL	SDO_CNTL	SCLK 数量 (最优命令帧)	示意图
SPI-00-S	低	上升	00h	00h	20	图 6-17
SPI-01-S	低	下降	01h	00h	20	图 6-18
SPI-10-S	高	下降	02h	00h	20	图 6-19
SPI-11-S	高	上升	03h	00h	20	图 6-20

上电时或完成任何异步复位后，器件支持使用 SPI-00-S 协议进行数据读取和数据写入操作。

要选择不同的 SPI 兼容协议，请对 SDI_CNTL 寄存器中的 SDI_MODE[1:0] 位进行编程。该首次写入操作遵循 SPI-00-S 协议。任何后续数据传输帧都必须遵循新选择的协议。

图 6-17 至图 6-20 详细介绍了使用最优命令帧的四种协议；请参阅 *时序要求：SPI 兼容串行接口* 部分，了解相关的时序参数。

备注

如 *数据传输帧* 部分所述，对器件的有效写操作要求在一个数据传输帧内至少提供 20 个 SCLK。

对器件执行的任何数据写操作都必须继续遵循 SDI_CNTL 寄存器中选择的 SPI 兼容协议，而与为数据读操作选择的协议无关。

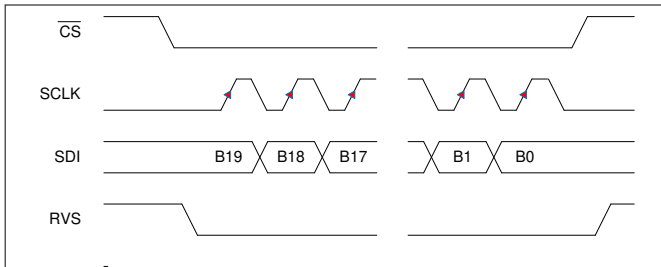


图 6-17. SPI-00-S 协议、最优命令帧

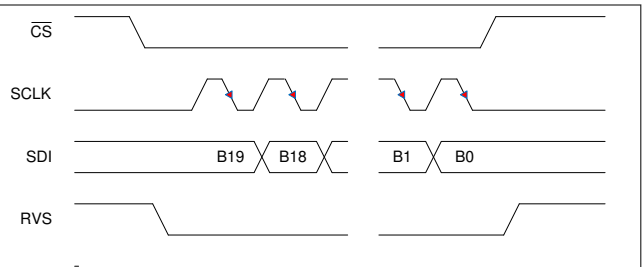


图 6-18. SPI-01-S 协议、最优命令帧

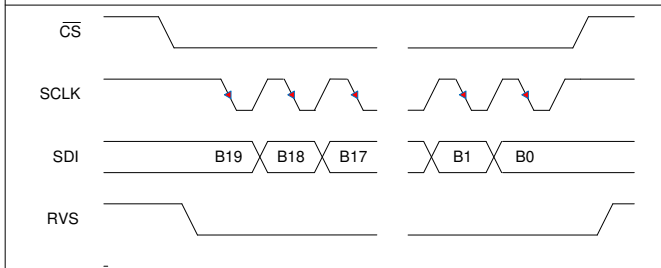


图 6-19. SPI-10-S 协议、最优命令帧

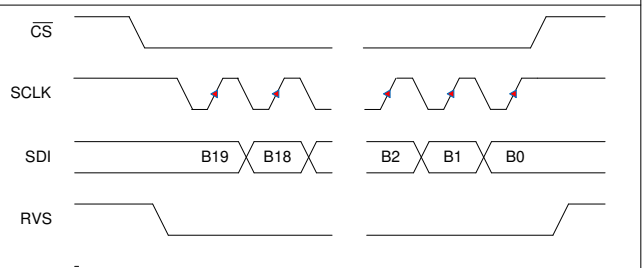


图 6-20. SPI-11-S 协议、最优命令帧

6.5.3.2 从器件读取数据时使用的协议

有关数据读取操作的协议可大致分为三类：

1. 与 SPI 兼容的传统 (SPI-xy-S) 协议、
2. 支持总线宽度选项的 SPI 兼容协议 (SPI-xy-D 和 SPI-xy-Q) ， 以及和
3. 源同步 (SRC) 协议

6.5.3.2.1 传统 SPI 兼容 (SYS-xy-S) 协议

如表 6-5 所示，主机控制器可以使用四种传统 SPI 兼容协议 (SPI-00-S、SPI-01-S、SPI-10-S 或 SPI-11-S) 中的任何一种从器件读取数据。

表 6-5. 用于从器件读取的 SPI 协议

协议	SCLK 极性 (在 CS 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CNTL	SDO_CNTL	SCLK 数量 (最优读取帧)	示意图
SPI-00-S	低	上升	\overline{CS} 下降	00h	00h	16	图 6-21
SPI-01-S	低	下降	第 1 个 SCLK 上升	01h	00h	16	图 6-22
SPI-10-S	高	下降	\overline{CS} 下降	02h	00h	16	图 6-23
SPI-11-S	高	上升	第 1 个 SCLK 下降	03h	00h	16	图 6-24

上电时或完成任何异步复位后，器件支持使用 SPI-00-S 协议进行数据读取和数据写入操作。若要为两种数据传输操作选择不同的 SPI 兼容协议：

1. 对 **SDI_CNTL** 寄存器中的 **SDI_MODE[1:0]** 位进行编程。该首次写入操作遵循 SPI-00-S 协议。任何后续数据传输帧都必须遵循新选择的协议。
2. 在 **SDO_CNTL** 寄存器中，将 **SDO_MODE[1:0]** 位设置为 00b。

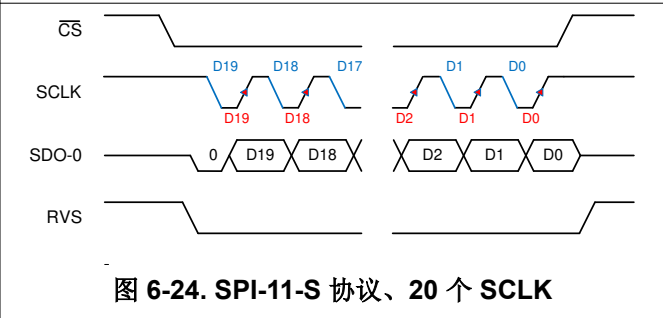
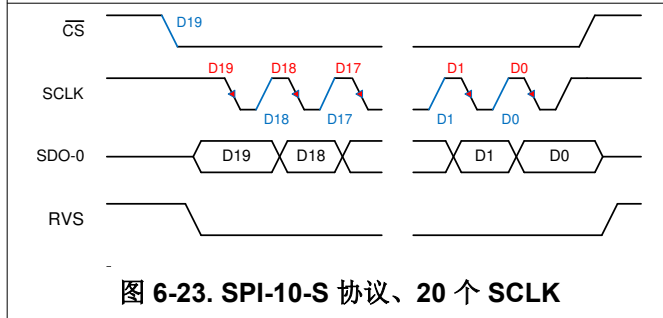
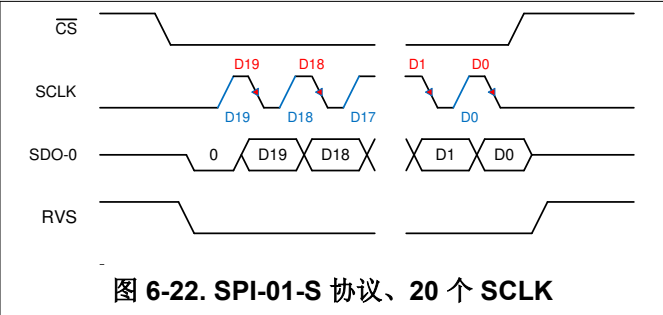
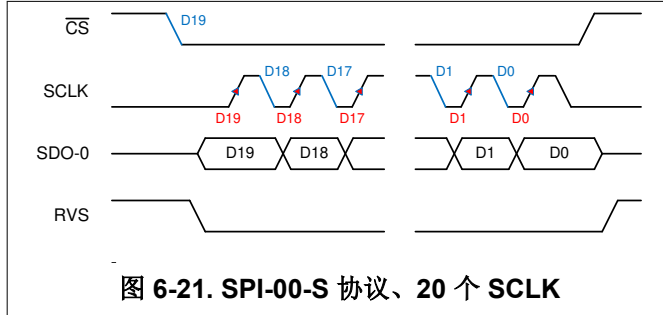
当使用任何 SPI 兼容协议时，RVS 输出在整个数据传输帧内保持低电平；参见 [时序要求：SPI 兼容串行接口表](#)，了解相关时序参数。

备注

建议使用四种 SPI 兼容协议中的任何一种来执行表 6-2 中指定的 RD_REG 和 WR_REG 操作。

图 6-21 至图 6-24 详细介绍了使用最优命令帧读取输出数据字的所有 20 位的四种协议。表 6-5 显示了针对不同输出协议选择，最优读取帧中所需的 SCLK 数量。

当 SDO_CNTL[7:0] = 00h 时，如果主机控制器使用长数据传输帧，则器件会呈现菊花链运行状态（参见 [多个器件：菊花链拓扑部分](#)）。



6.5.3.2.2 具有总线宽度选项的 SPI 兼容协议

在使用四种与 SPI 兼容的传统协议中的任何一种工作时，该器件提供了一个选项，可将 SDO 总线宽度从一位（默认配置，单路 SDO）增加到两位（双路 SDO）或四位（四路 SDO）。

设置 SDO_CNTL 寄存器中的 SDO_WIDTH[1:0] 位，以选择 SDO 总线宽度。

在双路 SDO 模式 (SDO_WIDTH[1:0] = 10b) 下，将在每个 SCLK 启动沿上的两个 SDO 引脚 (SDO-0 和 SDO-1) 上启动两位数据。

在四路 SDO 模式 (SDO_WIDTH[1:0] = 11b) 下，将在每个 SCLK 启动沿上的四个 SDO 引脚 (SDO-0、SDO-1、SDO-2 和 SDO-3) 上启动四位数据。

SCLK 启动沿取决于 SPI 协议选择（如表 6-6 中所示）。

表 6-6. 具有总线宽度选项的 SPI 兼容协议

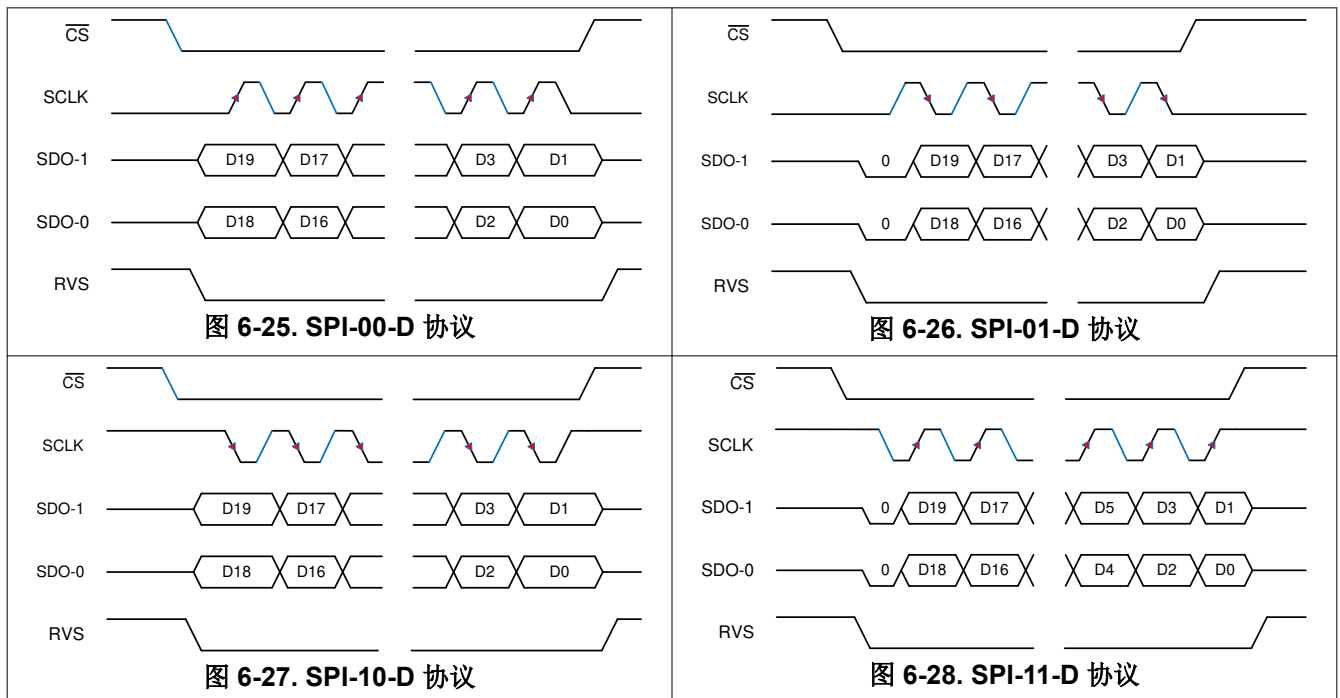
协议	SCLK 极性 (在 CS 下降沿)	SCLK 相位 (捕捉边沿)	MSB 位启动边沿	SDI_CNTL	SDO_CNTL	#SCLK (最优读取帧)	示意图
SPI-00-D	低	上升	\overline{CS} 下降	00h	08h	8	图 6-25
SPI-01-D	低	下降	第一个 SCLK 上升沿	01h	08h	8	图 6-26
SPI-10-D	高	下降	\overline{CS} 下降	02h	08h	8	图 6-27
SPI-11-D	高	上升	第一个 SCLK 下降沿	03h	08h	8	图 6-28
SPI-00-Q	低	上升	\overline{CS} 下降	00h	0Ch	4	图 6-29
SPI-01-Q	低	下降	第一个 SCLK 上升沿	01h	0Ch	4	图 6-30
SPI-10-Q	高	下降	\overline{CS} 下降	02h	0Ch	4	
SPI-11-Q	高	上升	第一个 SCLK 下降沿	03h	0Ch	4	图 6-32

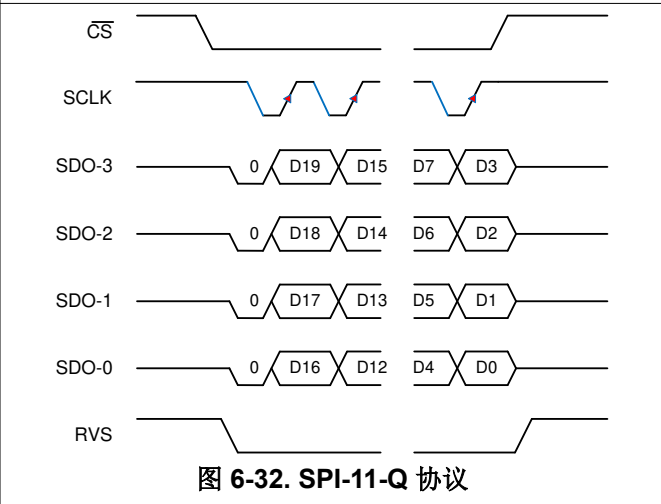
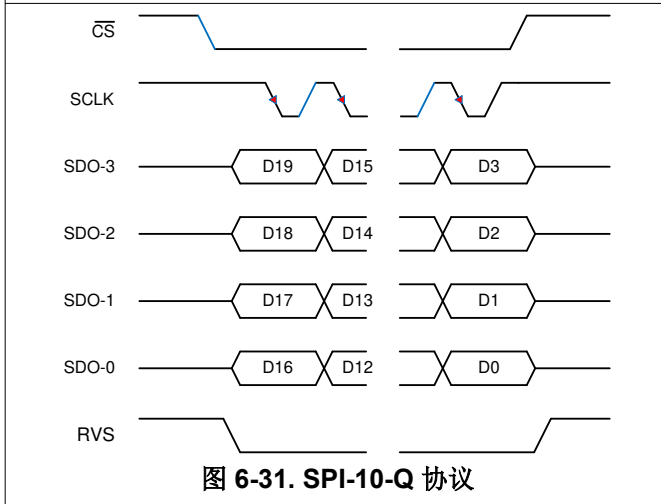
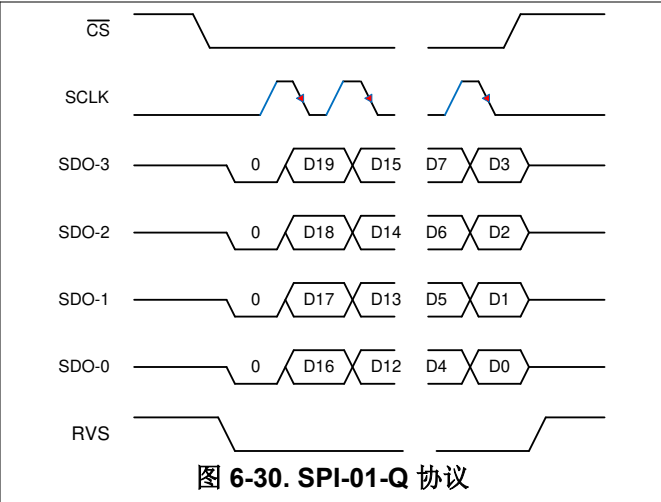
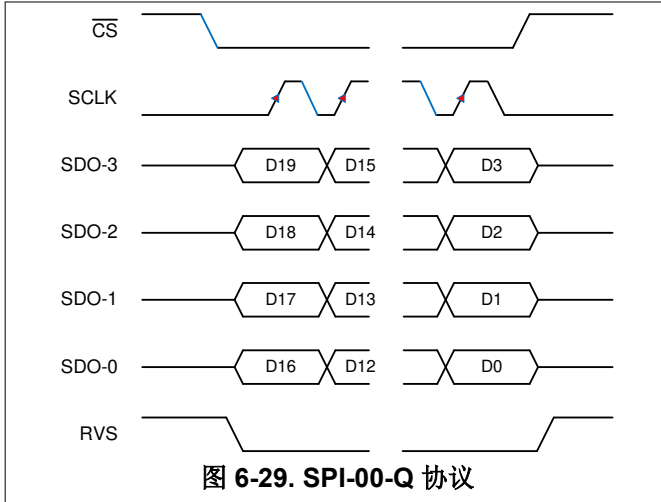
当使用任何 SPI 兼容协议时，RVS 输出在整个数据传输帧内保持低电平；参见 [时序要求：SPI 兼容串行接口表](#)，了解相关时序参数。

图 6-25 至图 6-32 展示了较宽的数据总线如何允许主机控制器使用较短的数据传输帧来读取输出数据字的所有 20 位。表 6-6 显示了针对不同输出协议选择，最优读取帧中所需的 SCLK 数量。

备注

当 SDO_CNTL[7:0] \neq 00h 时，长数据传输帧不会导致菊花链运行。在 SDO 引脚上，20 位输出数据字后紧跟 0 位。





6.5.3.2.3 源同步 (SRC) 协议

如 [数据传输协议](#) 部分所述，multiSPI™ 接口支持在器件和主机控制器之间，进行 ADC 时钟主模式或源同步模式数据传输。在此模式下，器件提供与输出数据同步的输出时钟。此外，主机控制器还可选择输出时钟源、数据总线宽度和数据传输速率。

6.5.3.2.3.1 采用 SRC 协议的输出时钟源选项

在所有 SRC 协议中，RVS 引脚均可提供输出时钟。该器件允许此输出时钟与 SCLK 引脚上提供的外部时钟或器件的内部时钟进行同步。此外，该内部时钟还可以进行二分频或四分频以降低数据速率。

如图 6-33 中所示，设置 SDO_CNTL 寄存器中的 SSYNC_CLK_SEL[1:0] 位可选择输出时钟源。

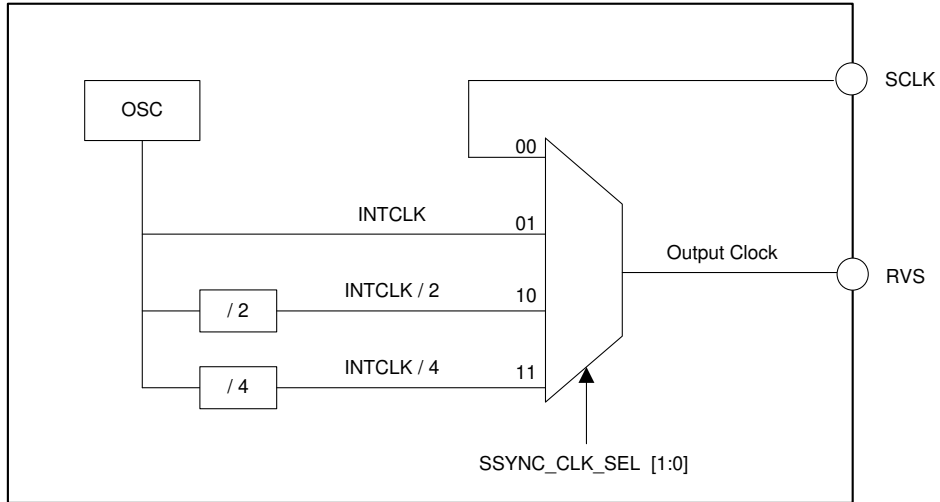


图 6-33. 采用 SRC 协议的输出时钟源选项

6.5.3.2.3.2 采用 SRC 协议的总线宽度选项

在采用任何一种 SRC 协议时，该器件提供了一个选项，可将 SDO 总线宽度从一位（默认配置，单路 SDO）增加到两位（双路 SDO）或四位（四路 SDO）。设置 SDO_CNTL 寄存器中的 SDO_WIDTH[1:0] 位，以选择 SDO 总线宽度。

在双 SDO 模式下 (SDO_WIDTH[1:0] = 10b)，将在每个 SCLK 上升沿上的两个 SDO 引脚 (SDO-0 和 SDO-1) 上启动两位数据。

在四 SDO 模式下 (SDO_WIDTH[1:0] = 11b)，将在每个 SCLK 上升沿上的四个 SDO 引脚 (SDO-0、SDO-1、SDO-2 和 SDO-3) 上启动四位数据。

6.5.3.2.3.3 采用 SRC 协议的输出数据速率选项

该器件提供了以单倍数据速率（默认，SDR）或双倍数据速率 (DDR) 将数据传输到主机控制器的选项。设置图 6-54 中的 DATA_RATE 可位选择数据传输速率。

在 SDR 模式下 (DATA_RATE = 0b)，RVS 引脚从低电平切换到高电平，输出数据位在输出时钟上升沿的 SDO 引脚上启动。

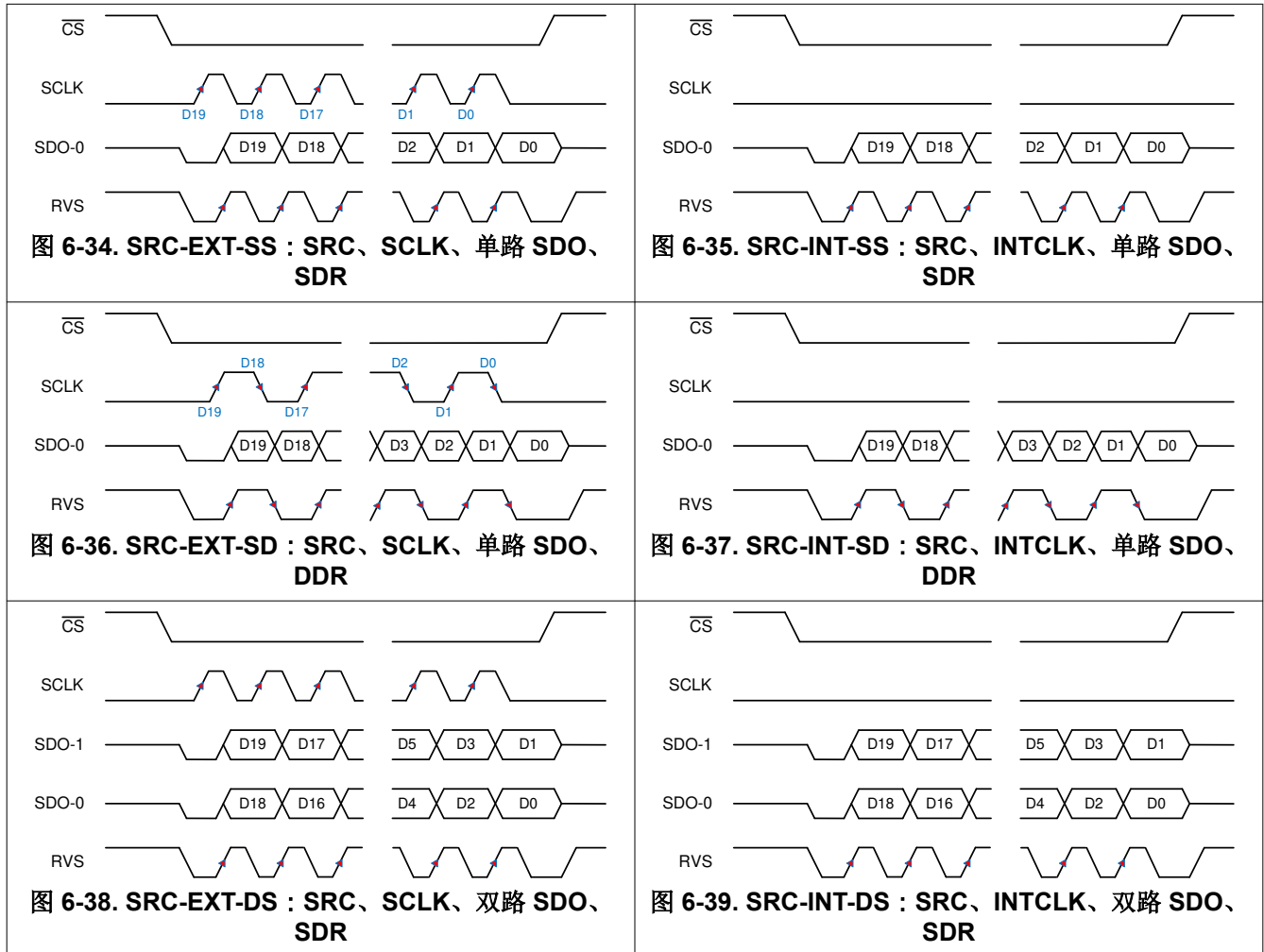
在 DDR 模式 (DATA_RATE = 1b) 下，RVS 引脚会切换，输出数据位会在每个输出时钟沿（从第一个上升沿开始）在 SDO 引脚上启动。

该器件支持输出时钟源、总线宽度和输出数据速率的所有 24 种组合，如表 6-7 中所示。

表 6-7. SRC 协议组合

协议	输出时钟源	总线宽度	输出数据速率	SDI_CNTL	SDO_CNTL	输出时钟数 (最优读取帧)	示意图
SRC-EXT-SS	SCLK	单通道	SDR	00h、01h、 02h 或 03h	03h	16	图 6-34
SRC-INT-SS	INTCLK	单通道	SDR		43h	16	图 6-35
SRC-IB2-SS	INTCLK/2	单通道	SDR		83h	16	
SRC-IB4-SS	INTCLK/4	单通道	SDR		C3h	16	
SRC-EXT-DS	SCLK	双通道	SDR		0Bh	8	图 6-38
SRC-INT-DS	INTCLK	双通道	SDR		4Bh	8	图 6-39
SRC-IB2-DS	INTCLK/2	双通道	SDR		8Bh	8	
SRC-IB4-DS	INTCLK/4	双通道	SDR		CBh	8	
SRC-EXT-QS	SCLK	四通道	SDR		0Fh	4	图 6-42
SRC-INT-QS	INTCLK	四通道	SDR		4Fh	4	图 6-43
SRC-IB2-QS	INTCLK/2	四通道	SDR		8Fh	4	
SRC-IB4-QS	INTCLK/4	四通道	SDR		CFh	4	
SRC-EXT-SD	SCLK	单通道	DDR		13h	8	图 6-36
SRC-INT-SD	INTCLK	单通道	DDR		53h	8	图 6-37
SRC-IB2-SD	INTCLK/2	单通道	DDR		93h	8	
SRC-IB4-SD	INTCLK/4	单通道	DDR		D3h	8	
SRC-EXT-DD	SCLK	双通道	DDR		1Bh	4	图 6-40
SRC-INT-DD	INTCLK	双通道	DDR		5Bh	4	图 6-41
SRC-IB2-DD	INTCLK/2	双通道	DDR		9Bh	4	
SRC-IB4-DD	INTCLK/4	双通道	DDR		DBh	4	
SRC-EXT-QD	SCLK	四通道	DDR		1Fh	2	图 6-44
SRC-INT-QD	INTCLK	四通道	DDR		5Fh	2	图 6-45
SRC-IB2-QD	INTCLK/2	四通道	DDR		9Fh	2	
SRC-IB4-QD	INTCLK/4	四通道	DDR		DFh	2	

图 6-34 至图 6-45 展示了各种源同步协议的详细信息。表 6-7 显示了针对不同输出协议选择，最优读取帧中所需的输出时钟数。



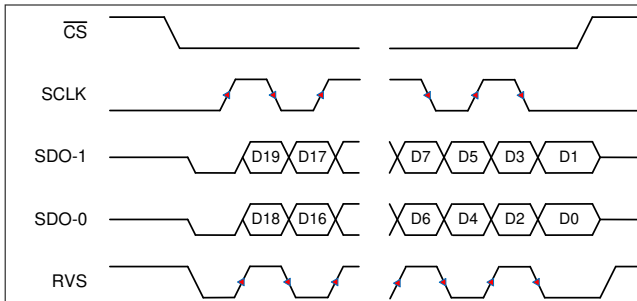


图 6-40. SRC-EXT-DD : SRC、SCLK、双路 SDO、DDR

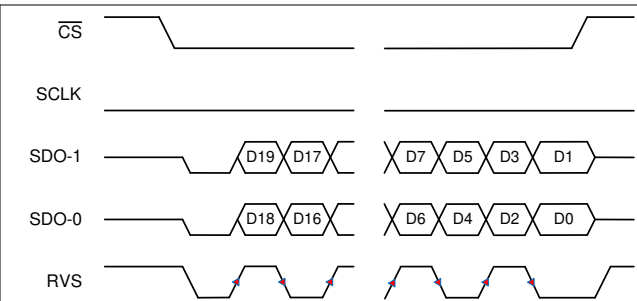


图 6-41. SRC-INT-DD : SRC、INTCLK、双路 SDO、DDR

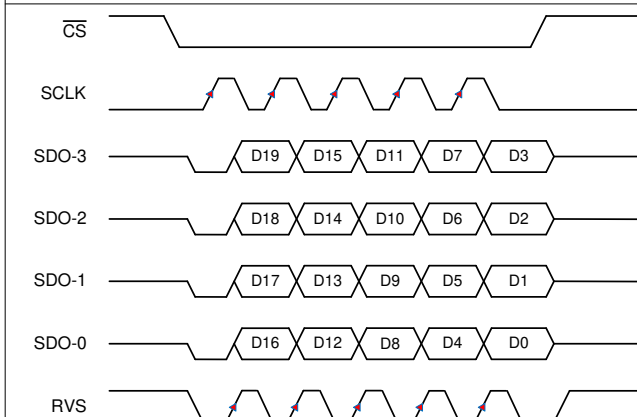


图 6-42. SRC-EXT-QS : SRC、SCLK、四路 SDO、SDR

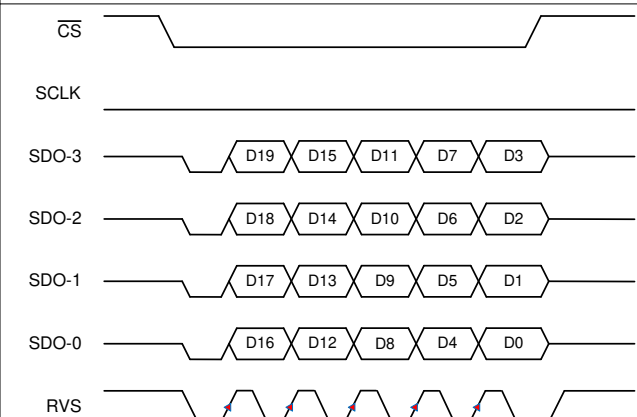


图 6-43. SRC-INT-QS : SRC、INTCLK、四路 SDO、SDR

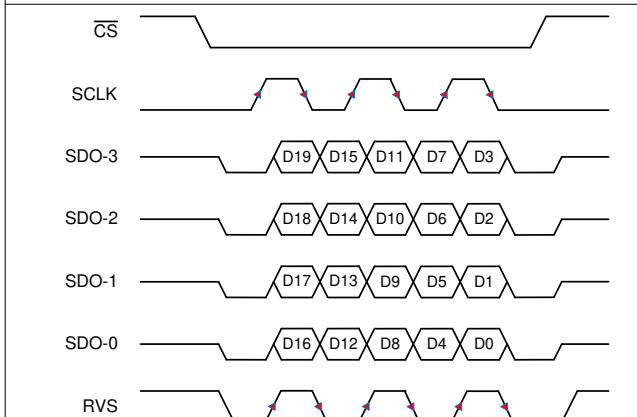


图 6-44. SRC-EXT-QD : SRC、SCLK、四路 SDO、DDR

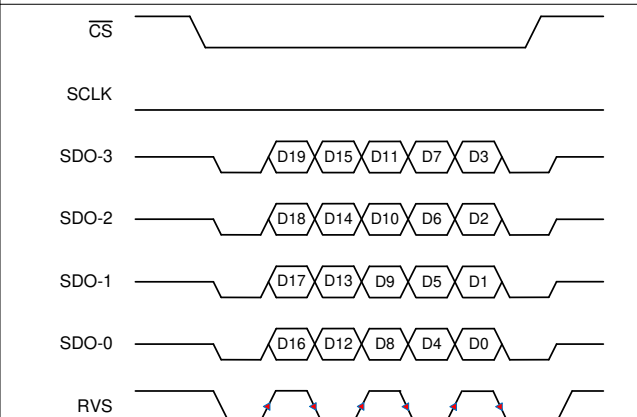


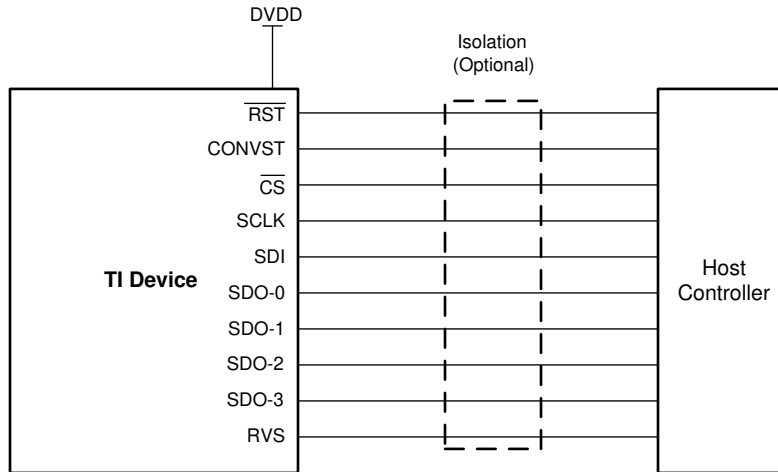
图 6-45. SRC-INT-QD : SRC、INTCLK、四路 SDO、DDR

6.5.4 器件设置

multiSPI™ 接口和器件配置寄存器提供多种运行模式。本节介绍了如何选择硬件连接拓扑来满足不同的系统要求。

6.5.4.1 单个器件：所有 multiSPI™ 选项

图 6-46 显示为了使用 multiSPI™ 接口提供的所有选项，在主机控制器和独立器件之间进行的连接。

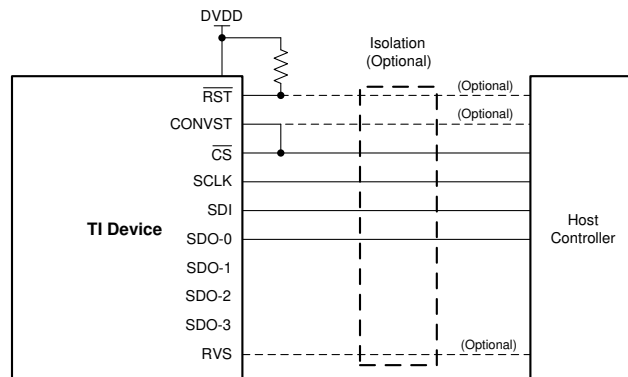


Copyright © 2016, Texas Instruments Incorporated

图 6-46. multiSPI™ 接口、所有引脚

6.5.4.2 单个器件：标准 SPI 接口的最小引脚数

图 6-47 显示了使用标准 SPI 协议的应用的最小引脚接口。



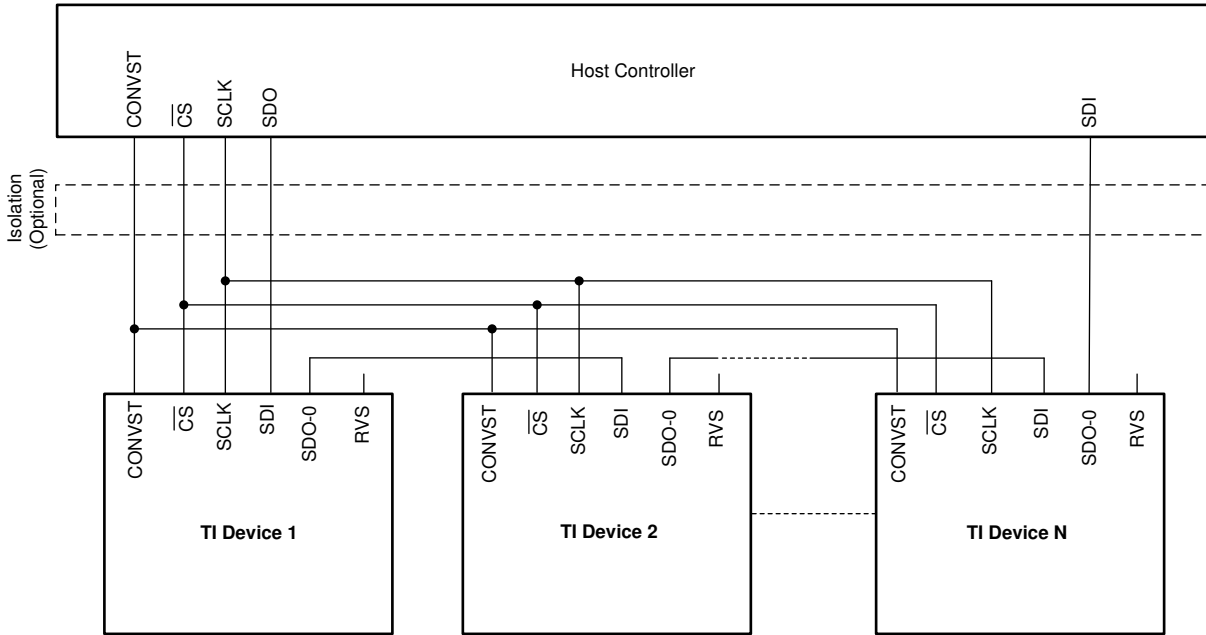
Copyright © 2016, Texas Instruments Incorporated

图 6-47. SPI 接口、最小引脚

$\overline{\text{CS}}$ 、SCLK、SDI 和 SDO-0 引脚构成主机控制器的标准 SPI 端口。 $\overline{\text{CONVST}}$ 引脚可以连接到 $\overline{\text{CS}}$ ，也可以单独控制，以提高时序灵活性。 $\overline{\text{RST}}$ 引脚可以连接至 DVDD。可以对 RVS 引脚进行监控以了解时序优势。SDO-1、SDO-2 和 SDO-3 引脚没有外部连接。

6.5.4.3 多个器件：菊花链拓扑

图 6-48 显示了菊花链拓扑模式下多个器件的典型连接图。

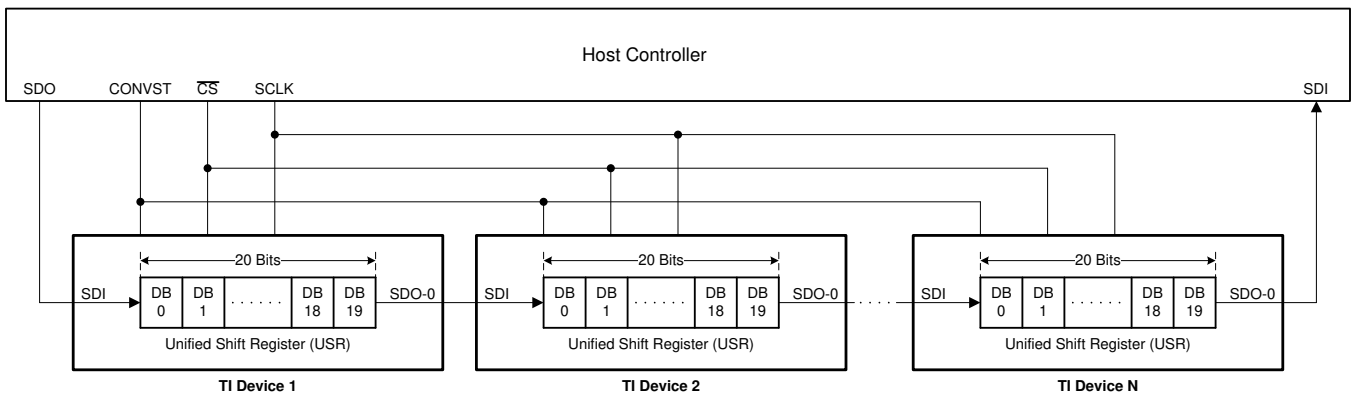


Copyright © 2016, Texas Instruments Incorporated

图 6-48. 菊花链连接原理图

所有器件的 CONVST、CS 和 SCLK 输入连接在一起，并分别由主机控制器的单个 CONVST、CS 和 SCLK 引脚进行控制。链中第一个器件（器件 1）的 SDI 输入引脚连接到主机控制器的 SDO 引脚，器件 1 的 SDO-0 输出引脚连接到器件 2 的 SDI 输入引脚，依此类推。链中最后一个器件（器件 N）的 SDO-0 输出引脚连接到主机控制器的 SDI 引脚。

要在菊花链拓扑中运行多个器件，主机控制器必须使用相同的值对每个器件中的配置寄存器进行编程，并且必须使用任何与 SPI 兼容的传统协议执行数据读取和数据写入操作 (SDO_CNT[7:0] = 00h)。通过这些配置设置，每个器件中的 20 位 ODR 和 20 位 IDR 寄存器将通过合并，为每个器件形成一个 20 位统一移位寄存器 (USR)，如图 6-49 中所示。



Copyright © 2016, Texas Instruments Incorporated

图 6-49. 统一移位寄存器

菊花链拓扑中的所有器件在 CONVST 上升沿对其模拟输入信号进行采样。数据传输帧从 CS 下降沿开始。在每个 SCLK 启动沿，链中的每个器件都会将其 USR 的 MSB 移出到其 SDO-0 引脚。在每个 SCLK 捕捉边沿，链中的

每个器件会移入在其 SDI 引脚上接收到的数据，作为其 USR 的 LSB 位。因此，在菊花链配置中，主机控制器先接收器件 N 的数据，然后接收器件 N-1 的数据，依此类推（采用 MSB 优先方式）。在 \overline{CS} 上升沿，每个器件解码其 USR 中的内容并执行适当的操作。

图 6-50 显示了以菊花链拓扑连接并使用 SPI-00-S 协议的三个器件的典型时序图。

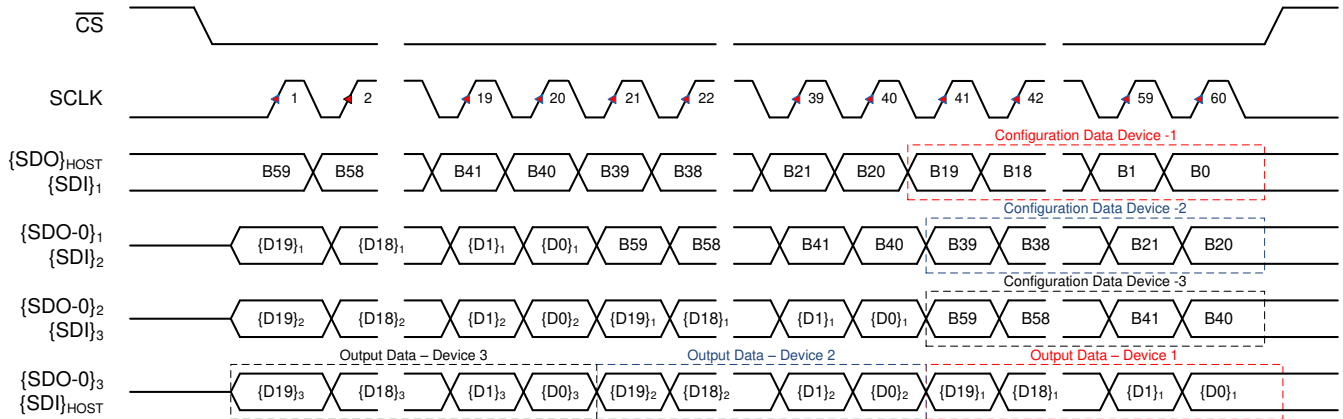


图 6-50. 菊花链模式中三个器件的时序图

请注意，系统的总吞吐量会随着菊花链拓扑中所连接器件的数量而按比例减少。

警告

对于菊花链拓扑中连接的 N 个器件，最优命令帧必须包含 $20 \times N$ 个 SCLK 捕捉沿。对于较长的数据传输帧（帧中的 SCLK 数量大于 $20 \times N$ ），主机控制器必须在将 \overline{CS} 置为高电平之前适当地对齐每个器件的配置数据。较短的数据传输帧（帧中的 SCLK 数量小于 $20 \times N$ ）可能会导致错误的设备配置，必须避免。

6.5.4.4 多个器件：星型拓扑

显示星型拓扑中多个器件的典型连接图如 图 6-51 中所示。所有器件的 CONVST、SDI 和 SCLK 输入都连接在一起，分别由主机控制器的单个 CONVST、SDO 和 SCLK 引脚进行控制。同样，所有器件的 SDO 输出也连接在一起并连接到主机控制器的单个 SDI 输入引脚。每个器件的 CS 输入引脚由主机控制器上单独的 CS 控制线路单独控制。

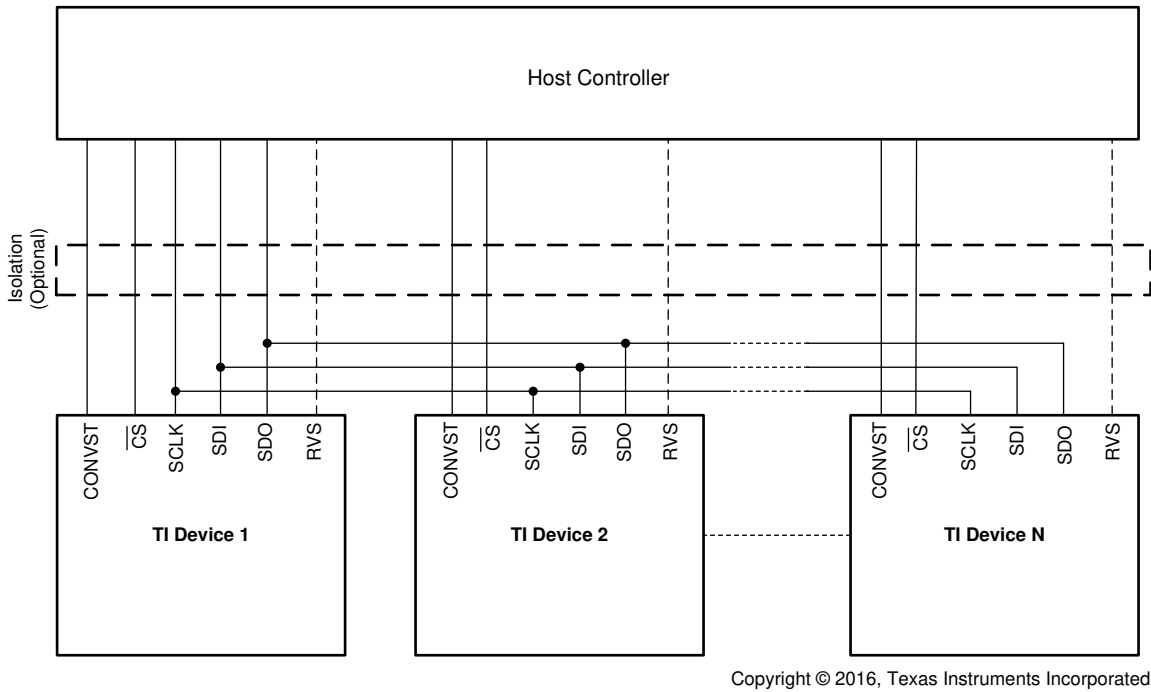


图 6-51. 星型拓扑连接

图 6-52 中显示了以星型拓扑连接的 N 个器件的时序图。为避免产生与多个器件同时驱动 SDO 线路相关的任何冲突，请确保主机控制器在任何特定时间仅下拉一个器件的 CS 信号。

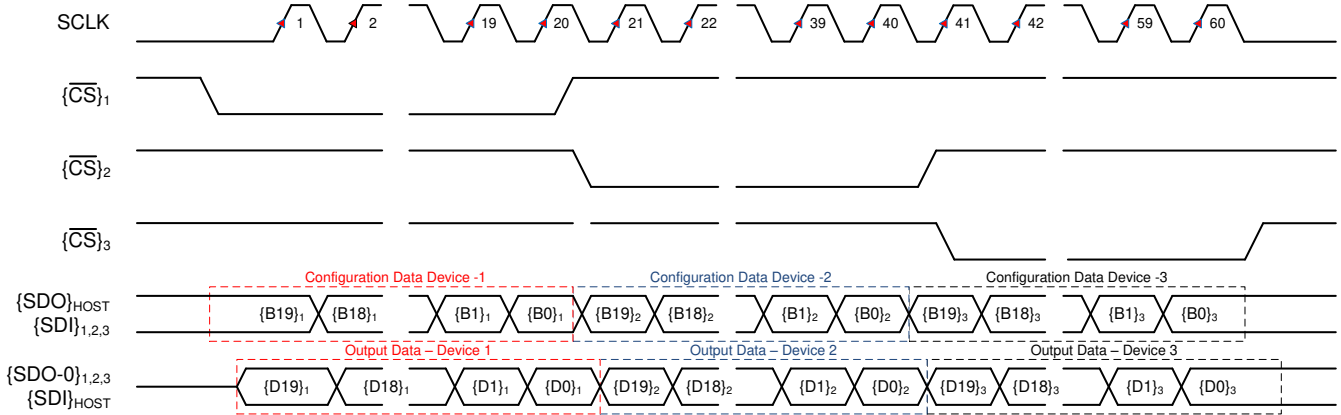


图 6-52. 以星型拓扑连接的两个器件的时序图

6.6 寄存器映射

6.6.1 器件配置和寄存器映射

该器件具有四个配置寄存器，映射过程如表 6-8 中所述。

表 6-8. 配置寄存器映射

地址	寄存器名称	寄存器功能	章节
010h	PD_CNTL	低功耗模式控制寄存器	PD 控制
014h	SDI_CNTL	SDI 输入协议选择寄存器	SDI 控制
018h	SDO_CNTL	SDO 输出协议选择寄存器	SDO 控制
01Ch	DATA_CNTL	输出数据字配置寄存器	DATA 控制

6.6.1.1 PD_CNTL 寄存器 (地址 = 010h)

该寄存器可控制器件提供的低功耗模式并通过密钥实现保护。

对 PD_CNTL 寄存器执行任何写操作之前要执行一次写操作：将寄存器地址设为 011h、将寄存器数据设为 69h。

图 6-53. PD_CNTL 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	0	NAP_EN	PDWN
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R/W-0b	R/W-0b

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 6-9. PD_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-2	0	R	000000b	保留位。读取返回 000000b。
1	NAP_EN	R/W	0b	该位可为器件启用 NAP 模式。 0b = 禁用 NAP 模式 1b = 启用 NAP 模式
0	PDWN	R/W	0b	该位在断电模式下输出器件。 0b = 器件上电 1b = 器件断电

6.6.1.2 SDI_CNTL 寄存器 (地址 = 014h)

此寄存器可配置用于向器件写入数据的协议。

图 6-54. SDI_CNTL 寄存器

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SDI_MODE[1:0]	
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R/W-0b	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 6-10. SDI_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-2	0	R	000000b	保留位。读取返回 000000b。
1-0	SDI_MODE[1:0]	R/W	00b	这些位可选择向器件中写入数据时所用的协议。 00b = 标准 SPI 且 CPOL = 0 和 CPHASE = 0 01b = 标准 SPI 且 CPOL = 0 和 CPHASE = 1 10b = 标准 SPI 且 CPOL = 1 和 CPHASE = 0 11b = 标准 SPI 且 CPOL = 1 和 CPHASE = 1

6.6.1.3 SDO_CNTL 寄存器 (地址 = 018h)

该寄存器可配置从器件读取数据的协议。

图 6-55. SDO_CNTL 寄存器

7	6	5	4	3	2	1	0
SSYNC_CLK_SEL[1:0]		0	DATA_RATE	SDO_WIDTH[1:0]		SDO_MODE[1:0]	
R/W-00b		R-0b	R/W-0b	R/W-00b		R/W-00b	

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 6-11. SDO_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-6	SSYNC_CLK_SEL[1:0]	R/W	00b	这些位可选择源同步数据传输的时钟源和频率，且仅在 SDO_MODE[1:0] = 11b 时有效。 00b = 外部 SCLK 回波 01b = 内部时钟 (INTCLK) 10b = 内部时钟/2 (INTCLK/2) 11b = 内部时钟/4 (INTCLK/4)
5	0	R	0b	此位必须始终设置为 0。
4	DATA_RATE	R/W	0b	如果 SDO_MODE[1:0] = 00b，则忽略该位。当 SDO_MODE[1:0] = 11b 时： 0b = SDO 相对于输出时钟、以单倍数据速率 (SDR) 更新 1b = SDO 相对于输出时钟、以双倍数据速率 (DDR) 更新
3-2	SDO_WIDTH[1:0]	R/W	00b	这些位可设置输出总线的宽度。 0xb = 数据仅从 SDO-0 引脚输出 10b = 数据仅从 SDO-0 和 SDO-1 引脚输出 11b = 数据从 SDO-0、SDO-1、SDO-2 和 SDO-3 引脚输出
1-0	SDO_MODE[1:0]	R/W	00b	这些位可选择从器件读取数据时所用的协议。 00b = SDO 遵循与 SDI 相同的 SPI 协议；请参阅 SDI_CNTL 寄存器 01b = 无效配置，不受器件支持 10b = 无效配置，不受器件支持 11b = SDO 遵循源同步协议

6.6.1.4 DATA_CNTL 寄存器 (地址 = 01Ch)

该寄存器可配置 20 位输出数据字 (D[19:0]) 的内容。

图 6-56. DATA_CNTL 寄存器

7	6	5	4	3	2	1	0
0	0	FPAR_LOC 0		PAR_EN	DATA_PATN[2:0]		
R-0b	R-0b	R/W-00b		R/W-0b	R/W-000b		

说明：R/W = 读取/写入；R = 只读；-n = 复位后的值

表 6-12. DATA_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-6	0	R	00b	保留位。读取返回 00b。
5-4	FPAR_LOC[1:0]	R/W	00b	这些位可控制用于计算 FTPAR 位 (输出数据字中的位 D[0]) 的数据范围。 00b = D[2] 反映针对 4 个 MSB 位计算出的偶校验 01b = D[2] 反映针对 8 个 MSB 位计算出的偶校验 10b = D[2] 反映针对 12 个 MSB 位计算出的偶校验 11b = D[2] 反映针对所有 16 个位计算出的偶校验；也就是说，与 FLPAR 相同
3	PAR_EN	R/W	0b	0b = 输出数据不包含任何奇偶校验信息 D[3] = 0 D[2] = 0 1b = 奇偶校验信息附加到输出数据的 LSB 上 D[3] = 在位 D[19:4] 上计算得到的偶校验 D[2] = 根据 FPAR_LOC[1:0] 设置，对 D[19:4] 中选定 MSB 位数计算得到的偶校验。 请参阅图 6-10，详细了解奇偶校验计算。
2-0	DATA_PATN[2:0]	R/W	000b	这些位可控制输出数据字的位 D[19:4]。 0xxb = 16 位转换输出 100b = 全 0 101b = 全 1 110b = 0 和 1 交替 (即, 5555h) 111b = 00 和 11 交替 (即, 3333h) ，请参阅图 6-11，了解更多信息。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

显著提高高精度逐次逼近寄存器 (SAR) 模数转换器 (ADC) 性能所需的两个主要电路是输入驱动器和基准驱动器电路。本部分详细介绍设计这些电路的一般原则，然后介绍使用 ADS9120 设计的应用电路。

7.1.1 ADC 输入驱动器

高精度 ADC 的输入驱动器电路主要由两个器件组成：驱动放大器和飞轮 RC 滤波器。该放大器用于输入信号的信号调节，且其低输出阻抗可在信号源和 ADC 的开关电容器输入之间提供缓冲。RC 滤波器可帮助衰减来自 ADC 开关电容器输入级的采样电荷注入，并对前端电路产生的宽带噪声进行频带限制。精心设计前端电路对于满足 ADS9120 的线性度和噪声性能要求至关重要。

7.1.2 输入放大器选型

输入放大器的选择标准在很大程度上取决于数据采集系统的输入信号类型和性能目标。在选择合适的放大器来驱动 ADC 输入时，需要考虑的一些关键放大器规格包括：

- **小信号带宽。**在满足系统的功率预算后，选择尽可能高的输入放大器小信号带宽。较高的带宽可降低放大器的闭环输出阻抗，从而使放大器能够更轻松地驱动 ADC 输入端的低截止频率 RC 滤波器（参见 [电荷反冲滤波器](#) 部分）。较高的带宽还可以显著降低较高输入频率下的谐波失真。为了保持输入驱动器电路的整体稳定性，请选择具有单位增益带宽 (UGB) 的放大器，如 [方程式 14](#) 中所述：

$$UGB \geq 4 \times \left(\frac{1}{2\pi \times R_{FLT} \times C_{FLT}} \right) \quad (14)$$

- **噪声。**前端放大器的噪声影响必须尽可能低，以防止系统的 SNR 性能下降。通常情况下，为了确保数据采集系统的噪声性能不受前端电路的限制，来自前端电路的总噪声影响必须保持在 ADC 输入基准噪声的 20% 以下。通过设计低截止频率 RC 滤波器，可对输入驱动电路产生的噪声进行带限处理，如 [方程式 15](#) 中所述。

$$N_G \times \sqrt{2} \times \sqrt{\left(\frac{V_{1/f_AMP_PP}}{6.6} \right)^2 + e_{n_RMS}^2 \times \frac{\pi}{2} \times f_{-3dB}} \leq \frac{1}{5} \times \frac{V_{REF}}{\sqrt{2}} \times 10^{\left(\frac{SNR(dB)}{20} \right)} \quad (15)$$

其中：

- V_{1/f_AMP_PP} 是峰值间闪烁噪声，单位为 μV
- e_{n_RMS} 是放大器宽带噪声密度，单位为 nV/\sqrt{Hz}
- f_{-3dB} 是 RC 滤波器的 3dB 带宽，以及
- N_G 是前端电路在缓冲器配置中等于 1 的噪声增益。
- **失真。**ADC 和输入驱动器在数据采集块中引入失真。如 [方程式 16](#) 中所示，为了确保数据采集系统的失真性能不受前端电路的限制，输入驱动器的失真必须至少比 ADC 失真小 10dB。

$$THD_{AMP} \leq THD_{ADC} - 10 \text{ (dB)} \quad (16)$$

- **趋稳时间**对于多路复用应用中常见的具有快速瞬变的直流信号，输入信号必须在采集时间窗口内在器件输入端稳定在 16 位精度范围内。此条件对于保持 ADC 的整体线性性能至关重要。通常，放大器数据表指定的输出稳定性性能仅高达 0.1% 至 0.001%，这对于所需的 16 位精度是不够的。因此，在选择放大器之前，请务必通过 TINA™-SPICE 仿真，验证输入驱动器的稳定行为。

7.1.3 电荷反冲滤波器

电荷反冲滤波器设计为低通 RC 滤波器，其中 3dB 带宽根据特定应用要求进行了优化。对于具有快速瞬变的直流信号（包括多路复用输入信号），高带宽滤波器设计为可在小采集时间窗口内准确地 ADC 输入端实现信号趋稳。对于交流信号，应保持较低滤波器带宽，对馈入 ADC 输入的噪声进行频带限制，从而提高系统的信噪比 (SNR)。

除了滤除前端驱动电路的噪声外，RC 滤波器还有助于衰减来自 ADC 开关电容器输入级的采样电荷注入。ADC 的每个输入引脚与地之间都连接一个滤波电容 C_{FLT} （如图 7-1 中所示）。该电容器有助于减少采样电荷注入，并提供一个电荷桶，用于在采集过程中对内部采样保持电容器快速充电。通常，该电容的值必须至少为 ADC 采样电容指定值的 15 倍。对于 ADS9120，输入采样电容等于 60pF，因此建议保持 C_{FLT} 大于 900pF。应采用 COG 或 NPO 类型电容器，因为这两种类型的电容器具有电荷量大，温度系数低的特点，且在电压、频率及时间变化的情况下依然能保持稳定的电气特性。

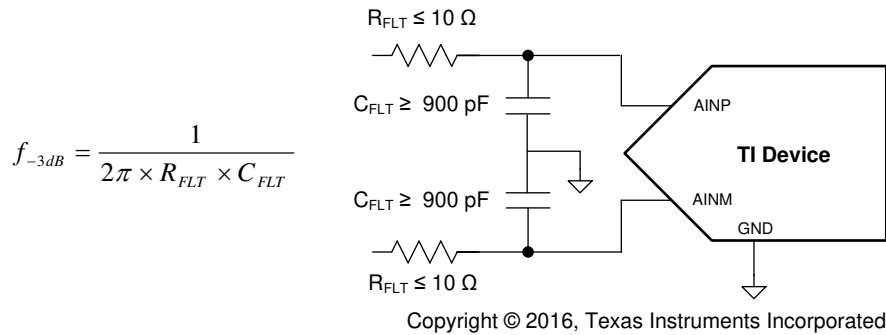


图 7-1. 抗混叠滤波器配置

请注意，驱动容性负载可以减小输入放大器的相位裕度，从而使放大器变得略微不稳定。为避免出现放大器稳定性问题，在放大器输出端增加了串联隔离电阻 (R_{FLT})。从放大器稳定性角度而言， R_{FLT} 值越大越有利，但会由于与 ADC 的非线性输入阻抗相互作用而增加失真。失真随着源阻抗、输入信号频率和输入信号振幅的增加而增加。因此，选择 R_{FLT} 时需要平衡设计的稳定性和失真性能。对于 ADS9120，建议将 R_{FLT} 的上限值设为 $10\ \Omega$ ，以避免线性性能出现任何显著下降。所选电阻器的容差必须保持在 1% 以下，以保持输入均衡。

选择驱动器放大器时必须使其闭环输出阻抗至少比 R_{FLT} 小 5 倍。

7.1.4 ADC 基准驱动器

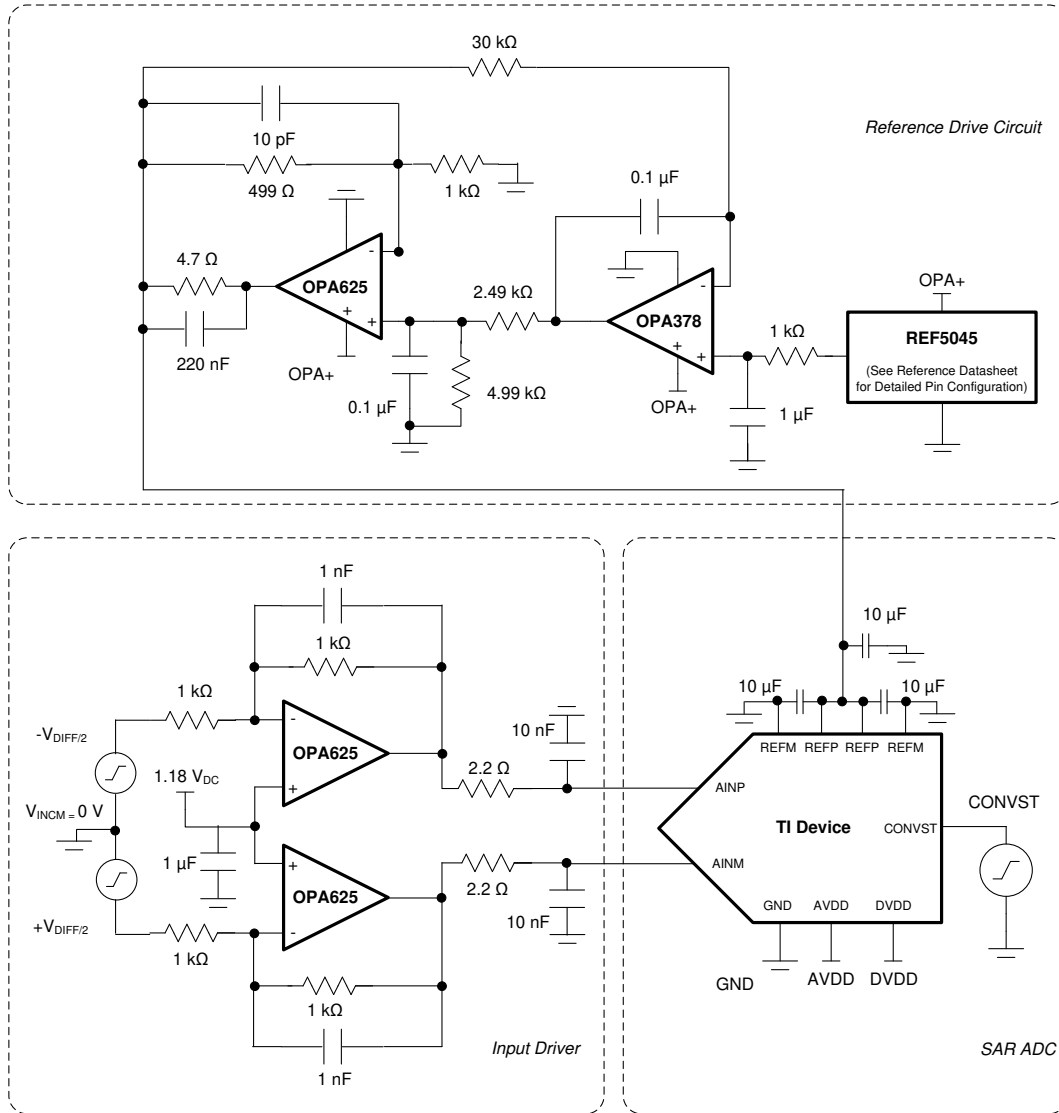
ADS9120 的外部基准源必须为 ADC 基准输入提供低漂移和非常精确的电压，并支持动态电荷要求，而不会影响器件的噪声和线性性能。大多数基准源的输出宽带噪声可达数百 μV_{RMS} 量级。因此，为了防止 ADC 的噪声性能下降，必须使用截止频率为几百赫兹的低通滤波器对电压基准的输出进行适当滤波。

对基准电路的噪声进行频带限制后，下一个重要步骤是设计一个可驱动由 ADC 基准输入构成的动态负载的基准缓冲器。该基准缓冲器必须调节基准引脚上的电压，以便 V_{REF} 的值在每次转换开始时都保持在 1LSB 误差范围内。这种情况需要在每对 REFP 引脚和 REFM 引脚之间使用一个大电容器 CBUF_FLT（参见图 6-3），以调节 ADC 基准输入端的电压。任何大电容器的有效电容都会随着基于额定电压和类型施加的电压而降低。强烈建议使用 X7R 型电容器。

选择作为基准驱动器的放大器必须具有超低的失调电压和温度漂移以及低输出阻抗，以驱动 ADC 基准引脚上的电容器，同时而不会出现任何稳定性问题。

7.2 典型应用

7.2.1 使用差分输入实现超低失真和噪声性能的数据采集 (DAQ) 电路



Copyright © 2016, Texas Instruments Incorporated

图 7-2. 在 2.5 MSPS 时实现超低失真和噪声性能的差分输入 DAQ 电路

7.2.1.1 设计要求

设计一个通过使用 ADS9120 来实现以下指标的应用电路：

- SNR > 95dB、THD < -118dB
- ±0.5LSB 线性度，以及
- 2.5 MSPS 最大指定吞吐量

7.2.1.2 详细设计过程

图 7-2 展示了相关应用电路。为简单起见，这些电路图中未显示电源去耦电容器；有关建议的指南，请参阅 [电源相关建议](#) 部分。

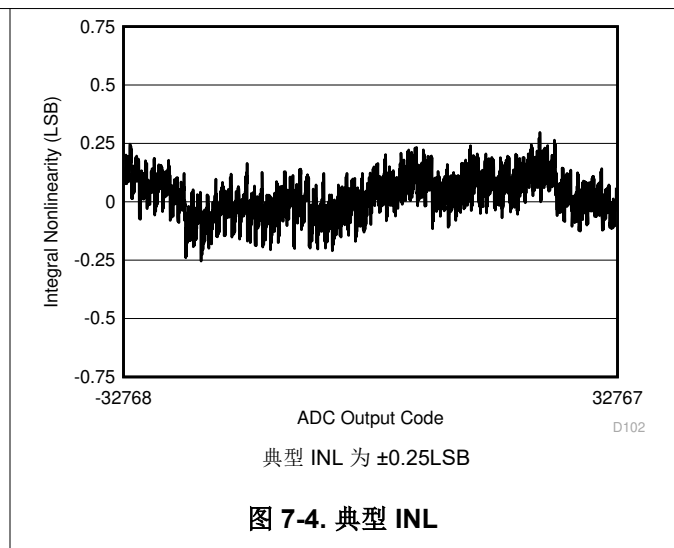
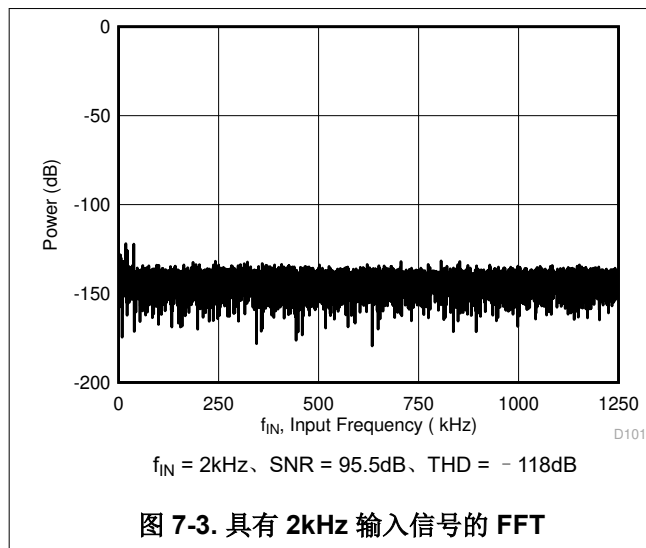
输入信号在被馈送到 ADC 之前，通过 OPA625（采用反相增益配置的高带宽，低失真，高精度放大器）和低通 RC 滤波器进行处理。一般来说，输入驱动器的失真必须比 ADC 失真至少小 10dB。通过在反相增益配置中使用 OPA625，可以消除共模信号变化所导致的失真。低功耗 OPA625 可作为输入驱动器，凭借其极低的失真和高带宽规格，可提供出色的交流性能。为了练习 ADS9120 的完整动态范围，可使用 OPA625 放大器的同相引脚将 ADS9120 输入端的共模电压确定为 2.25V (4.5V/2)。

此外，带电荷反冲滤波器的元件可在不增加输入信号失真的情况下，将前端电路的噪声保持在较低水平。

图 7-2 中所示的基准驱动器电路使用单个 5V 电源生成 4.5V_{DC} 电压。该电路适合在高达 2.5 MSPS 的更高采样率下驱动 ADS9120 基准。该设计中的 4.5V 基准电压由高精度、低噪声 REF5045 电路生成。基准的输出宽带噪声由 3dB 截止频率为 160Hz 的低通滤波器进行大量滤波。

与使用单个高性能放大器相比，基准缓冲器采用 OPA625 和 OPA378 的复合架构设计，能够以更低的功耗实现出色的直流和交流性能。OPA625 是一款高带宽放大器，具有极低的开环输出阻抗 (1 Ω)、频率高达 1MHz。低开环输出阻抗使 OPA625 成为驱动高容性负载以调节 ADC 基准输入电压的理想选择。可使用反馈环路内的直流校正放大器 (OPA378) 来校正 OPA625 相对较高的失调电压和漂移规格。该复合方案继承了 OPA378 超低失调电压和温度漂移规格。

7.2.1.3 应用曲线



7.2.2 具有 FDA 输入驱动器和单端或差分输入的 DAQ 电路

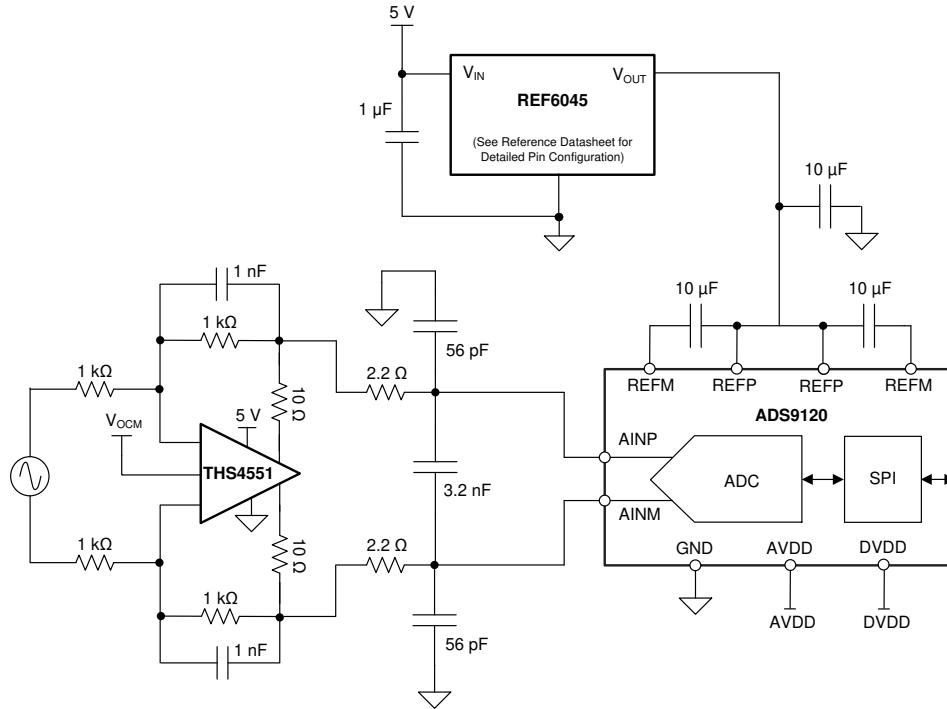


图 7-5. 具有 FDA 输入驱动器和差分输入的 DAQ 电路

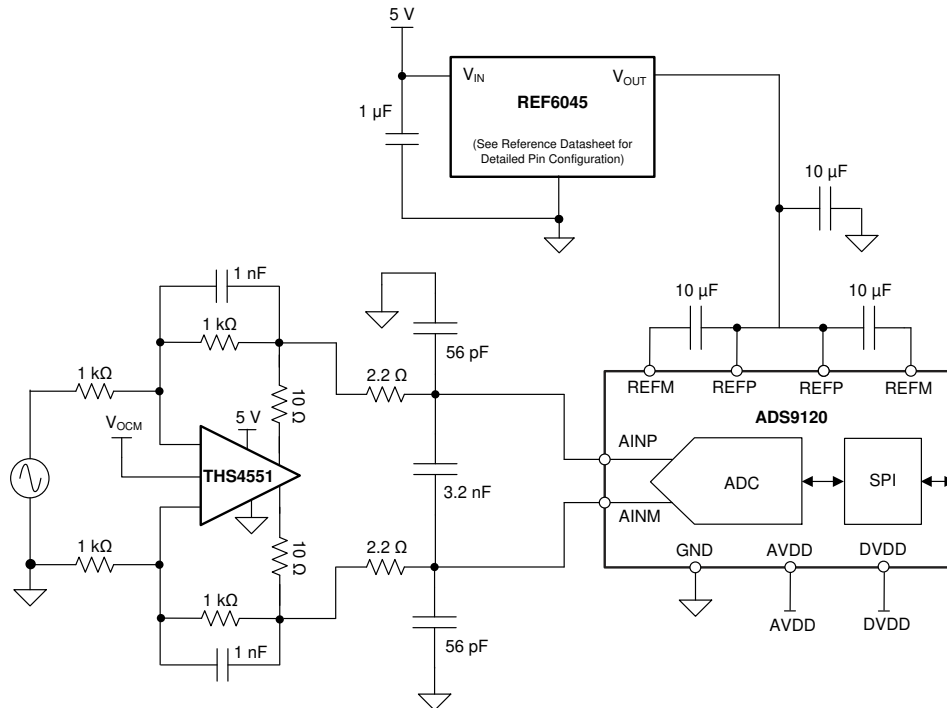


图 7-6. 具有 FDA 输入驱动器和单端输入的 DAQ 电路

7.2.2.1 设计要求

设计一款可将 ADS9120 与全差分放大器 (FDA) 搭配使用以实现以下指标的经优化的应用电路：

- 在全差分输入下，SNR > 94dB、THD < - 115dB
- 在单端输入下，SNR > 94dB、THD < - 112dB
- ± 1 LSB 线性度以及
- 最大指定吞吐量

7.2.2.2 详细设计过程

图 7-5 和图 7-6 中展示了应用电路。为简单起见，这些电路图中未显示电源去耦电容器；有关建议的指南，请参阅 [电源相关建议](#) 部分。

由高精度电压基准源 REF6045 (内置高带宽缓冲器) 产生的 4.5V 基准电压。

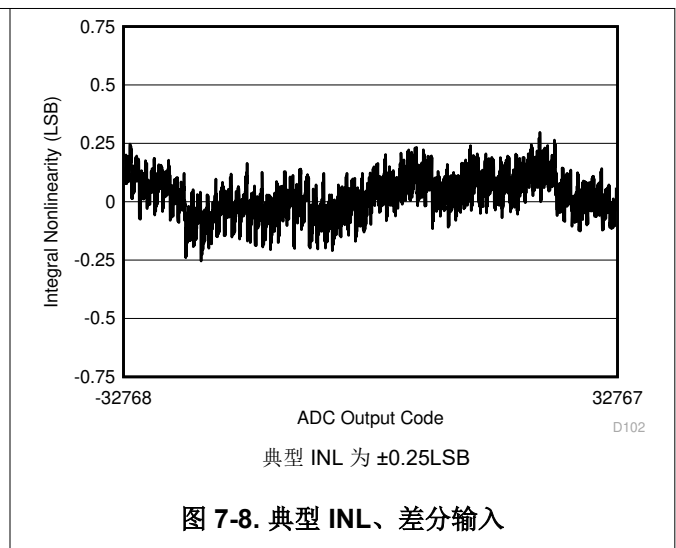
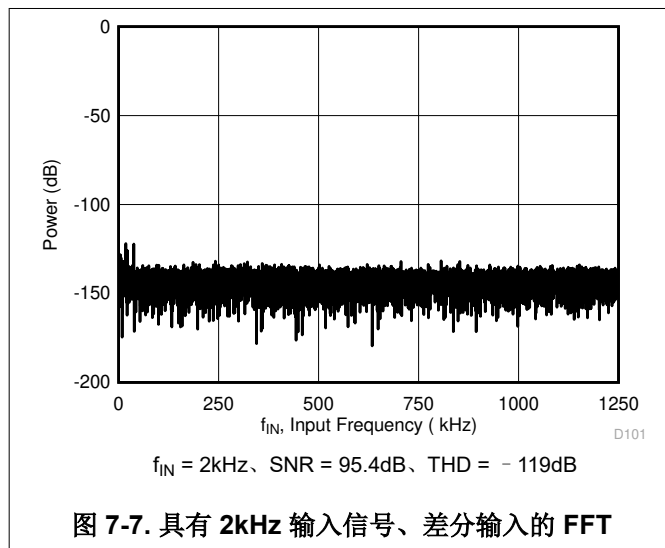
在这两个应用中，输入信号在进入 ADC 之前通过一个高带宽、低失真、全差分放大器 (FDA) (采用反相增益配置设计) 和一个低通 RC 滤波器进行处理。一般来说，输入驱动器的失真必须比 ADC 失真至少小 10dB。通过在反相增益配置中使用 FDA，可为电路建立固定共模电平，从而消除共模信号变化引起的失真。这种配置还消除了放大器输入端对轨到轨摆幅的要求。因此，这些电路使用低功耗 THS4551 作为输入驱动器，由于其极低的失真和高带宽规格，可提供出色的交流性能。此外，带电荷反冲滤波器的元件可在不增加输入信号失真的情况下，将前端电路的噪声保持在较低水平。环路电阻器中的 $10\ \Omega$ 可在驱动容性负载时提高 THS4551 的相位裕度。

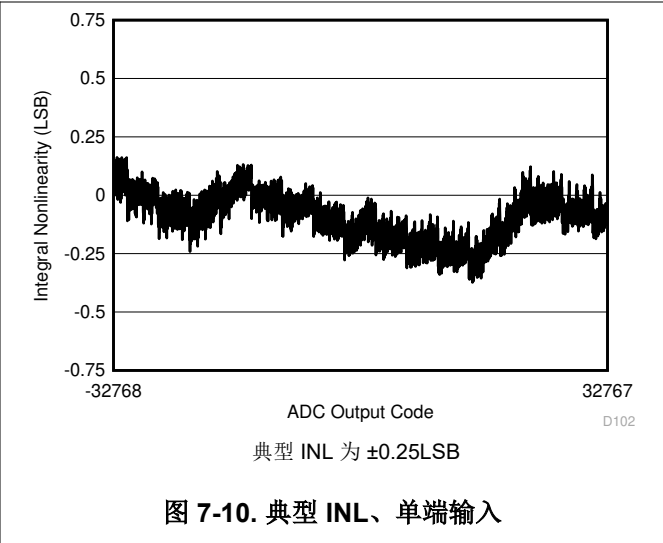
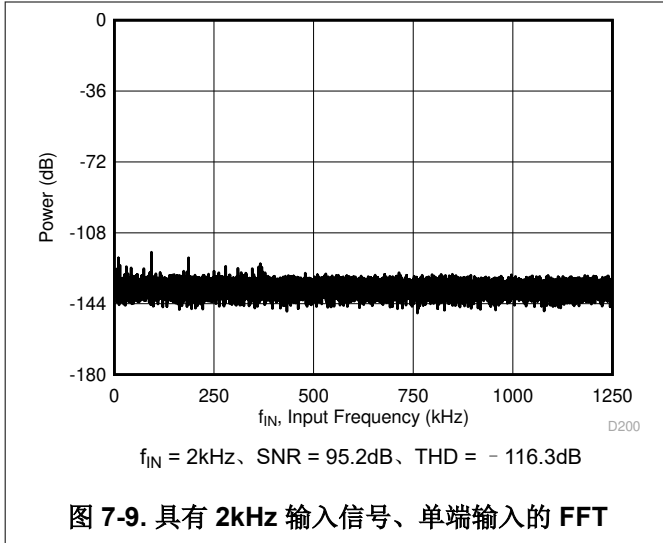
图 7-5 中的电路显示了一个全差分数据采集 (DAQ) 模块，该模块基于 THS4551 和 REF6045 以及 ADS9120 而构建，经优化设计可实现低失真、低噪声性能表现。此前端电路配置需要 FDA 输入端的差分信号并提供差分输出以驱动 ADC 输入。提供给 ADC 的输入信号的共模电压由 THS4551 的 V_{OCM} 引脚进行设置。要使用 ADC 的完整动态范围，可以使用简单的电阻分压器将 V_{OCM} 设置为 $V_{REF}/2$ 。

图 7-6 中的电路显示了一个单端转差动 DAQ 模块，该模块基于 THS4551 和 REF6045 以及 ADS9120 而构建，经过优化设计可实现低失真、低噪声性能表现。此前端电路配置需要 FDA 输入端的单端交流信号并需提供差分输出以驱动 ADC 输入。提供给 ADC 的输入信号的共模电压由 THS4551 的 V_{OCM} 引脚进行设置。要使用 ADC 的完整动态范围，可以使用简单的电阻分压器将 V_{OCM} 设置为 $V_{REF}/2$ 。

此外，抗混叠滤波器的元件可在不增加输入信号失真的情况下，将前端电路的噪声保持在较低水平。

7.2.2.3 应用曲线





8 电源相关建议

该器件具有两个独立的电源：AVDD 和 DVDD。器件内部电路使用 AVDD 电源运行，而 DVDD 电源用于数字接口。AVDD 和 DVDD 可以单独设定为允许范围内的任意值。

8.1 电源去耦

AVDD 和 DVDD 电源引脚不能共用同一个去耦电容器。如图 8-1 中所示，建议使用单独的 1 μ F 陶瓷电容器。这些电容器可避免由转换和数据传输期间的动态电流引起的数字和模拟电源串扰。

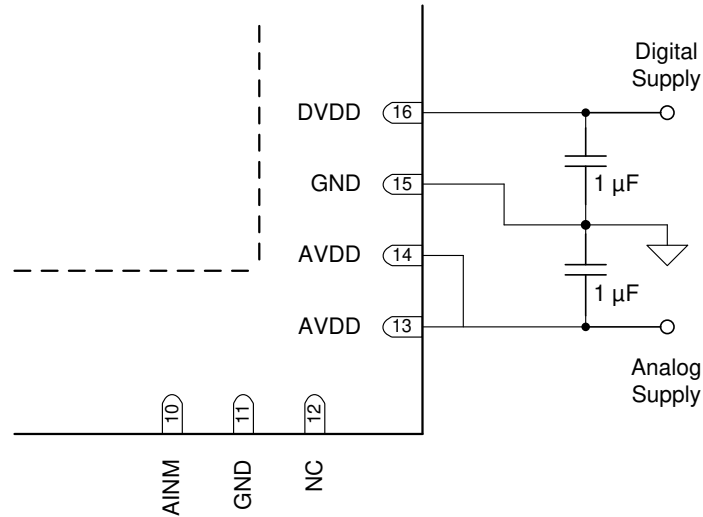


图 8-1. 电源去耦

8.2 节能

在正常运行模式下，器件在各个转换之间不会掉电，因此可实现 2.5 MSPS 高吞吐量。但是，该器件能够提供两种可编程低功耗模式（NAP 和 PD），当器件以较低的吞吐率运行时，可降低功耗。图 8-2 显示了器件不同模式之间的功耗对比。

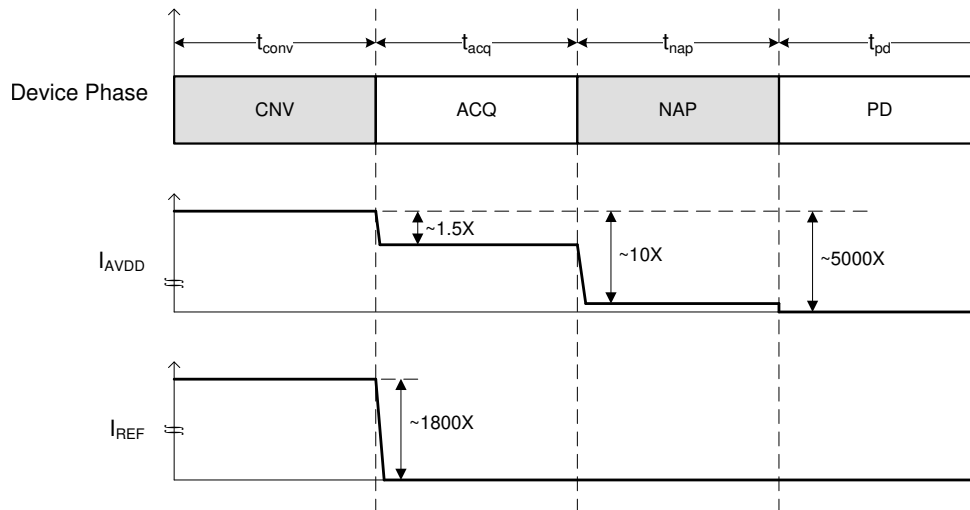


图 8-2. 不同工作模式下的功耗

8.2.1 NAP 模式

在 NAP 模式下，器件的一些内部块会断电以降低 ACQ 状态下的功耗。

要启用 NAP 模式，请在 PD_CNTL 寄存器中设置 NAP_EN 位。要进入 NAP 模式，需在转换过程结束时使 CONVST 引脚保持高电平。然后，器件在转换结束时进入 NAP 模式，并在 CONVST 引脚保持高电平时保持在 NAP 模式。

CONVST 下降沿可使器件退出 NAP 模式；但是，主机控制器仅在经过 t_{nap_wkup} 时间后才能启动新的转换（CONVST 上升沿）。

图 8-3 显示了启用 NAP 模式 (NAP_EN = 1b) 时的典型转换周期。

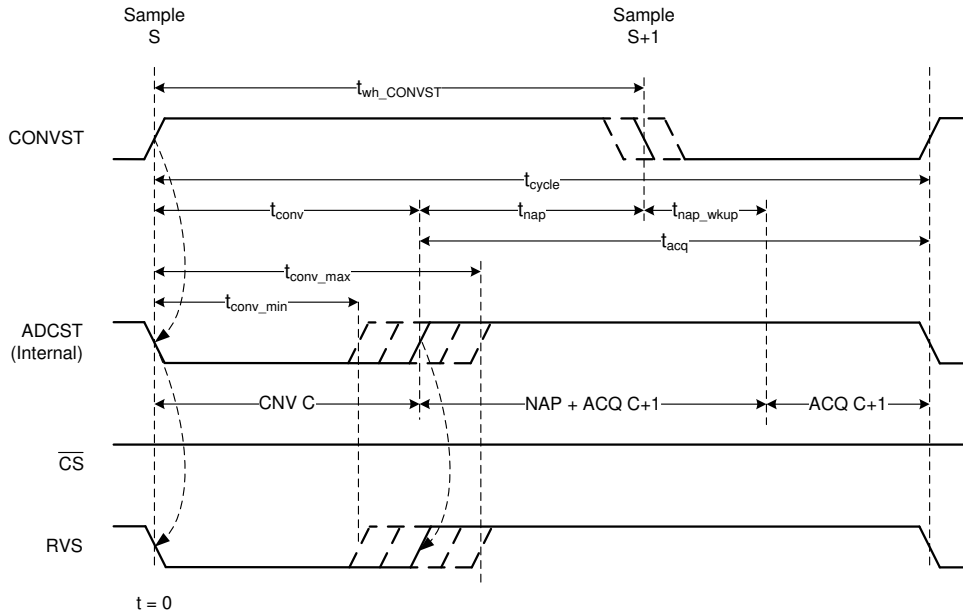


图 8-3. 启用 NAP 的转换周期

转换时间由方程式 17 指定。

$$t_{cycle} = t_{conv} + t_{nap} + t_{nap_wkup} \tag{17}$$

在较低的吞吐量下，循环时间 (t_{cycle}) 增加，但转换时间 (t_{conv}) 保持不变，因此器件将有更多时间处于 NAP 模式，从而实现吞吐量随功耗动态调节，如图 8-4 中所示。

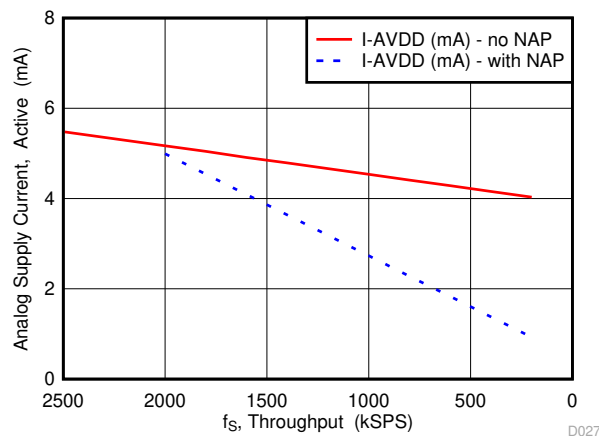


图 8-4. 在 NAP 模式下实现吞吐量随功耗动态调节

8.2.2 PD 模式

该器件还具有深度掉电模式 (PD)，可在超低吞吐率下降低功耗。

进入 PD 模式：

1. 将 069h 写入地址 011h，以解锁 [PD_CNTL 寄存器](#)。
2. 设置 [PD_CNTL 寄存器](#) 中的 PDWN 位。器件在 $\overline{\text{CS}}$ 上升沿进入 PD 模式。

在 PD 模式下，器件内的所有模拟块都会掉电。所有寄存器内容都会保留，并且接口将保持活动状态。

退出 PD 模式：

1. 复位 [PD_CNTL 寄存器](#) 中的 PDWN 位。
2. RVS 引脚变为高电平，表示器件已完成命令处理并开始退出 PD 模式。但主机控制器必须等待 t_{PWRUP} 时间结束，然后才启动新的转换。

9 布局

9.1 布局指南

本部分提供了一些使用 ADS9120 器件实现最佳性能的布局指南建议。

9.1.1 信号路径

如图 9-1 中所示，模拟输入和基准信号以与数字连接相反的方向布线。这种安排可防止数字开关活动产生的噪声耦合到敏感的模拟信号中。

9.1.2 接地和 PCB 堆叠

低电感接地对于实现出色性能至关重要。接地电感通过 15mil 接地过孔和具有至少四层的印刷电路板 (PCB) 布局设计保持在 1nH 以下。将信号链的所有关键元件放置在顶层，并具有来自后续内层的实心模拟接地端，从而更大幅度地缩短接地过孔长度。

ADS9120 的引脚 11 和 15 通过在 ADS9120 散热焊盘上放置至少四个 8mil 接地过孔，可以以极低的电感轻松接地。然后，引脚 11 和 15 可以直接连接到接地热路径。

9.1.3 电源去耦

将 AVDD 和 DVDD 电源去耦电容器放置在距离电源引脚 20mil 的位置，并使用 15mil 过孔从每个电容器接地。避免在任何电源引脚及其去耦电容器之间放置过孔。

9.1.4 基准解耦

在转换阶段，REFP 和 REFM 引脚上会出现动态电流，因此需要出色的去耦合才能实现出色性能。建议使用三个额定电压为 10V 的 10 μ F X7R 级陶瓷电容器，如图 9-1 中所示放置。选择 0603 或 0805 尺寸的电容器以将 ESL 保持在低水平。每对的 REFM 引脚必须在接地过孔之前连接到去耦电容器。

9.1.5 差动输入去耦合

动态电流也存在于 ADS9120 的差动模拟输入端。需要 C0G 或 NPO 类型的电容器来解耦这些输入，因为其电容在整个输入电压范围内几乎保持恒定。劣质电容器（例如 X5R 和 X7R）在整个输入电压范围内的电容变化较大，可能会导致 ADS9120 性能下降。

9.2 布局示例

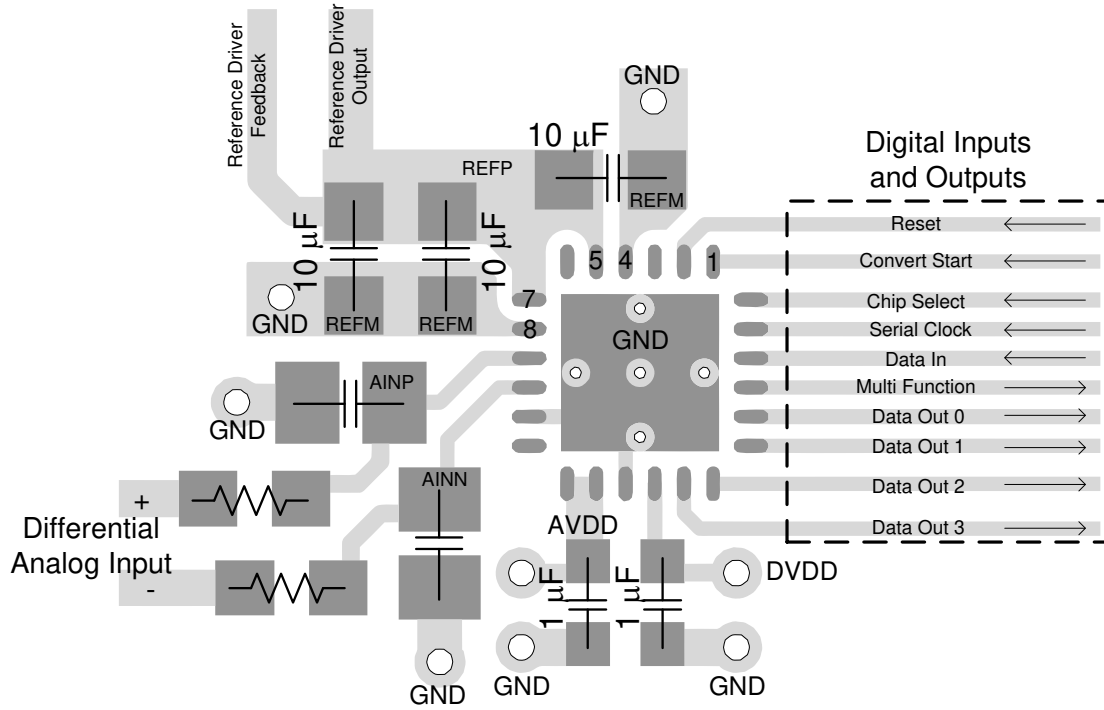


图 9-1. 建议布局

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- [ADS9120EVM-PDK 用户指南](#)
- [可实现极高 SNR 和采样率的 18 位、2MSPS 隔离式数据采集参考设计](#)
- [电压基准对总计谐波失真的影响](#)
- [具有集成 ADC 驱动器缓冲器的 REF60xx 高精度电压基准](#)
- [OPAx625 高带宽、高精度、低 THD+N、16 位和 18 位 ADC 驱动器](#)
- [THS4551 低噪声精密 150MHz 全差分放大器](#)
- [REF50xx 低噪声、极低温漂、高精度电压基准](#)
- [OPAx378 低噪声、900kHz、RRIO 零漂移系列的精密运算放大器](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

multiSPI™, TINA™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2017) to Revision B (April 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

Changes from Revision * (September 2016) to Revision A (June 2017)	Page
• 更改了 <i>说明</i> 部分.....	1
• 更改了 <i>满吞吐量下的 SPI 接口时钟表</i>	1
• 添加了具有 <i>FDA 输入驱动器和单端或差分输入的 DAQ 电路部分</i>	52
• 更改了 <i>相关文档部分</i>	60

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9120IRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ADS9120
ADS9120IRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ADS9120
ADS9120IRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS9120
ADS9120IRGET.A	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS9120

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

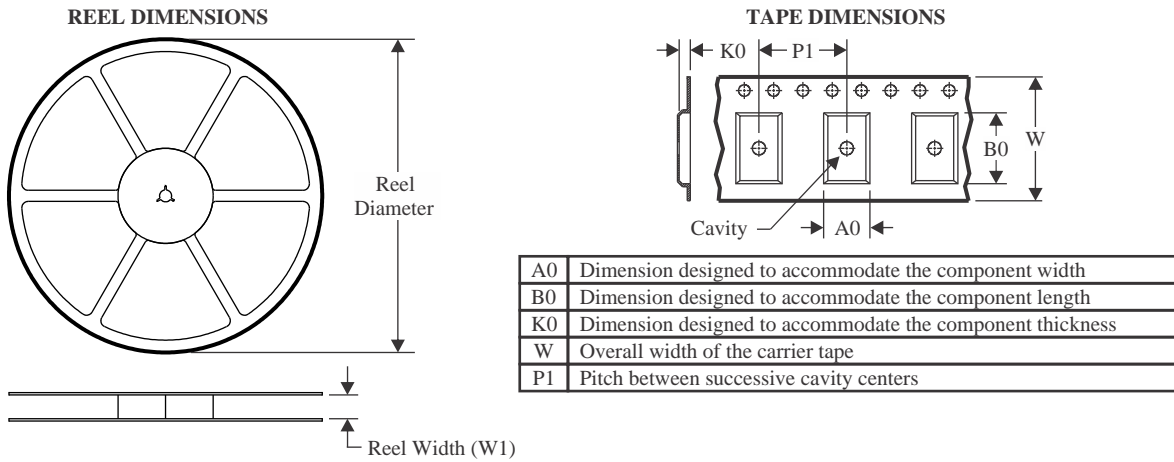
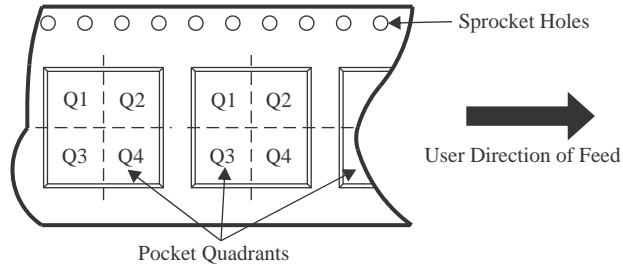
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9120IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS9120IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

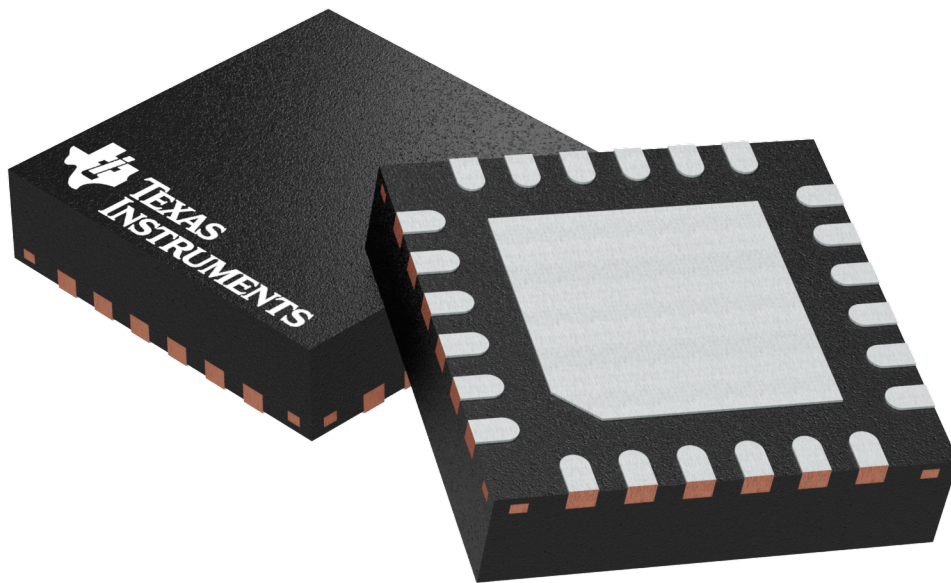
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9120IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
ADS9120IRGET	VQFN	RGE	24	250	210.0	185.0	35.0

RGE 24

GENERIC PACKAGE VIEW

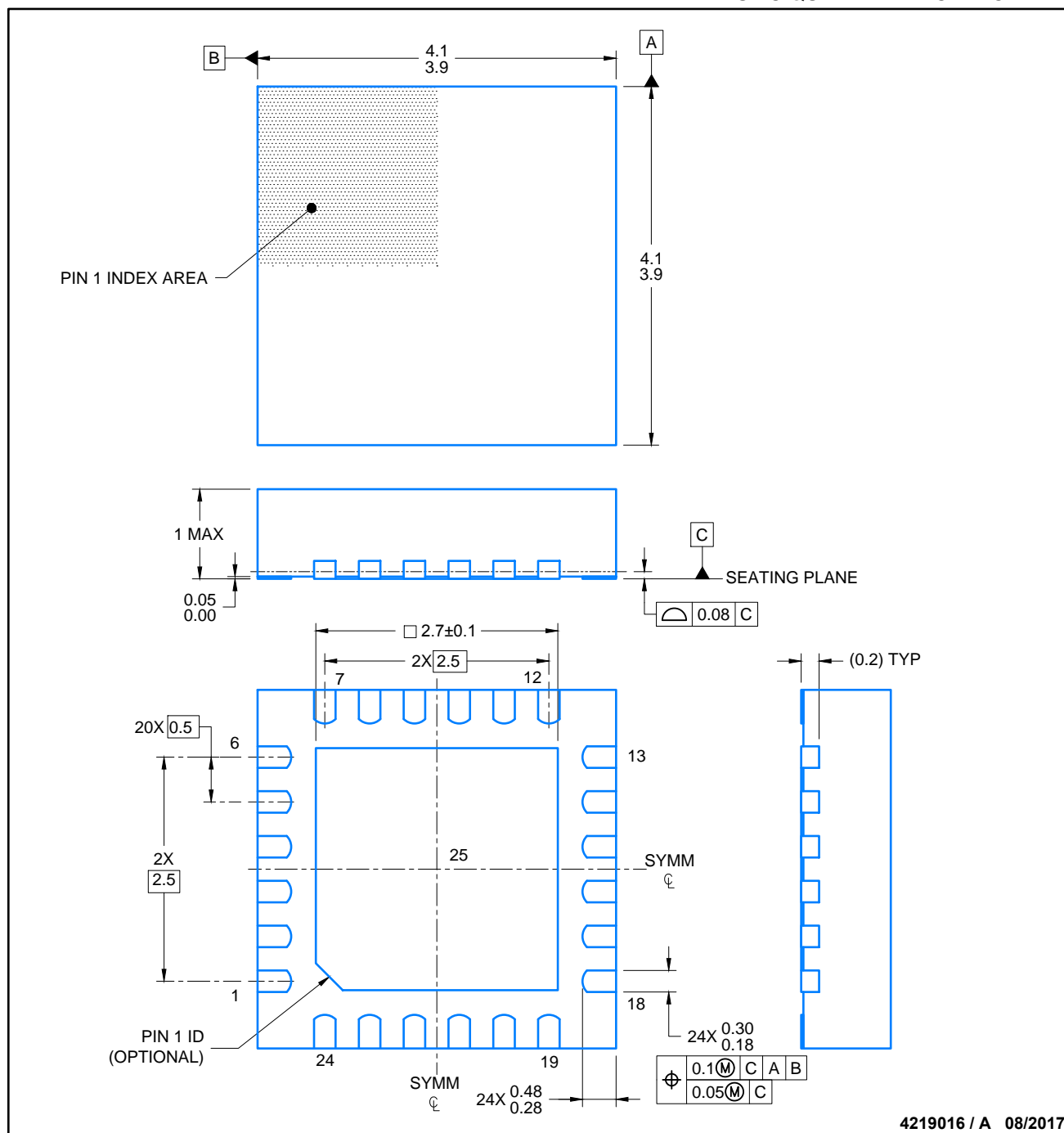
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

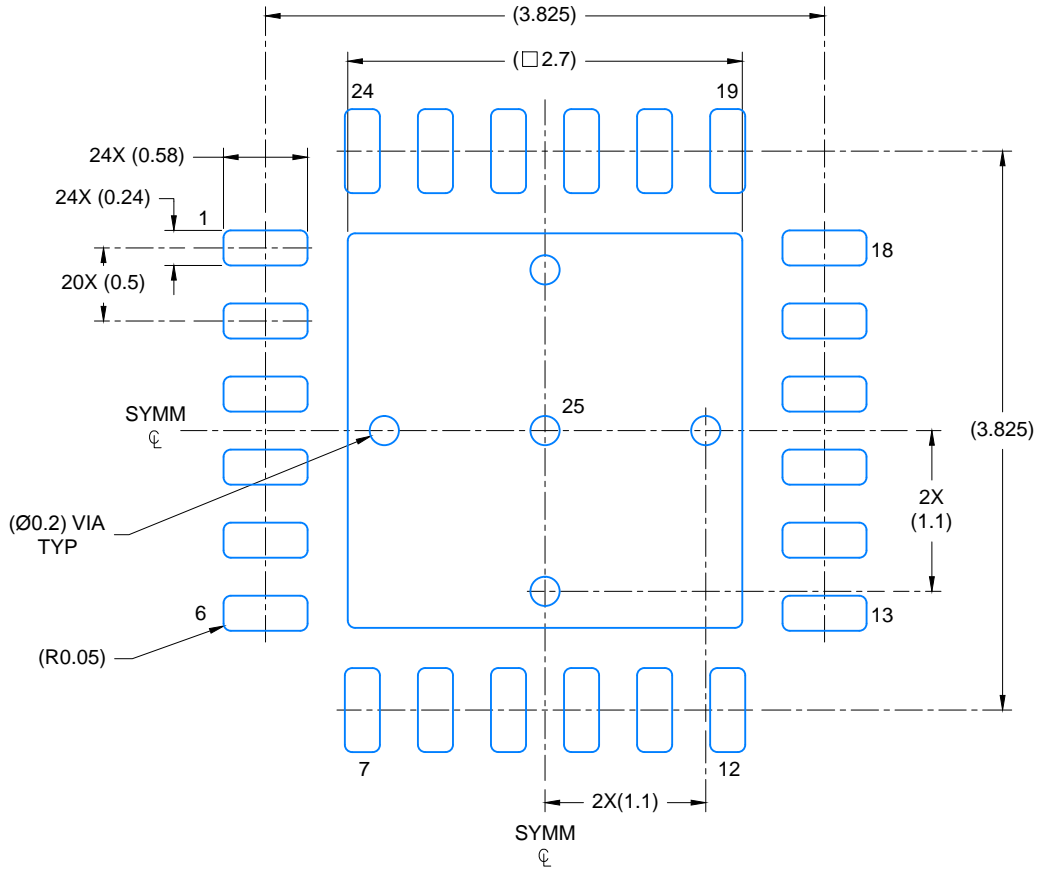
4204104/H



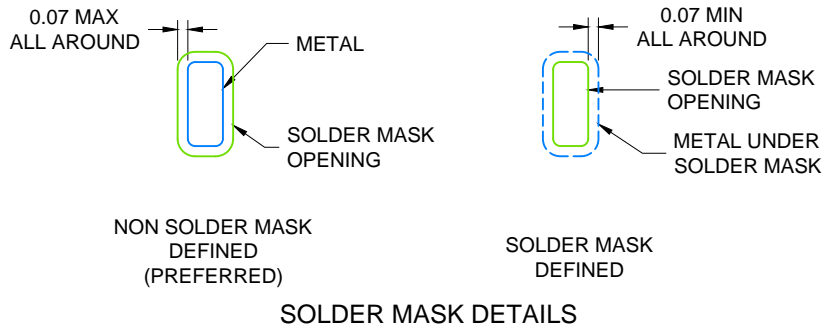
4219016 / A 08/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



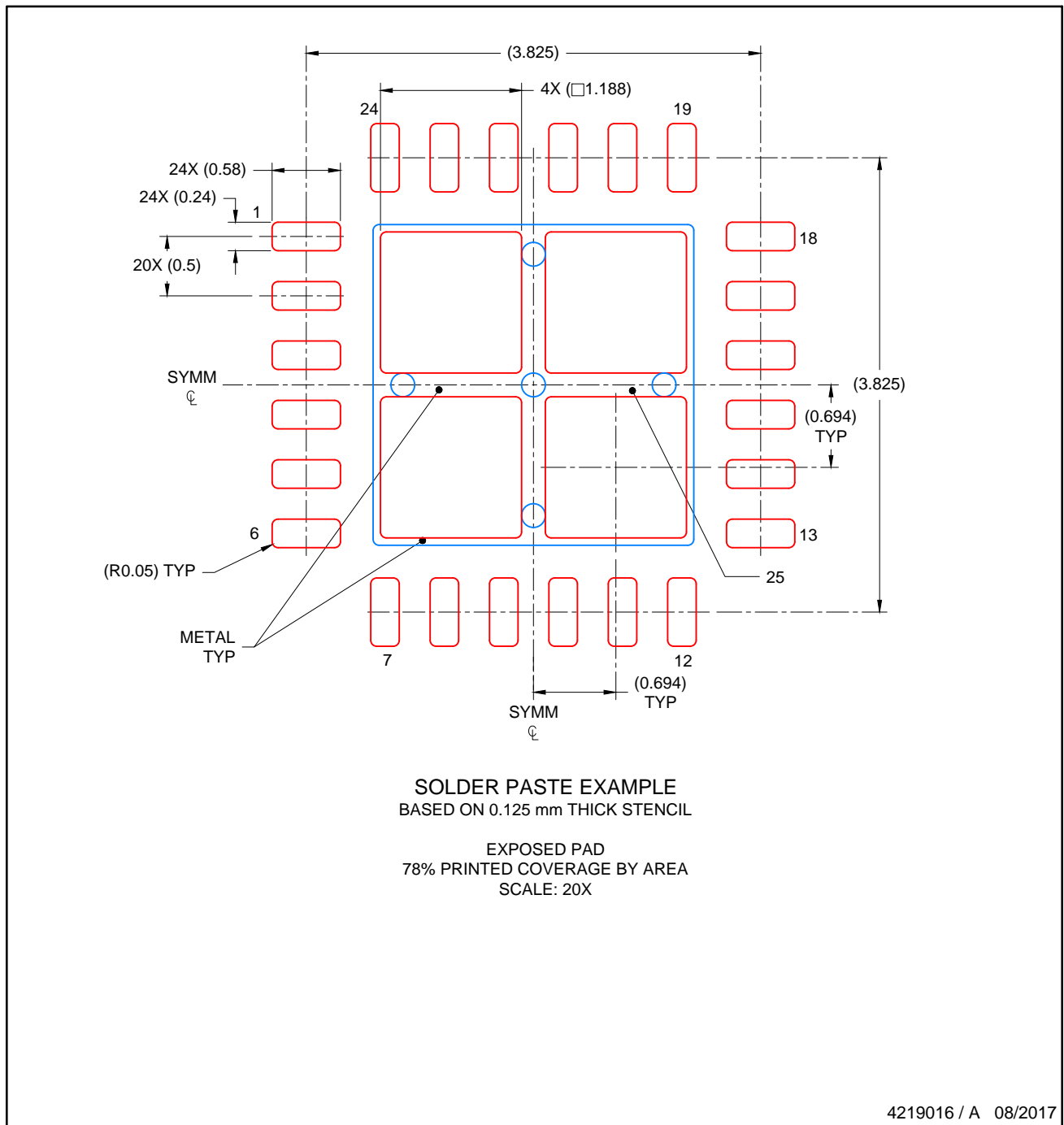
LAND PATTERN EXAMPLE
SCALE: 20X



4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月