CD405xB 具有逻辑电平转换功能的 CMOS 单路 8 通道模拟多路复用器或多路信号分离器

1 特性

- 各种数字和模拟信号电平：
  - 数字：3V 至 20V
  - 模拟：≤ 20V_{P-P}
- 单电源范围：3V 至 20V（VDD < 3V 时，性能会下降）
- 双电源范围：±3V 至 ±10V
- 在 VDD = 15V 时，输入范围内的低导通电阻为 125Ω（典型值）
- 在 VDD = 15V 时，低通道漏电流为 ±10pA（典型值）
- 低静态功耗：0.2µW（典型值）
- 双向信号路径
- ESD 保护 HBM：3000V，CDM：2000V
- 与业界通用的 4051 引脚兼容

2 应用

- 模拟和数字多路复用和多路信号分离
- 模数和数模转换
- 信号门控
- 工厂自动化
- 电视
- 电器
- 消费类音频
- 可编程逻辑电路
- 传感器

3 说明

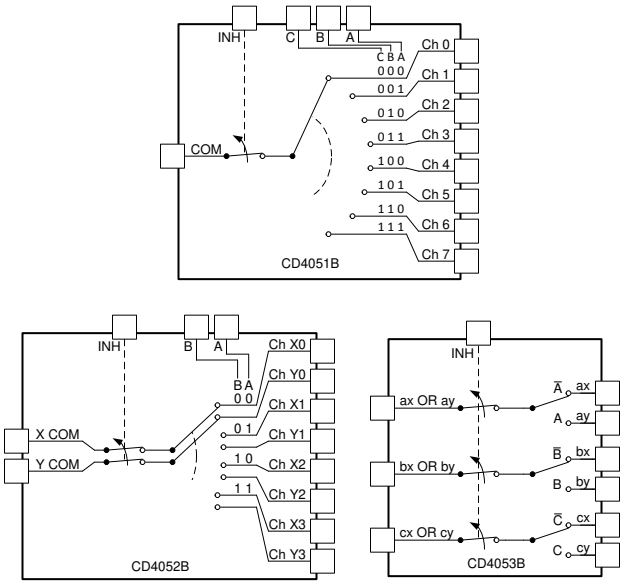
CD405xB 模拟多路复用器和多路信号分离器是数字控制的模拟开关，具有低接通阻抗和极低的关断漏电流。这些多路复用器电路在整个 V_{DD} – V_{SS} 和 V_{DD} – V_{EE} 电源电压范围内，消耗的静态功率极低，而不受控制信号的逻辑状态影响。

封装信息

器件型号	封装 (1)	封装尺寸(2)
CD405xB	J（CDIP、16）	19.50mm × 6.92mm
	N（PDIP、16）	19.3mm × 9.4mm
	D（SOIC，16）	9.9mm × 3.9mm
	NS（SOP，16）	10.2mm × 7.8mm
	PW（TSSOP，16）	5mm × 6.4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



CD4051B 的功能图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 6
5.6 交流性能特性 9
5.7 典型特性 10
6 参数测量信息 10
7 详细说明 14
7.1 概述 14
7.2 功能方框图 15
7.3 特性说明 16
7.4 器件功能模式 17
8 应用和实施 18
8.1 应用信息 18
8.2 典型应用 18
8.3 电源相关建议 19
8.4 布局 20
9 器件和文档支持 21
9.1 文档支持 21
9.2 接收文档更新通知 21
9.3 支持资源 21
9.4 商标 21
9.5 静电放电警告 21
9.6 术语表 21
10 修订历史记录 22
11 机械、封装和可订购信息 22

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

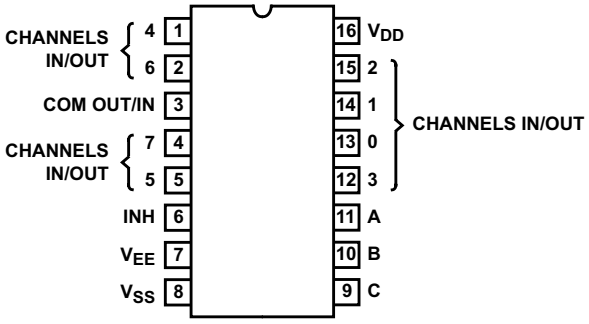


图 4-1. CD4051B E、M、NS 和 PW 封装，16 引脚 PDIP、CDIP、SOIC、SOP 和 TSSOP（俯视图）

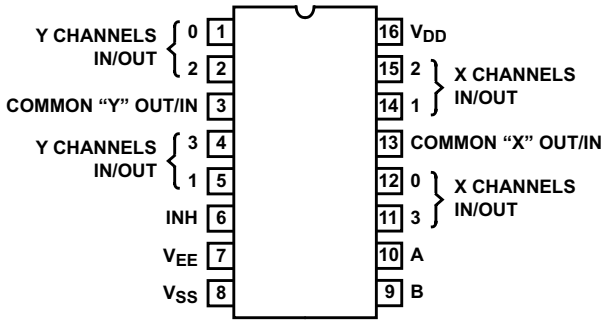


图 4-2. CD4052B E、M、NS 和 PW 封装，16 引脚 PDIP、CDIP、SOIC、SOP 和 TSSOP（俯视图）

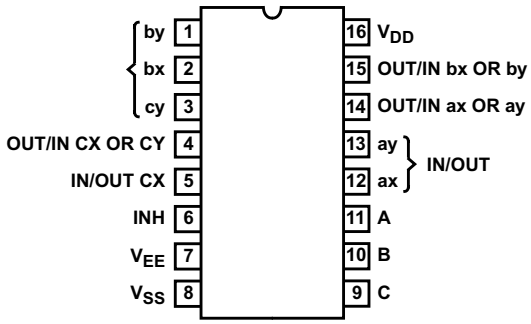


图 4-3. CD4053B E、M、NS 和 PW 封装，16 引脚 PDIP、CDIP、SOIC、SOP 和 TSSOP（俯视图）

表 4-1. 引脚功能 CD4051B

引脚		类型(1)	说明
编号	名称		
1	CH 4 IN/OUT	I/O	通道 4 输入/输出
2	CH 6 IN/OUT	I/O	通道 6 输入/输出
3	COM OUT/IN	I/O	公共输出/输入
4	CH 7 IN/OUT	I/O	通道 7 输入/输出
5	CH 5 IN/OUT	I/O	通道 5 输入/输出
6	INH	I	禁用所有通道。请参阅 表 7-1。
7	V_{EE}	—	负电源输入
8	V_{SS}	—	接地
9	C	I	通道选择 C。请参阅 表 7-1。
10	B	I	通道选择 B。请参阅 表 7-1。
11	A	I	通道选择 A。请参阅 表 7-1。
12	CH 3 IN/OUT	I/O	通道 3 输入/输出
13	CH 0 IN/OUT	I/O	通道 0 输入/输出
14	CH 1 IN/OUT	I/O	通道 1 输入/输出
15	CH 2 IN/OUT	I/O	通道 2 输入/输出
16	V_{DD}	—	正电源输入

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

表 4-2. 引脚功能 CD4052B

引脚		类型(1)	说明
编号	名称		
1	Y CH 0 IN/OUT	I/O	通道 Y0 输入/输出
2	Y CH 2 IN/OUT	I/O	通道 Y2 输入/输出
3	Y COM OUT/IN	I/O	Y 公共输出/输入
4	Y CH 3 IN/OUT	I/O	通道 Y3 输入/输出
5	Y CH 1 IN/OUT	I/O	通道 Y1 输入/输出
6	INH	I	禁用所有通道。请参阅 表 7-1。
7	V_{EE}	—	负电源输入
8	V_{SS}	—	接地
9	B	I	通道选择 B。请参阅 表 7-1。
10	A	I	通道选择 A。请参阅 表 7-1。
11	X CH 3 IN/OUT	I/O	通道 X3 输入/输出
12	X CH 0 IN/OUT	I/O	通道 X0 输入/输出
13	X COM IN/OUT	I/O	X 公共输出/输入
14	X CH 1 IN/OUT	I/O	通道输入/输出
15	X CH 2 IN/OUT	I/O	通道输入/输出
16	V_{DD}	—	正电源输入

(1) I = 输入，O = 输出

表 4-3. 引脚功能 CD4053B

引脚		类型(1)	说明
编号	名称		
1	BY 输入/输出	I/O	B 通道 Y 输入/输出
2	BX 输入/输出	I/O	B 通道 X 输入/输出
3	CY 输入/输出	I/O	C 通道 Y 输入/输出
4	CX 或 CY 输出/输入	I/O	C 公共输出/输入
5	CX 输入/输出	I/O	C 通道 X 输入/输出
6	INH	I	禁用所有通道。请参阅 表 7-1。
7	V_{EE}	—	负电源输入
8	V_{SS}	—	接地
9	C	I	通道选择 C。请参阅 表 7-1。
10	B	I	通道选择 B。请参阅 表 7-1。
11	A	I	通道选择 A。请参阅 表 7-1。
12	AX 输入/输出	I/O	A 通道 X 输入/输出
13	AY 输入/输出	I/O	A 通道 Y 输入/输出
14	AX 或 AY 输出/输入	I/O	A 公共输出/输入
15	BX 或 BY 输出/输入	I/O	B 公共输出/输入
16	V_{DD}	—	正电源输入

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

			最小值	最大值	单位
	电源电压	V+ 至 V-，电压以 V_{SS} 端子为基准	-0.5	20	V
	DC 输入电压		-0.5	V_{DD}+0.5	V
	直流输入电流	任意一个输入	-10	10	mA
T_{JMAX1}	最大结温，陶瓷封装			175	°C
T_{JMAX2}	最大结温，塑料封装			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*规定范围的应力可能会对器件造成永久性损坏。这些仅为应力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非另有说明，否则所有电压均以接地为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±3000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±2000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
温度范围	-55		125	°C

5.4 热性能信息

热指标(1)		CD405x				单位
		E (PDIP)	M (SOIC)	NS (SOP)	PW (TSSOP)	
		16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	67	73	64	116.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）(1)

参数	测试条件					最小值	典型值	最大值	单位
信号输入 (V_{IS}) 和输出 (V_{OS})									
	V_{IS} (V)	**V_{EE} (V)**	**V_{SS} (V)**	**V_{DD} (V)**	**TEMP**				
静态器件电流，I_{DD} 最大值		0V	0V	5V	-55°C			60	μA
					-40°C			60	
					25°C		17	60	
					85°C			150	
					125°C			150	
		0V	0V	10V	-55°C			60	
					-40°C			60	
					25°C		18	60	
					85°C			300	
					125°C			300	
		0V	0V	15V	-55°C			60	
					-40°C			60	
					25°C		18	60	
					85°C			600	
					125°C			600	
		0V	0V	20V	-55°C			100	
					-40°C			100	
					25°C		18	100	
					85°C			3000	
					125°C			3000	
漏源导通电阻 r_{ON} 最大值 $0 \leqslant V_{IS} \leqslant V_{DD}$		0V	0V	5V	-55°C			800	Ω
					-40°C			850	
					25°C		470	1050	
					85°C			1200	
					125°C			1300	
		0V	0V	10V	-55°C			310	
					-40°C			300	
					25°C		180	400	
					85°C			520	
					125°C			550	
		0V	0	15V	-55°C			200	
					-40°C			210	
					25°C		125	240	
					85°C			300	
					125°C			300	
导通电阻变化（任意两个通道之间）、ΔR_{ON}		0V	0V	5V	25°C		15		Ω
		0V	0V	10V			10		
		0V	0V	15V			5		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）(1)

参数			测试条件					最小值	典型值	最大值	单位
关闭通道泄漏电流：任何通道关闭（最大值） 或所有通道关闭（公共输出/输入）（最大值）				0V	0V	18V	-55°C			±100	nA
							-40°C			±100	
							25°C		±0.3	±100 (2)	
							85°C			±1000 (2)	
							125°C			±1000 (2)	
开启通道泄漏电流任何通道开启（最大值）或 所有通道开启（公共输出/输入）（最大值）			5 或 0	-5V	0V	10.5V	85°C			±300	nA
			5	0V	0V	18V	85°C			±300	
电容	输入，C_{IS}			0V	0V	10V	25°C		5		pF
	输出，C_{OS}	CD4051							30		
	输出，C_{OS}	CD4052							18		
	输出，C_{OS}	CD4053							9		
	馈通、C_{IOS}								0.2		
传播延迟			V_{DD}	R_L = 200kΩ		5V	25°C		30	60	ns
				C_L = 50pF		10V			15	30	
				t_r，t_f = 20ns		15V			10	20	
控制（地址或抑制），V_C											
输入低电压，V_{IL}，最大值						5V	-55°C		0.8		V
							-40°C		0.8		
							25°C			0.8	
							85°C		0.8		
							125°C		0.8		
						10V	-55°C		0.8		
							-40°C		0.8		
							25°C			0.8	
							85°C		0.8		
							125°C		0.8		
						15V	-55°C		0.8		
							-40°C		0.8		
							25°C			0.8	
							85°C		0.8		
							125°C		0.8		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）(1)

参数		测试条件					最小值	典型值	最大值	单位
输入高电压，V_{IH}，最小值					5V	-55°C		3.5		V
						-40°C		3.5		
						25°C	3.5			
						85°C		3.5		
						125°C		3.5		
					10V	-55°C		7		
						-40°C		7		
						25°C	7			
						85°C		7		
						125°C		7		
					15V	-55°C		11		
						-40°C		11		
						25°C	11			
						85°C		11		
						125°C		11		
输入电流，I_{IN}（最大值）		V_{IN} = 0, 18			18V	-55°C			±1	μA
						-40°C			±1	
						25°C		±0.6	±1	
						85°C			±1	
						125°C			±1	
传播延迟时间	地址到信号输出（通道打开或关闭）（请参阅图 10、图 11 和图 15）	t_r，t_f = 20ns，C_L = 50pF，R_L = 10kΩ	0V	0V	5V			450	720	ns
			0V	0V	10V			160	320	
			0V	0V	15V			120	240	
			-5V	0V	5V			225	450	
传播延迟时间	抑制到信号输出（通道开启）（请参阅图 11）	t_r，t_f = 20ns，C_L = 50pF，R_L = 1kΩ	0V	0V	5V			400	720	ns
			0V	0V	10V			160	320	
			0V	0V	15V			120	240	
			-10V	0V	5V			200	400	
传播延迟时间	抑制到信号输出（通道关闭）（请参阅图 17）	t_r，t_f = 20ns，C_L = 50pF，R_L = 10kΩ	0V	0V	5V			200	450	ns
			0V	0V	10V			90	210	
			0V	0V	15V			70	160	
			-10V	0V	5V			130	300	
输入电容，C_{IN}（任何地址或抑制输入）			-5V	0V	5V	25°C		5	7.5	pF

(1) 峰峰值电压以 (V_{DD} – V_{EE})/2 为中心具有对称性。
(2) 根据自动测试的最小可行漏电测量值确定。

Copyright © 2026 Texas Instruments Incorporated

5.6 交流性能特性

V_{DD} = +15V，V_{SS} = V_{EE} = 0V，T_A = 25℃（除非另有说明）

参数	测试条件					典型值	单位
	V_{IS} (V)	**V_{DD} (V)**	**R_L (kΩ)**				
截止（–3dB）频率通道开启（正弦波输入）	5(1)	10	1	公共输出/输入端的 V_{OS}	CD4053	30	MHz
		10	1		CD4052	25	
		10	1		CD4051	20	
	V_{EE} = V_{SS}，20Log(V_{OS}/V_{IS}) = –3dB			任意通道的 V_{OS}		60	
总谐波失真 (THD)	2(1)	5	10			0.3%	%
	3(1)	10	10			0.2%	
	5(1)	15	10			0.12%	
	V_{EE} = V_{SS}，f_{IS} = 1kHz 正弦波						
–40dB 馈通频率（所有通道关闭）	5(1)	10	1	公共输出/输入端的 V_{OS}	CD4053	8	MHz
	V_{EE} = V_{SS}，20Log(V_{OS}/V_{IS}) = –40dB				CD4052	10	
					CD4051	12	
				任意通道的 V_{OS}		8	
–40dB 信号串扰频率	5(1)	10	1			3	MHz
	V_{EE} = V_{SS}，20Log(V_{OS}/V_{IS}) = –3dB			各部分之间的差异，仅限 CD4052	共同测量	6	
					在任意通道上测量	10	
				两个部分之间的差异，仅限 CD4053	输入引脚 2 和输出引脚 14	2.5	
					输入引脚 15 和输出引脚 14	6	
地址或抑制信号串扰		10	10(2)			65	mV_{PEAK}
	V_{EE} = 0，V_{SS} = 0，t_r，t_f = 20ns，mVPEAK V_{CC} = V_{DD} – V_{SS}（方波）					65	mV_{PEAK}

(1) 峰峰值电压以 (V_{DD} - V_{EE})/2 为中心具有对称性。
(2) 通道的两端。

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

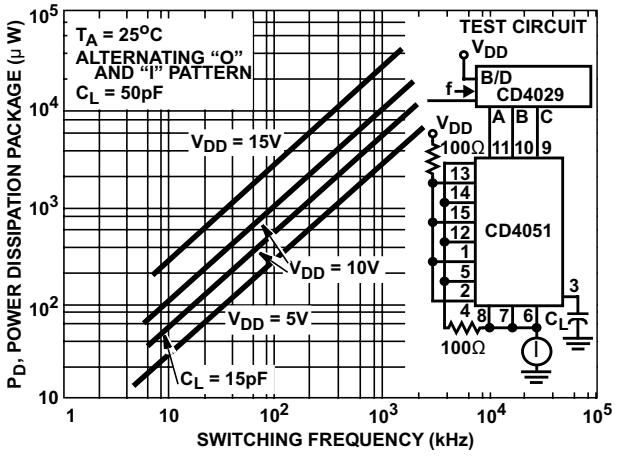


图 5-1. 动态功率耗散与开关频率间的关系 (CD4051B)

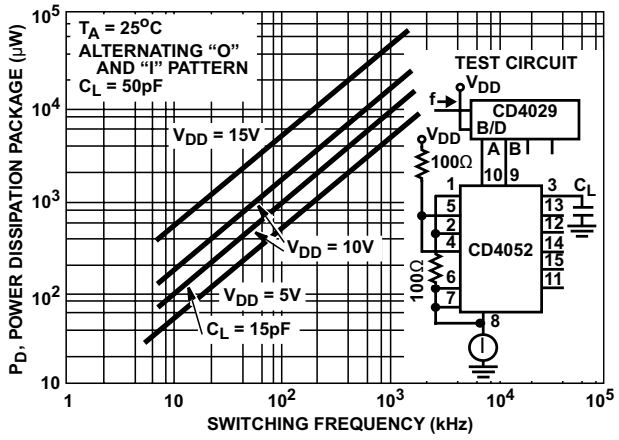


图 5-2. 动态功率耗散与开关频率间的关系 (CD4052B)

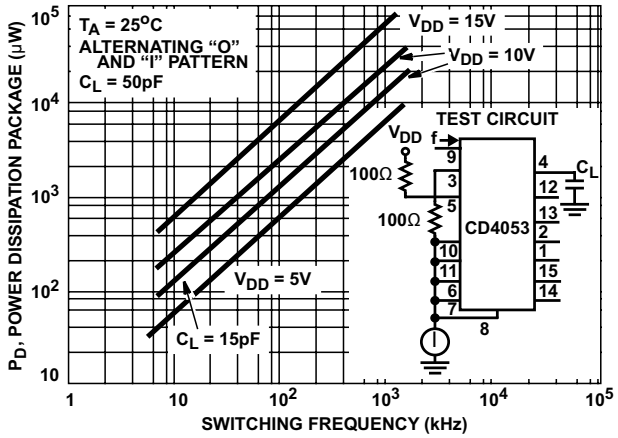


图 5-3. 动态功率耗散与开关频率间的关系 (CD4053B)

6 参数测量信息

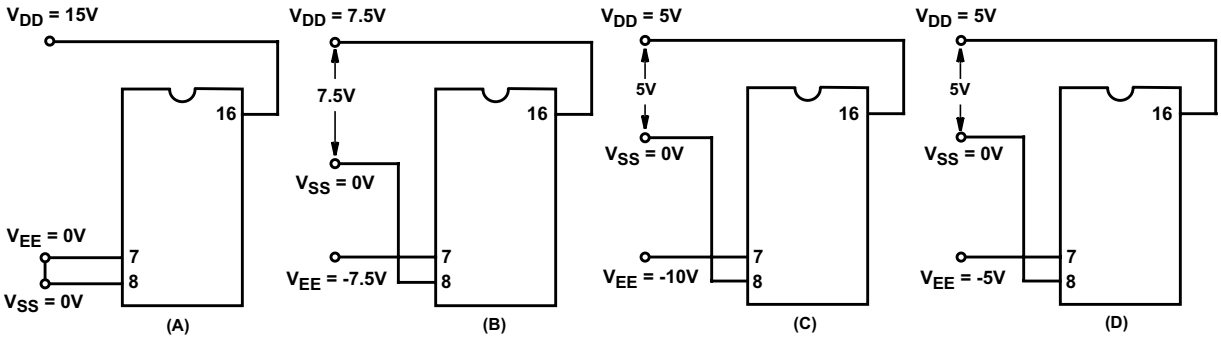


图 6-1. 典型偏置电压

备注

地址（数字控制输入）和抑制逻辑电平为：0 = V_{SS} 和 1 = V_{DD}。模拟信号（通过 TG）可能从 V_{EE} 摆动到 V_{DD}。

Copyright © 2026 Texas Instruments Incorporated

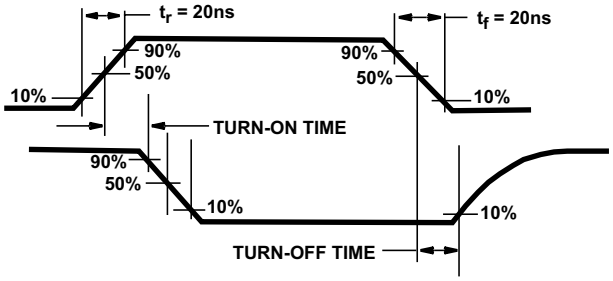


图 6-2. 波形，通道开启 (R_L = 1kΩ)

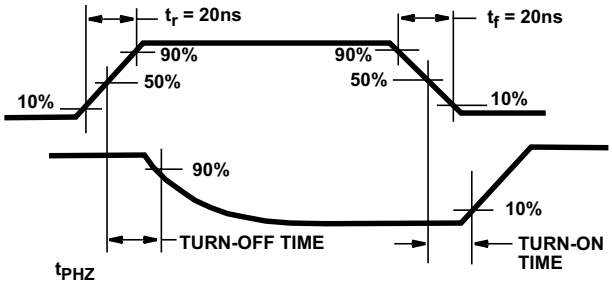


图 6-3. 波形，通道关闭 (R_L = 1kΩ)

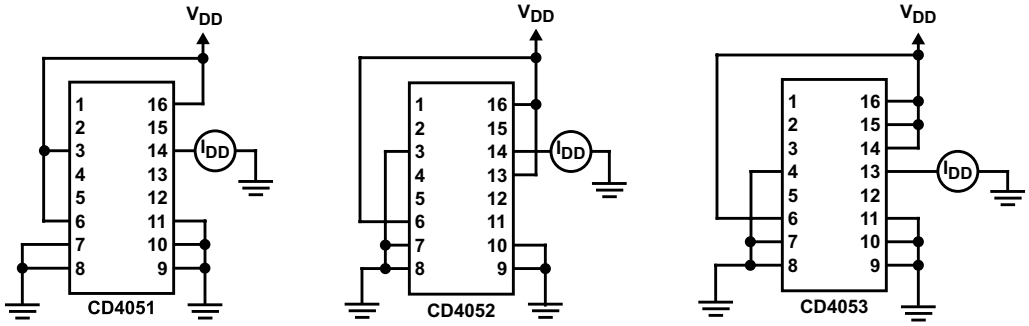
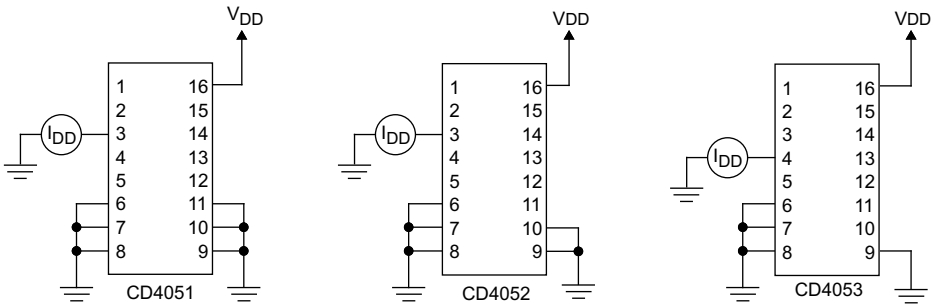


图 6-4. 关闭通道泄漏电流 — 任何通道关闭



Copyright © 2017, Texas Instruments Incorporated

图 6-5. 导通通道泄漏电流 — 任何通道开启

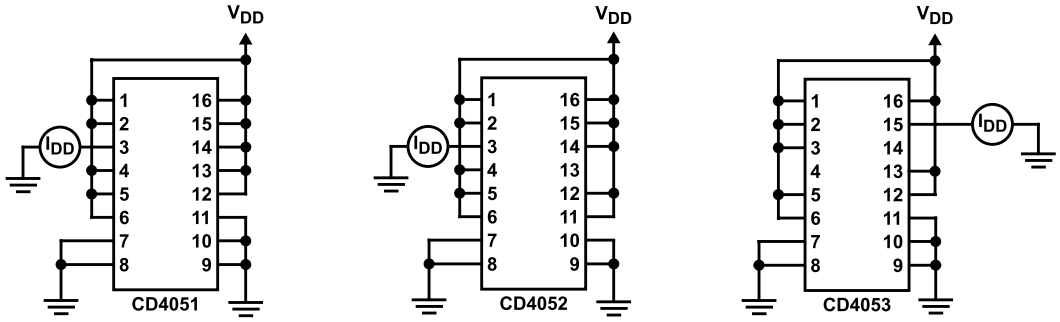


图 6-6. 关闭通道泄漏电流 — 所有通道关闭

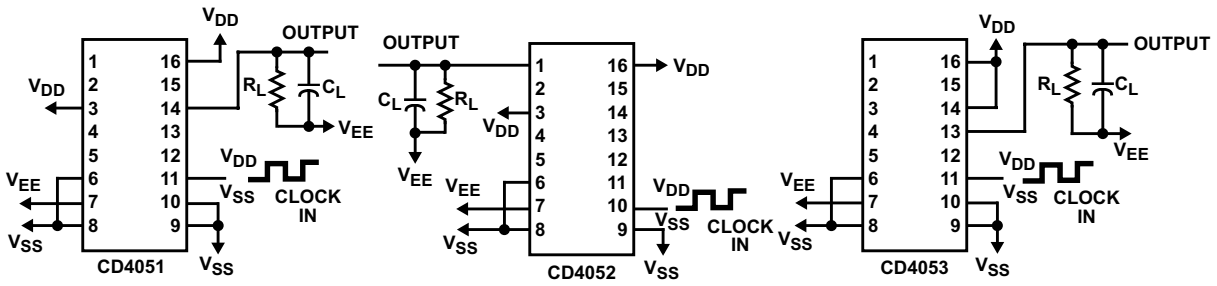


图 6-7. 传播延迟 — 地址输入到信号输出

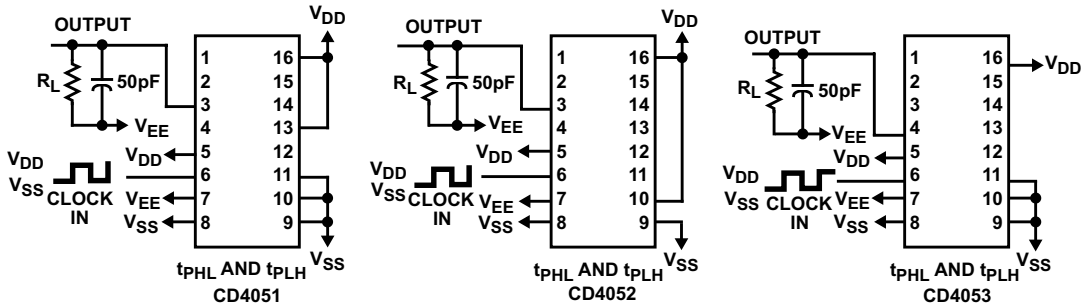


图 6-8. 传播延迟 — 抑制输入到信号输出

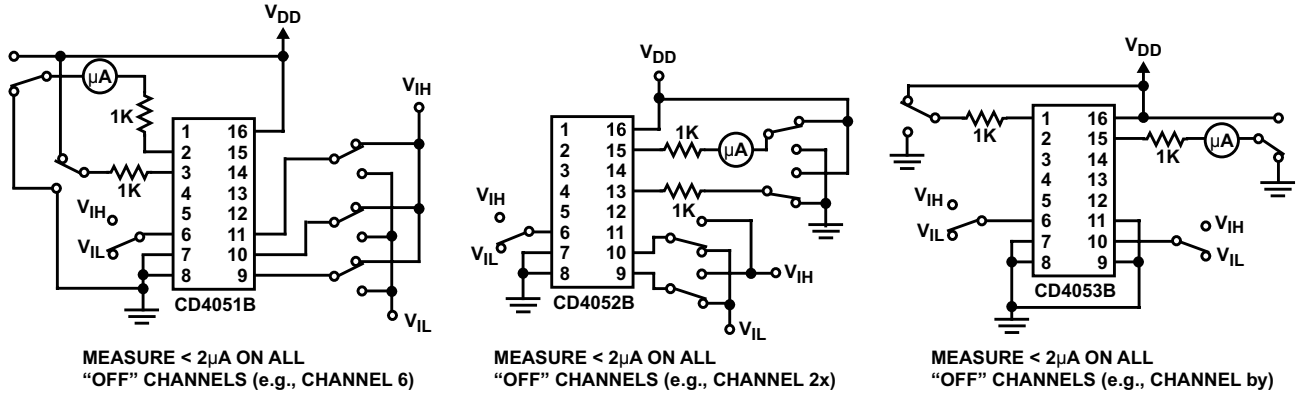
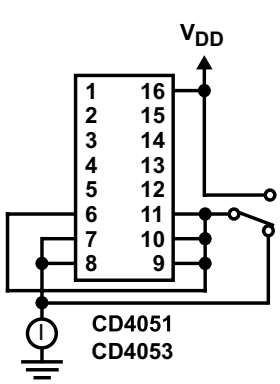


图 6-9. 输入电压测试电路（抗噪）



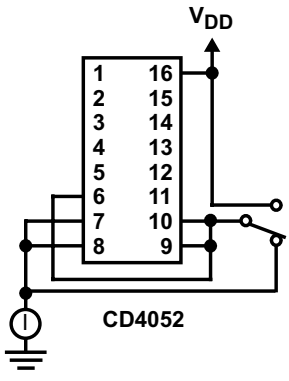


图 6-10. 静态器件电流

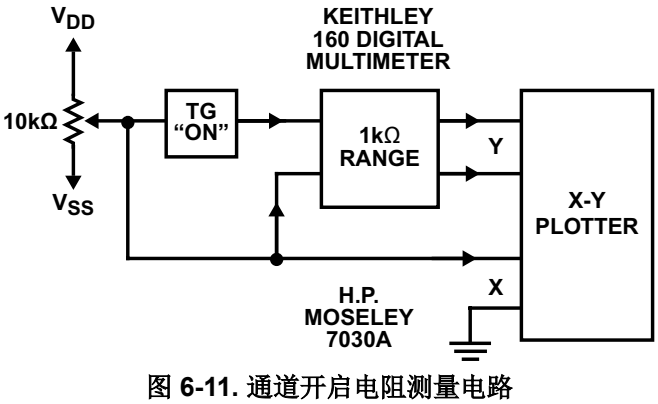


图 6-11. 通道开启电阻测量电路

Copyright © 2026 Texas Instruments Incorporated

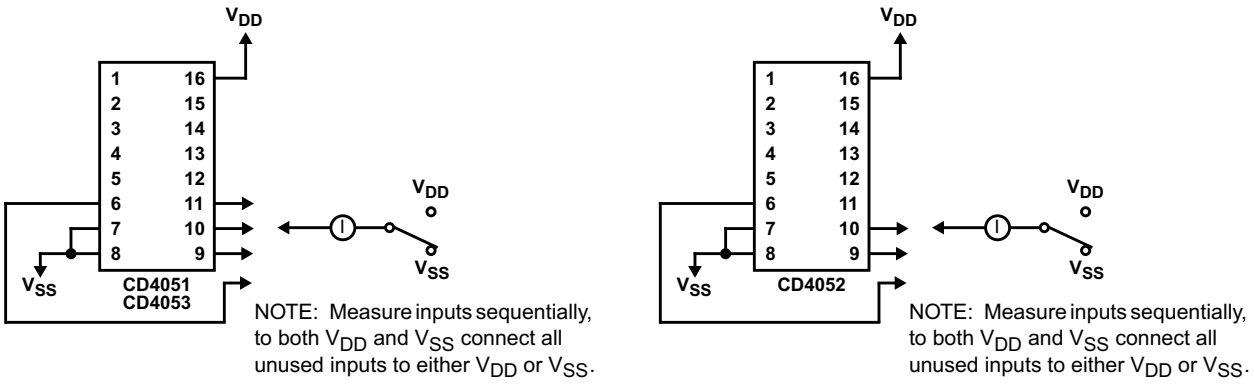


图 6-12. 输入电流

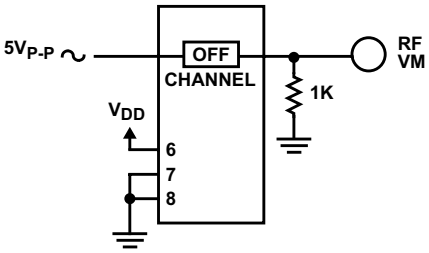


图 6-13. 馈通（所有类型）

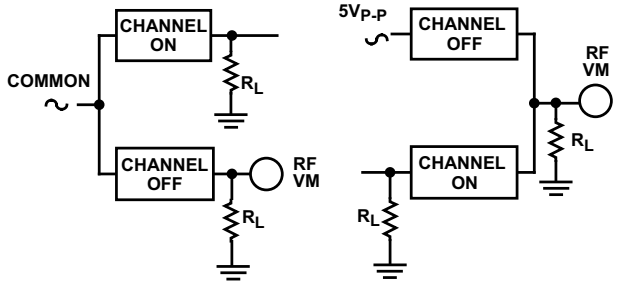
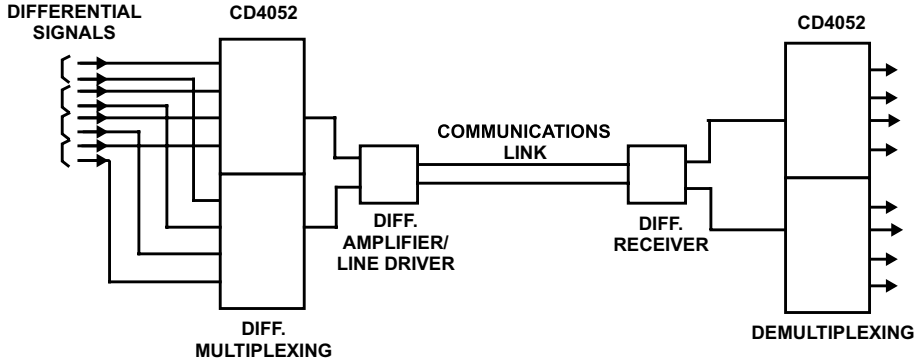


图 6-14. 任意两个通道间的串扰（所有类型）



图 6-15. 双通道或三通道之间的串扰（CD4052B、CD4053B）



特殊注意事项：在使用独立电源来驱动 V_{DD} 和信号输入的应用中，V_{DD} 电流能力应超过 V_{DD}/R_L（R_L =有效外部负载）。在为 CD4051B、CD4052B 或 CD4053B 加电或断电时，此配置可避免 V_{DD} 电源上出现永久电流或钳位动作。

图 6-16. CD4052B 的典型时分应用

Copyright © 2026 Texas Instruments Incorporated

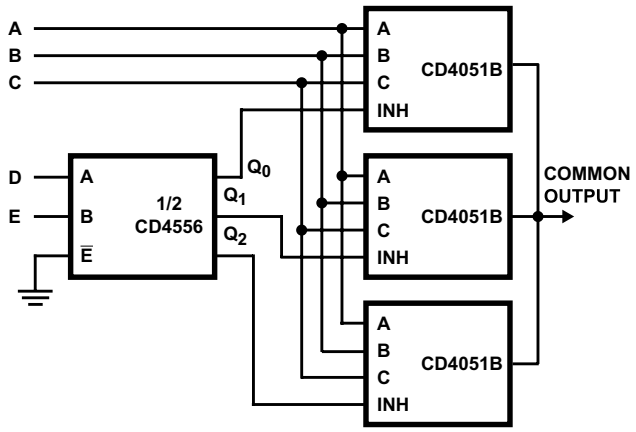


图 6-17. 24 至 1 多路复用器寻址

7 详细说明

7.1 概述

CD4051B 器件是一款单路 8 通道多路复用器，具有 A、B、C 三个二进制控制输入和一个抑制输入。三个二进制信号从 8 个通道中选择 1 个打开，并将 8 个输入中的一个连接至输出。

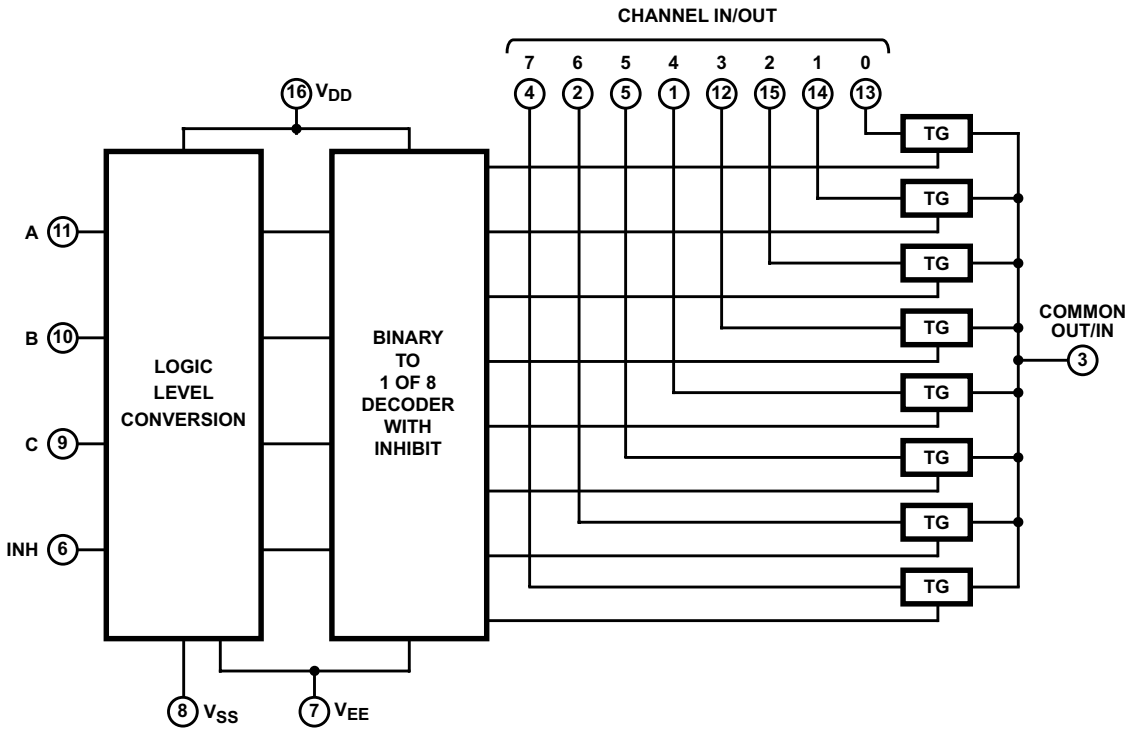
CD4052B 器件是差分 4 通道多路复用器，具有 A 和 B 两个二进制控制输入以及一个抑制输入。两个二进制输入信号从 4 对通道中选择 1 对打开，并将模拟输入连接到输出。

该器件是一款三路 2 通道多路复用器，具有 A、B、C 三个独立的数字控制输入和一个抑制输入。每个控制输入从一对以单刀双掷配置连接的通道中选择一个。

当这些器件用作多路信号分离器时，CHANNEL IN/OUT 端子是输出，COMMON OUT/IN 端子是输入。

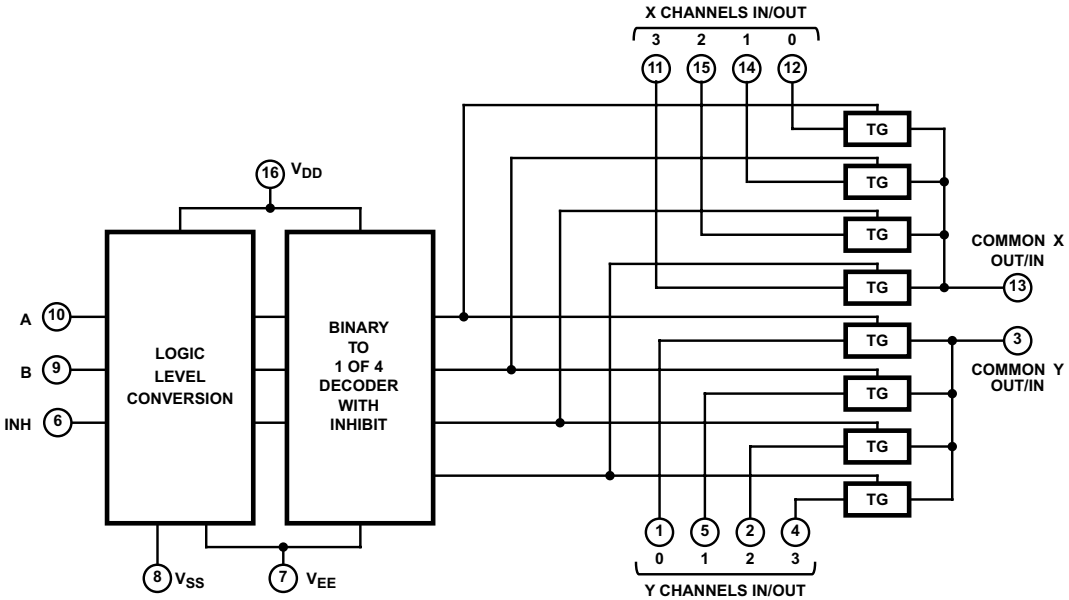
Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



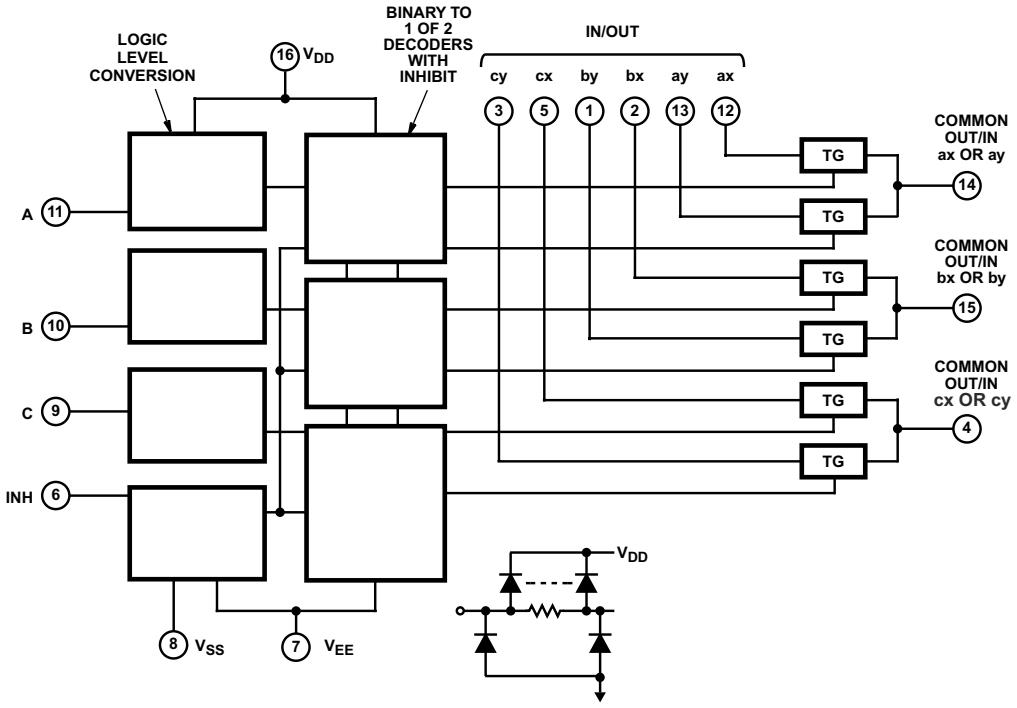
所有输入都受标准 CMOS 保护网络的保护。

图 7-1. 功能方框图，CD4051B



所有输入都受标准 CMOS 保护网络的保护。

图 7-2. CD4052B 功能方框图



所有输入都受标准 CMOS 保护网络的保护。

图 7-3. 功能方框图，CD4053B

7.3 特性说明

CD405xB 多路复用器和多路信号分离器系列可接受各种数字和模拟信号电平。数字信号的范围为 3V 至 20V，且接受的模拟信号电平 ≤ 20V。在 V_{DD} – V_{EE} = 18V 时的 $15V_{P-P}$ 信号输入范围内，该器件具有 125Ω 典型值的低导通电阻。该特性使通过开关的信号损耗非常小。

CD405xB 器件也具有高关断电阻，可以防止器件在开关处于关断位置时浪费电能，V_{DD} – V_{EE} = 18V 时的典型通道泄漏电流为 ±100pA。

芯片上的二进制地址解码使通道选择变得更为简单。当通道发生变化时，先断后合系统可消除通道重叠。

Copyright © 2026 Texas Instruments Incorporated

7.4 器件功能模式

表 7-1. 真值表

输入状态(1)				开启通道
抑制	C	B	A	
CD4051B				
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	无
CD4052B				
0		0	0	0x、0y
0		0	1	1x、1y
0		1	0	2x、2y
0		1	1	3x、3y
1		X	X	无
CD4053B				
0	X	X	0	ax
0	X	X	1	ay
0	X	0	X	bx
0	X	1	X	by
0	0	X	X	cx
0	1	X	X	cy
1	X	X	X	无

(1) X = 无关

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

CD405xB 多路复用器和多路信号分离器可用于各种应用。

8.2 典型应用

CD4051B 的一种应用是将其与微控制器结合使用以对键盘进行轮询。图 8-1 显示了此类轮询系统的基本原理图。在读取输入时、微控制器使用通道选择引脚在不同通道间循环，以查看用户是否按下了任何按键。此应用采用非常稳健的设置，能够以极低的功耗同时进行多个按键操作。这种设置使用的微控制器引脚也非常少。轮询的缺点是微控制器必须持续扫描按键是否按压，在此过程中几乎无法执行其他操作。

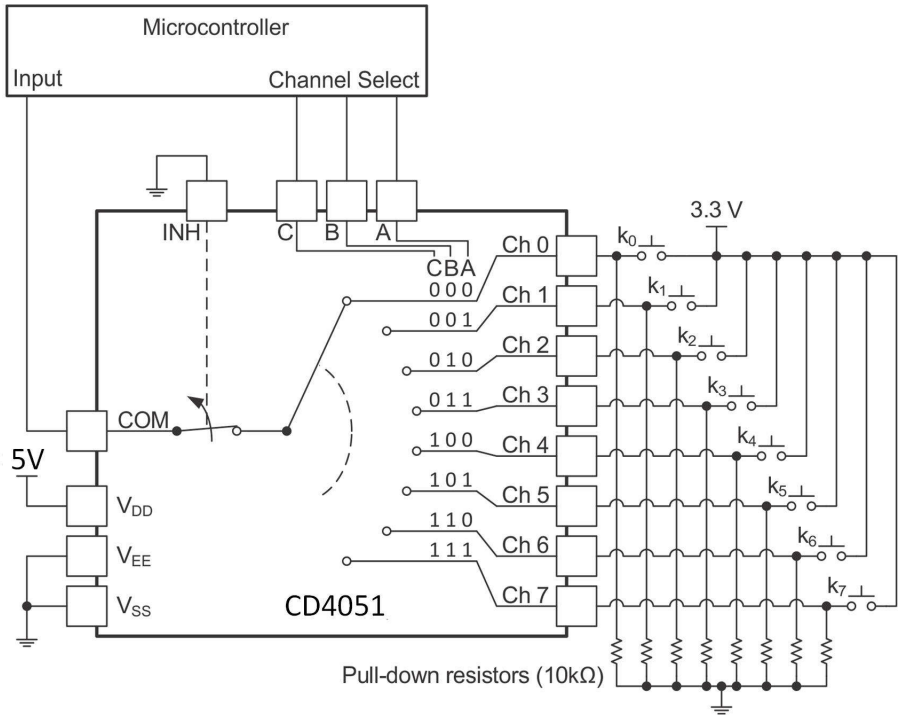


图 8-1. CD4051B 用于帮助读取键盘上的按钮按压操作

8.2.1 设计要求

这些器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限值的电流。高驱动也会在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 详细设计过程

1. 建议的输入条件：
   - 有关开关时间规格，请参阅 节 5.5 中的传播延迟时间。
   - 输入不能推至比 V_{DD} 高或比 V_{EE} 低超过 0.5V。
   - 有关控制输入的输入电压电平规格，请参阅 节 5.5 中的 V_{IH} 和 V_{IL}。
2. 建议的输出条件：
   - 输出不能拉至高于 V_{DD} 或低于 V_{EE}。
3. 输入或输出电流注意事项：
   - CD405xB 系列器件没有内部电流驱动电路，因此无法吸收电流或提供电流。任何电流都将流经该器件。

8.2.3 应用曲线

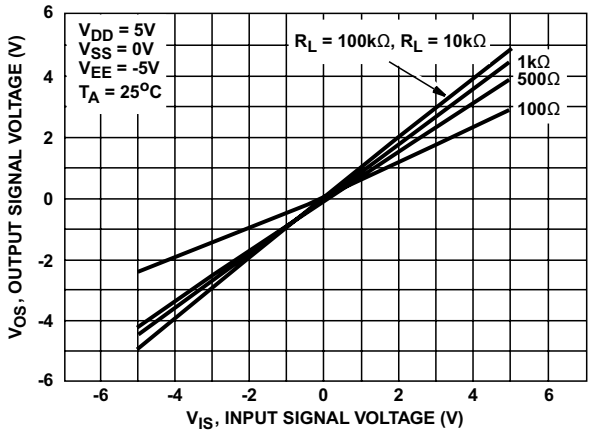


图 8-2. 8 个通道之一的开启特性 (CD4051B)

8.3 电源相关建议

电源可以是 节 5.5 表中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 µF 旁路电容器。如果有多个引脚被标记为 V_{CC}，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 0.01 µF 或 0.022 µF 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 0.1µF 旁路电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

Copyright © 2026 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

反射和匹配问题与环路天线理论密切相关，但两者之间也有区别，需要单独讨论。当 PCB 布线以 90° 角拐角时，会发生反射。这种反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到其原来宽度的 1.414 倍。这会影响传输线路特性，尤其是导致反射的布线的分布式电容和自感特性。考虑到并非所有 PCB 布线都是直线，因此肯定会有转弯。图 8-3 展示了渐入佳境的圆角技术。只有最后一个示例保持恒定的布线宽度并能够更大限度地减少反射。

8.4.2 布局示例

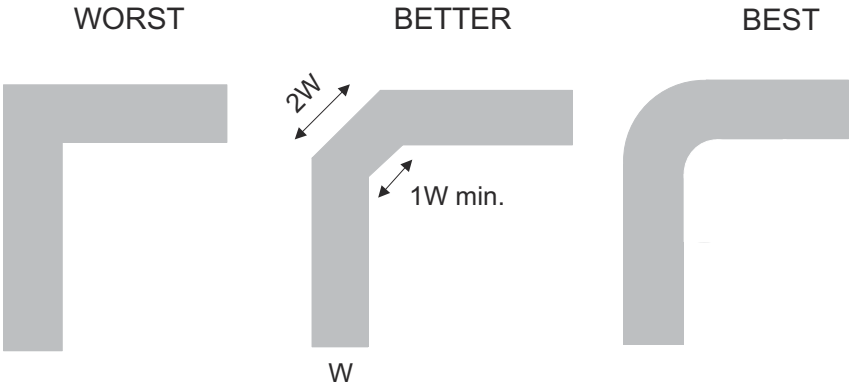


图 8-3. 布线示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 输入缓慢变化或悬空的影响*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (February 2025) to Revision O (May 2026)	Page
• 更新了 D (SOIC，16) 封装大小	1
• 向 CD4052B 和 CD4053B 引脚图添加了 SOIC	3

Changes from Revision M (November 2024) to Revision N (February 2025)	Page
• 更新了节 1	1
• 移除了图 5-4 和图 5-5	10
• 更新了节 7.1	14
• 更新了节 7.3	16
• 将图 8-1 更新为 5V VDD	18

Changes from Revision L (September 2023) to Revision M (November 2024)	Page
• 更新了 *典型特性* 部分	10
• 添加了图 5-4 和图 5-5	10

Changes from Revision K (March 2023) to Revision L (September 2023)	Page
• 更改了 *封装信息* 表的格式以包含封装引线尺寸	1
• 更改了 *ESD 等级*、*电气特性*和*交流性能的*格式以统一封装规格	5

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
7901502EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	7901502EA CD4052BF3A
8101801EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8101801EA CD4053BF3A
CD4051BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4051BE
CD4051BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4051BE
CD4051BEE4	Obsolete	Production	PDIP (N) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BE
CD4051BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF
CD4051BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF
CD4051BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF3A
CD4051BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4051BF3A
CD4051BM96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051BM
CD4051BM96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051BM
CD4051BM96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BM
CD4051BM96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BM
CD4051BMT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4051BM
CD4051BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051B
CD4051BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4051B
CD4051BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM051B
CD4051BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM051B
CD4051BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM051B
CD4051BPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM051B
CD4052BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4052BE
CD4052BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4052BE
CD4052BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4052BF
CD4052BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4052BF
CD4052BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	7901502EA CD4052BF3A
CD4052BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	7901502EA CD4052BF3A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4052BM	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BM96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM961G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM961G4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052BM
CD4052BM96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BM96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BMT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4052BM
CD4052BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052B
CD4052BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4052B
CD4052BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM052B
CD4052BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM052B
CD4052BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM052B
CD4052BPWRG3	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM052B
CD4052BPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM052B
CD4053BE	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4053BE
CD4053BE.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4053BE
CD4053BEE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD4053BE
CD4053BF	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4053BF
CD4053BF.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD4053BF
CD4053BF3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8101801EA CD4053BF3A
CD4053BF3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8101801EA CD4053BF3A
CD4053BM	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4053M
CD4053BM96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053M
CD4053BM96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053M
CD4053BM96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4053M
CD4053BMT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	CD4053M
CD4053BNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053B
CD4053BNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4053B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4053BPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM053B
CD4053BPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM053B
CD4053BPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM053B
CD4053BPWRG3	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM053B
CD4053BPWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	CM053B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4051B, CD4051B-MIL, CD4052B, CD4052B-MIL, CD4053B, CD4053B-MIL :

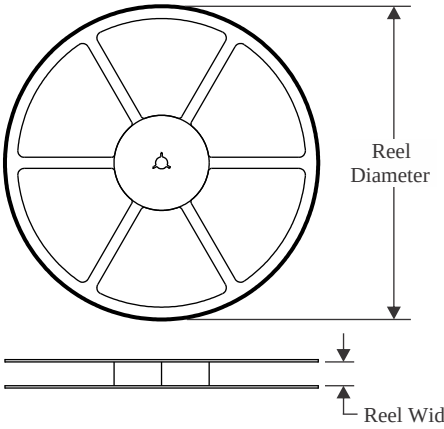
- Catalog : CD4051B, CD4052B, CD4053B
- Automotive : CD4051B-Q1, CD4051B-Q1, CD4053B-Q1, CD4053B-Q1
- Military : CD4051B-MIL, CD4052B-MIL, CD4053B-MIL

NOTE: Qualified Version Definitions:

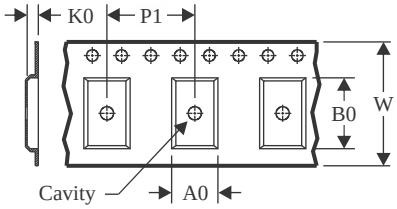
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

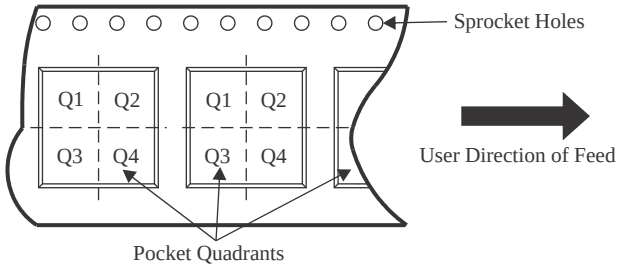


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

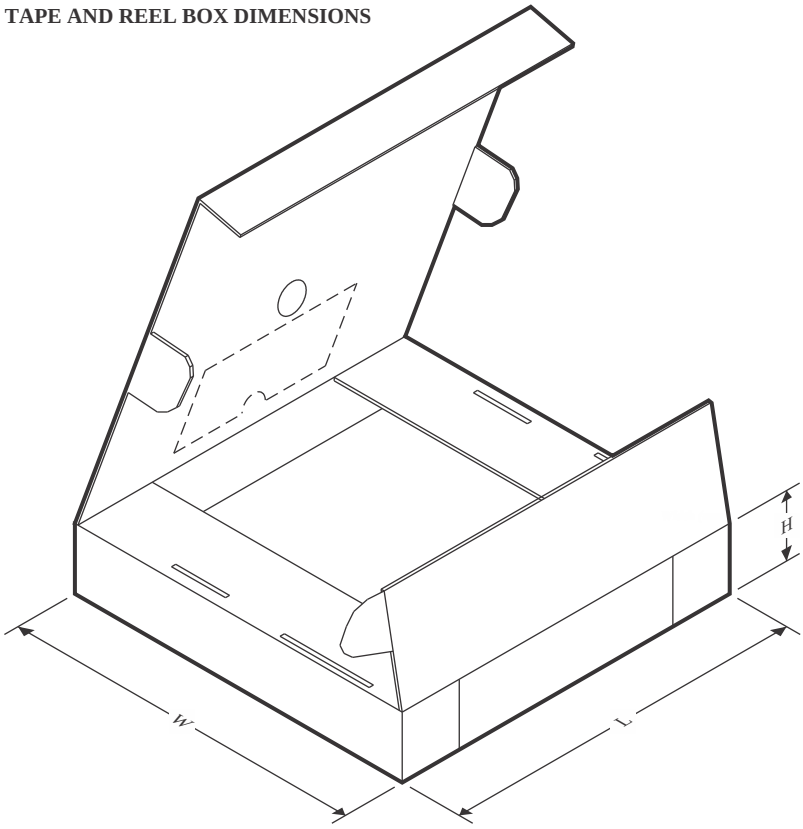
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD4051BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4051BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4051BNSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD4051BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4051BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4052BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4052BM961G4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4052BNSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD4052BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4052BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4053BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4053BM96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD4053BNSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD4053BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4053BPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

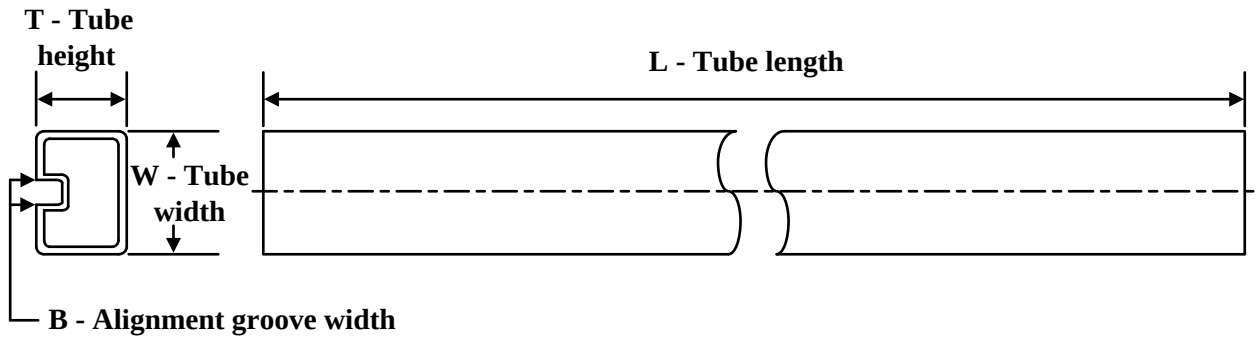
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD4051BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4051BM96	SOIC	D	16	2500	340.5	336.1	32.0
CD4051BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4051BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4051BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
CD4052BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4052BM961G4	SOIC	D	16	2500	353.0	353.0	32.0
CD4052BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4052BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
CD4052BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4053BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4053BM96	SOIC	D	16	2500	353.0	353.0	32.0
CD4053BNSR	SOP	NS	16	2000	353.0	353.0	32.0
CD4053BPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD4053BPWR	TSSOP	PW	16	2000	367.0	367.0	35.0

TUBE



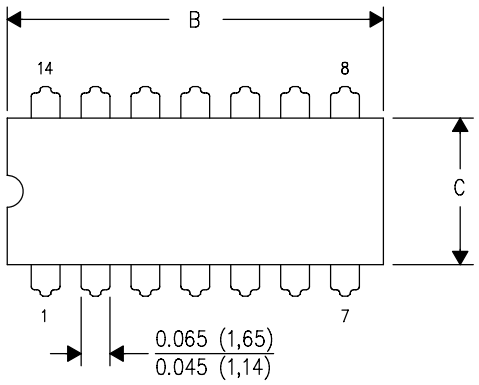
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD4051BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4051BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4052BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4052BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4052BEE4	N	PDIP	16	25	506	13.97	11230	4.32
CD4053BE	N	PDIP	16	25	506	13.97	11230	4.32
CD4053BE.A	N	PDIP	16	25	506	13.97	11230	4.32
CD4053BEE4	N	PDIP	16	25	506	13.97	11230	4.32

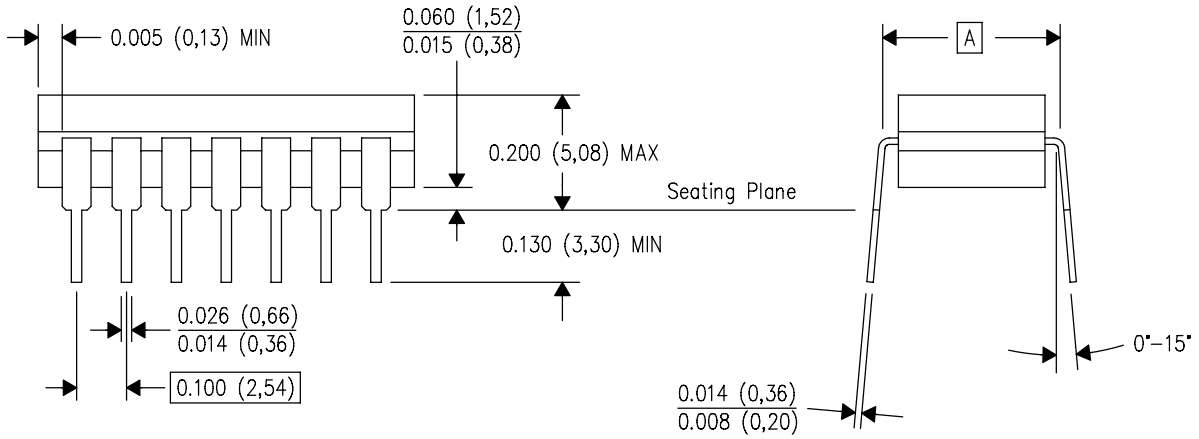
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

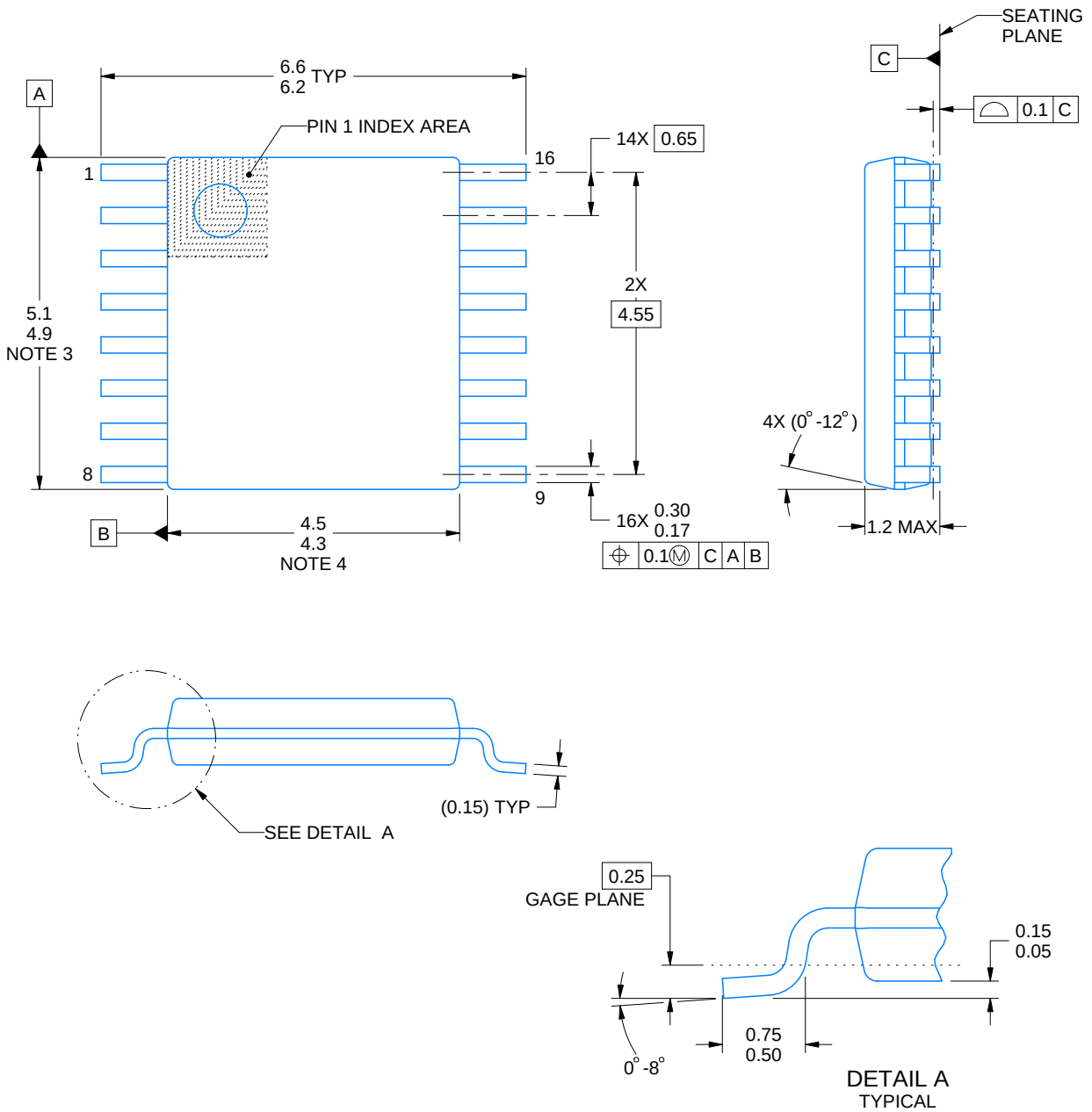
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

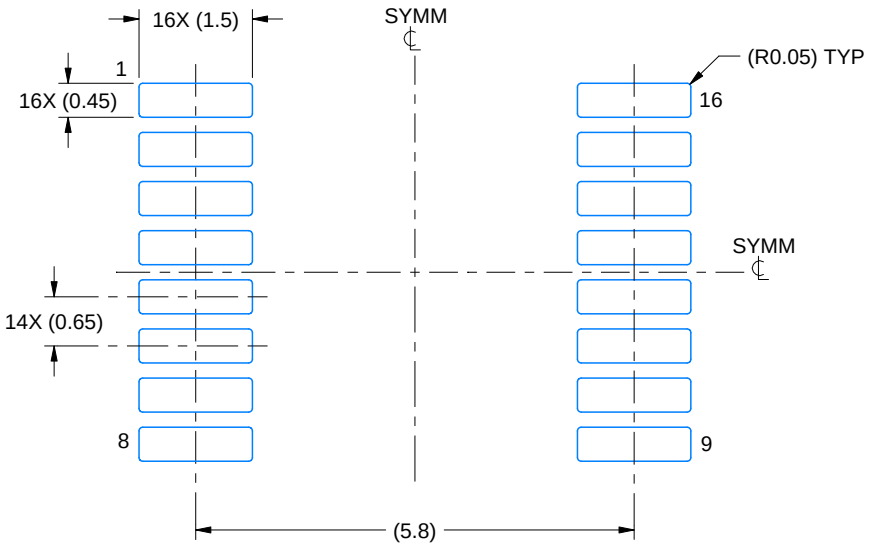
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

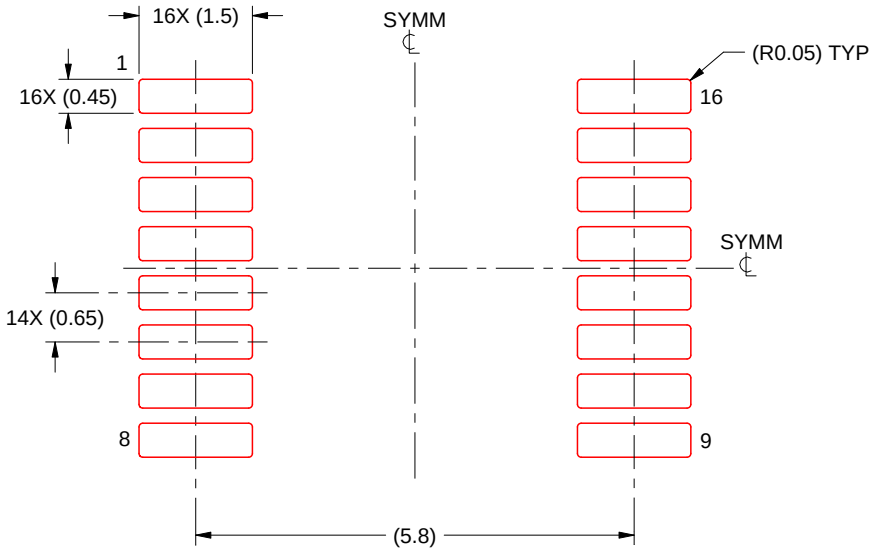


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

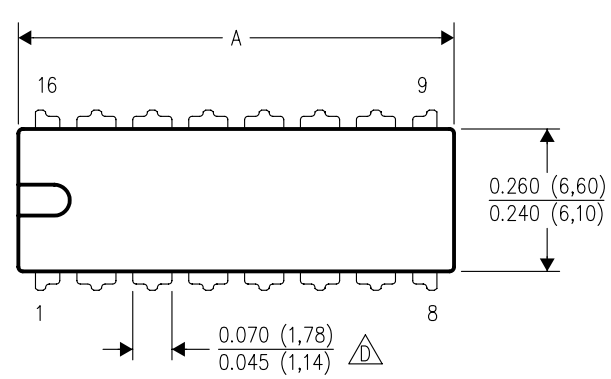
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

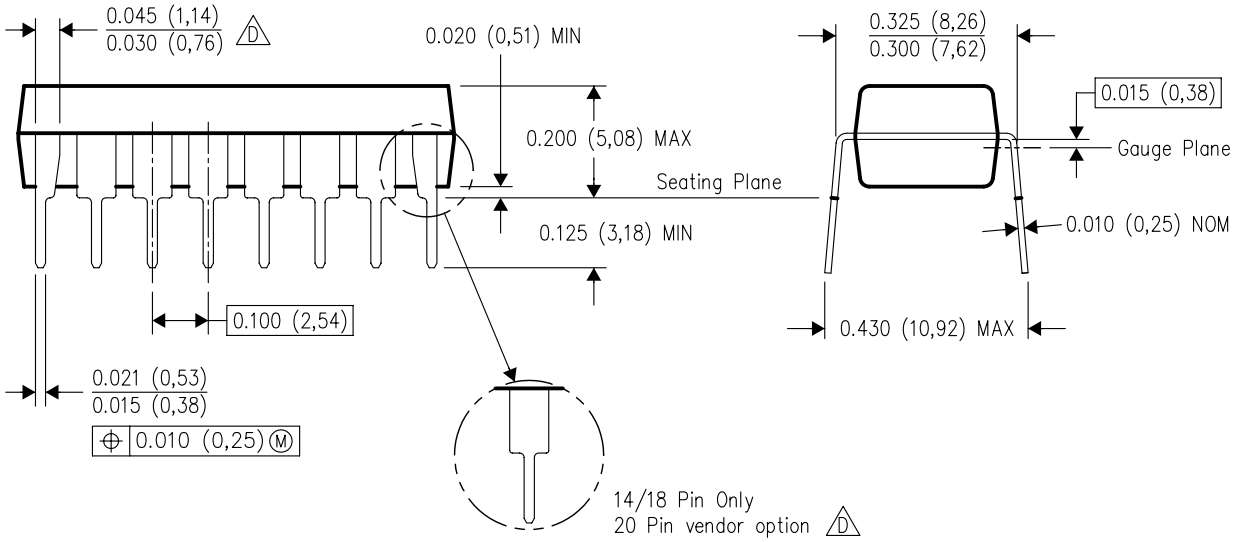
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

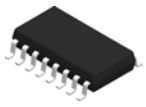


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

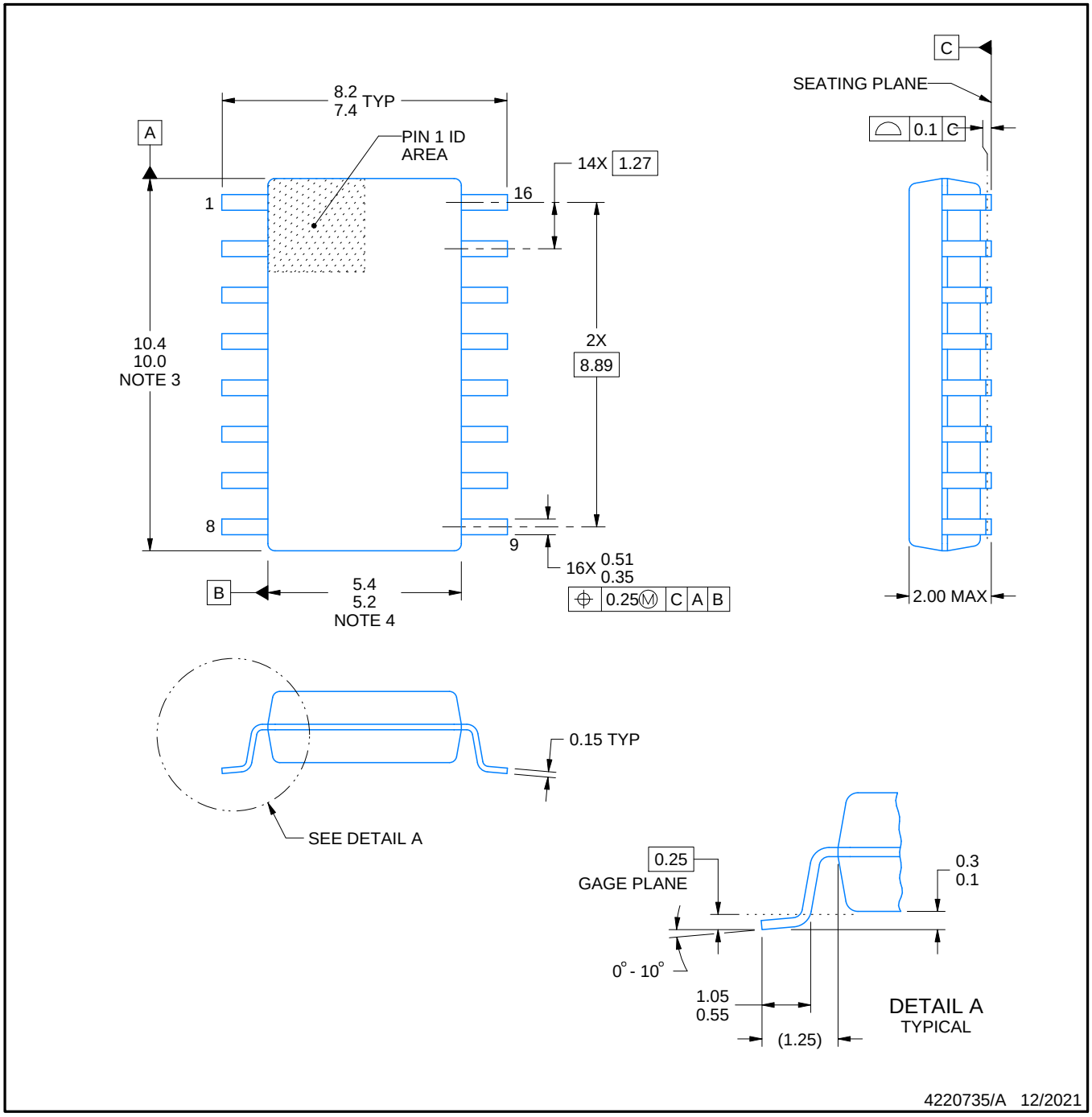


PACKAGE OUTLINE

NS0016A

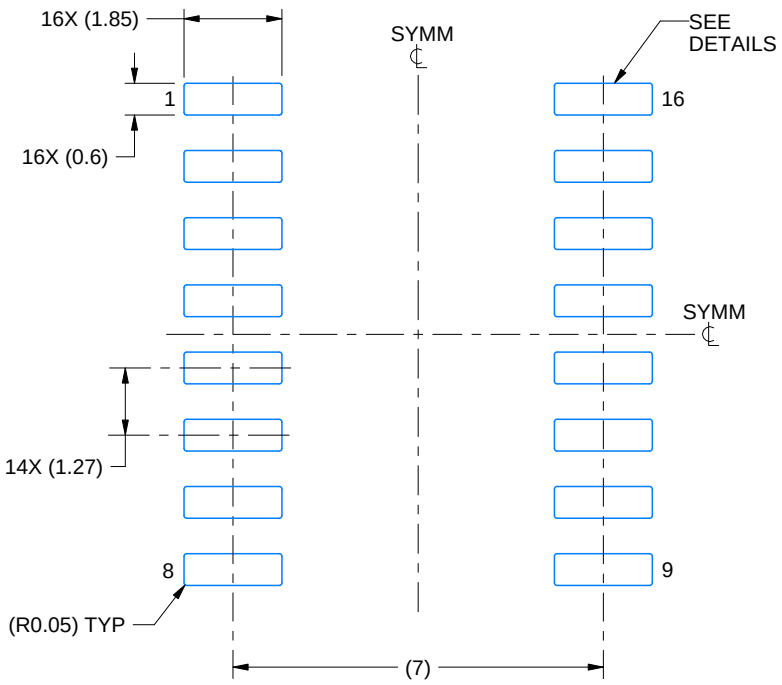
SOP - 2.00 mm max height

SOP

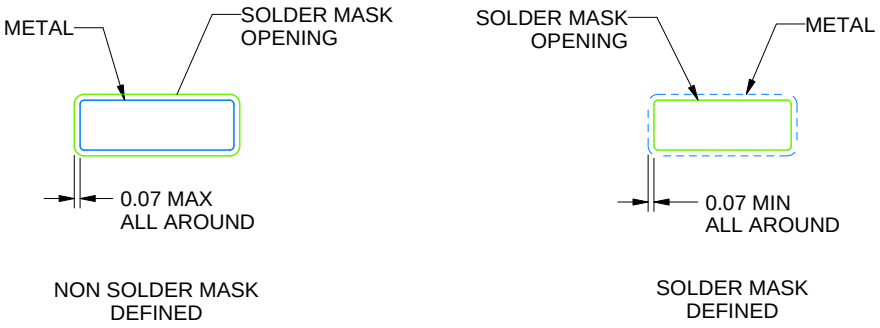


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

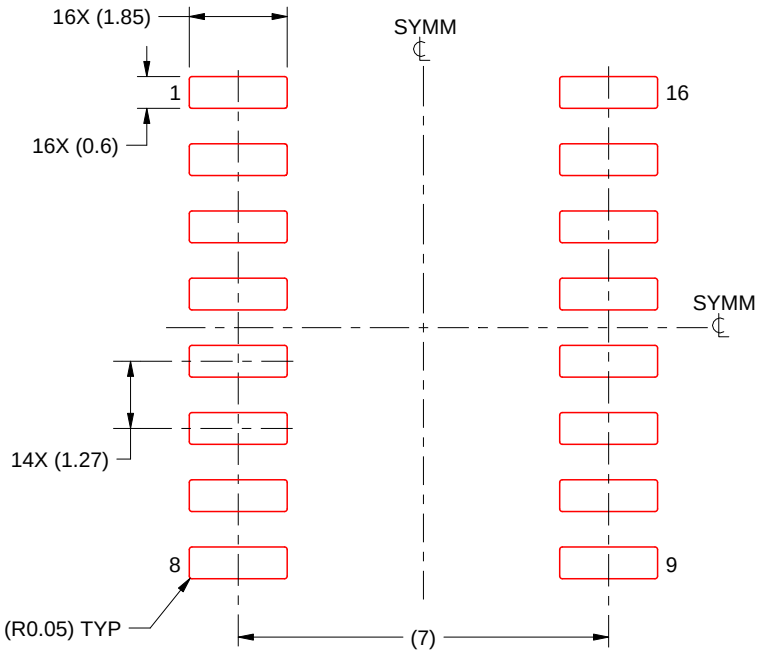
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



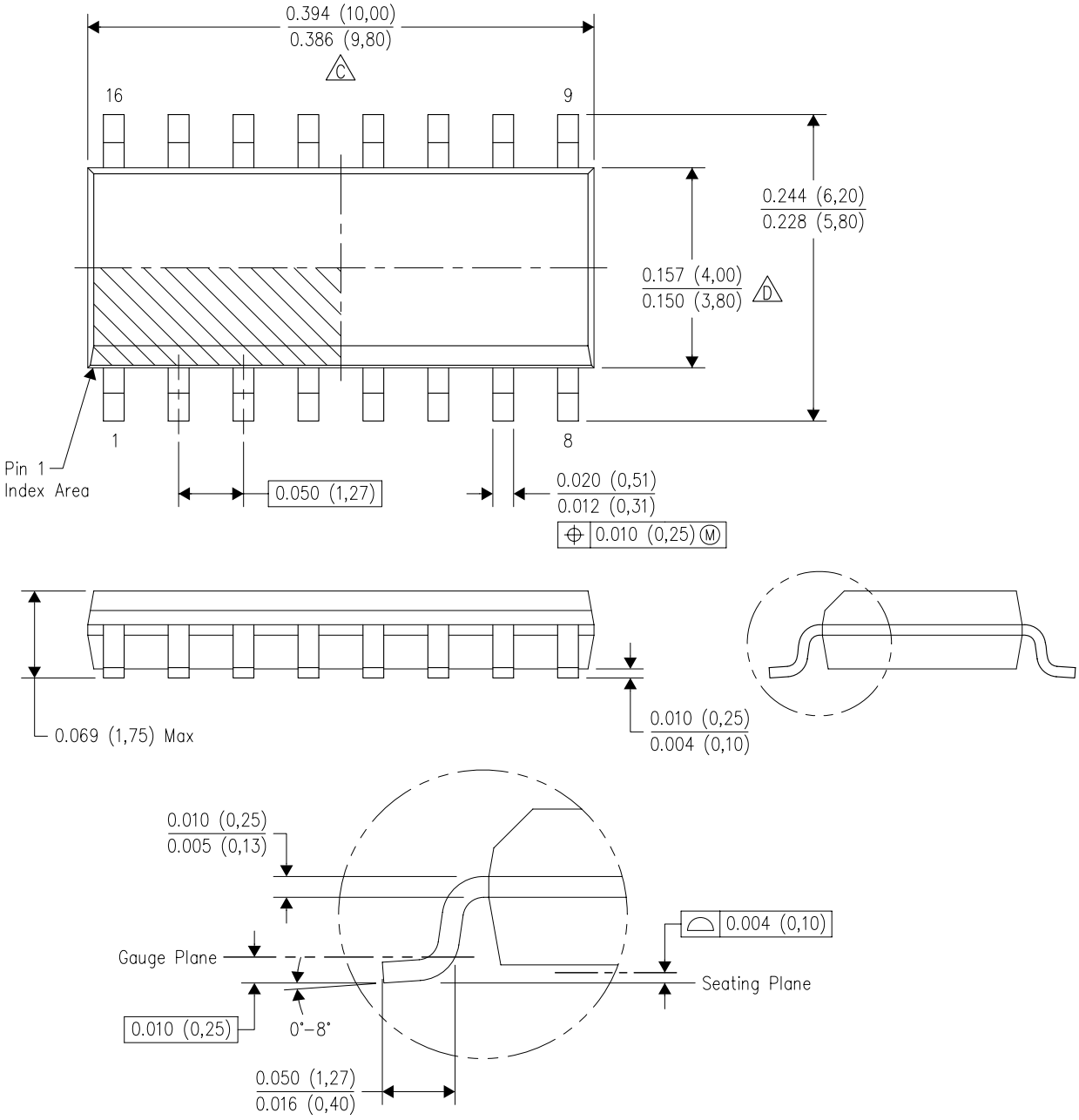
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月