具有常见并行 I/O 引脚的 CDx4AC299、CD74AC323、CDx4ACT299 8 输入通用移位/存储寄存器

1 特性

类型特性

- 缓冲输入
- 典型传播延迟：

  6ns @ V_{CC} = 5V, T_A = 25°C，C_L = 50pF

系列特性

- 防 SCR 闩锁 CMOS 工艺和电路设计
- 双极 FAST*/AS/S 的速度，同时功耗显著降低
- 平衡传播延迟
- 交流类型的工作电压范围为 1.5V 至 5.5V，并在电源电压的 30% 时具有平衡的抗噪性能
- ±24mA 输出驱动电流
  - 扇出到 15 个 FAST* IC
  - 驱动 50Ω 传输线

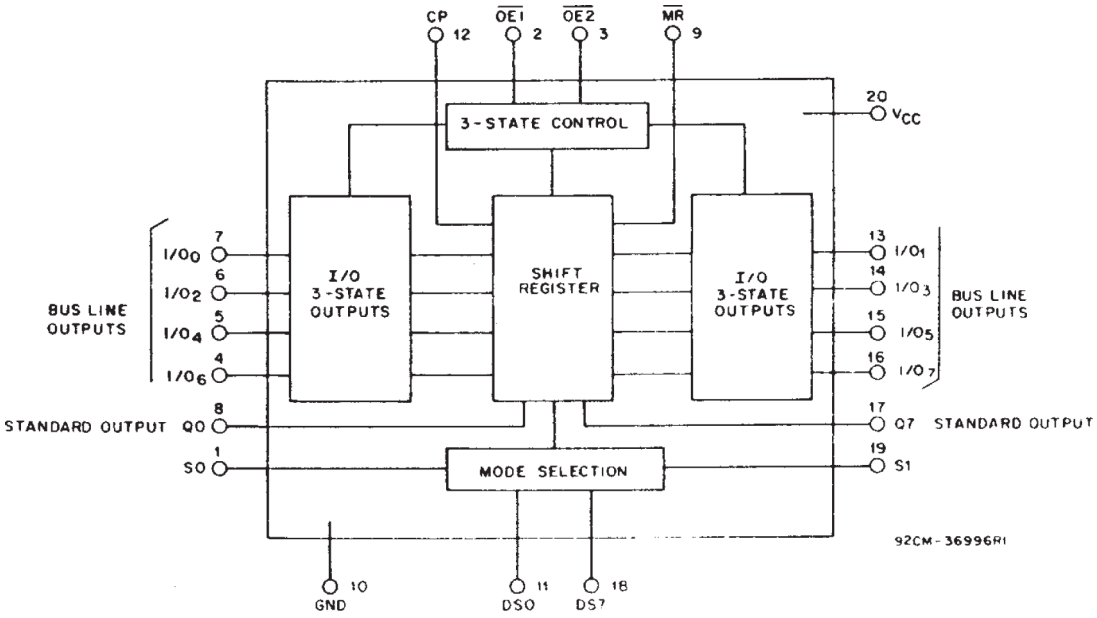
2 说明

RCA CDx4AC299、CD74AC323 和 CDx4ACT299 是具有常见并行 I/O 引脚的三态 8 输入通用移位/存储寄存器。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
CDx4AC(T)299/ CD74AC323	DW（SOIC，20）	12.80mm × 10.3mm	12.80mm × 7.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



功能图

*FAST 是 Fairchild Semiconductor Corp. 的注册商标。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 ESD 等级.....4
4.3 建议运行条件：.....4
4.4 热性能信息.....4
4.5 静态电气特性，AC 系列.....5
4.6 静态电气特性，ACT 系列.....6
4.7 开关特性，交流系列.....7
4.8 开关特性，ACT 系列.....7
5 参数测量信息.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 器件功能模式.....10
7 应用和实施.....11
7.1 电源相关建议.....11
7.2 布局.....11
8 器件和文档支持.....13
8.1 文档支持（模拟）.....13
8.2 接收文档更新通知.....13
8.3 支持资源.....13
8.4 商标.....13
8.5 静电放电警告.....13
8.6 术语表.....13
9 修订历史记录.....13
10 机械、封装和可订购信息.....14

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能

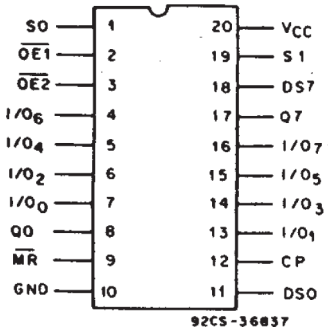


图 3-1. 端子分配

引脚功能

引脚		[1] 类	说明
编号	名称		
1	SO	I	模式选择 0
2	!OE1	I	输出使能，低电平有效
3	!OE2	I	输出使能，低电平有效
4	I/O6	O	并行数据输入/输出
5	I/O4	O	并行数据输入/输出
6	I/O2	O	并行数据输入/输出
7	I/O0	O	并行数据输入/输出
8	Q0	O	串行输出
9	!MR	I	主复位、低电平有效
10	GND	-	接地
11	DSO	I	串行数据输入
12	CP	I	时钟，上升沿触发
13	I/O1	O	并行数据输入/输出
14	I/O3	O	并行数据输入/输出
15	I/O5	O	并行数据输入/输出
16	I/O7	O	并行数据输入/输出
17	Q7	O	串行输出
18	DS7	I	串行数据输入
19	S1	I	模式选择
20	V_{CC}	-	电源

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出

4 规格

4.1 绝对最大额定值

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
I_{IK}	输入二极管电流	（V_I < -0.5V 或 V_I > V_{CC} ± 0.5V）		±20	mA
I_{OK}	输出二极管电流	（V_O < –0.5V 或 V_O > V_{CC} + 0.5V）		±50	mA
I_O	每个输出引脚的输出拉电流或灌电流	（V_O > -0.5V 或 V_O < V_{CC} + 0.5V）		±50	mA
	V_{CC} 或接地电流，I_{CC} 或 I_{GND}			±100	mA (1)
T_A	工作温度范围		-55	+125	°C
T_{stg}	贮存温度		-65	+150	°C

(1) 如果每个器件最多有 4 个输出，则每增加一个输出会增加 ±25mA。

4.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件：

为了获得最大的可靠性，应选择正常运行条件，以便始终在以下范围内运行：

		最小值	最大值	单位
V_{CC} (1)	电源电压： （适用于 T_A = 完整封装温度范围）			
	AC 类型	1.5	5.5	V
	ACT 类型	4.5	5.5	V
V_I、V_O	输入或输出电压	0	V_{CC}	V
T_A	工作温度	-55	+125	°C
dt/dv	输入上升和下降压摆率			
	在 1.5V 至 3V 时（交流类型）	0	50	ns/V
	在 3.6V 至 5.5V 时（交流类型）	0	20	ns/V
	在 4.5V 至 5.5V 时（ACT 类型）	0	10	ns/V

(1) 除非另有说明，否则所有电压均以接地为基准。

4.4 热性能信息

热指标(1)		CDx4AC(T)299/ CD74AC323 DW（SOIC，20）20 引脚	单位
$R_{\theta JA}$	结至环境热阻	40	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2025 Texas Instruments Incorporated

4.5 静态电气特性，AC 系列

特性		测试条件		V_{CC} (V)	环境温度 (T_A) - °C						单位
					+25		-40 至+85		-55 至 +125		
		V_I (V)	I_O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
V_{IH}	高电平输入电压			1.5	1.2	—	1.2	—	1.2	—	V
				3	2.1	—	2.1	—	2.1	—	
				5.5	3.85	—	3.85	—	3.85	—	
V_{IL}	低电平输入电压			1 5	—	0.3	—	0.3	—	0.3	V
				3	—	0.9	—	0.9	—	0.9	
				5.5	—	1.65	—	1.65	—	1.65	
V_{OH}	高电平输出电压	V_{IH} 或 V_{IL}	-0.05	1.5	1.4	—	1.4	—	1.4	—	V
			-0.05	3	2.9	—	2.9	—	2.9	—	
			-0.05	4.5	4.4	—	4.4	—	4.4	—	
			-4	3	2.58	—	2.48	—	2.4	—	
			-24	4.5	3.94	—	3.8	—	3.7	—	
		(1), (2)	-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	
V_{OL}	低电平输出电压	V_{IH} 或 V_{IL}	0.05	1.5	—	0.1	—	0.1	—	0.1	V
			0.05	3	—	0.1	—	0.1	—	0.1	
			0.05	4.5	—	0.1	—	0.1	—	0.1	
			12	3	—	0.36	—	0.44	—	0.5	
			24	4.5	—	0.36	—	0.44	—	0.5	
		(1), (2)	75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I_I	输入漏电流	V_{CC} 或 GND		5.5	—	±0.1	—	±1	—	±1	μA
I_{OZ}	三级泄漏电流	V_{IH} 或 V_{IL} V_O= V_{CC} 或 GND		5.5	—	±0.5	—	±5	—	±10	μA
Ice	静态电源电流，MSI	V_{CC} 或 GND	0	5.5	—	8	—	80	—	160	μA

(1) 一次测试一个输出，最大持续时间为 1 秒。为了尽可能减少功率耗散，测量方法是强制施加电流并测量电压。
(2) 测试证实，传输线驱动能力在 +85°C 下至少为 50Ω，在 +125°C 下至少为 75Ω。

4.6 静态电气特性，ACT 系列

特性		测试条件		V_{CC} (V)	环境温度 (T_A) - °C						单位
					+25		-40 至 +85		-55 至 +125		
		V_I (V)	I_O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
V_{IH}	高电平输入电压			4.5 至 5.5	2	—	2	—	2	—	V
V_{IL}	低电平输入电压			4.5 至 5.5	—	0.8	—	0.8	—	0.8	V
V_{OH}	高电平输出电压	V_{IH} 或 V_{IL} (1)，(2)	-0.05	4.5	4.4	—	4.4	—	4.4	—	V
			-24	4.5	3.94	—	3.8	—	3.7	—	
			-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	
V_{OL}	低电平输出电压	V_{IH} 或 V_{IL} (1)，(2)	0.05	4.5	—	0.1	—	0.1	—	0.1	V
			24	4.5	—	0.36	—	0.44	—	0.5	
			75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I_I	输入漏电流	V_{CC} 或 GND		5.5	—	±0.1	—	±1	—	±1	μA
I_{OZ}	三态泄漏电流	V_{IH} 或 V_{IL} V_O V_{CC} 或 GND		5.5	—	±0.5	—	±5	—	±10	μA
I_{CC}	静态电源电流，MSI	V_{CC} 或 GND	0	5.5	—	8	—	80	—	160	μA
	每个输入引脚的附加静态电源电流	V_{CC}-2.1		4.5 至 5.5	—	2.4	—	2.8	—	3	mA
ΔI_{CC}	TTL 输入为高电平										
	1 个单位负载										

(1) 一次测试一个输出，最大持续时间为 1 秒。为了尽可能减少功率耗散，测量方法是强制施加电流并测量电压。
(2) 测试证实，传输线驱动能力在 +85°C 下至少为 50Ω，在 +125°C 下至少为 75Ω。

表 4-1. ACT 输入负载表

输入	单位负载 (1)	
	299	323
S1.S0、$\overline{OE1}$、$\overline{OE2}$	0.83	0.83
I/O_0 - I/O_7、CP、DS0、DS7	0.67	067
$\overline{MR}$	1.33	067

(1) 单位负载为静态特性表中指定的 ΔI_{CC} 限值（例如，25°C 时的最大值为 2.4mA）。

Copyright © 2025 Texas Instruments Incorporated

4.7 开关特性，交流系列

t_r，t_f = 3ns，C_L = 50pF

符号	特性	V_{CC} (V)	环境温度 (T_A) - °C				单位
			-40 至 +85		-55 至 +125		
			最小值	最大值	最小值	最大值	
t_{PLH} t_{PHL}	传播延迟：CP 至 Q0、Q7	1.5	—	147	—	162	ns
		3.3 (1)	4.7	16.5	4.5	18.1	
		5 (2)	3.3	11.7	3.2	12.9	
t_{PLH} t_{PHL}	CP 至 (I/O)n	1.5	—	154	—	169	ns
		3.3	4.9	17.2	4.7	18.9	
		5	3.5	12.3	3.4	13.5	
t_{PLH} t_{PHL}	$\overline{MR}$ 至 Q0、Q7（仅限 299）	1.5	—	127	—	140	ns
		3.3	4	14.3	3.9	15.7	
		5	2.9	10.2	2.8	11.2	
t_{PLH} t_{PHL}	$\overline{MR}$ 至 (I/O)n	1.5	—	158	—	174	ns
		3.3	5	17.7	4.9	19.5	
		5	3.6	12.6	3.5	13.9	
t_{PZL} t_{PZH} t_{PLZ} t_{PHZ}	启用和禁用时间	1.5		169		186	ns
		3.3	5.8	20.4	5.6	22.4	
		5	3.8	13.5	3.7	14.9	
C_{pd} (3)	功率耗散电容	—	280（典型值）		280（典型值）		pF
C_I	输入电容	—	—	10	—	10	pF
C_O	三态输出电容	—	—	15	—	15	pF

(1) 3.3V：最小值为 @ 3.6V
(2) 5V：最小值为 @ 5.5V
(3) C_{pd} 用于确定每个功能的动态功耗。

4.8 开关特性，ACT 系列

t_r，t_f = 3ns，C_L = 50pF

符号	特性	V_{CC} (V)	环境温度 (T_A) - °C				单位
			-40 至 +85		-55 至 +125		
			最小值	最大值	最小值	最大值	
t_{PLH} t_{PHL}	传播延迟：CP 至 Q0、Q7	5(1)	3.3	11.7	3.2	12.9	ns
t_{PLH} t_{PHL}	CP 至 (I/O)n	5	3.7	13.2	3.6	14.5	ns
t_{PLH} t_{PHL}	$\overline{MR}$ 至 Q0、Q7（仅限 299）	5	3.1	11.1	3.1	12.2	ns
t_{PLH} t_{PHL}	$\overline{MR}$ 至 (I/O)n	5	4.8	16.9	4.7	18.6	ns
t_{PLZ} t_{PHZ} t_{PZL} t_{PZH}	启用和禁用时间	5	3.8	13.5	3.7	14.9	ns
C_{PD}§	功率耗散电容	—	280（典型值）		280（典型值）		pF
C_I	输入电容	—	—	10	—	10	pF
C_O	三态输出电容	—	—	15	—	15	pF

(1) 5V：最小值为 @ 5.5V

5 参数测量信息

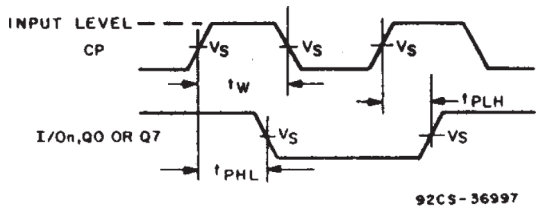


图 5-1. 时钟先决条件和传播延迟

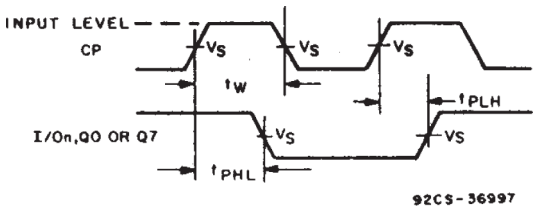


图 5-2. 时钟先决条件和传播延迟

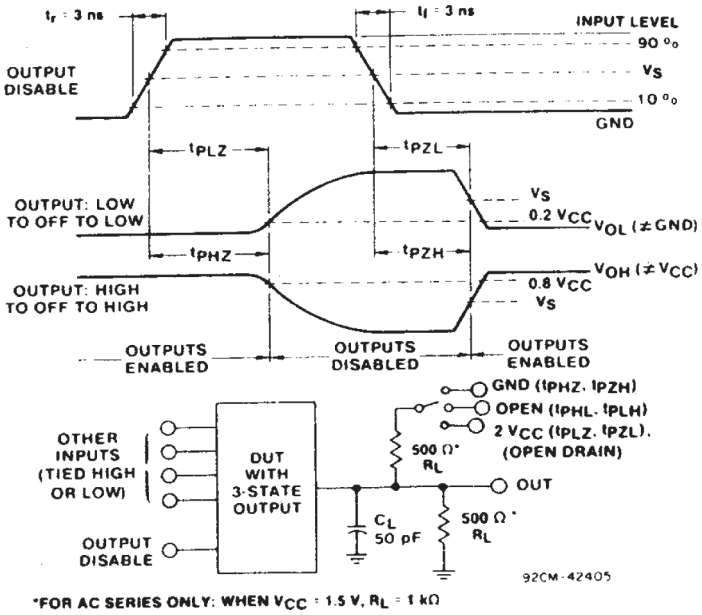


图 5-3. 三态传播延迟时间和测试电路

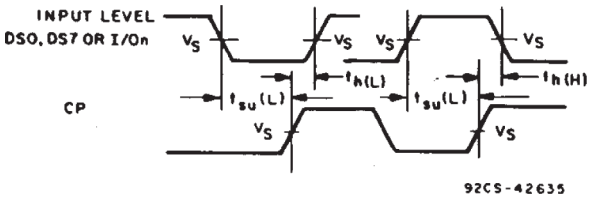


图 5-4. 数据先决条件时间

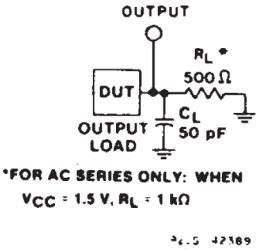


图 5-5. 测试电路

	CD54/74AC	CD54/74ACT
输入电平	V_{CC}	3V
输入开关电压 V_S	$0.5V_{CC}$	1.5V
输出开关电压 V_S	$0.5V_{CC}$	$0.5V_{CC}$

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

RCA CD54/74AC299、CD54/74AC323、CD54/74ACT299、CD54/74ACT323 是具有常见并行 I/O 引脚的三态 8 输入通用移位/存储寄存器。这些器件采用的是 RCA 高级 CMOS 技术。这些寄存器有四个受两种选择输入控制的同步运行模式，如模式选择（S0、S1）表所示。模式选择、串行数据（DSO、DS7）和并行数据 (I/O_0 - I/O_7) 仅响应时钟 (CP) 脉冲的低电平到高电平转换。在时钟正转换之前，S0、S1 和数据输入必须有一个建立时间。

使用 CD54/74AC/ACT299 时，主复位 ($\overline{MR}$) 是一个异步低电平有效输入。当 $\overline{MR}$ 为低电平时，无论其他所有输入的状态如何，寄存器都将被清除。使用 CD54/74AC/ACT323 时，主复位 ($\overline{MR}$) 会清除与时钟输入同步的寄存器。通过级联相同单元，即将串行输出 (QO) 连接到前一个寄存器的串行数据 (DS7) 输入并将串行输出 (Q7) 连接到下一个寄存器的串行数据 (DSO) 输入，可扩展该寄存器。(n x 8) 位的再循环是通过将最后一级的 Q7 连接到第一级的 DSO 来完成的。

三态输入/输出 (I/O) 端口有以下三种运行模式：

1. 输出使能（$\overline{OE1}$ 和 $\overline{OE2}$）输入均为低电平、S0 或 S1，或者两者均为低电平；寄存器中的数据存在于 8 个输出端中。
2. 当 S0 和 S1 均为高电平时，I/O 端子都处于高阻抗状态；但作为输入端口，无论 $\overline{OE1}$ 和 $\overline{OE2}$ 的状态如何，都已准备好通过一次时钟转换，将并行数据加载到八个寄存器中。
3. 两个输出使能输入中的任何一个为高电平时，I/O 端子都会强制处于关闭状态。请注意，每个 I/O 端子都是一个三态输出和一个 CMOS 缓冲输入。

CD74AC/ACT299 和 CD74AC/ACT323 采用 20 引线双列直插式塑料封装（后缀为 E）和 20 引线双列直插式小外形塑料封装（后缀为 M）。两种封装类型均可在以下温度范围内运行：商业（0°C 至 70°C）、工业（-40°C 至 +85°C）和扩展工业/军事（-55°C 至 +125°C）。

CD54AC/ACT299 和 CD54AC/ACT323 采用后缀为 H 的芯片规格，可在 -55°C 至 +125°C 的温度范围内运行。

6.2 功能方框图

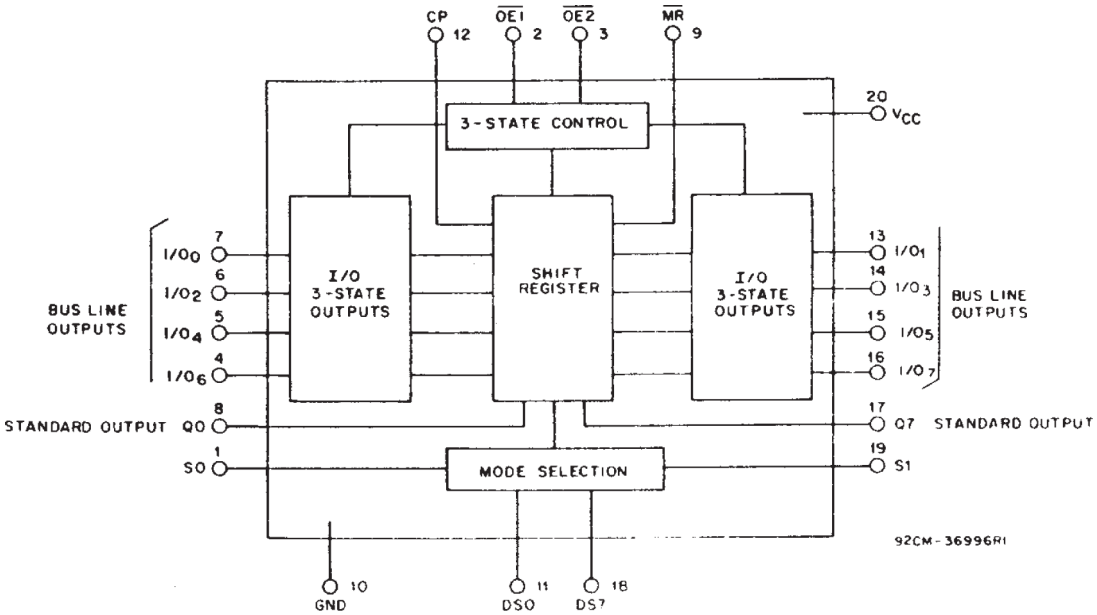


图 6-1. 功能图

6.3 器件功能模式

功能	输入							寄存器输出				
	$\overline{MR}$	CP	S0	S1	DS0	DS7	I/O_n	Q0	Q1	…	Q6	Q7
复位（清除）	L	X[(1)]	X	X	X	X	X	L	L	…	L	L
右移	H	↑	h	l	l	X	X	L	q_0	…	q_5	q_6
	H	↑	h	l	h	X	X	H	q_0	…	q_5	q_6
左移	H	↑	l	h	X	l	X	q_1	q_2	…	q_7	L
	H	↑	l	h	X	h	X	q_1	q_2	…	q_7	H
保持（不执行任何操作）	H	↑	l	l	X	X	X	q_0	q_1	…	q_6	q_7
并行负载	H	↑	h	h	X	X	l	L	L	…	L	L
	H	↑	h	h	X	X	h	H	H	…	H	H

表 6-1. 模式选择

功能表三态 I/O 端口工作模式

功能	输入					输入/输出
	$\overline{OE1}$	$\overline{OE2}$	S0	S1	Qn（寄存器）	I/O_0 I/O_7
读取寄存器	L	L	L	X	L	L
	L	L	L	X	H	H
	L	L	X	L	L	L
	L	L	X	L	H	H
加载寄存器	X	X	H	H	Qn = I/O_n	I/O_n = 输入
禁用 I/O	H	X	X	X	X	(Z)
	X	H	X	X	X	(Z)

(1) H = 输入电压高电平。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

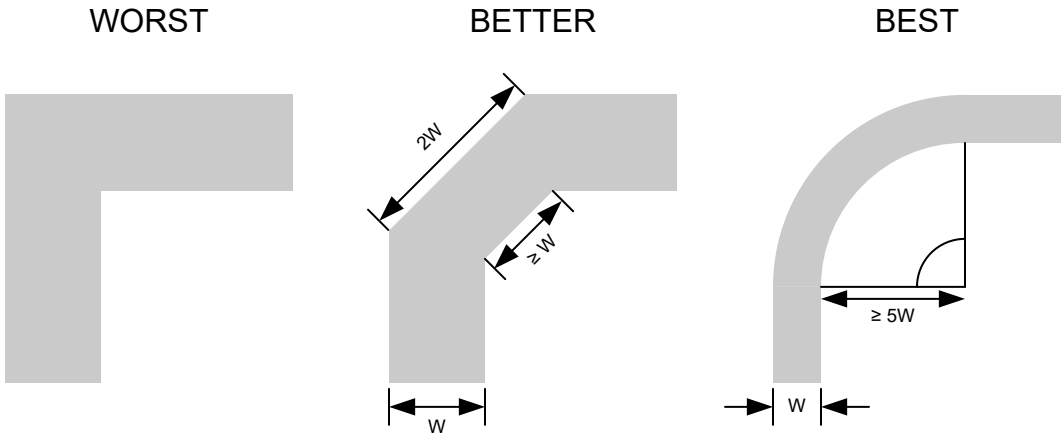


图 7-1. 可改善信号完整性的布线转角示例

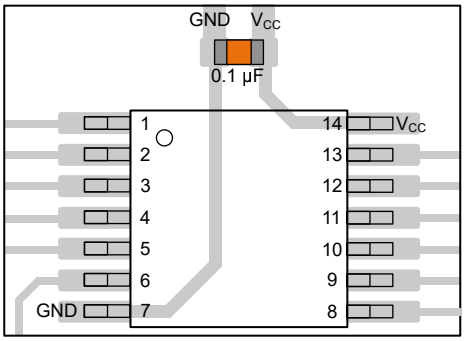


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

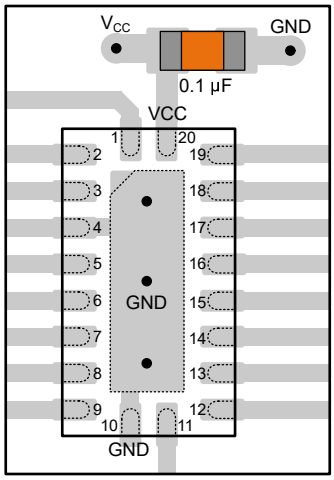


图 7-3. WQFN 和类似封装的旁路电容器放置示例

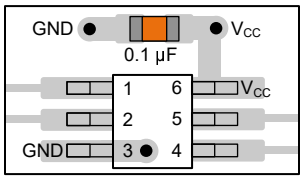


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

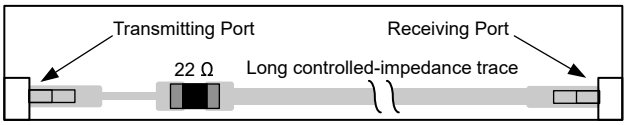


图 7-5. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持（模拟）

8.1.1 相关文档

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 8-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
CD54AC299	点击此处	点击此处	点击此处	点击此处	点击此处
CD74AC299	点击此处	点击此处	点击此处	点击此处	点击此处
CD54ACT299	点击此处	点击此处	点击此处	点击此处	点击此处
CD74ACT299	点击此处	点击此处	点击此处	点击此处	点击此处
CD74AC323	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或自行提出问题，以获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2002) to Revision A (December 2024) **Page**

- 添加了*应用* 部分、*器件信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、*应用和实施* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2022，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC299F3A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC299F3A
CD54AC299F3A.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC299F3A
CD54ACT299F3A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT299F3A
CD54ACT299F3A.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT299F3A
CD74AC299M96	Last Time Buy	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC299M
CD74AC299M96.A	Last Time Buy	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC299M
CD74AC323M	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC323M
CD74AC323M.A	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC323M
CD74ACT299M96	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT299M
CD74ACT299M96.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT299M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC299, CD54ACT299, CD74AC299, CD74ACT299 :

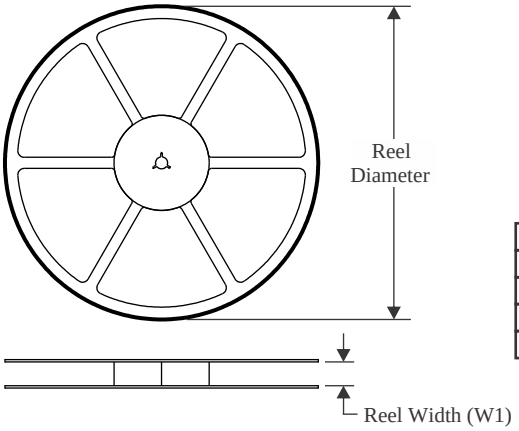
- Catalog : CD74AC299, CD74ACT299
- Military : CD54AC299, CD54ACT299

NOTE: Qualified Version Definitions:

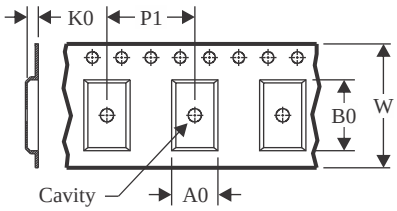
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

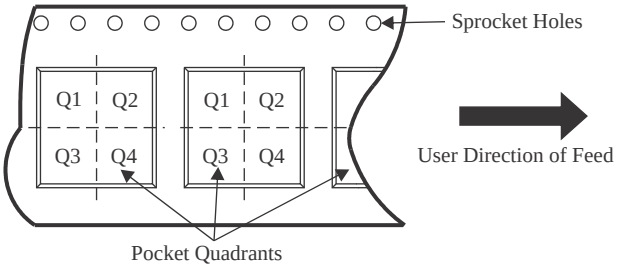


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

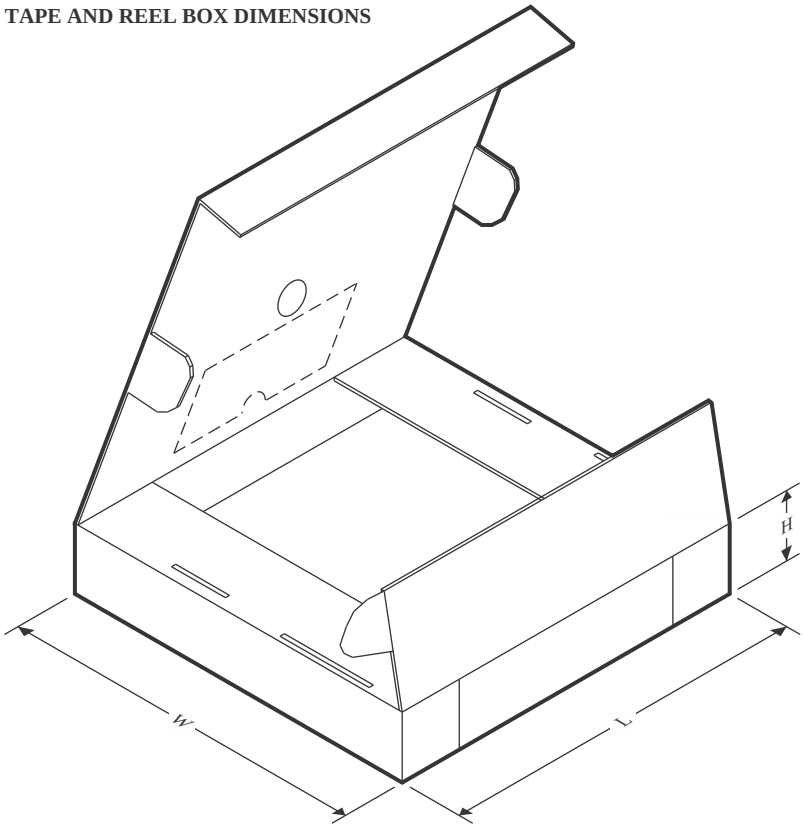
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC299M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT299M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

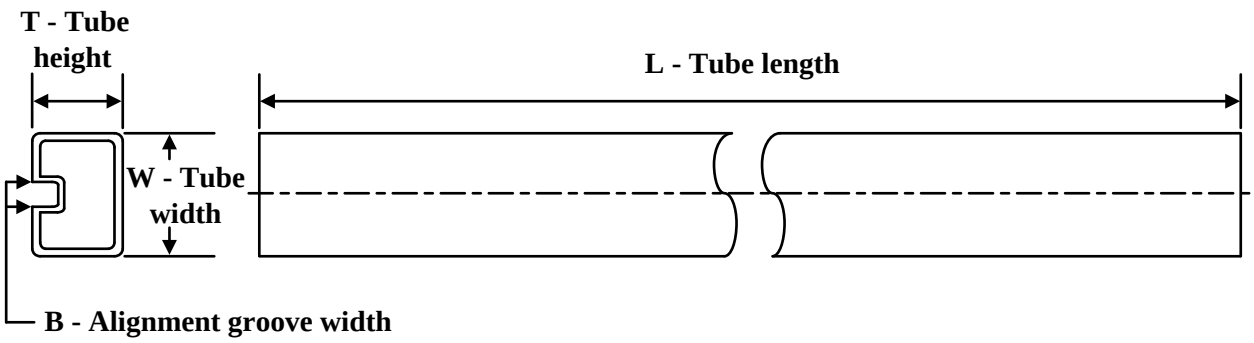
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC299M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74ACT299M96	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE

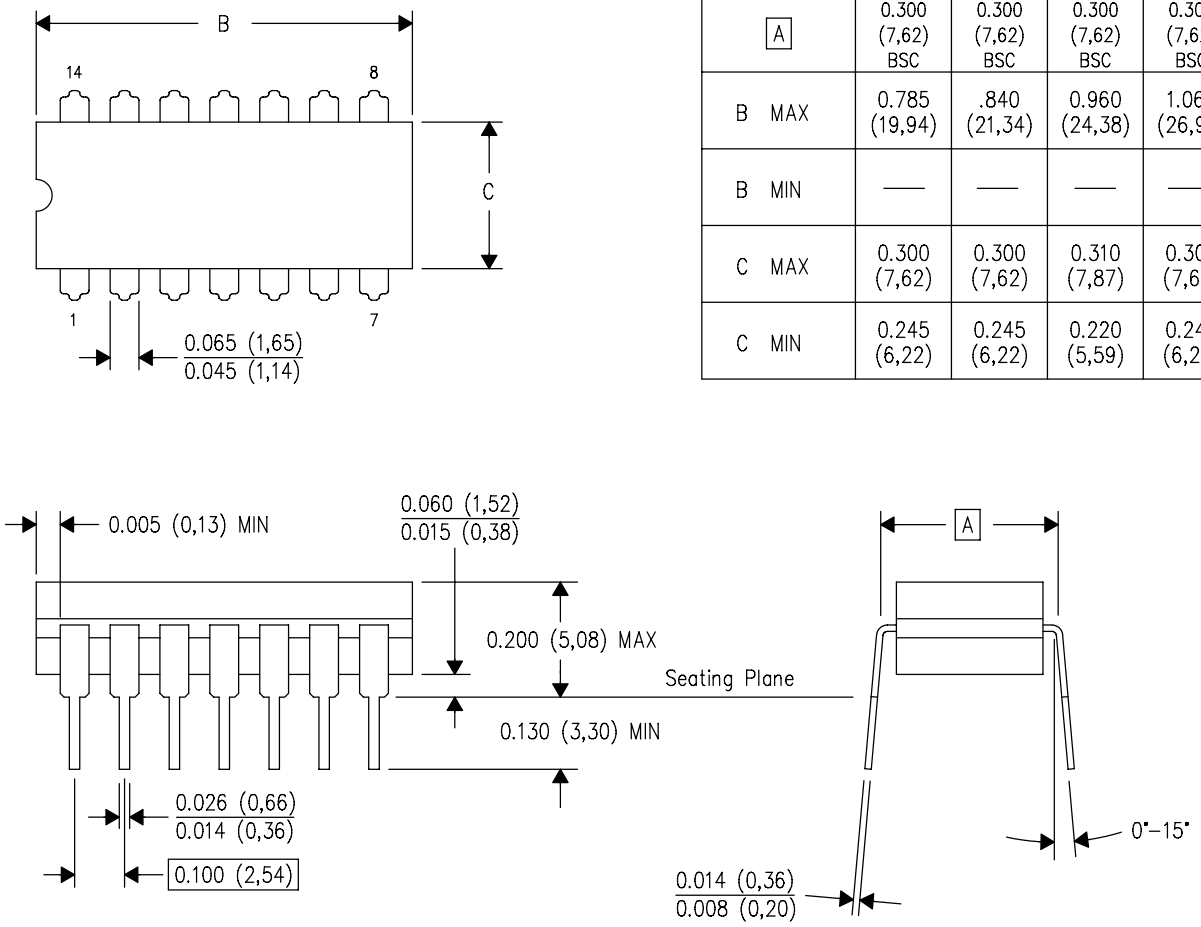


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC323M	DW	SOIC	20	25	507	12.83	5080	6.6
CD74AC323M.A	DW	SOIC	20	25	507	12.83	5080	6.6

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

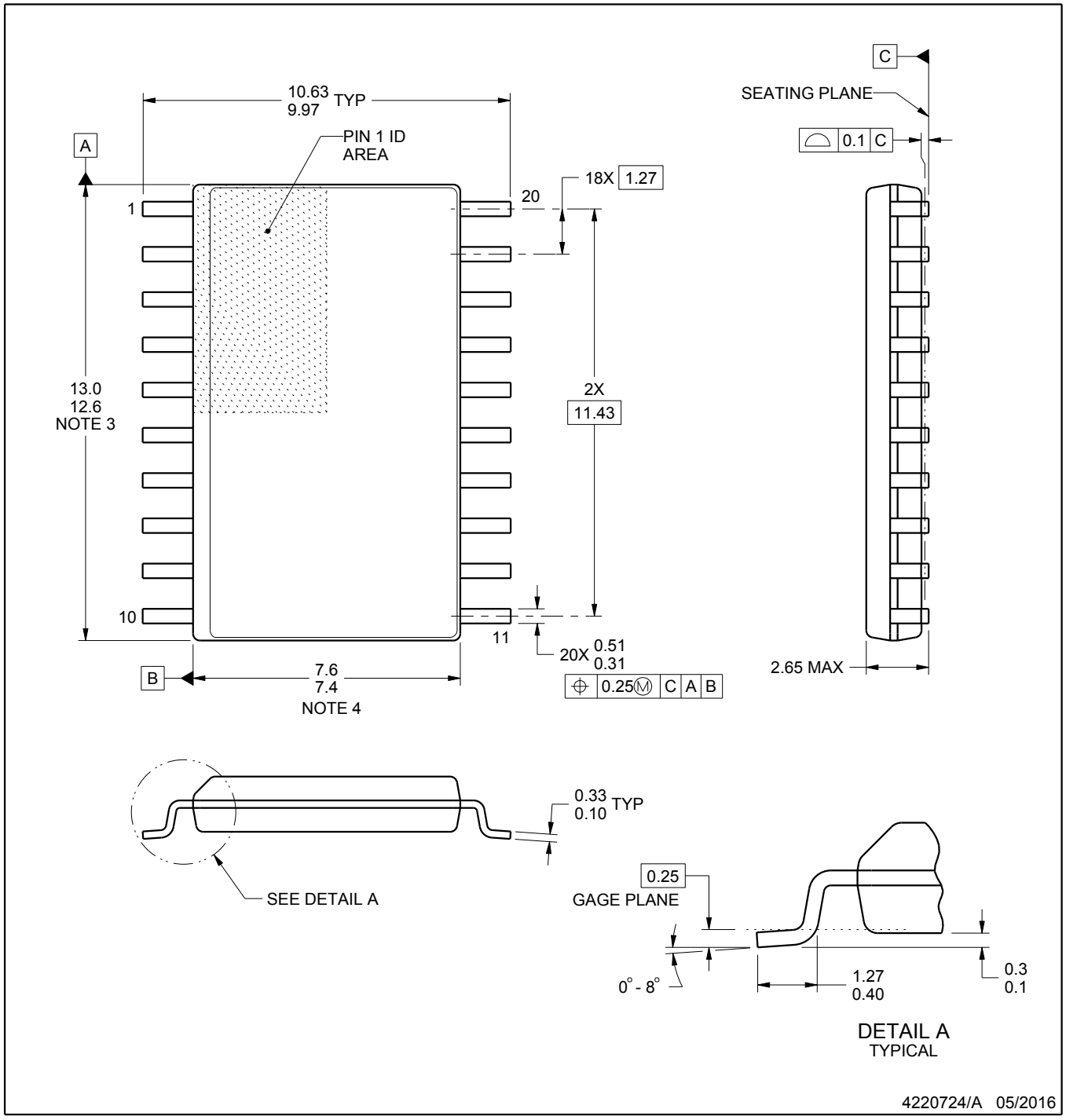
14 LEADS SHOWN



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

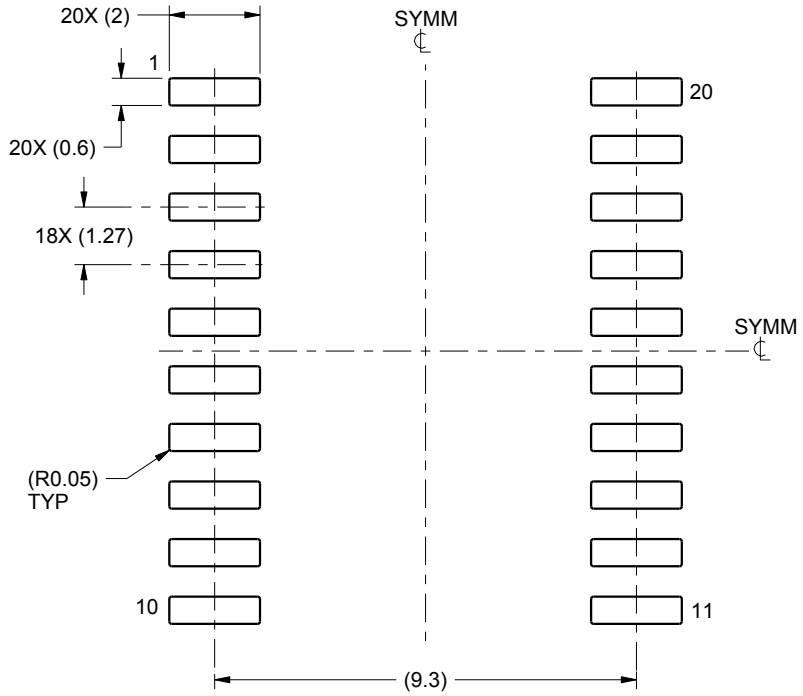
4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

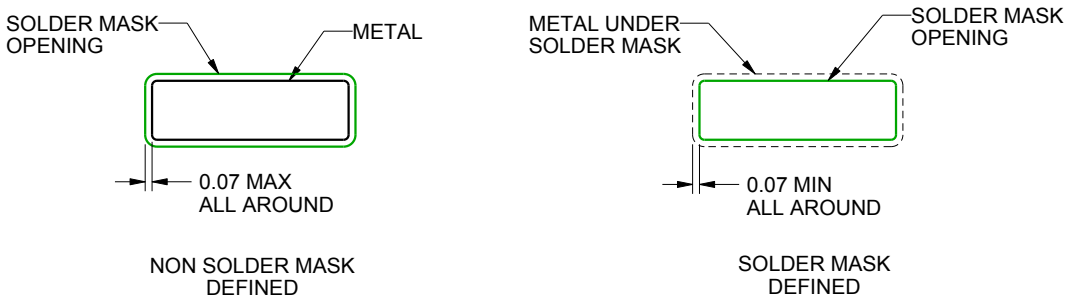


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

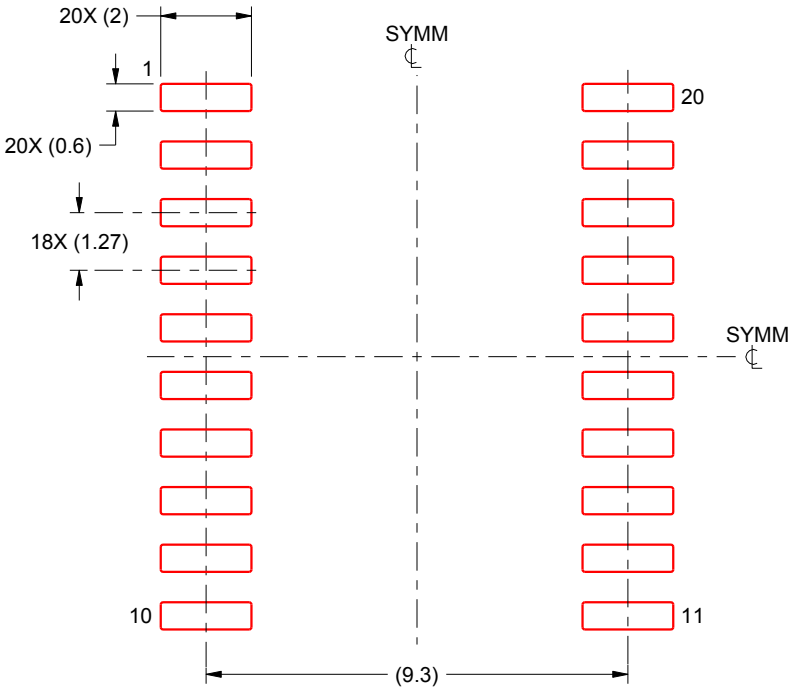


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月