

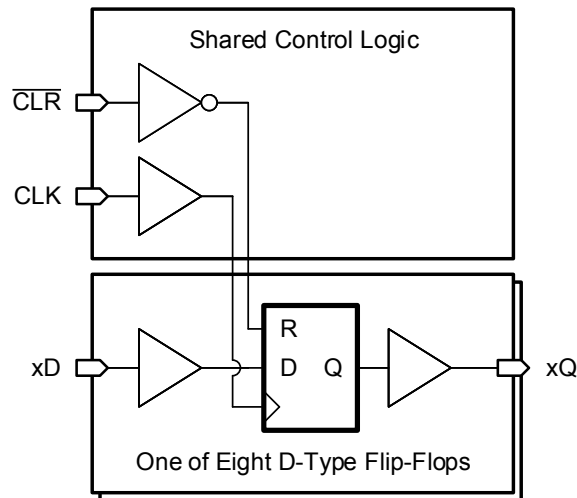
具有复位功能的 CDx4HC(T)273 高速 CMOS 逻辑八路 D 型触发器

1 特性

- 通用时钟和异步控制器复位
- 正边沿触发
- 缓冲输入
- 扇出 (在温度范围内)
 - 标准输出: 10 个 LSTTL 负载
 - 总线驱动器输出: 15 个 LSTTL 负载
- 宽工作温度范围: -55°C 至 125°C
- 平衡的传播延迟及转换时间
- 与 LSTTL 逻辑 IC 相比, 功耗显著降低
- HC 类型:
 - 工作电压为 2V 至 6V
 - 高抗噪性: 当 $V_{\text{CC}} = 5\text{V}$ 时, $N_{\text{IL}} = 30\%$, $N_{\text{IH}} = V_{\text{CC}}$ 的 30%
- HCT 类型:
 - 工作电压为 4.5V 至 5.5V
 - 直接 LSTTL 输入逻辑兼容性, $V_{\text{IL}} = 0.8\text{V}$ (最大值), $V_{\text{IH}} = 2\text{V}$ (最小值)
 - CMOS 输入兼容性, 当电压为 V_{OL} 、 V_{OH} 时, $I_{\text{I}} \leq 1\mu\text{A}$

2 应用

- 将数据与时钟同步
- 简单内存 - 8 位



功能方框图

3 说明

CD54HC273、CD74HC273、CD54HCT273 和 CD74HCT273 高速八路 D 型触发器具有直接清零输入, 使用硅栅 CMOS 技术制造而成。这些器件具有标准 CMOS 集成电路的低功耗特性。

D 输入端的信息在时钟脉冲的上升沿传输到 Q 输出端。所有八个触发器均由通用时钟 (CLK) 和通用复位 (CLR) 控制。复位通过低电压电平完成, 与时钟无关。所有八个 Q 输出端复位至逻辑 0。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
CD54HC273F	J (CDIP, 20)	26.92mm × 6.92mm
CD74HC273M	DW (SOIC, 20)	12.80mm × 7.50mm
CD74HC273E	N (PDIP, 20)	25.40mm × 6.35mm
CD74HCT273M	DW (SOIC, 20)	12.80mm × 7.50mm
CD74HCT273	N (PDIP, 20)	25.40mm × 6.35mm

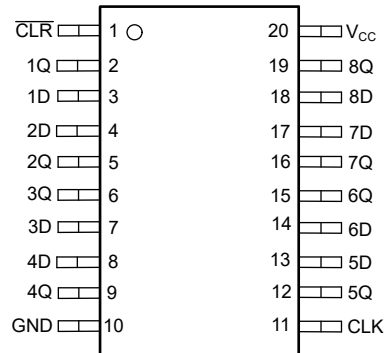
- (1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



内容

1 特性	1	7.3 特性说明.....	11
2 应用	1	7.4 器件功能模式.....	13
3 说明	1	8 应用和实施	14
4 引脚配置和功能	3	8.1 应用信息.....	14
5 规格	4	8.2 典型应用.....	14
5.1 绝对最大额定值.....	4	8.3 电源相关建议.....	17
5.2 建议运行条件.....	4	8.4 布局.....	17
5.3 热性能信息.....	4	9 器件和文档支持	19
5.4 电气特性.....	5	9.1 文档支持.....	19
5.5 时序要求.....	6	9.2 接收文档更新通知.....	19
5.6 开关特性.....	6	9.3 支持资源.....	19
5.7 典型特性.....	7	9.4 商标.....	19
6 参数测量信息	8	9.5 静电放电警告.....	19
7 详细说明	10	9.6 术语表.....	19
7.1 概述.....	10	10 修订历史记录	19
7.2 功能方框图.....	10	11 机械、封装和可订购信息	20

4 引脚配置和功能



J、DW 或 N 封装
20 引脚 CDIP、PDIP 或 SOIC
顶视图

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
1D	3	I	通道 1 输入
1Q	2	O	通道 1 输出
2D	4	I	通道 2 输入
2Q	5	O	通道 2 输出
3D	7	I	通道 3 输入
3Q	6	O	通道 3 输出
4D	8	I	通道 4 输入
4Q	9	O	通道 4 输出
5D	13	I	通道 5 输入
5Q	12	O	通道 5 输出
6D	14	I	通道 6 输入
6Q	15	O	通道 6 输出
7D	17	I	通道 7 输入
7Q	16	O	通道 7 输出
8D	18	I	通道 8 输入
8Q	19	O	通道 8 输出
CLK	11	I	所有通道的时钟，上升沿触发
$\overline{\text{CLR}}$	1	I	清除所有通道，低电平有效
GND	10	G	接地
V _{CC}	20	P	正电源

(1) I = 输入，O = 输出，G = 地，P = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压	-0.5	7	V
I _{IK}	输入钳位二极管电流 (V _I < -0.5V 或 V _I > V _{CC} + 0.5V)		±20	mA
I _{OK}	输出钳位二极管电流 (V _O < -0.5V 或 V _O > V _{CC} + 0.5V)		±20	mA
I _O	每个输出的漏极电流 对于 -0.5V < V _O < V _{CC} + 0.5V		±25	mA
I _O	每个输出引脚的输出拉电流或灌电流 (V _O > -0.5V 或 V _O < V _{CC} + 0.5V)		±25	mA
	通过 V _{CC} 或接地电流的持续电流		±50	mA
T _J	结温		150	°C
T _{stg}	贮存温度范围	-65	150	°C
	引线温度 (焊接 10s) (SOIC - 仅限引线尖端)		300	°C

(1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 建议运行条件

		最小值	最大值	单位	
T _A	温度范围	-55	125	°C	
V _{CC}	电源电压范围	HC 类型	2	6	V
		HCT 类型	4.5	5.5	
V _I , V _O	直流输入或输出电压	0	V _{CC}	V	
t _t	输入上升和下降时间	2V	1000	ns	
		4.5V	500		
		6V	400		

5.3 热性能信息

热指标		DW (SOIC)	N (PDIP)	单位
		20 引脚	20 引脚	
R _{θJA}	结至环境热阻 ⁽¹⁾	58	69	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.4 电气特性

参数	测试条件 ⁽²⁾	V _{CC} (V)	25°C			-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
HC 类型										
V _{IH}	高电平输入电压		2	1.5		1.5		1.5		V
			4.5	3.15		3.15		3.15		
			6	4.2		4.2		4.2		
V _{IL}	低电平输入电压		2		0.5		0.5		0.5	V
			4.5		1.35		1.35		1.35	
			6		1.8		1.8		1.8	
V _{OH}	高电平输出电压 CMOS 负载	I _{OH} = -20 μA	2	1.9		1.9		1.9		V
		I _{OH} = -20 μA	4.5	4.4		4.4		4.4		
		I _{OH} = -20 μA	6	5.9		5.9		5.9		
	高电平输出电压 TTL 负载	I _{OH} = -4mA	4.5	3.98		3.84		3.7		V
		I _{OH} = -5.2mA	6	5.48		5.34		5.2		
V _{OL}	低电平输出电压 CMOS 负载	I _{OL} = 20 μA	2		0.1		0.1		0.1	V
		I _{OL} = 20 μA	4.5		0.1	-	0.1	-	0.1	
		I _{OL} = 20 μA	6		0.1		0.1		0.1	
	低电平输出电压 TTL 负载	I _{OL} = 4mA	4.5		0.26		0.33		0.4	V
		I _{OL} = 5.2mA	6		0.26		0.33		0.4	
I _I	输入漏电流	V _I = V _{CC} 或 GND	6		±0.1		±1		±1	mA
I _{CC}	静态器件电流	V _I = V _{CC} 或 GND	6		8		80		160	mA
HCT 类型										
V _{IH}	高电平输入电压		4.5 至 5.5	2		2		2		V
V _{IL}	低电平输入电压		4.5 至 5.5		0.8		0.8		0.8	V
V _{OH}	高电平输出电压 CMOS 负载	I _{OH} = -20 μA	4.5	4.4		4.4		4.4		V
	高电平输出电压 TTL 负载	I _{OH} = -4mA	4.5	3.98		3.84		3.7		
V _{OL}	低电平输出电压 CMOS 负载	I _{OL} = 20 μA	4.5		0.1		0.1		0.1	V
	低电平输出电压 TTL 负载	I _{OL} = 4mA	4.5		0.26		0.33		0.4	
I _I	输入漏电流	V _I = V _{CC} 或 GND	5.5		±0.1		±1		±1	μA
I _{CC}	静态器件电流	V _I = V _{CC} 或 GND	5.5		8		80		160	μA
ΔI _{CC} ⁽¹⁾	每个输入引脚的附加 静态器件电流	CLR 输入保持在 V _{CC} - 2.1	4.5 至 5.5	100	540		675		735	μA
		数据输入保持在 V _{CC} - 2.1	4.5 至 5.5	100	144		180		196	μA
		CLK 输入保持在 V _{CC} - 2.1	4.5 至 5.5	100	540		675		735	μA

(1) 对于双电源系统，理论上最坏情况 (V_I = 2.4V, V_{CC} = 5.5V) 下的规格为 1.8mA。

(2) 除非另有说明，否则 V_I = V_{IH} 或 V_{IL}。

5.5 时序要求

请参阅参数测量信息

参数		V _{CC} (V)	25°C			-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
HC 类型										
f _{MAX}	最大时钟频率	2	6			5		4		MHz
		4.5	30			25		20		
		6	35			29		23		
t _W	CLR 脉冲宽度	2	60			75		90		ns
		4.5	12			15		18		
		6	10			13		15		
t _W	时钟脉冲宽度	2	80			100		120		ns
		4.5	16			20		24		
		6	14			17		20		
t _{SU}	数据到时钟建立时间	2	60			75		70		ns
		4.5	12			15		18		
		6	10			13		15		
t _H	数据到时钟保持时间	2	3			3		3		ns
		4.5	3			3		3		
		6	3			3		3		
t _{REM}	CLR 到时钟移除时间	2	50			65		75		ns
		4.5	10			13		15		
		6	9			11		13		
HCT 类型										
f _{MAX}	最大时钟频率	4.5	25			20		16		MHz
t _W	CLR 脉冲宽度	4.5	12			15		18		ns
t _W	时钟脉冲宽度	4.5	20			25		30		ns
t _{SU}	数据到时钟建立时间	4.5	12			15		18		ns
t _H	数据到时钟保持时间	4.5	3			3		3		ns
t _{REM}	CLR 到时钟移除时间	4.5	10			13		15		ns

5.6 开关特性

输入 t_r、t_f = 6ns (请参阅参数测量信息)

参数		测试条件	V _{CC} (V)	25°C		-40°C 至 85°C	-55°C 至 125°C	单位
				典型值	最大值	最大值	最大值	
HC 类型								
t _{PLH} 、 t _{PHL}	传播延迟 时钟到输出	C _L = 50pF	2	150		190	225	ns
			4.5	30		38	45	
			6	26		30	38	
		C _L = 15pF	5	12				
t _{PHL}	传播延迟 CLR 到输出	C _L = 50pF	2	150		190	225	ns
			4.5	30		38	45	
			6	26		30	38	

5.6 开关特性 (续)

输入 t_r 、 $t_f = 6\text{ns}$ (请参阅参数测量信息)

参数	测试条件	$V_{CC}(V)$	25°C		-40°C 至 85°C	-55°C 至 125°C	单位
			典型值	最大值	最大值	最大值	
t_{TLH} 、 t_{THL}	输出转换时间	$C_L = 50\text{pF}$	2	75	95	110	ns
			4.5	15	19	22	
			6	13	16	19	
C_{IN}	输入电容		10	10	10	pF	
f_{MAX}	最大时钟频率	$C_L = 15\text{pF}$	5	60			MHz
C_{PD}	功率耗散电容 ^{(1) (2)}		5	25			pF
HCT 类型							
t_{PLH} 、 t_{PHL}	传播延迟， 时钟到输出	$C_L = 50\text{pF}$	4.5	30	38	45	ns
			$C_L = 15\text{pF}$	5	12		
t_{PHL}	传播延迟， $\overline{\text{CLR}}$ 到输出	$C_L = 50\text{pF}$	4.5	32	40	48	ns
t_{TLH} 、 t_{THL}	输出转换时间	$C_L = 50\text{pF}$	4.5	15	19	22	ns
C_{IN}	输入电容			10	10	10	pF
f_{MAX}	最大时钟频率	$C_L = 15\text{pF}$	5	50			MHz
C_{PD}	功率耗散电容 ^{(1) (2)}		5	25			pF

(1) C_{PD} 用于确定每个触发器的动态功耗

$$(2) \quad P_D = C_{PD}V_{CC}^2f_i + \sum(C_LV_{CC}^2f_o) \quad (1)$$

其中

- f_i = 输入频率
- f_o = 输出频率
- C_L = 输出负载电容
- V_{CC} = 电源电压

5.7 典型特性

$T_A = 25^\circ\text{C}$

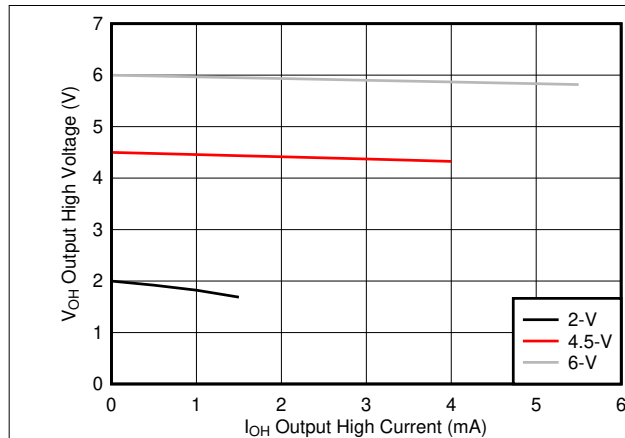


图 5-1. 高电平状态下的典型输出电压 (V_{OH})

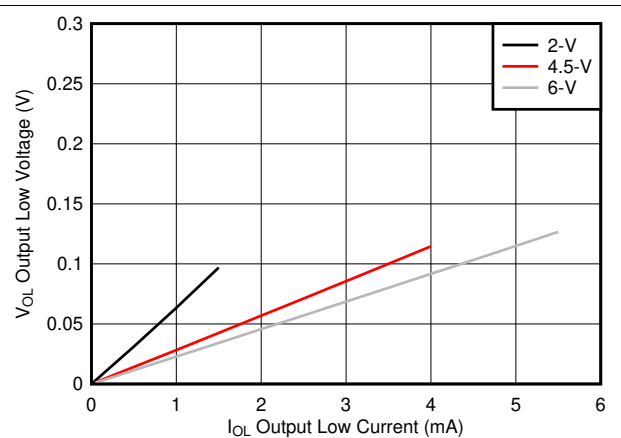


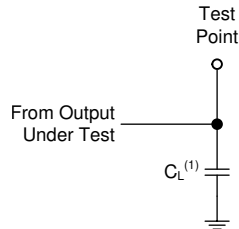
图 5-2. 低电平状态下的典型输出电压 (V_{OL})

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f < 6$ 。

对于时钟输入， f_{\max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



(1) C_L 包括探头和测试夹具电容。

图 6-1. 推挽输出的负载电路

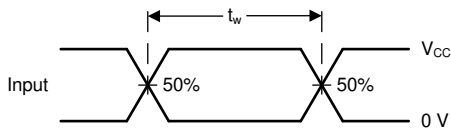


图 6-2. 电压波形，标准 CMOS 输入脉冲持续时间

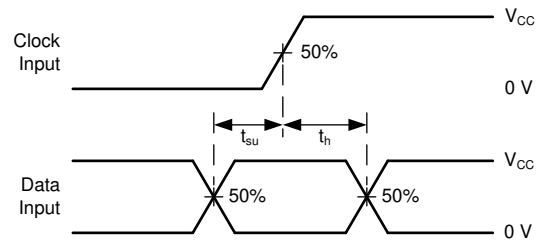
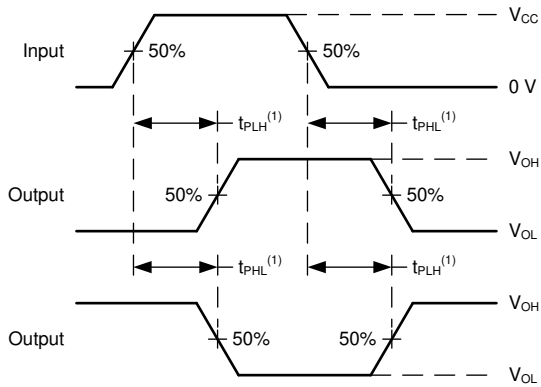
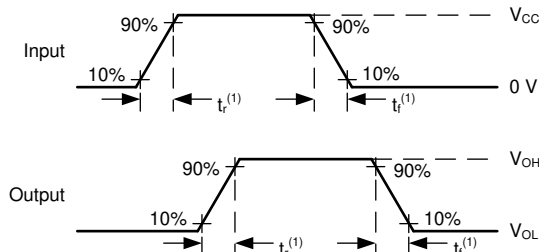


图 6-3. 电压波形，标准 CMOS 输入建立和保持时间



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-4. 电压波形，标准 CMOS 输入的传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-5. 电压波形，标准 CMOS 输入的建立和保持时间

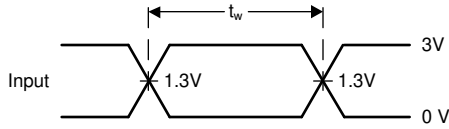


图 6-6. 电压波形，TTL 兼容型 CMOS 输入脉冲持续时间

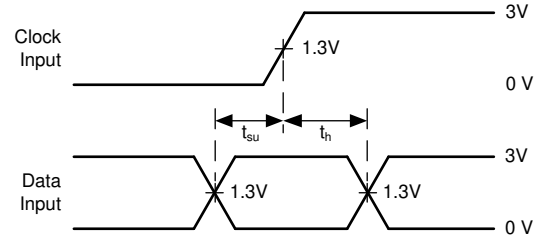
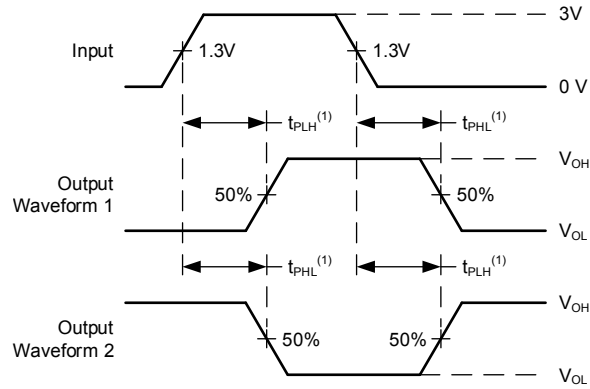


图 6-7. 电压波形，TTL 兼容型 CMOS 输入建立和保持时间



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-8. 电压波形，TTL 兼容型输入的传播延迟

7 详细说明

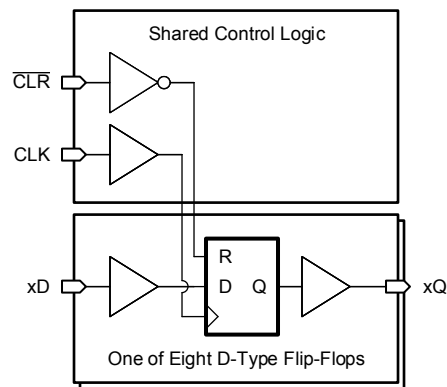
7.1 概述

CDxHC(T)273 器件是一款具有共享直接低电平有效清零 ($\overline{\text{CLR}}$) 输入的正边沿触发式八路 D 类触发器。

数据 (D) 输入上满足设置时间要求的信息被发送到时钟 (CLK) 脉冲上升沿的 (Q) 输出。时钟触发在一个特定电压电平下发生，并且不与正向脉冲的转换时间直接相关。当 CLK 处于高电平或低电平或从高电平转为低电平时，D 输入对输出没有影响。

数据 (Q) 输出上的信息可通过清零 ($\overline{\text{CLR}}$) 引脚利用低电平输入异步清零。

7.2 功能方框图



7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

7.3.2 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是使用 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入泄漏电流，根据欧姆定律 ($R = V \div I$) 计算得出。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\Omega$ 电阻器，这通常可以满足所有要求。

7.3.3 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是使用 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，根据欧姆定律 ($R = V \div I$) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\Omega$ 电阻器，这通常可以满足所有要求。

7.3.4 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-1 所示。

小心

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

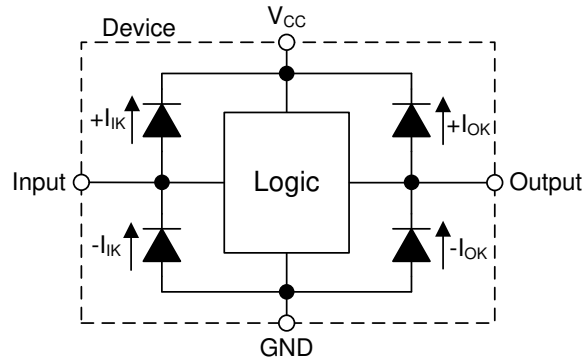


图 7-1. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入 ⁽¹⁾			输出 ⁽²⁾
CLR	CLK	D	Q
L	X	X	L
H	L、H、↓	X	Q ₀
H	↑	L	L
H	↑	H	H

- (1) L = 输入低电平，H = 输入高电平，↑ = 输入从低电平转换到高电平，↓ = 输入从高电平转换到低电平，X = 不用考虑
- (2) L = 输出低电平，H = 输出高电平，Q₀ = 上一状态

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

CDxHC(T)273 用于将传入数据与 8 位总线上的系统时钟同步。

8.2 典型应用

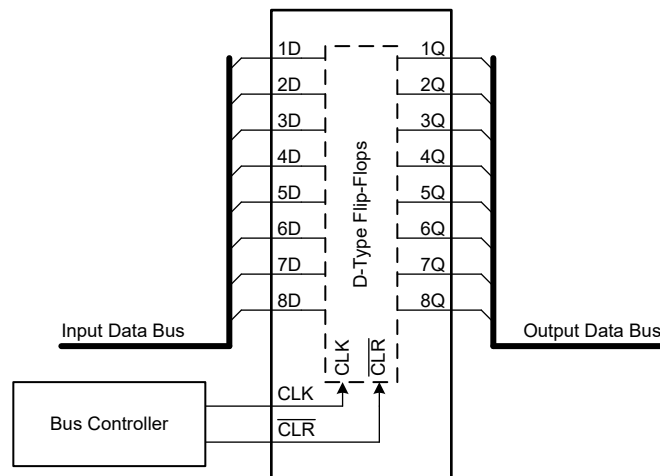


图 8-1. 典型应用图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在 *电气特性* 中规定的范围内。电源电压决定器件的电气特性，如 *电气特性* 部分所述。

正电压电源必须能够提供的电流等于 CDxHC(T)273 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 CDxHC(T)273 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

CDxHC(T)273 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

CDxHC(T)273 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 应用手册中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 CDxHC(T)273 的漏电流 (如 *电气特性* 中所规定) 以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10k Ω 的电阻值。

CDxHC(T)273 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如 *电气特性* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅 *特性描述*。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据 *电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据 *电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅 *特性说明* 部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。布局部分中展示了示例布局。
2. 验证输出端的容性负载是否 $\leq 50\text{pF}$ 。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 CDxHC(T)273 向一个或多个接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(\max)}) \Omega$ 。这可防止超出绝对最大额定值中的最大输出电流。大多数 CMOS 输入具有以 $M \Omega$ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用手册 CMOS 功耗与 Cpd 计算中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

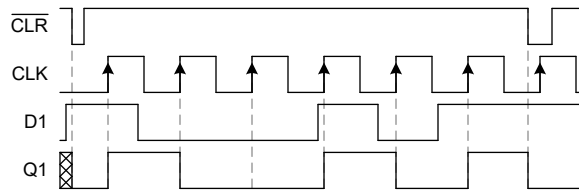


图 8-2. 应用时序图、显示了一个数据通道

8.3 电源相关建议

电源可以是 *建议运行条件* 中所列最小和最大电源电压额定值之间的任何电压。

确保每个 V_{CC} 端子都配置了良好的旁路电容器，以防功率止干扰。对于 CDxHC(T)273，建议使用 $0.1 \mu F$ 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 $0.1 \mu F$ 和 $1 \mu F$ 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 并行布线之间必须至少间隔 3 倍电介质厚度
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

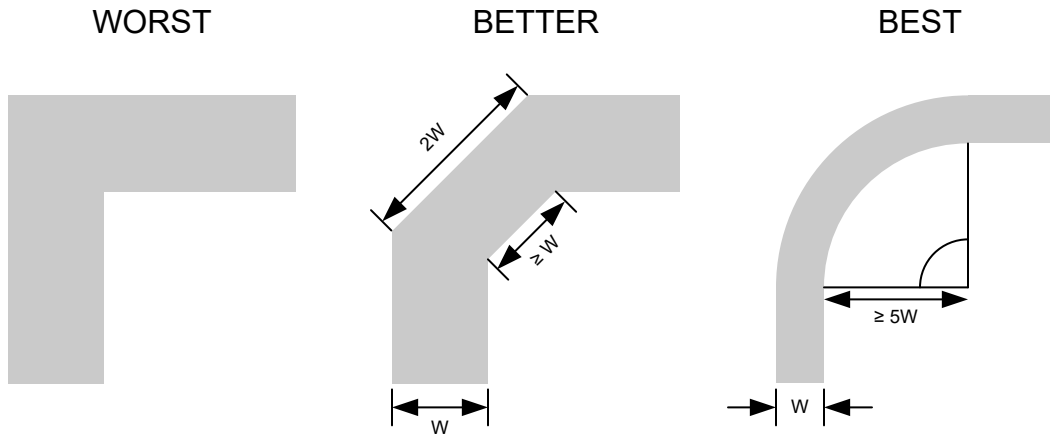


图 8-3. 可改善信号完整性的布线转角示例

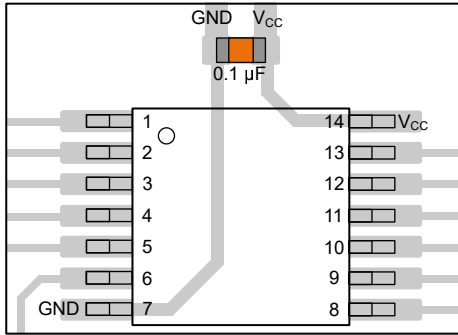


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

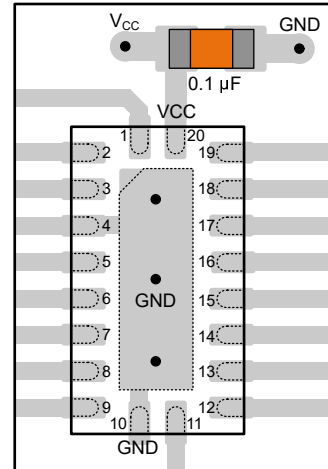


图 8-5. WQFN 和类似封装的旁路电容器放置示例

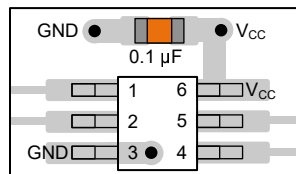


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

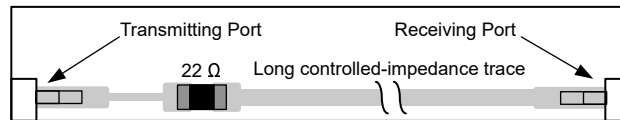


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI), [CMOS 功耗与 \$C_{pd}\$ 计算应用手册](#)
- 德州仪器 (TI), [使用逻辑器件进行设计应用手册](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (January 2022) to Revision D (October 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了 <i>应用</i> 、 <i>应用和实现</i> 、 <i>典型特性</i> 和 <i>典型应用示例</i> 部分.....	1
• 更新了 <i>电源相关建议</i>	1
• 更新了 <i>布局指南</i>	1
• 将 <i>布局</i> 移动到 <i>应用和实现</i> 部分.....	1
• 添加了“引脚功能”表.....	3
• 更新了引脚配置图.....	3
• 从 <i>开关规格的先决条件</i> 更改为： <i>时序要求</i>	6
• 将 <i>详细说明</i> 移动到 <i>参数测量信息</i> 之后.....	9
• 添加了 <i>特性说明</i>	9

- 将器件功能模式移动到特性说明之后.....9

Changes from Revision B (May 2003) to Revision C (January 2022) Page

- 更新了整个文档中的编号、格式、表格、图和交叉参考，以反映现代数据表标准.....1
- 更新了引脚名称，以符合现行的 TI 命名规则 \overline{MR} 更新为 \overline{CLR} 、Q0 更新为 1Q、D0 更新为 1D、D1 更新为 2D、Q1 更新为 2Q、Q2 更新为 3Q、D2 更新为 3Q、D3 更新为 4D、Q3 更新为 4Q、CP 更新为 CLK、Q4 更新为 5Q、D4 更新为 5D、D5 更新为 D6、Q5 更新为 6Q、Q6 更新为 7Q、D6 更新为 7D、D7 更新为 8D、Q7 更新为 8Q.....1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8772501RA	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8772501RA CD54HCT273F3A
CD54HC273F	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC273F
CD54HC273F.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC273F
CD54HC273F3A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409901RA CD54HC273F3A
CD54HC273F3A.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409901RA CD54HC273F3A
CD54HCT273F	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HCT273F
CD54HCT273F.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HCT273F
CD54HCT273F3A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8772501RA CD54HCT273F3A
CD54HCT273F3A.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8772501RA CD54HCT273F3A
CD74HC273E	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC273E
CD74HC273E.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC273E
CD74HC273M	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-55 to 125	HC273M
CD74HC273M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC273M
CD74HC273M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC273M
CD74HC273M96E4	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC273M
CD74HCT273E	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT273E
CD74HCT273E.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT273E
CD74HCT273EE4	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT273E
CD74HCT273M	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-55 to 125	HCT273M
CD74HCT273M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT273M
CD74HCT273M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT273M

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC273, CD54HCT273, CD74HC273, CD74HCT273 :

- Catalog : [CD74HC273](#), [CD74HCT273](#)
- Military : [CD54HC273](#), [CD54HCT273](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC273M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
CD74HC273M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74HCT273M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74HCT273M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC273M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74HC273M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74HCT273M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74HCT273M96	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74HC273E	N	PDIP	20	20	506	13.97	11230	4.32
CD74HC273E.A	N	PDIP	20	20	506	13.97	11230	4.32
CD74HCT273E	N	PDIP	20	20	506	13.97	11230	4.32
CD74HCT273E.A	N	PDIP	20	20	506	13.97	11230	4.32
CD74HCT273EE4	N	PDIP	20	20	506	13.97	11230	4.32

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package is hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月