

# 符合 CDCDB2000 DB2000QL 标准的 20 输出时钟缓冲器，适用于 PCIe 第 1 代到第 7 代

## 1 特性

- 具有集成  $85\Omega$  输出终端的 20 LP-HCSL 输出
- 8 种硬件输出使能 (OE#) 控制
- 使用 DB2000QL 滤波器之后的附加相位抖动： $< 0.08\text{ps rms}$
- 支持 PCIe 第 6 代和第 7 代常见时钟 (CC) 频率和单独基准 (IR) 架构
  - 与展频技术兼容
- 周期间抖动： $< 50\text{ps}$
- 输出到输出偏斜： $< 50\text{ps}$
- 输入到输出延迟： $< 3\text{ns}$
- 3.3V 内核和 IO 电源电压
- 硬件控制的低功耗模式 (PD#)
- 用于在 PD# 模式下进行输出控制的边带接口 (SBI)
- 9 个可选 SMBus 地址
- 功耗： $< 600\text{mW}$
- 6mm × 6mm, 80 引脚 TLGA/GQFN 封装

## 2 应用

- 微服务器和塔式服务器
- 存储区域网络和主机总线适配器卡
- 网络连接存储
- 硬件加速器

## 3 说明

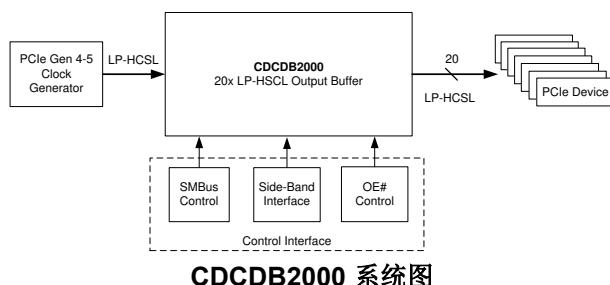
CDCDB2000 是一款符合 DB2000QL 标准的 20 输出 LP-HCSL 时钟缓冲器，能够为 PCIe 第 1 代到第 7 代、QuickPath Interconnect (QPI)、UPI、SAS 和 SATA 接口分配参考时钟。使用 SMBus、SBI 和 8 输出使能引脚，可以单独配置和控制所有 20 个输出。CDCDB2000 是一个 DB2000QL 衍生缓冲器，达到或超过 DB2000QL 规格中的系统参数。CDCDB2000 采用具有 80 个引线的 6mm × 6mm TLGA/GQFN 封装。

### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
CDCDB2000	TLGA (80)	6.00mm × 6.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品目录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



**CDCDB2000 系统图**



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 [ti.com](http://ti.com) 参考最新的英文版本 (控制文档)。

## 内容

<b>1 特性</b>	<b>1</b>	<b>7 寄存器映射</b>	<b>17</b>
<b>2 应用</b>	<b>1</b>	<b>7.1 CDCDB2000 寄存器</b>	<b>17</b>
<b>3 说明</b>	<b>1</b>	<b>8 应用和实施</b>	<b>23</b>
<b>4 引脚配置和功能</b>	<b>2</b>	<b>8.1 应用信息</b>	<b>23</b>
<b>5 规格</b>	<b>7</b>	<b>8.2 典型应用</b>	<b>23</b>
5.1 绝对最大额定值	7	8.3 电源相关建议	24
5.2 ESD 等级	7	8.4 布局	25
5.3 建议运行条件	7	<b>9 器件和文档支持</b>	<b>28</b>
5.4 热性能信息	7	9.1 器件支持	28
5.5 电气特性	8	9.2 文档支持	28
5.6 时序要求	9	9.3 接收文档更新通知	28
5.7 典型特性	11	9.4 支持资源	28
<b>6 详细说明</b>	<b>12</b>	9.5 商标	<b>28</b>
6.1 概述	12	9.6 静电放电警告	28
6.2 功能方框图	12	9.7 术语表	28
6.3 特性说明	12	<b>10 修订历史记录</b>	<b>28</b>
6.4 器件功能模式	13	<b>11 机械、封装和可订购信息</b>	<b>29</b>
6.5 编程	15		

## 4 引脚配置和功能

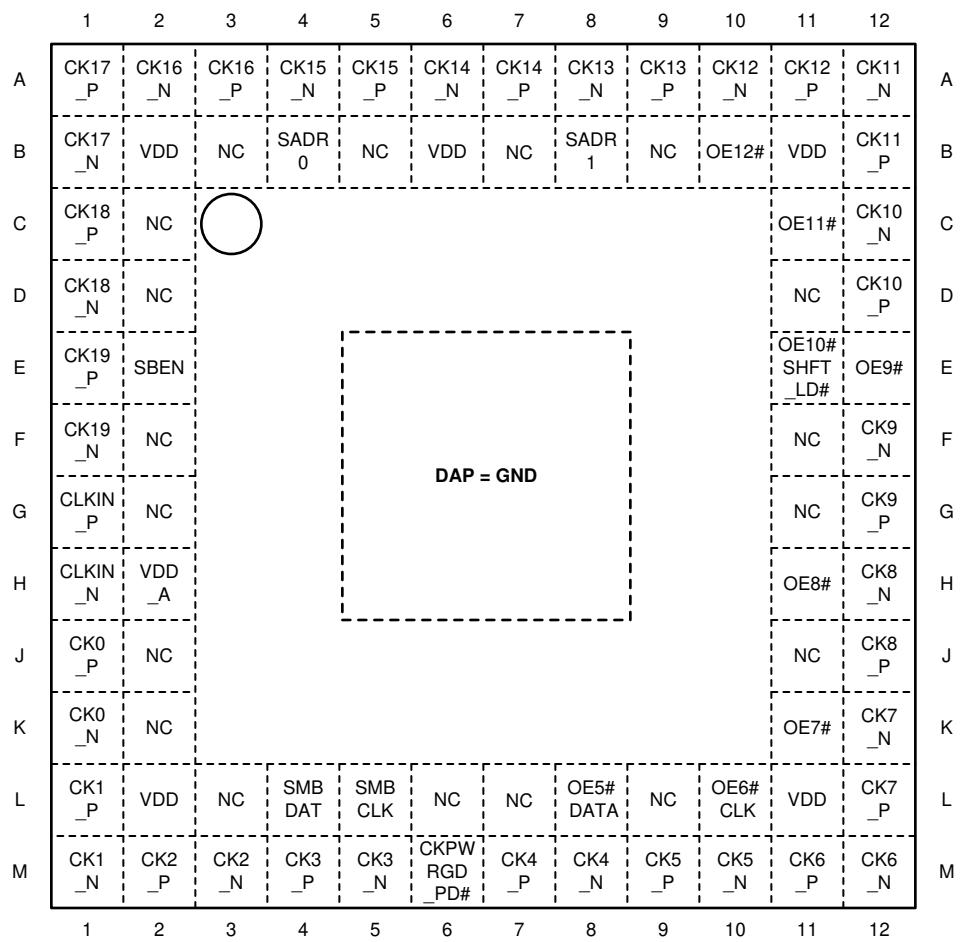


图 4-1. CDCDB2000 NPP 封装 80 引脚 TLGA 顶视图

**表 4-1. 引脚功能**

引脚		I/O 类型 <sup>(2)</sup>	说明
名称 <sup>(1)</sup>	编号		
<b>输入时钟</b>			
CLKIN_P	G1	I	LP-HCSL 差分时钟输入。通常直接连接到时钟源的差分输出。
CLKIN_N	H1	I	
<b>输出时钟</b>			
CK0_P	J1	O	LP-HCSL 通道 0 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK0_N	K1	O	
CK1_P	L1	O	LP-HCSL 通道 1 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK1_N	M1	O	
CK2_P	M2	O	LP-HCSL 通道 2 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK2_N	M3	O	
CK3_P	M4	O	LP-HCSL 通道 3 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK3_N	M5	O	
CK4_P	M7	O	LP-HCSL 通道 4 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK4_N	M8	O	
CK5_P	M9	O	LP-HCSL 通道 5 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 L8 (OE5# / DATA) 置于 DATA 模式或拉至高电平。
CK5_N	M10	O	
CK6_P	M11	O	LP-HCSL 通道 6 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 L10 (OE6# / CLK) 置于 CLK 模式或拉至高电平。
CK6_N	M12	O	
CK7_P	L12	O	LP-HCSL 通道 7 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 K11 (OE7#) 拉至高电平以禁用通道 7 输出。
CK8_P	J12	O	LP-HCSL 通道 8 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 H11 (OE8#) 拉至高电平以禁用通道 8 输出。
CK9_P	G12	O	LP-HCSL 通道 9 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 E12 (OE9#) 拉至高电平以禁用通道 9 输出。
CK9_N	F12	O	
CK10_P	D12	O	LP-HCSL 通道 10 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 E11 (OE10# / SHFT_LD#) 置于 SHFT_LD# 模式或拉至高电平。
CK10_N	C12	O	
CK11_P	B12	O	LP-HCSL 通道 11 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 C11 (OE11#) 拉至高电平以禁用通道 11 输出。
CK11_N	A12	O	
CK12_P	A11	O	LP-HCSL 通道 12 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态，建议将引脚 B10 (OE12#) 拉至高电平以禁用通道 12 输出。
CK12_N	A10	O	
CK13_P	A9	O	LP-HCSL 通道 13 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK13_N	A8	O	
CK14_P	A7	O	LP-HCSL 通道 14 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK14_N	A6	O	
CK15_P	A5	O	LP-HCSL 通道 15 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK15_N	A4	O	
CK16_P	A3	O	LP-HCSL 通道 16 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK16_N	A2	O	

表 4-1. 引脚功能 (续)

引脚		I/O 类型 <sup>(2)</sup>	说明
名称 <sup>(1)</sup>	编号		
CK17_P	A1	O	LP-HCSL 通道 17 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK17_N	B1	O	
CK18_P	C1	O	LP-HCSL 通道 18 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK18_N	D1	O	
CK19_P	E1	O	LP-HCSL 通道 19 的差分时钟输出。通常直接连接到 PCIe 差分时钟输入。如果未使用这些引脚，可以将其保持在未连接状态。
CK19_N	F1	O	
<b>管理和控制</b>			
CKPWRGD_PD#	M6	I, PD	时钟电源正常和断电多功能输入引脚，带内部 $120\text{k}\Omega$ 下拉电阻。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。在第一次高电平转换时，PWRGD 对锁存的 SADR[1:0] 输入进行采样并启动器件。PWRGD 首次置为高电平后，该引脚变为 PD# 引脚，并可控制断电模式： 低电平：断电模式，所有输出通道进入三态。 高电平：正常运行模式。
OE5# DATA	L8	I, PD	通道 5 输出使能，以及带有内部 $120\text{k}\Omega$ 下拉电阻的边带接口数据多功能引脚。通常连接到微控制器的 GPIO。如果两种模式均未使用，则该引脚可保持在未连接状态。 当引脚 E2 = 低电平时，处于 OE5# 模式。通道 5 的输出使能，低电平有效。 低电平：启用输出通道 5。 高电平：禁用输出通道 5。当引脚 E2 = 高电平时，处于 DATA 模式。边带接口数据引脚。
OE6# CLK	L10	I, PD	通道 6 输出使能，以及带有内部 $120\text{k}\Omega$ 下拉电阻的边带接口时钟多功能引脚。通常连接到微控制器的 GPIO。如果两种模式均未使用，则该引脚可保持在未连接状态。 当引脚 E2 = 低电平时，处于 OE6# 模式。通道 6 的输出使能，低电平有效。 低电平：启用输出通道 6。 高电平：禁用输出通道 6。当引脚 E2 = 高电平时，处于 CLK 模式。边带接口时钟引脚。
OE7#	K11	I, PD	通道 7 的输出使能，带有内部 $120\text{k}\Omega$ 下拉电阻，低电平有效。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。 低电平：启用输出通道 7。 高电平：禁用输出通道 7。
OE8#	H11	I, PD	通道 8 的输出使能，带有内部 $120\text{k}\Omega$ 下拉电阻，低电平有效。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。 低电平：启用输出通道 8。 高电平：禁用输出通道 8。
OE9#	E12	I, PD	通道 9 的输出使能，带有内部 $120\text{k}\Omega$ 下拉电阻，低电平有效。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。 低电平：启用输出通道 9。 高电平：禁用输出通道 9。
OE10# SHFT_LD#	E11	I, PD	通道 10 的输出使能，以及带有内部 $120\text{k}\Omega$ 下拉电阻的边带接口负载移位寄存器多功能引脚。通常连接到微控制器的 GPIO。如果两种模式均未使用，则该引脚可保持在未连接状态。当引脚 E2 = 低电平时，处于 OE10# 模式。通道 10 的输出使能，低电平有效。 低电平：启用输出通道 10。 高电平：禁用输出通道 10。当引脚 E2 = 高电平时，处于 SHFT_LD# 模式。边带接口负载移位寄存器引脚。 低电平：禁用边带接口移位寄存器。 高电平：启用边带接口移位寄存器。 下降沿会将边带移位寄存器内容传输到输出寄存器。
OE11#	C11	I, PD	通道 11 的输出使能，带有内部 $120\text{k}\Omega$ 下拉电阻，低电平有效。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。 低电平：启用输出通道 11。 高电平：禁用输出通道 11。

**表 4-1. 引脚功能 (续)**

引脚		I/O 类型 <sup>(2)</sup>	说明
名称 <sup>(1)</sup>	编号		
OE12#	B10	I, PD	通道 12 的输出使能，带有内部 $120\text{k}\Omega$ 下拉电阻，低电平有效。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。 低电平：启用输出通道 12。 高电平：禁用输出通道 12。
SBEN	E2	I, S, PD	带有内部 $120\text{k}\Omega$ 下拉电阻的边带接口使能输入。通常连接到微控制器的 GPIO。如果未使用这些引脚，可以将其保持在未连接状态。该引脚置为有效后将禁用输出使能 (OE#) 引脚。 低电平：OE# 引脚和 SMBus 使能位控制输出，并禁用边带接口。 高电平：边带接口控制输出，OE# 引脚和 SMBus 使能位被禁用。
<b>SMBus 和 SMBus 地址</b>			
SADR0	B4	I, S, PU/PD	SMBus 地址搭接位 [0]。这是一个 3 级输入，与引脚 B8 一同解码以设置 SMBus 地址。当未连接时，该引脚具有连接至 VDD/2 的内部 $120\text{k}\Omega$ 上拉或下拉网络偏置。 对于高电平输入配置，该引脚必须通过外部上拉电阻器 (1k 至 5k, 容差为 5%) 上拉至 3.3V VDD。 对于低电平输入配置，该引脚必须通过外部下拉电阻器 (1k 至 5k, 容差为 5%) 下拉至地。 对于中电平输入配置，该引脚必须保持悬空，并且不连接到 VDD 或地。
SADR1	B8	I, S, PU/PD	SMBus 地址搭接位 [1]。这是一个 3 级输入，与引脚 B4 一同解码以设置 SMBus 地址。当未连接时，该引脚具有连接至 VDD/2 的内部 $120\text{k}\Omega$ 上拉或下拉网络偏置。 对于高电平输入配置，该引脚必须通过外部上拉电阻器 (1k 至 5k, 容差为 5%) 上拉至 3.3V VDD。 对于低电平输入配置，该引脚必须通过外部下拉电阻器 (1k 至 5k, 容差为 5%) 下拉至地。 对于中电平输入配置，该引脚必须保持悬空，并且不连接到 VDD 或地。
SMBCLK	L5	I	SMBus 接口的时钟引脚。通常使用外部上拉电阻器上拉至 3.3V VDD。建议使用大于 8.5k 的上拉电阻值。
SMBDAT	L4	I/O	SMBus 接口的数据引脚。通常使用外部上拉电阻器上拉至 3.3V VDD。建议使用大于 8.5k 的上拉电阻值。
<b>电源电压和接地</b>			
GND	DAP	G	接地。将接地焊盘连接到系统接地。
VDD	B2、B6、B11、 L2、L11	P	LP-HCSL 时钟输出通道的电源输入。连接至 3.3V 电源轨，并使用去耦电容器接地。在电源和接地之间靠近每个电源引脚处放置 0.1 $\mu\text{F}$ 电容器。
VDD_A	H2	P	差分输入时钟的电源输入。连接至 3.3V 电源轨，并使用去耦电容器接地。将 0.1 $\mu\text{F}$ 电容器放置在靠近引脚的位置。
<b>无连接</b>			
NC	B3、B5、B7、 B9、C2、D2、 D11、F2、F11、 G2、G11、J2、 J11、K2、L3、 L6、L7、L9、	—	不要连接到 GND 或 VDD。

(1) 引脚名称末尾的 "#" 符号表示当信号处于低电压电平时，状态为有效。当不带 "#" 时，信号为高电平有效。

(2) 下面的定义定义了每个引脚的 I/O 类型。

- I = 输入
- O = 输出
- I/O = 输入/输出
- PU/PD = 内部  $120\text{k}\Omega$  上拉/下拉电阻网络偏置至 VDD/2
- PD = 内部  $120\text{k}\Omega$  下拉电阻
- S = 硬件配置引脚
- P = 电源

- G = 接地

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

		最小值	最大值	单位
$V_{DD}$ 、 $V_{DD\_A}$	电源电压	-0.3	3.6	V
$V_{IN}$	IO 输入电压	GND	$V_{DD} + 0.5$	V
$T_J$	结温		125	°C
$T_{stg}$	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

### 5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 <sup>(1)</sup>	$\pm 3000$	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 <sup>(2)</sup>	$\pm 1000$	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

### 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
$V_{DD}$	IO 电源电压	3.135	3.3	3.465	V
$V_{DD\_A}$	内核电源电压	3.135	3.3	3.465	V
$T_A$	环境温度	-40		85	°C
$T_J$	结温			125	°C

### 5.4 热性能信息

热指标 <sup>(1)</sup>		CDCDB2000	单位
		NPP (GQFN)	
		80 引脚	
$R_{\theta JA}$	结至环境热阻	32.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	31.2	°C/W
$R_{\theta JB}$	结至电路板热阻	15.9	°C/W
$\Psi_{JT}$	结至顶部特征参数	0.4	°C/W
$\Psi_{JB}$	结至电路板特征参数	15.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	1.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

## 5.5 电气特性

VDD , VDD\_A = 3.3V ± 5% , -40°C < TA < 85°C。典型值是 VDD = VDD\_A = 3.3V、25°C 条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>电流消耗</b>						
I <sub>DD_A</sub>	内核电源电流	工作模式。CKPWRGD_PD# = 1	12			mA
		断电模式。CKPWRGD_PD# = 0	8			
I <sub>DD</sub>	每个输出的 IO 电源电流	禁用所有输出	20			mA
		所有输出有效，100MHz	200			
		断电模式。CKPWRGD_PD# = 0	8			
<b>时钟输入</b>						
f <sub>IN</sub>	输入频率		50	100	250	MHz
V <sub>IN</sub>	输入电压摆幅	CLKIN_P 和 CLKIN_N 之间的差分电压 <sup>(1)</sup>	200	2300		mV <sub>Diff-peak</sub>
dV/dt	输入电压边沿速率	输入摆幅的 20% - 80%	0.7			V/ns
DV <sub>CROSS</sub>	V <sub>CROSS</sub> 的总变化	V <sub>CROSS</sub> 两端的总变化		140		mV
DC <sub>IN</sub>	输入占空比		40	60		%
C <sub>IN</sub>	输入电容 <sup>(2)</sup>	CLKIN_P 和 CLKIN_N 引脚之间的差分电容		2.2		pF
<b>时钟输出</b>						
f <sub>OUT</sub>	输出频率		50	100	250	MHz
C <sub>OUT</sub>	输出电容 <sup>(1)</sup>	CKx_P 和 CKx_N 引脚之间的差分电容		2.2		pF
V <sub>OH</sub>	输出高电压	单端 <sup>(2) (3)</sup>	225	270		mV
V <sub>OL</sub>	输出低电压		10	150		
V <sub>CROSS</sub>	交叉点电压	输入 V <sub>CROSS</sub> 变化幅度为 140mV。 <sup>(3) (4)</sup>	130	200		
DV <sub>CROSS</sub>	V <sub>CROSS</sub> 的总变化	输入 V <sub>CROSS</sub> 变化幅度为 140mV。V <sub>CROSS</sub> 的变化 <sup>(3) (4)</sup>		35		
V <sub>ovs</sub>	过冲电压	<sup>(3)</sup>			V <sub>OH</sub> + 75	
V <sub>uds</sub>	下冲电压	<sup>(3)</sup>			V <sub>OL</sub> - 75	
Z <sub>DIFF</sub>	差分阻抗	在 V <sub>OL</sub> /V <sub>OH</sub> 时测得	81	85	89	Ω
Z <sub>DIFF_CROS</sub>	差分阻抗	在 V <sub>CROSS</sub> 时测得	68	85	102	
t <sub>EDGE</sub>	边沿速率	在 V <sub>CROSS</sub> 时测得		2	20	V/ns
Dt <sub>EDGE</sub>	边沿速率匹配	在 V <sub>CROSS</sub> 时测得			20	%
t <sub>STABLE</sub>	电源正常状态置位到稳定时钟输出	CKPWRGD_PD# 引脚从 0 转换到 1 , f <sub>IN</sub> = 100MHz	在 PWRGD 达到 0.2V 时测得		1.8	ms
t <sub>DRIVE_PD#</sub>	电源正常状态置位到输出驱动为高电平	CKPWRGD_PD# 引脚从 0 转换到 1 , f <sub>IN</sub> = 100MHz	在 PWRGD 达到 0.2V 时测得		300	μs
t <sub>OE</sub>	输出使能置位到稳定时钟输出	OEx# 引脚从 1 转换到 0		10		CLKIN 周期
t <sub>OD</sub>	输出使能置为无效到无时钟输出	OEx# 引脚从 0 转换到 1		10		
t <sub>PD</sub>	断电状态置位到无时钟输出	CKPWRGD_PD# 引脚从 1 转换到 0		3		
t <sub>DCD</sub>	占空比失真	差分 ; f <sub>IN</sub> = 100MHz , f <sub>IN_DC</sub> = 50%		-1.0	1.0	%
t <sub>DLY</sub>	传播延迟	<sup>(5)</sup>		0.5	3	ns
t <sub>SKEW</sub>	输出之间的偏移	<sup>(6)</sup>			50	ps

## 5.5 电气特性 (续)

VDD, VDD\_A = 3.3V ± 5%, -40°C < TA < 85°C。典型值是 VDD = VDD\_A = 3.3V、25°C 条件下的值 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
J <sub>CKx_PCIE</sub>	附加抖动	DB2000QL 滤波器		0.08	ps, rms
	PCIe7 的附加抖动	PCIe7.0 滤波器		11.3	fs, rms
	PCIe6 的附加抖动	PCIe6.0 滤波器		16.1	fs, rms
	PCIe5 的附加抖动	PCIe5.0 滤波器		26.4	fs, rms
	PCIe4 的附加抖动	PLL BW = 2 至 5MHz ; CDR = 10MHz	输入时钟压摆率 ≥ 1.8V/ns	0.08	ps, rms
	PCIe3 的附加抖动		输入时钟压摆率 ≥ 0.6V/ns	0.15	ps, rms
J <sub>CKx_PCIE</sub>	PCIe2 的附加抖动	PCIe2 滤波器		0.2	ps, rms
J <sub>CKx_PCIE</sub>	PCIe1 的附加抖动	PCIe1 滤波器		5	ps, rms
J <sub>CKx</sub>	附加抖动	f <sub>IN</sub> = 100MHz ; 压摆率 ≥ 3V/ns ; 12kHz 至 20MHz 积分带宽。		155	fs, rms

### SMBus 接口、边带接口、OEx#、CKPWRGD\_PD#、SBEN

V <sub>IH</sub>	高电平输入电压		2.0	V
V <sub>IL</sub>	低电平输入电压		0.8	
I <sub>IL</sub>	输入漏电流	具有内部上拉/下拉电阻	GND < V <sub>IN</sub>	μA
		无内部上拉/下拉电阻	< V <sub>DD</sub>	
C <sub>IN</sub>	输入电容		4.5	pF
C <sub>OUT</sub>	输出电容		4.5	pF

### 3 级数字接口 (SA\_0、SA\_1)

V <sub>IHT</sub>	高电平输入电压		2.4	V
V <sub>IMT</sub>	中电平输入电压		1.3 V <sub>DD</sub> /2 1.8	
V <sub>ILT</sub>	低电平输入电压			0.9
I <sub>INT</sub>	输入高电流	V <sub>IN</sub> = V <sub>DD</sub> , V <sub>IN</sub> = GND	-10 10	
I <sub>Leak</sub>	输入漏电流	具有内部上拉/下拉电阻	GND < V <sub>IN</sub> < V <sub>DD</sub>	μA
			-30 30	

- (1) 电压摆幅包括过冲。
- (2) 未经量产测试。通过设计和特性确认。
- (3) 在直流测试负载中测量。
- (4) 当 CKx\_P = CKx\_N (相对于系统接地) 时, V<sub>CROSS</sub> 是单端电压。仅在 CKx 的上升沿有效 (CKx\_P 上升期间)。
- (5) 从 CLK\_IN 的上升沿测量到任何 CKx 输出。
- (6) 从任何 CKx 输出的上升沿测量到任何其他 CKx 输出。

## 5.6 时序要求

VDD, VDD\_A = 3.3V ± 5%, -40°C < TA < 85 °C。典型值是 VDD = VDD\_A = 3.3V、25°C 条件下的值 (除非另有说明)

		最小值	标称值	最大值	单位
<b>SMBUS 兼容接口时序</b>					
f <sub>SMB</sub>	SMBus 工作频率	10	100	kHz	
t <sub>BUF</sub>	STOP 和 START 之间的总线空闲时间	4.7	μs		
t <sub>HD_STA</sub>	启动条件保持时间	4			
t <sub>SU_STA</sub>	启动条件设置时间	4.7			
t <sub>SU_STO</sub>	停止条件建立时间	4			

VDD , VDD\_A = 3.3V ± 5% , -40°C < TA < 85 °C。典型值是 VDD = VDD\_A = 3.3V、25°C 条件下的值 (除非另有说明)

			最小值	标称值	最大值	单位
$t_{HD\_DAT}$	SMBDAT 保持时间		300			ns
$t_{SU\_DAT}$	SMBDAT 设置时间		250			
$t_{TIMEOUT}$	检测 SMBCLK 低电平超时		25	35	ms	
$t_{LOW}$	SMBCLK 低电平时间		4.7			$\mu$ s
$t_{HIGH}$	SMBCLK 高电平周期		4	50		
$t_{LOW\_SL}$	累计时钟低电平延长时间			25	ms	
$t_F$	SMBCLK/SMBDAT 下降时间 <sup>(1)</sup>			300		ns
$t_R$	SMBCLK/SMBDAT 上升时间 <sup>(2)</sup>			1000		

#### 边带接口时序

$t_{PERIOD}$	时钟周期		40		ns
$t_{SETUP}$	时钟建立时间		25		
$t_{DSU}$	数据设置时间		10		
$t_{DHOLD}$	数据保持时间		5		
$t_{DELAY}$	延迟时间		25		
$t_{PDLY}$	传播延迟		4	10	CLK 周期
$t_{SLEW}$	时钟压摆率	20% - 80%	0.2	3	V/ns

(1)  $TF = (VIHMIN + 0.15)$  至  $(VILMAX - 0.15)$

(2)  $TR = (VILMAX - 0.15)$  至  $(VIHMIN + 0.15)$

## 5.7 典型特性

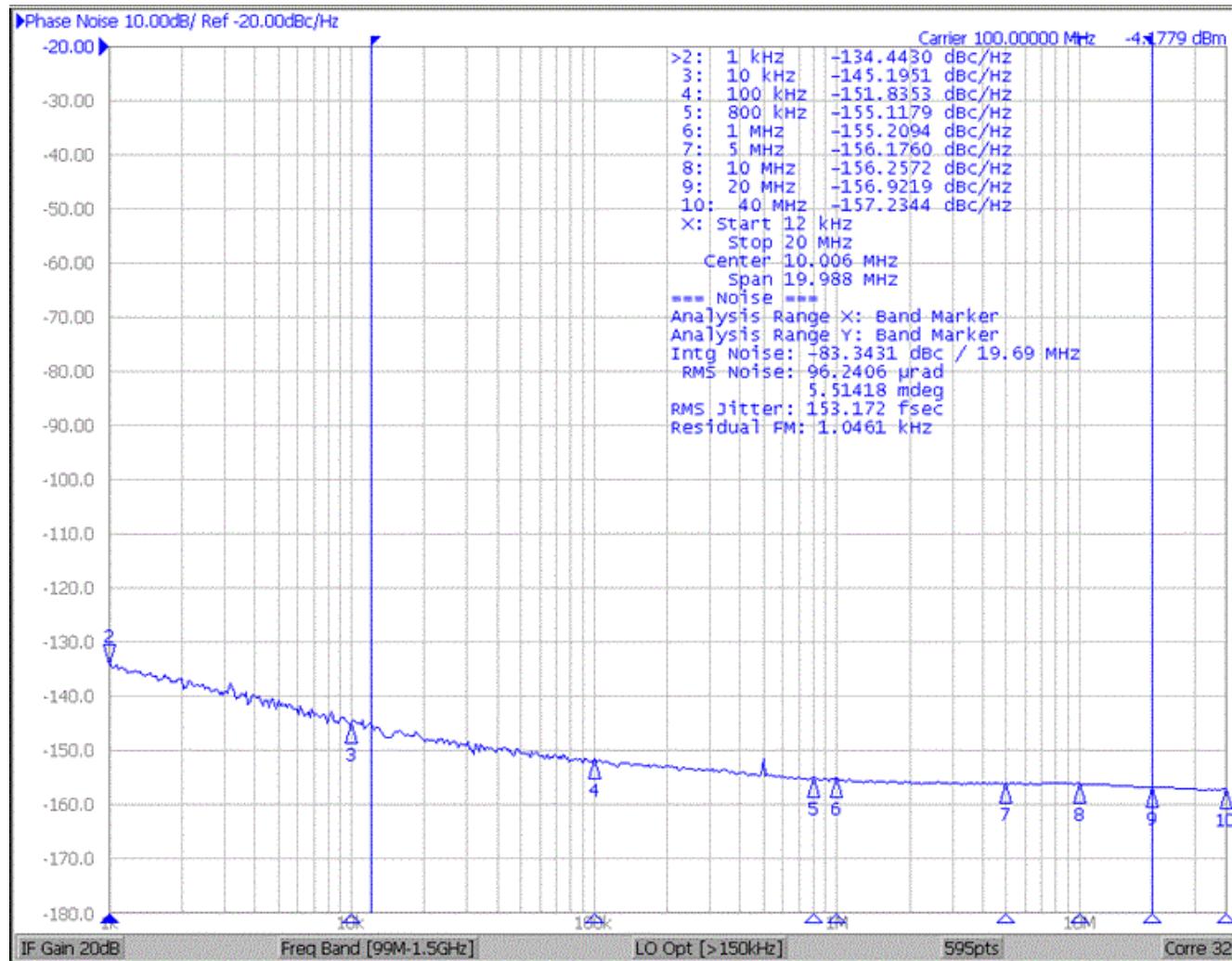


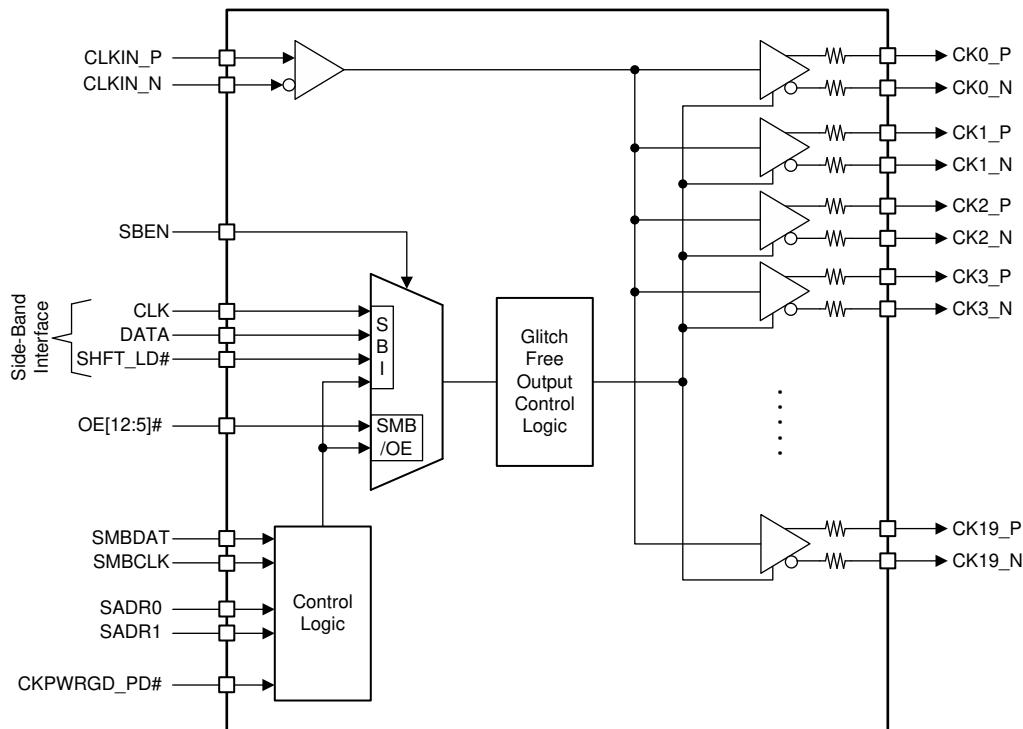
图 5-1. CDCDB2000 时钟输出 (CK0:19) 相位噪声

## 6 详细说明

### 6.1 概述

CDCDB2000 是一款低附加抖动、低传播延迟时钟缓冲器，旨在满足 PCIe 第 1 代到第 7 代、QPI 和 UPI 基准时钟的严格性能要求。CDCDB2000 可缓冲单个时钟源，并可将其复制到多达 20 个 LP-HCSL 格式的独立输出。在使用边带控制接口启用输出之前，可以对 CDCDB2000 的输出进行配置。CDCDB2000 还包含状态和控制寄存器，可通过与 SMBus 2.0 版兼容的接口进行访问。该器件集成了大量外部无源元件，助力降低整体系统成本。

### 6.2 功能方框图



### 6.3 特性说明

#### 6.3.1 输出使能控制

CDCDB2000 可通过两种方法来控制输出通道的状态：SMBus/OE# 和边带接口。在任何时候，这两种方法中只能有一种处于活动状态，并根据 SBEN 引脚的状态选择活动接口。这两种输出控制方法均可单独分配每个输出的状态。

当选用 SMBus/OE# 控制方法时，OE# 引脚进入活动状态。OE# 引脚以相同编号控制输出的状态。例如，OE5# 引脚负责控制 CK5 输出驱动器的状态。如有需要，无论 OE# 引脚状态如何，SMBus 寄存器均可启用或禁用输出。

#### 6.3.2 SMBus

CDCDB2000 配有一个 SMBus 接口，该接口仅在 CKPWRGD\_PD# = 1 时处于活动状态。当使用 SBEN 引脚选择 SMBus 模式时，SMBus 允许对每个输出实施单独启用/禁用。

当 CKPWRGD\_PD# = 0 时，SMBus 引脚被置于 Hi-Z 状态，但保留了所有寄存器设置。仅当 VDD\_A 处于建议工作电压范围内时，才会保留 SMBus 寄存器值。

##### 6.3.2.1 SMBus 地址分配

SMBus 地址通过配置两个引脚 ( SADR1 和 SADR0 ) 完成分配，每个引脚支持三个级别。基于这一配置，CDCDB2000 能够采用 9 个不同的 SMBus 地址。

对 SMBus 地址引脚进行采样，同时 PWRGD 设置为 1。有关地址引脚配置，请参阅表 6-1。在通过将器件断电来清除 PWRGD 状态之前，地址无法更改。

表 6-1. SMBus 地址分配

SADR1	SADR0	SMBus 地址
L	L	0xD8
L	M	0xDA
L	H	0xDE
M	L	0xC2
M	M	0xC4
M	H	0xC6
H	L	0xCA
H	M	0xCC
H	H	0xCE

### 6.3.3 边带接口

边带接口 (SBI) 是一个基础型 3 线制接口，包含 DATA、CLK 和 SHFT\_LD# 引脚。SBI 用于将数据移入 20 位移位寄存器中。当 SHFT\_LD# 引脚为高电平时，CLK 的上升沿将 DATA 移入移位寄存器中。使数据移位后，SHFT\_LD# 的下降沿将移位寄存器内容逐位移动到 SBI 输出寄存器中。

当 SBI 通过 SBEN 引脚启用时，OE[7:9, 11, 12]# 引脚被禁用，OE5#、OE6# 和 OE10# 引脚上的 DATA、CLK 和 SHFT\_LD# 分别启用。

当通电且 SBEN = 1 时，无论 CKPWRGD\_PD# 引脚是何状态，SBI 均处于活动状态。该特性允许在 CKPWRGD\_PD# 引脚首次置为有效之前，加载移位寄存器并将内容传输到 SBI 输出寄存器。

## 6.4 器件功能模式

### 6.4.1 CKPWRGD\_PD# 功能

CKPWRGD\_PD# 引脚用于设置器件内部的 2 个状态变量：PWRGD 和 PD#。PWRGD 和 PD# 变量可随时控制器件的哪些功能处于活动状态，以及输入和输出引脚的状态。

PWRGD 和 PD# 状态在 CKPWRGD\_PD# 引脚上进行多路复用。CKPWRGD\_PD# 必须低于 VOL 且不超过 VDD\_A + 0.3V，直到 VDD、VDD\_A 和 CLKIN 存在并处于建议运行条件范围内。

CKPWRGD\_PD# 引脚的第一个上升沿设置 PWRGD = 1。PWRGD 设置为 1 后，CKPWRGD\_PD# 引脚仅用于将 PD# 模式置为有效。在移除 VDD 和 VDD\_A 后，PWRGD 变量只会清零。

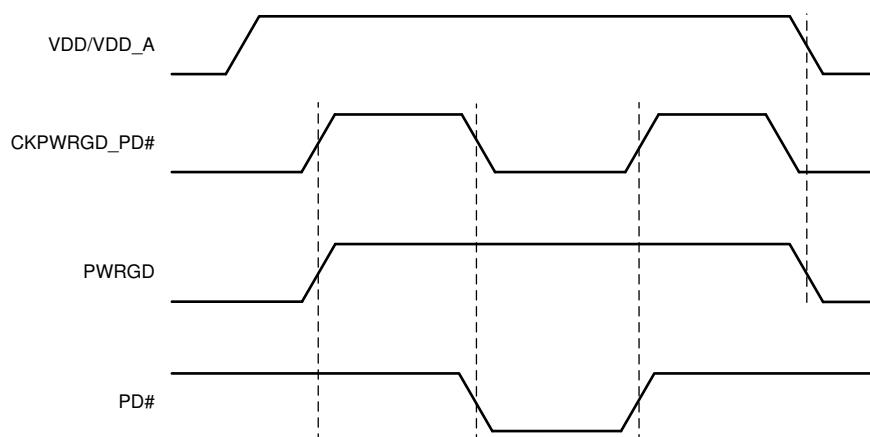


图 6-1. PWRGD 和 PD# 状态变化

#### 6.4.2 **OE[12:5]#** 和 **SMBus** 输出使能

每个输出通道 (0 至 19) 都可通过 SMBus 控制寄存器位 (称为 SMB 使能位) 单独启用或禁用。此外，12 至 5 的每个输出通道均配有一个专用的相应 **OE[12:5]#** 硬件引脚。**OE[12:5]#** 引脚为异步低电平有效信号，可启用或禁用输出。

有关通过硬件及软件启用和禁用输出的信息，请参阅 [表 6-2](#)。请注意，SMB 使能位必须为 "1", 而 **OEx#** 引脚必须为输入低电压 "0", 才能使输出通道处于活动状态。

**表 6-2** 仅在 **SBEN** 信号为低电平时有效 (**SBEN** = 0)。

**表 6-2. SBEN = 0 时的 **OE[12:5]#** 功能**

输入			<b>OE[12:5]#</b> 硬件引脚和 <b>SMBus</b> 控制寄存器位			
<b>PWRGD</b>	<b>PD#</b>	<b>CLKIN</b>	<b>SMBus 使能位 (字节 [2:0] )</b>	<b>OE[12:5]#</b>	<b>CK[12:5]</b>	<b>CK[19:13、4:0]</b>
0	X	X	X	X	低电平	低电平
1	0	X	X	X	三态	三态
1	1	运行	0	X	0	0
1	1	运行	1	0	运行	运行
1	1	运行	1	1	0	运行

## 6.5 编程

CDCDB2000 可通过两种方法来对 20 个输出驱动器的状态进行编程：SMBus 和 SBI。

为了在 SMBus 和 SBI 接口之间进行选择，采用了 SBEN 引脚。将 SBEN 拉至高电平可启用 SBI。将 SBEN 引脚下拉至地可启用 SMBus 接口。启用 SBI 后，SMBus 掩码寄存器处于活动状态。SMBus 掩码寄存器允许禁用 SBI 移位寄存器的功能，并可将每个单独通道设置为启用。请参阅 [图 6-2](#)，了解 SMBus 掩码寄存器和 SBI 移位寄存器如何交互以启用或禁用各个输出的图表。

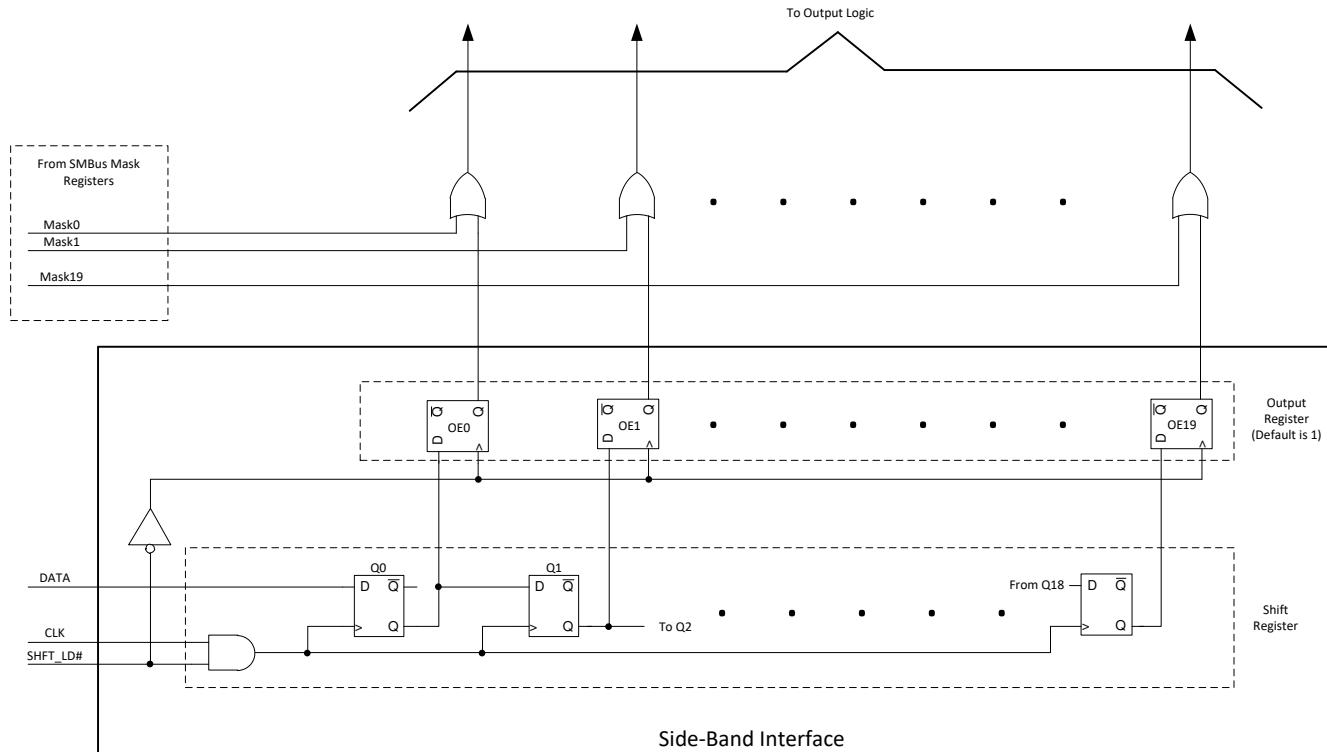


图 6-2. SMBus 掩码寄存器和 SBI 移位寄存器逻辑

### 6.5.1 SMBus

SMBus 编程如 [节 6.3.2](#) 中所述，寄存器如 [节 7](#) 中所述。

### 6.5.2 SBI

边带接口 (SBI) 是一个简单的 3 线制串行接口。该接口由 DATA、CLK 和 SHFT\_LD# 引脚组成。当 SHFT\_LD# 引脚为高电平时，CLK 的上升沿将 DATA 逐位移动到移位寄存器中。使数据移位后，SHFT\_LD# 的下降沿将移位寄存器内容加载到输出寄存器中。SBI 和传统 SMBus 接口均支持馈送通用输出启用或禁用同步逻辑，可实现不受使用方法限制的无毛刺启用和禁用输出。

SBI 可以通过三种方式进行系统级配置：星型拓扑、菊花链拓扑和直接配置。星型拓扑如 图 6-3 所示。菊花链拓扑如 图 6-4 所示。

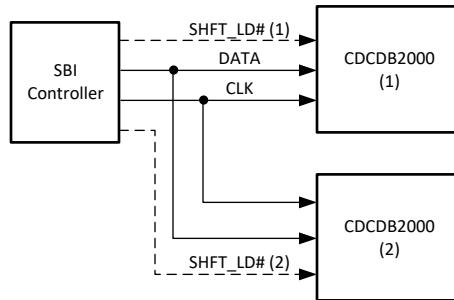


图 6-3. SBI 星型拓扑

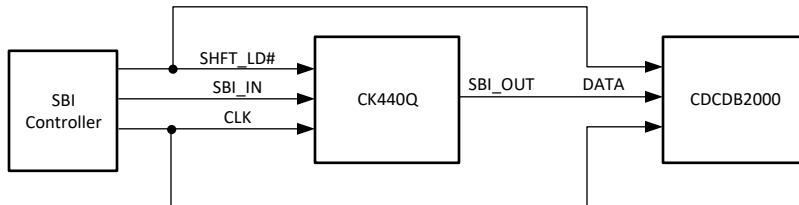


图 6-4. SBI 菊花链拓扑

## 7 寄存器映射

### 7.1 CDCDB2000 寄存器

表 7-1 列出了 CDCDB2000 寄存器。表 7-1 中未列出的所有寄存器位置都应视为保留的位置，并且不得修改寄存器内容。

表 7-1. CDCDB2000 寄存器

地址	首字母缩写词	寄存器名称	部分
0h	OECR1	输出使能控制 1	转到
1h	OECR2	输出使能控制 2	转到
2h	OECR3	输出使能控制 3	转到
3h	OERDBK	输出使能读回	转到
4h	SBRDBK	SBEN 读回	转到
5h	VDRREVID	供应商/修订版本标识	转到
6h	DEVID	器件标识	转到
7h	BTRDCNT	字节读取计数控制	转到
8h	SBIMSK1	边带接口覆盖控制 1	转到
9h	SBIMSK2	边带接口覆盖控制 2	转到
Ah	SBIMSK3	边带接口覆盖控制 3	转到

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. CDCDB2000 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

#### 7.1.1 OECR1 寄存器 ( 地址 = 0h ) [复位 = 78h]

表 7-3 展示了 OECR1。

返回到 [汇总表](#)。

OECR1 寄存器包含可启用或禁用单个输出时钟通道的位 [19:16]

表 7-3. OECR1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	输出使能 , CK19	R/W	1h	该位可控制输出通道 CK19_P/CK19_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
5	输出使能 , CK18	R/W	1h	该位可控制输出通道 CK18_P/CK18_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用

表 7-3. OECR1 寄存器字段说明 (续)

位	字段	类型	复位	说明
4	输出使能, CK17	R/W	1h	该位可控制输出通道 CK17_P/CK17_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
3	输出使能, CK16	R/W	1h	该位可控制输出通道 CK16_P/CK16_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
2-0	RESERVED	R	0h	保留

### 7.1.2 OECR2 寄存器 (地址 = 1h) [复位 = FFh]

OECR2 如 [表 7-4](#) 所示。

返回到[汇总表](#)。

OECR2 寄存器包含可启用或禁用单个输出时钟通道的位 [7:0]

表 7-4. OECR2 寄存器字段说明

位	字段	类型	复位	说明
7	输出使能, CK7	R/W	1h	该位可控制输出通道 CK7_P/CK7_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
6	输出使能, CK6	R/W	1h	该位可控制输出通道 CK6_P/CK6_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
5	输出使能, CK5	R/W	1h	该位可控制输出通道 CK5_P/CK5_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
4	输出使能, CK4	R/W	1h	该位可控制输出通道 CK4_P/CK4_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
3	输出使能, CK3	R/W	1h	该位可控制输出通道 CK3_P/CK3_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
2	输出使能, CK2	R/W	1h	该位可控制输出通道 CK2_P/CK2_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
1	输出使能, CK1	R/W	1h	该位可控制输出通道 CK1_P/CK1_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
0	输出使能, CK0	R/W	1h	该位可控制输出通道 CK0_P/CK0_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用

### 7.1.3 OECR3 寄存器 (地址 = 2h) [复位 = FFh]

OECR3 如 [表 7-5](#) 所示。

返回到[汇总表](#)。

OECR3 寄存器包含可启用或禁用单个输出时钟通道的位 [15:8]

**表 7-5. OECR3 寄存器字段说明**

位	字段	类型	复位	说明
7	输出使能 , CK15	R/W	1h	该位可控制输出通道 CK15_P/CK15_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
6	输出使能 , CK14	R/W	1h	该位可控制输出通道 CK14_P/CK14_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
5	输出使能 , CK13	R/W	1h	该位可控制输出通道 CK13_P/CK13_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
4	输出使能 , CK12	R/W	1h	该位可控制输出通道 CK12_P/CK12_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
3	输出使能 , CK11	R/W	1h	该位可控制输出通道 CK11_P/CK11_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
2	输出使能 , CK10	R/W	1h	该位可控制输出通道 CK10_P/CK10_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
1	输出使能 , CK9	R/W	1h	该位可控制输出通道 CK9_P/CK9_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用
0	输出使能 , CK8	R/W	1h	该位可控制输出通道 CK8_P/CK8_N 的输出使能信号。 0h = 禁用输出 1h = 输出启用

#### 7.1.4 OERDBK 寄存器 ( 地址 = 3h ) [复位 = 0h]

表 7-6 中显示了 OERDBK。

返回到 [汇总表](#)。

OERDBK 寄存器包含报告 OE[12:5]# 输入引脚当前状态的位。

**表 7-6. OERDBK 寄存器字段说明**

位	字段	类型	复位	说明
7	OE12# 状态	R	0h	该位报告 OE12# 引脚的逻辑电平。
6	OE11# 状态	R	0h	该位报告 OE11# 引脚的逻辑电平。
5	OE10# 状态	R	0h	该位报告 OE10# 引脚的逻辑电平。
4	OE9# 状态	R	0h	该位报告 OE9# 引脚的逻辑电平。
3	OE8# 状态	R	0h	该位报告 OE8# 引脚的逻辑电平。
2	OE7# 状态	R	0h	该位报告 OE7# 引脚的逻辑电平。
1	OE6# 状态	R	0h	该位报告 OE6# 引脚的逻辑电平。
0	OE5# 状态	R	0h	该位报告 OE5# 引脚的逻辑电平。

### 7.1.5 SBRDBK 寄存器 ( 地址 = 4h ) [复位 = 1h]

表 7-7 中显示了 SBRDBK。

返回到[汇总表](#)。

SBRDBK 寄存器包含报告 SBEN 输入引脚当前状态的位。

**表 7-7. SBRDBK 寄存器字段说明**

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	保留
0	SBEN 状态	R/W	1h	该位报告 SBEN 引脚的逻辑电平。

### 7.1.6 VDRREVID 寄存器 ( 地址 = 5h ) [复位 = X]

VDRREVID 如 表 7-8 所示。

返回到[汇总表](#)。

VDRREVID 寄存器包含供应商标识代码和器件修订版本代码。

**表 7-8. VDRREVID 寄存器字段说明**

位	字段	类型	复位	说明
7-4	修订版本代码 [3:0]	R	X	器件修订版本代码。 器件修订版本代码位 [3:0] 直接映射到寄存器位 [7:4]。
3-0	供应商 ID [3:0]	R	X	供应商标识代码。 供应商 ID 位 [3:0] 直接映射到寄存器位 [3:0]。

### 7.1.7 DEVID 寄存器 ( 地址 = 6h ) [复位 = X]

表 7-9 中显示了 DEVID。

返回到[汇总表](#)。

DEVID 寄存器包含器件标识代码。

**表 7-9. DEVID 寄存器字段说明**

位	字段	类型	复位	说明
7-0	器件 ID [7:0]	R	X	器件 ID 代码。 器件 ID 位 [7:0] 直接映射到寄存器位 [7:0]。

### 7.1.8 BTRDCNT 寄存器 ( 地址 = 7h ) [复位 = 8h]

BTRDCNT 如 表 7-10 所示。

返回到[汇总表](#)。

BTRDCNT 寄存器允许使用已发出的读取命令配置从 SMBus 接口读回的字节数。

**表 7-10. BTRDCNT 寄存器字段说明**

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	保留

**表 7-10. BTRDCNT 寄存器字段说明 (续)**

位	字段	类型	复位	说明
5-0	读取字节计数 [5:0]	R/W	8h	写入此寄存器即可配置读回的字节数。

### 7.1.9 SBIMSK1 寄存器 ( 地址 = 8h ) [复位 = 0h]

表 7-11 展示了 SBIMSK1。

返回到[汇总表](#)。

SBIMSK1 寄存器允许 SMBus 在 CDCDB2000 处于边带接口模式时单独强制启用各个输出通道。

**表 7-11. SBIMSK1 寄存器字段说明**

位	字段	类型	复位	说明
7	SBI 输出掩码 , CK7	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK7
6	SBI 输出掩码 , CK6	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK6
5	SBI 输出掩码 , CK5	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK5
4	SBI 输出掩码 , CK4	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK4
3	SBI 输出掩码 , CK3	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK3
2	SBI 输出掩码 , CK2	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK2
1	SBI 输出掩码 , CK1	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK1
0	SBI 输出掩码 , CK0	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK0

### 7.1.10 SBIMSK2 寄存器 ( 地址 = 9h ) [复位 = 0h]

表 7-12 展示了 SBIMSK2。

返回到[汇总表](#)。

SBIMSK2 寄存器允许 SMBus 在 CDCDB2000 处于边带接口模式时单独强制启用各个输出通道。

**表 7-12. SBIMSK2 寄存器字段说明**

位	字段	类型	复位	说明
7	SBI 输出掩码 , CK15	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK15

表 7-12. SBIMSK2 寄存器字段说明 ( 续 )

位	字段	类型	复位	说明
6	SBI 输出掩码 , CK14	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK14
5	SBI 输出掩码 , CK13	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK13
4	SBI 输出掩码 , CK12	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK12
3	SBI 输出掩码 , CK11	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK11
2	SBI 输出掩码 , CK10	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK10
1	SBI 输出掩码 , CK9	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK9
0	SBI 输出掩码 , CK8	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK8

### 7.1.11 SBIMSK3 寄存器 ( 地址 = Ah ) [ 复位 = 0h ]

SBIMSK3 如 表 7-13 所示。

返回到 [汇总表](#)。

SBIMSK3 寄存器允许 SMBus 在 CDCDB2000 处于边带接口模式时单独强制启用各个输出通道。

表 7-13. SBIMSK3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3	SBI 输出掩码 , CK19	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK19
2	SBI 输出掩码 , CK18	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK18
1	SBI 输出掩码 , CK17	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK17
0	SBI 输出掩码 , CK16	R/W	0h	该位设置时会覆盖 SBI 输出禁用。 0h = SBI 控制输出 1h = 启用输出 CK16

## 8 应用和实施

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 8.1 应用信息

CDCDB2000 是一款扇出缓冲器，支持 PCIe 第 6 代和第 7 代 REFCLK 分配设计。器件用于生成和分配典型频率为 100MHz 的时钟，支持至多复制 20 路时钟信号。

### 8.2 典型应用

图 8-1 所示为 CDCDB2000 的典型应用。在该应用中，时钟发生器为 CDCDB2000 提供 100MHz 基准时钟，然后 CDCDB2000 将该时钟分配到 PCIe 端点。时钟发生器既可是 LMK03328 等分立式时钟发生器，也可集成到更大的元件（例如 PCH 或应用处理器）中。

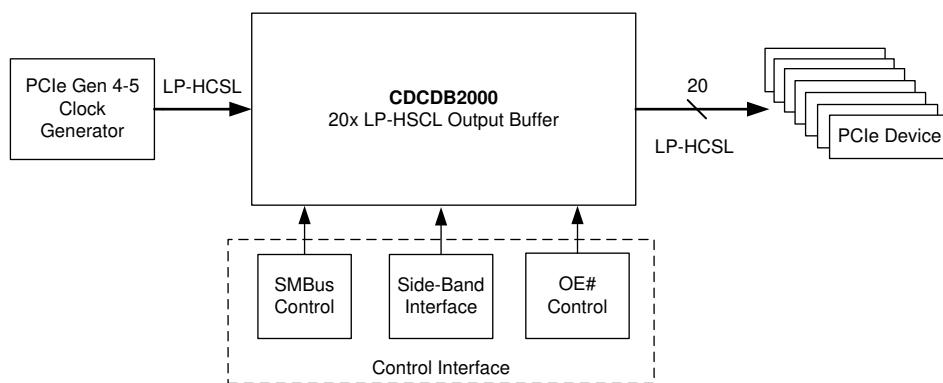


图 8-1. 典型应用

#### 8.2.1 设计要求

假设设计一个典型的服务器主板应用，此应用需要将 100MHz PCIe 基准时钟从处理器芯片组的 PCH 分配到多个端点。时钟输入和输出的要求示例如下：

- 时钟输入：
  - 100MHz LP-HCSL
- 时钟输出：
  - 2 路 100MHz 输出至处理器，LP-HCSL
  - 2 路 100MHz 输出至转接卡/重定时器，LP-HCSL
  - 2 路 100MHz 输出至 DDR 存储器控制器，LP-HCSL

以下部分介绍了针对上述场景配置 CDCDB2000 以输出频率的设计过程。

## 8.2.2 详细设计过程

在开始设计 CDCDB2000 插座之前，必须确定以下各项内容：

- 输出使能控制方法

### 8.2.2.1 输出使能控制方法

该器件支持两种输出控制方式：使用 **SMBus** 编程寄存器（软件），或硬件 **OE#** 引脚。如果使用软件控制输出，硬件 **OE#** 引脚则可保持悬空，因为每个引脚都有一个接地下拉电阻。有关寄存器编程的更多信息，请参阅 [节 7](#) 部分。

当用户希望使用硬件 **OE#** 引脚控制输出时，可将这些引脚连接到 **GPIO** 控制器，并按照 [节 4](#) 部分将输出设置为高电平/低电平。寄存器 **OECR1** 字段说明提供了用于控制输出的 **OUT\_EN\_CLK7** 至 **OUT\_EN\_CLK0** 位。这些寄存器位默认设置为 1，以验证输出是否为“软件启用”状态，因此状态由硬件 **OE#** 引脚设置。

### 8.2.2.2 SMBus 地址

必须从表 8-1 中列出的潜在地址中选择 **SMBus** 地址。必须按照表中所示在 **SADR<sub>x</sub>** 引脚上放置适当的上拉或下拉电阻器。验证 **SMBus** 地址是否尚未使用，以避免冲突。

表 8-1. SMBus 地址分配

SADR1	SADR0	SMBus 地址
L	L	0xD8
L	M	0xDA
L	H	0xDE
M	L	0xC2
M	M	0xC4
M	H	0xC6
H	L	0xCA
H	M	0xCC
H	H	0xCE

## 8.2.3 应用曲线

表 8-2 中所列图表可用作应用曲线和典型特性图（请参阅 [节 5.7](#) 部分）。

表 8-2. 图形表

标题	图表
<i>CDCDB2000 时钟输出 (CK0:19) 相位噪声</i>	<a href="#">图 5-1</a>

## 8.3 电源相关建议

高性能时钟缓冲器对电源上的噪声很敏感，这会显著增加缓冲器的附加抖动。因此，降低系统电源的噪声至关重要，尤其是当抖动和相位噪声对于应用至关重要时。

滤波电容器用于消除电源的低频噪声，其中旁路电容器为高频噪声提供超低阻抗路径，并保护电源系统免受感应波动的影响。这些旁路电容器还提供器件所需的瞬时电流浪涌，并且必须具有低等效串联电阻 (ESR)。为了正确使用旁路电容器，需要将其放置在非常靠近电源端子的位置，并使用短环路布局来尽可能减小电感。TI 建议在电路板电源和芯片电源之间插入铁氧体磁珠来隔离时钟缓冲器产生的高频开关噪声。这些磁珠可防止开关噪声泄漏到电路板电源中。选择具有极低直流电阻的合适铁氧体磁珠，在电路板电源和芯片电源之间提供充分的隔离，并保持电源端子上的电压大于正常运行所需的最小电压。

图 8-2 展示了建议的电源滤波和去耦方法。

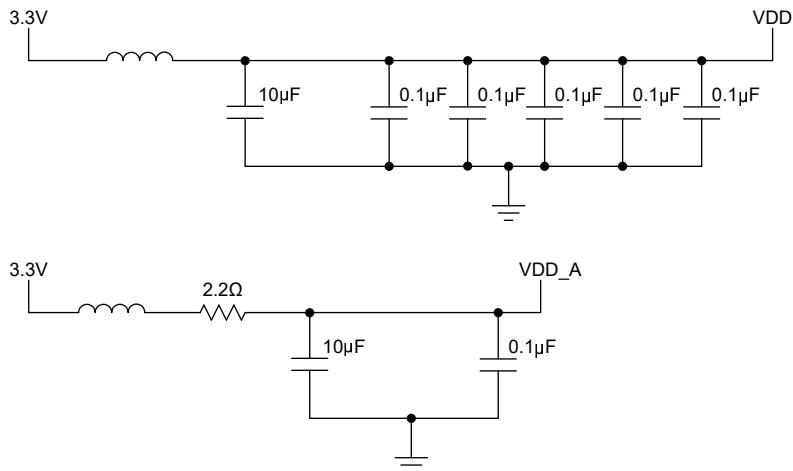


图 8-2. 电源去耦

## 8.4 布局

### 8.4.1 布局指南

以下部分提供了布局指南，助力 CDCDB2000 实现良好的热性能和电源连接。

### 8.4.2 布局示例

图 8-3 和 图 8-4 均为 PCB 布局示例，二者展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。

CDCDB2000 具有  $85\Omega$  差分输出阻抗 LP-HCSL 型号驱动器。连接到  $CKx$  引脚的所有传输线路必须采用  $85\Omega$  差分阻抗和  $42.5\Omega$  单端阻抗，以避免反射和增加辐射发射。务必去除或减少传输线路上的残桩。

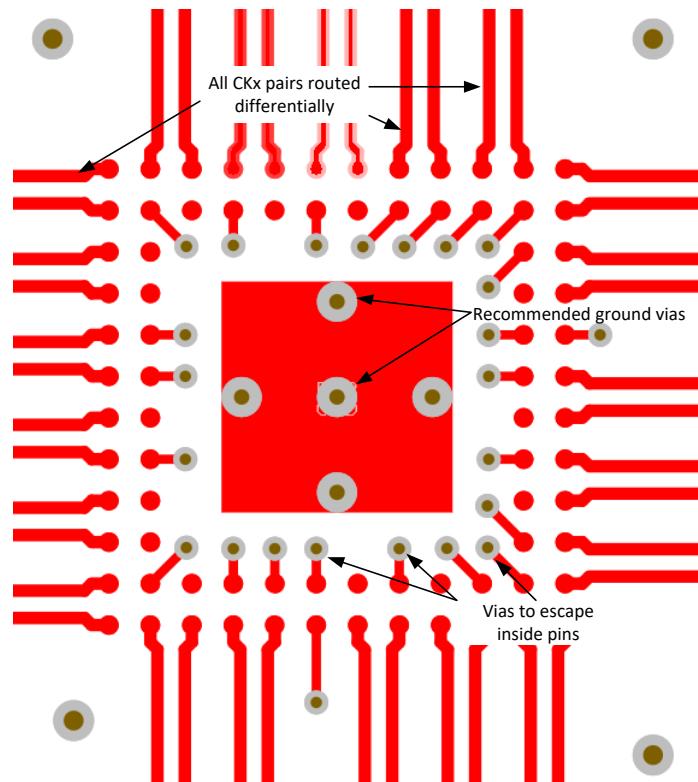


图 8-3. CDCDB2000 的 PCB 布局示例，顶层

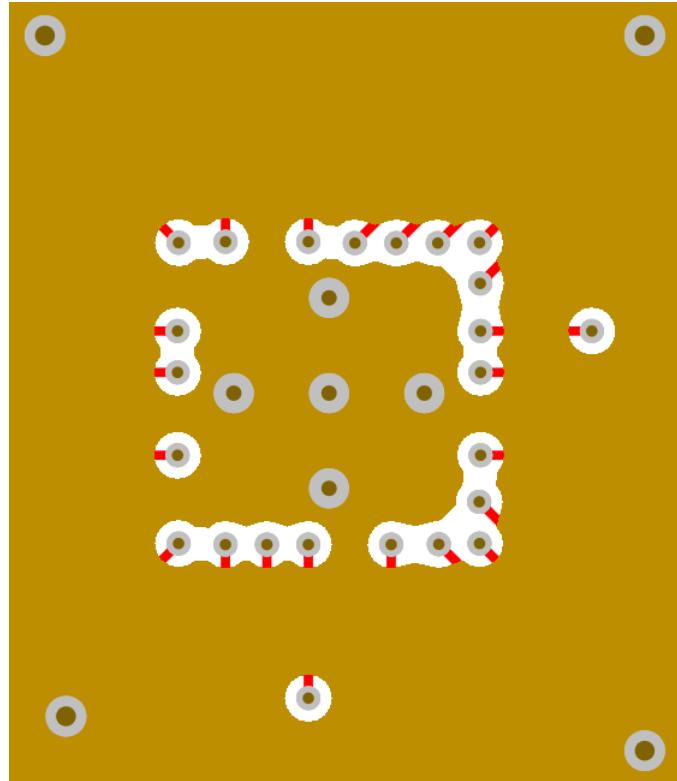


图 8-4. CDCDB2000 的 PCB 布局示例，GND 层

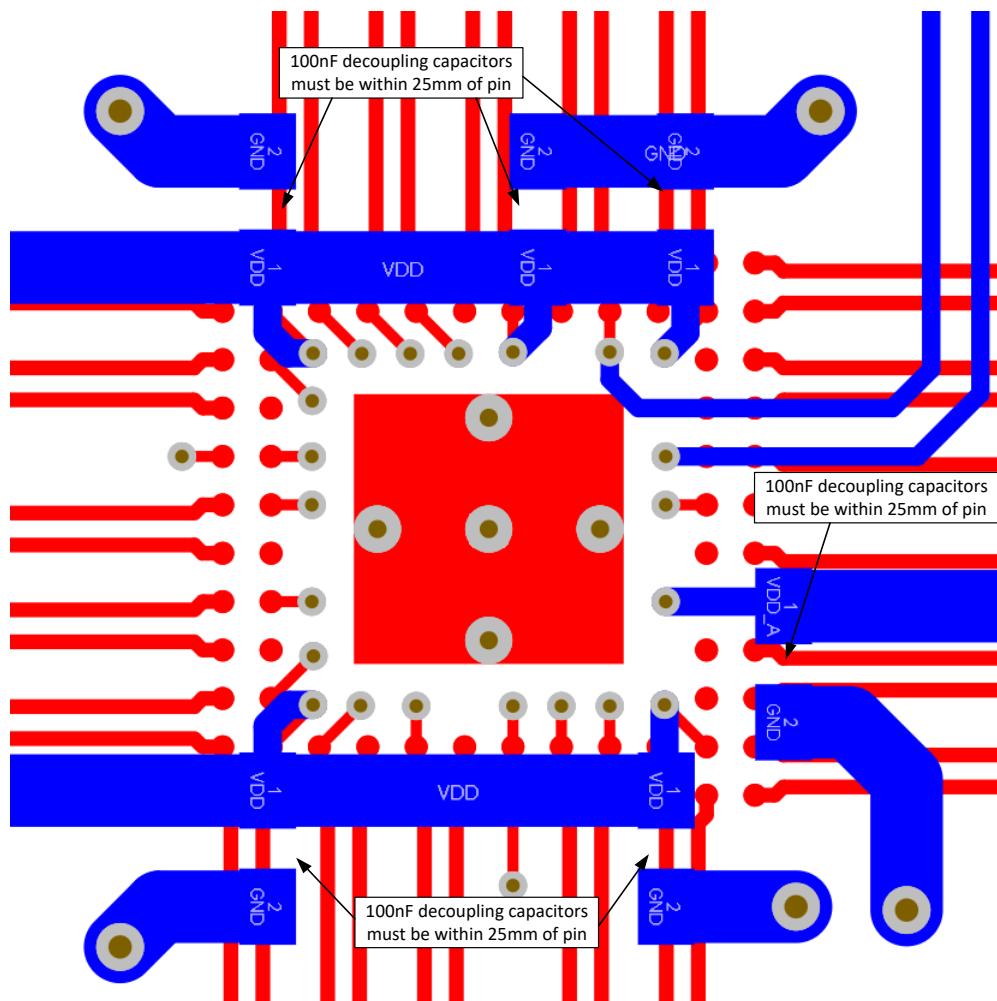


图 8-5. CDCDB2000 的 PCB 布局示例，底层

## 9 器件和文档支持

### 9.1 器件支持

#### 9.1.1 TICS Pro

TICS Pro 是用于 EVM 编程的离线软件工具，也可以用生成寄存器映射，为特定应用的器件配置编程。如需 TICS Pro，请访问 <http://www.ti.com/tool/TICSPRO-SW>。

### 9.2 文档支持

#### 9.2.1 相关文档

- 德州仪器 (TI) , [CDCDB2000 用户指南](#)

### 9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击通知进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.4 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

### 9.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.7 术语表

#### TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

<b>Changes from Revision B (October 2024) to Revision C (August 2025)</b>	<b>Page</b>
• 在特性、应用和说明部分添加了 PCIe 第 7 代规范.....	1
• 在概述部分添加了 PCIe 第 7 代规范.....	12

<b>Changes from Revision A (February 2020) to Revision B (October 2024)</b>	<b>Page</b>
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

<b>Changes from Revision * (November 2019) to Revision A (February 2020)</b>	<b>Page</b>
• 将最大输入电压从 VDD+ 0.3V 更改为 : VDD+ 0.5 V .....	7

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCDB2000ENPPR	Active	Production	TLGA (NPP)   80	4000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000ENPPR.A	Active	Production	TLGA (NPP)   80	4000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000ENPPT	Active	Production	TLGA (NPP)   80	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000ENPPT.A	Active	Production	TLGA (NPP)   80	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000NPPR	Active	Production	TLGA (NPP)   80	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000NPPR.A	Active	Production	TLGA (NPP)   80	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000NPPT	Active	Production	TLGA (NPP)   80	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000
CDCDB2000NPPT.A	Active	Production	TLGA (NPP)   80	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CDCDB 2000

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

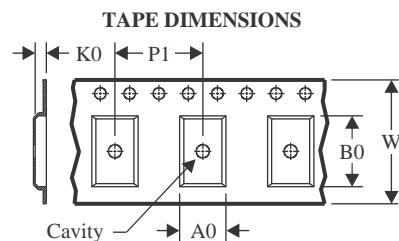
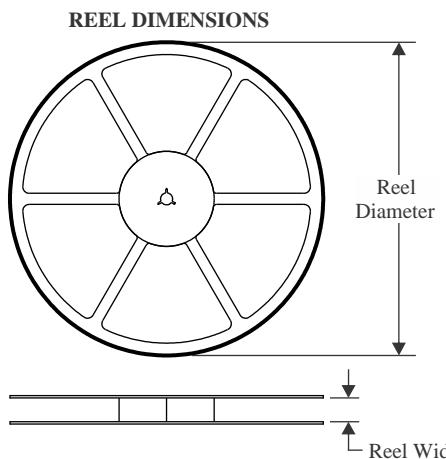
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

---

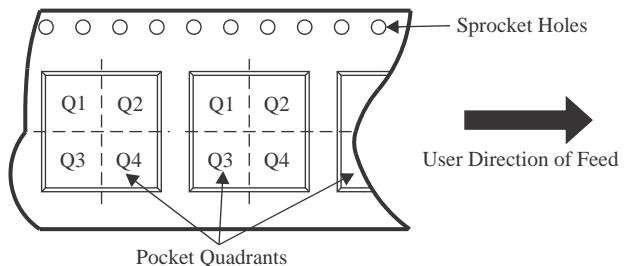
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

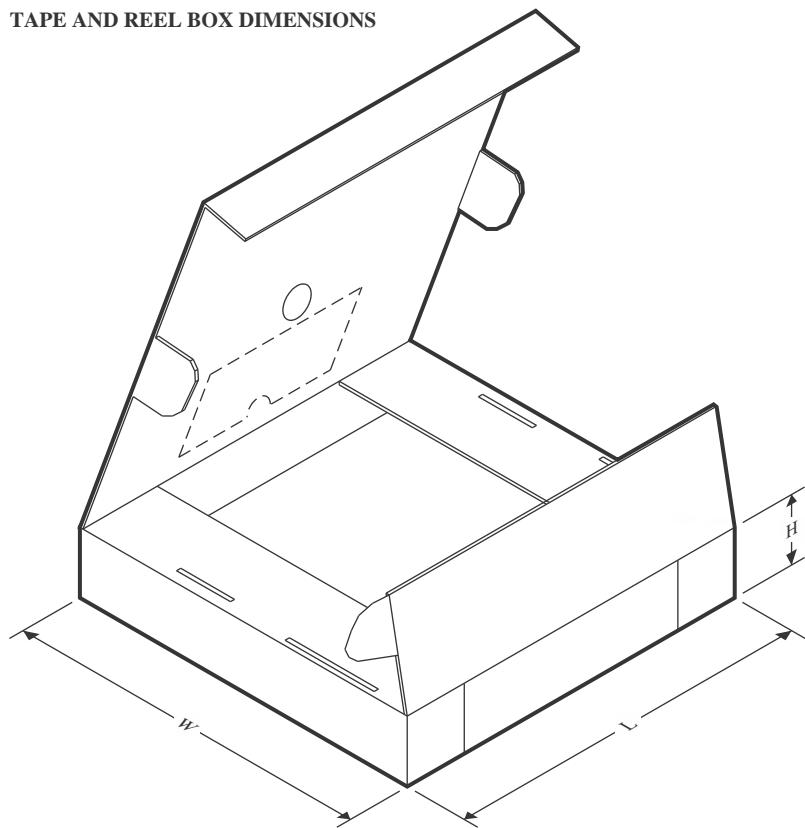
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


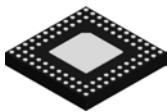
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCDB2000ENPPR	TLGA	NPP	80	4000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q1
CDCDB2000ENPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q1
CDCDB2000NPPR	TLGA	NPP	80	3000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
CDCDB2000NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

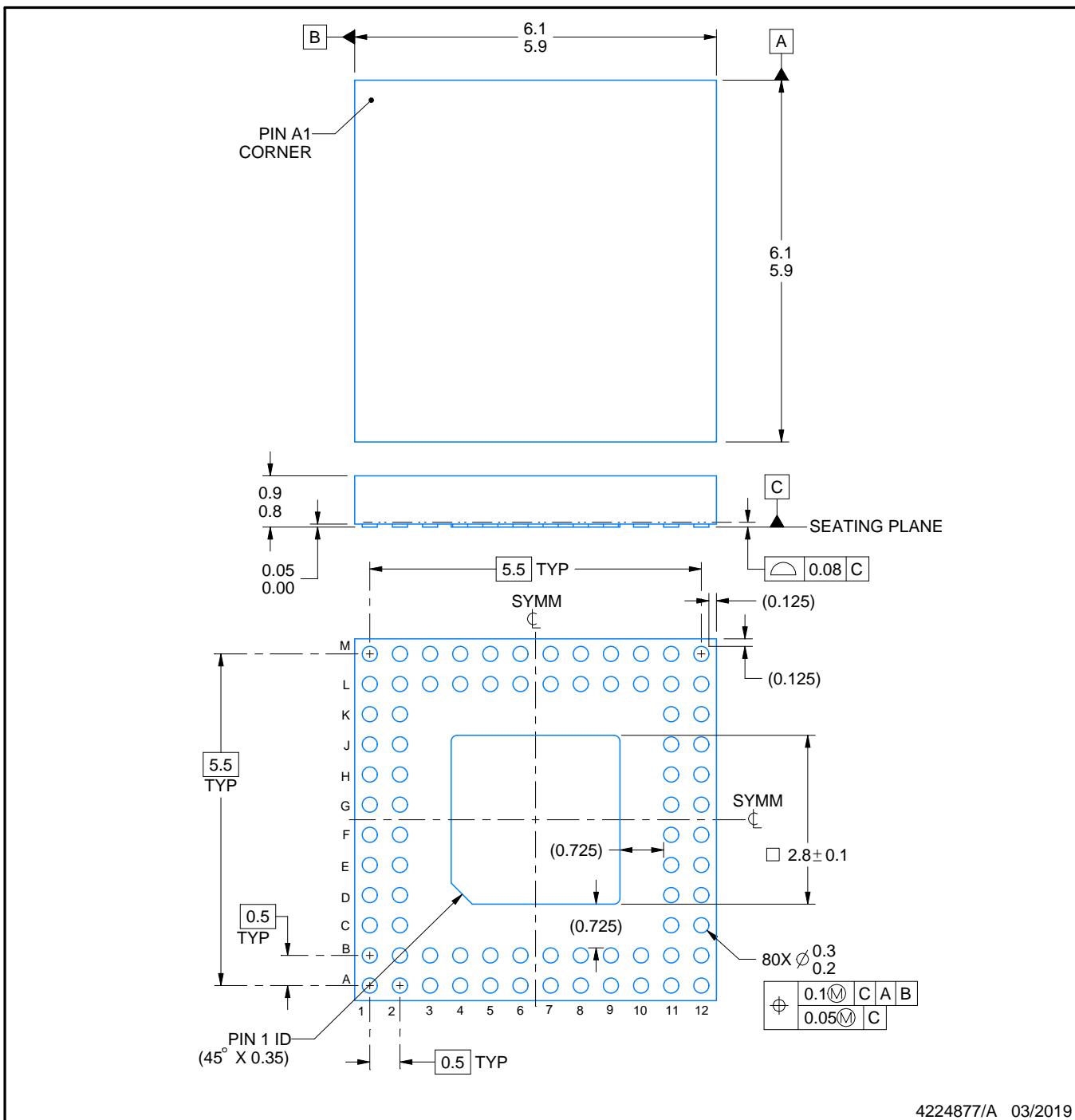
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCDB2000ENPPR	TLGA	NPP	80	4000	367.0	367.0	38.0
CDCDB2000ENPPT	TLGA	NPP	80	250	210.0	185.0	35.0
CDCDB2000NPPR	TLGA	NPP	80	3000	367.0	367.0	38.0
CDCDB2000NPPT	TLGA	NPP	80	250	210.0	185.0	35.0



# PACKAGE OUTLINE

## TLGA - 0.9 mm max height

THIN LAND GRID ARRAY



4224877/A 03/2019

### NOTES:

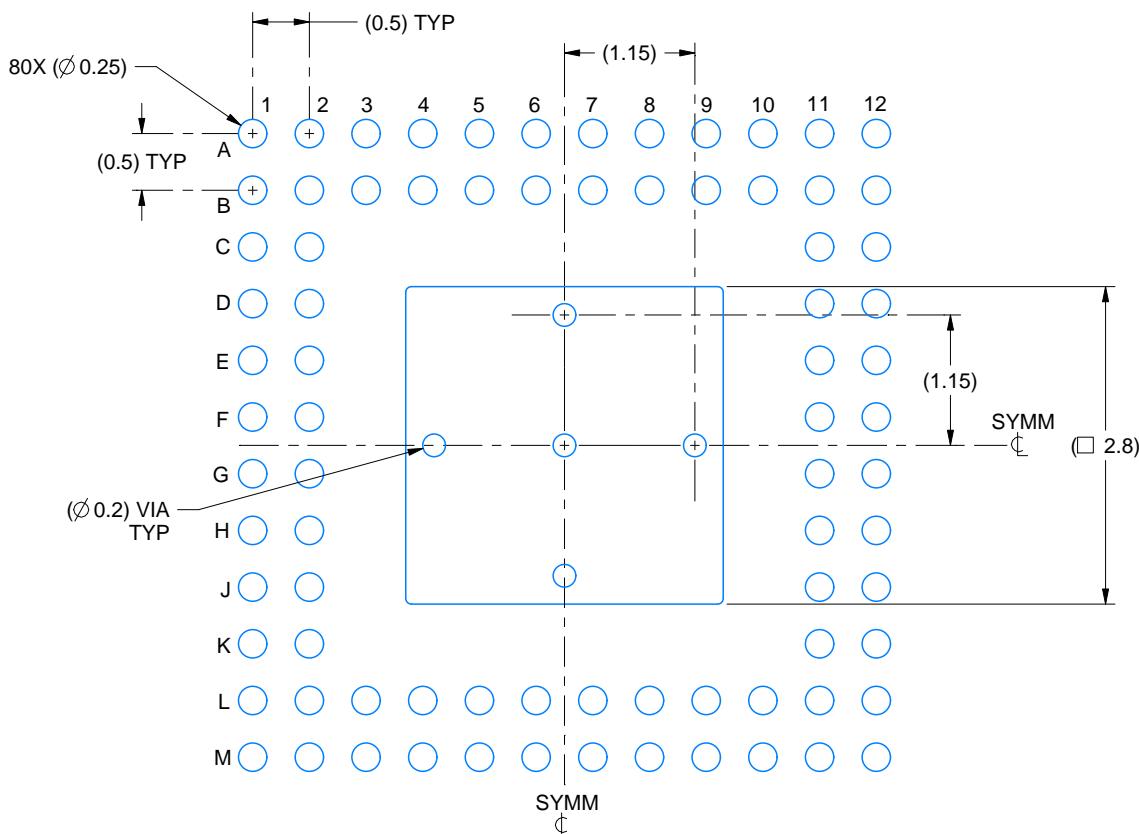
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

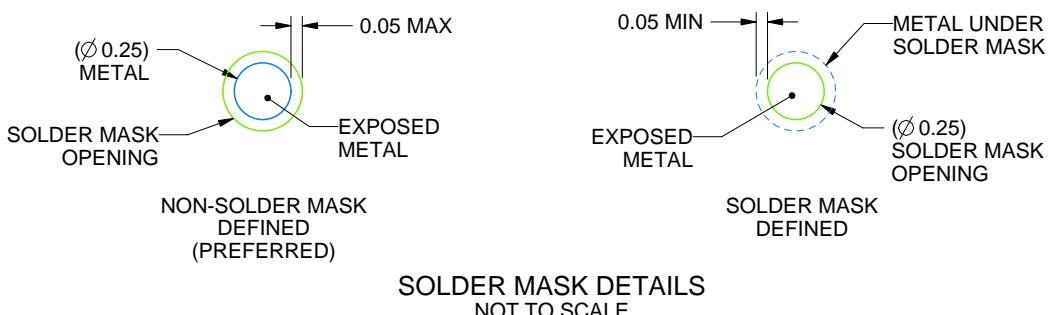
**NPP0080A**

## TLGA - 0.9 mm max height

## THIN LAND GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 15X



4224877/A 03/2019

#### NOTES: (continued)

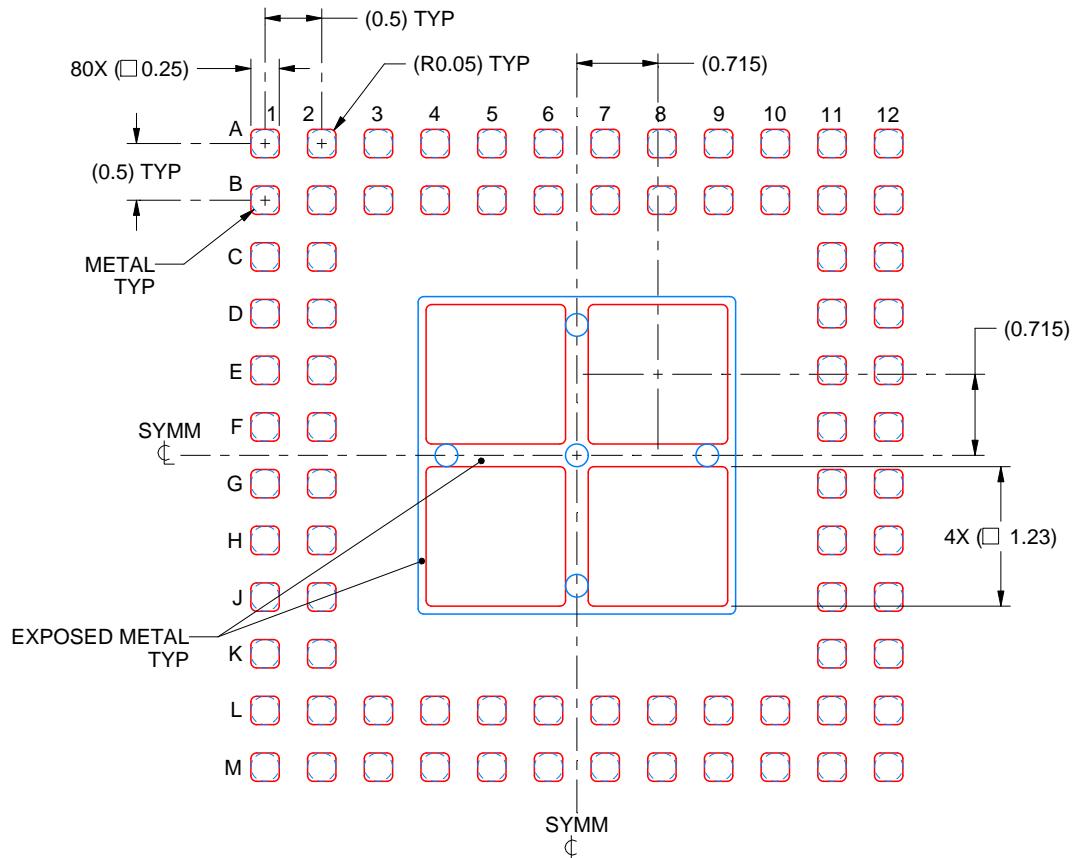
4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.  
See Texas Instruments Literature No. SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).
  5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**NPP0080A**

## TLGA - 0.9 mm max height

## THIN LAND GRID ARRAY



**SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE: 15X**

4224877/A 03/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月