CDCDB800 适用于第 1 代到第 7 代 PCIe、符合 DB800ZL 标准的 8 输出时钟缓冲器

1 特性

- 具有可编程集成 85Ω（默认值）或 100Ω 差分输出终端的 8 个 LP-HCSL 输出
- 8 种硬件输出使能 (OE#) 控制
- 使用第 7 代 PCIE 滤波器之后的附加相位抖动：11.3fs，RMS（最大值）
- 使用第 6 代 PCIE 滤波器之后的附加相位抖动：16.1fs，RMS（最大值）
- 使用第 5 代 PCIE 滤波器之后的附加相位抖动：25fs，RMS（最大值）
- 使用 DB2000Q 滤波器之后的附加相位抖动：38fs，RMS（最大值）
- 支持公共时钟 (CC) 和单独基准 (IR) 架构
  - 与展频技术兼容
- 输出到输出偏斜：< 50ps
- 输入到输出延迟：< 3ns
- 失效防护输入
- 可编程输出压摆率控制
- 3.3V 内核和 IO 电源电压
- 硬件控制的低功耗模式 (PD#)
- 电流消耗：72mA（最大值）
- 6mm × 6mm，48 引脚 VQFN 封装

2 应用

- 微服务器和塔式服务器
- 存储区域网络和主机总线适配器卡
- 网络连接存储
- 硬件加速器
- 机架式服务器

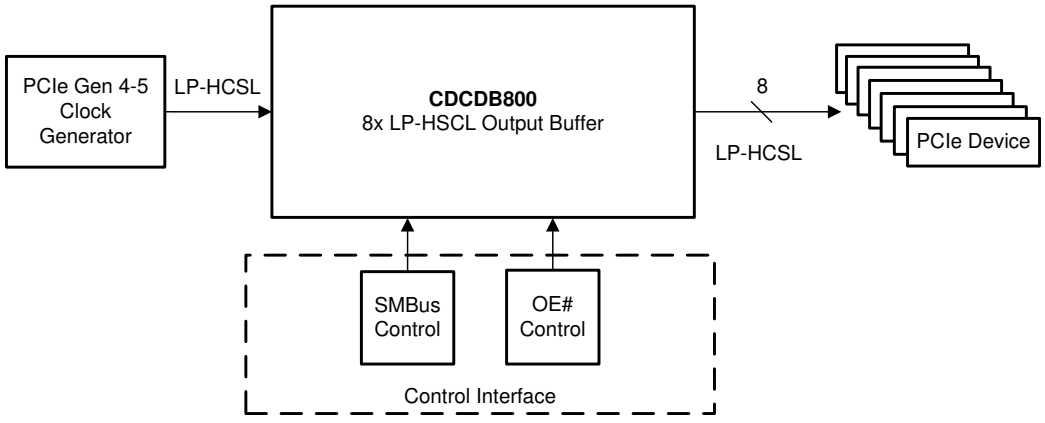
3 说明

CDCDB800 是一款符合 DB800ZL 标准的 8 输出 LP-HCSL 时钟缓冲器，能够为第 1 代到第 7 代 PCIe、QuickPath Interconnect (QPI)、UPI、SAS 和 SATA 接口分配基准时钟。使用 SMBus 接口和 8 输出使能引脚，可以单独配置和控制所有 8 个输出。CDCDB800 是一款 DB800ZL 衍生缓冲器，符合或超过 DB800ZL 中的系统参数规格。该器件还符合或超过了 DB2000Q 规格中的参数。CDCDB800 采用 6mm × 6mm 48 引脚 VQFN 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
CDCDB800	RSL（VQFN，48）	6.00mm × 6.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



CDCDB800 系统图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 时序要求.....9
5.7 典型特性.....10
6 参数测量信息.....11
7 详细说明.....12
7.1 概述.....12
7.2 功能方框图.....12
7.3 特性说明.....12
7.4 器件功能模式.....13
7.5 编程.....14
8 寄存器映射.....16
8.1 CDCDB800 寄存器.....16
9 应用和实施.....21
9.1 应用信息.....21
9.2 典型应用.....21
9.3 电源相关建议.....22
9.4 布局.....23
10 器件和文档支持.....26
10.1 器件支持.....26
10.2 文档支持.....26
10.3 接收文档更新通知.....26
10.4 支持资源.....26
10.5 商标.....26
10.6 静电放电警告.....26
10.7 术语表.....26
11 修订历史记录.....26
12 机械、封装和可订购信息.....27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

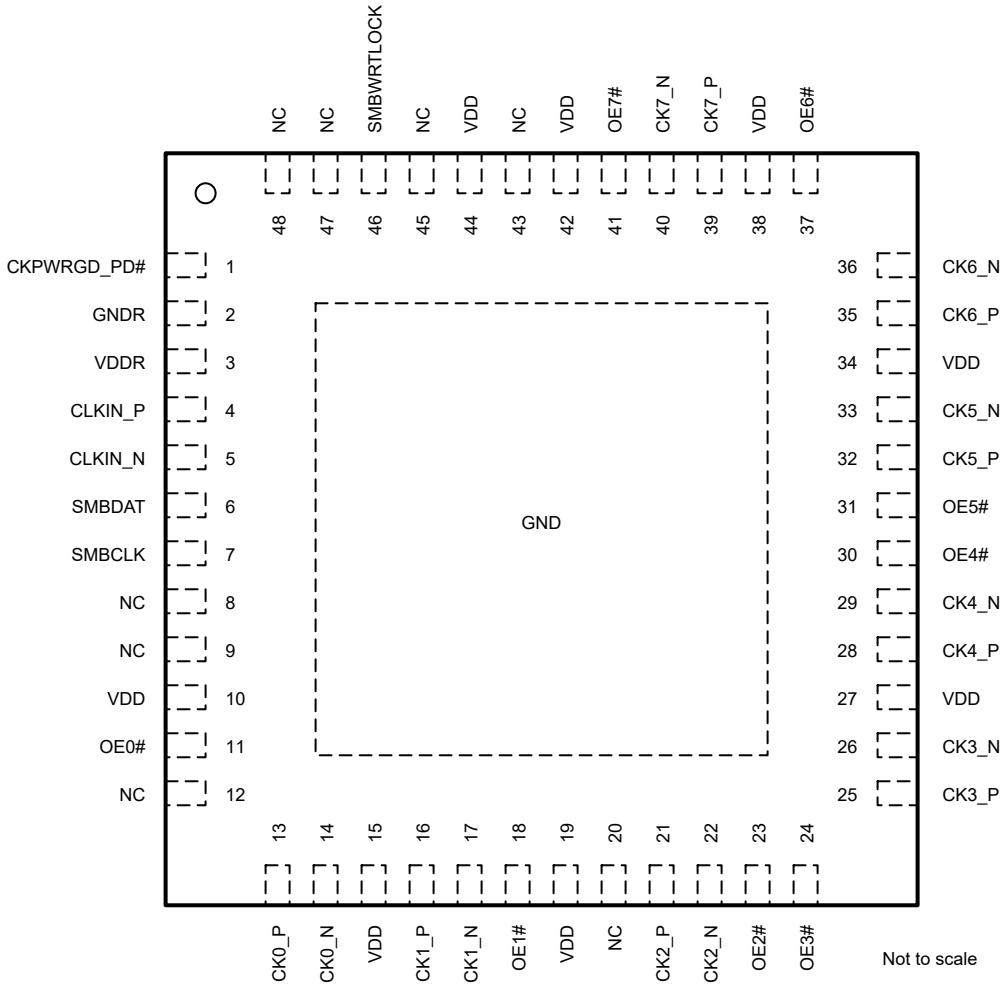


图 4-1. CDCDB800 RSL 封装 48 引脚 VQFN 顶视图

表 4-1. 引脚功能 CDCDB800

引脚		类型(2)	说明
名称	编号		
输入时钟			
CLKIN_P	4	I	LP-HCSL 差分时钟输入。通常直接连接至时钟源的差分输出。
CLKIN_N	5	I	
输出时钟			
CK0_P	13	O	LP-HCSL 通道 0 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK0_N	14	O	
CK1_P	16	O	LP-HCSL 通道 1 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK1_N	17	O	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能 CDCDB800（续）

引脚		类型(2)	说明
名称	编号		
CK2_P	21	O	LP-HCSL 通道 2 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK2_N	22	O	
CK3_P	25	O	LP-HCSL 通道 3 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK3_N	26	O	
CK4_P	28	O	LP-HCSL 通道 4 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK4_N	29	O	
CK5_P	32	O	LP-HCSL 通道 5 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK5_N	33	O	
CK6_P	35	O	LP-HCSL 通道 6 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK6_N	36	O	
CK7_P	39	O	LP-HCSL 通道 7 的差分时钟输出。通常直接连接至 PCIe 差分时钟输入。如果未使用，可以将其保持连接状态。
CK7_N	40	O	
管理和控制 (1)			
CKPWRGD_PD#	1	I、S、PD	时钟电源正常和断电多功能输入引脚及内部 180kΩ 下拉电阻。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。PWRGD 首次置为高电平后，该引脚变为 PD 引脚，并且该引脚控制断电模式： 低电平：断电模式，所有输出通道处于三态。 高电平：正常运行模式。
OE0#	11	I、S、PD	具有内部 180kΩ 下拉电阻的通道 0 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 0。 高电平：禁用输出通道 0。
OE1#	18	I、S、PD	具有内部 180kΩ 下拉电阻的通道 1 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 1。 高电平：禁用输出通道 1。
OE2#	23	I、S、PD	具有内部 180kΩ 下拉电阻的通道 2 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 2。 高电平：禁用输出通道 2。
OE3#	24	I、S、PD	具有内部 180kΩ 下拉电阻的通道 3 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 3。 高电平：禁用输出通道 3。
OE4#	30	I、S、PD	具有内部 180kΩ 下拉电阻的通道 4 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 4。 高电平：禁用输出通道 4。
OE5#	31	I、S、PD	具有内部 180kΩ 下拉电阻的通道 5 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 5。 高电平：禁用输出通道 5。
OE6#	37	I、S、PD	具有内部 180kΩ 下拉电阻的通道 6 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 6。 高电平：禁用输出通道 6。
OE7#	41	I、S、PD	具有内部 180kΩ 下拉电阻的通道 7 输出使能，低电平有效。通常连接到微控制器的 GPIO。如果未使用，可以将其保持连接状态。 低电平：启用输出通道 7。 高电平：禁用输出通道 7。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能 CDCDB800（续）

引脚		类型(2)	说明
名称	编号		
SMBus 和 SMBus 地址			
SMBDAT	6	I/O	SMBus 接口的数据引脚。通常使用外部上拉电阻上拉至 3.3V VDD。建议的上拉电阻值为 > 8.5k。
SMBCLK	7	I	SMBus 接口的时钟引脚。通常使用外部上拉电阻上拉至 3.3V VDD。建议的上拉电阻值为 > 8.5k。
SMBWRTLOCK	46	I，PD	SMBWRTLOCK：禁用 SMBus 上的写入命令。当 SMBWRTLOCK 被置位时，所有写入都将被忽略（读取不受影响）。内部 180kΩ 下拉电阻，高电平有效。 启用 0 = SMBus 写入。 已禁用 1 = SMBus 写入。
电源电压和接地			
GNDR	2	G	接地。
VDDR	3	P	输入时钟接收器的电源输入。连接至 3.3V 电源轨，并使用电容器去耦至 GND。将 0.1μF 电容器放置在靠近电源和接地之间每个电源引脚的位置。
VDD	10、15、19、27、34、38、42、44	P	用于输出通道和内核电压的 3.3V 电源。
GND	DAP	G	接地。将接地焊盘连接到系统接地端。
无连接			
NC	8、9、12、20、43、45	—	不要连接到 GND 或 VDD。
NC	47、48	—	无连接。引脚可以连接到 GND、VDD，或以其他方式连接到绝对最大额定值中规定的电源电压范围内的任何电位。

(1) 引脚名称末尾的“#”符号表示当信号处于低电压电平时，处于运行状态。当“#”不存在时，该信号为高电平有效。
(2) 下面的定义定义了每个引脚的 I/O 类型。

- I = 输入
- O = 输出
- I/O = 输入/输出
- PU / PD = 内部 180kΩ 上拉/下拉电阻网络偏置至 VDD/2
- PD = 内部 180kΩ 下拉电阻
- S = 硬件配置引脚
- P = 电源
- G = 接地

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{DD}、V_{DD_R}	电源电压	-0.3	3.6	V
V_{IN}	IO 输入电压	-0.3	3.6	V
T_J	结温		125	°C
T_{stg}	贮存温度	-65	150	°C

(1) 在*绝对最大额定值*范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±3500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500VHBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250VCDM 可通过标准 ESD 控制流程实现安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	IO 内核电源电压	3	3.3	3.6	V
V_{DD_R}	输入电源电压	3	3.3	3.6	V
T_A	环境温度	-40		105	°C

5.4 热性能信息

热指标(1)		器件封装 RSL (QFN) 48 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	22.3	°C/W
$R_{\theta JB}$	结至电路板热阻	14.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	14.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	6.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

VDD、VDD_R = 3.3V ± 5%，–40°C ≤ T_A ≤ 105°C。典型值是 VDD = VDD_R = 3.3V，25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
电流消耗							
I_{DD_R}	内核电源电流	工作模式。CKPWRGD_PD# = 1				9	mA
		断电模式。CKPWRGD_PD# = 0				2.2	
I_{DD}	IO 电源电流	禁用所有输出				18	mA
		所有输出有效，100MHz（每个输出）				7.8	
		断电模式。CKPWRGD_PD# = 0				1.5	
时钟输入							
f_{IN}	输入频率			50	100	250	MHz
V_{IN}	输入电压摆幅	CLKIN_P 和 CLKIN_N 之间的差分电压(1)		200		2300	$mV_{Diff-peak}$
dV/dt	输入电压边沿速率	输入摆幅的 20% - 80%		0.7			V/ns
DV_{CROSS}	V_{CROSS} 的总变化	V_{CROSS} 的总变化			140		mV
DC_{IN}	输入占空比			40		60	%
C_{IN}	输入电容(2)	CLKIN_P 和 CLKIN_N 引脚之间的差分电容			2.2		pF
CLOCK OUTPUT							
f_{OUT}	输出频率			50	100	250	MHz
C_{OUT}	输出电容(1)	CKx_P 和 CKx_N 引脚之间的差分电容			4		pF
V_{OH}	输出高电压	单端(2) (3)		225		270	mV
V_{OL}	输出低电压			10		150	
V_{HIGH}	输出高电压	在 DB800ZL 内定义的交流负载中测量		660		850	
V_{LOW}	输出低电压	在 DB800ZL 内定义的交流负载中测量		-150		150	
V_{MAX}	最大输出电压	在 DB800ZL 内定义的交流负载中测量				1150	
V_{CROSS}	交叉点电压	(3) (4)		130		200	
$V_{CROSSAC}$	交叉点电压（交流负载）	在 DB800ZL 内定义的交流负载中测量		250		550	
DV_{CROSS}	V_{CROSS} 的总变化	V_{CROSS} 的变化(3) (4)			35	140	
V_{ovs}	过冲电压	(3)				V_{OH}+75	
$V_{ovs(AC)}$	过冲电压（交流负载）	在 DB800ZL 内定义的交流负载中测量				V_{HIGH}+300	
V_{uds}	下冲电压	(3)				V_{OL} – 75	
$V_{uds(AC)}$	下冲电压	在 DB800ZL 内定义的交流负载中测量				V_{LOW} – 300	mV
V_{rb}	回铃电压	在 DB800ZL 内定义的交流负载中测量并取自单端波形（相对于 V_{HIGH} 和 V_{LOW}）		-0.2		0.2	V
Z_{DIFF}	差分阻抗（默认设置，85Ω）	在 V_{OL}/V_{OH} 测得		81	85	89	Ω
	差分阻抗（输出阻抗选择位 = 1，100Ω）	在 V_{OL}/V_{OH} 测得		95	100	105	
Z_{DIFF_CROSS}	差分阻抗（默认设置，85Ω）	在 V_{CROSS} 测得		68	85	102	
	差分阻抗（输出阻抗选择位 = 1，100Ω）	在 V_{CROSS} 测得		80	100	120	
t_{EDGE}	差分边沿速率	在 V_{CROSS} 附近测得 (±150mV)(7)		2		4	V/ns
Dt_{EDGE}	边沿速率匹配	在 V_{CROSS} 测得 (±75mV)(7)				20	%
t_{STABLE}	电源正常状态置位至稳定时钟输出	CKPWRGD_PD# 引脚从 0 转换为 1，f_{IN} = 100MHz	当正输出达到 0.2V 时测得			1.8	ms

Copyright © 2025 Texas Instruments Incorporated

VDD、VDD_R = 3.3V ± 5%，–40°C ≤ T_A ≤ 105°C。典型值是 VDD = VDD_R = 3.3V，25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
$t_{DRIVE_PD\#}$	电源正常状态置位至输出驱动为高电平	CKPWRGD_PD# 引脚从 0 转换为 1，f_{IN} = 100MHz	当正输出达到 0.2V 时测得			300	µs
t_{OE}	输出使能置位至稳定时钟输出	OEx# 引脚从 1 转换为 0				10	CLKIN 周期
t_{OD}	输出使能取消置位至无时钟输出	OEx# 引脚从 0 转换为 1				10	
t_{PD}	断电置位至无时钟输出	CKPWRGD_PD# 引脚从 1 转换为 0				3	
t_{DCD}	占空比失真	差分；f_{IN} = 100MHz，f_{IN_DC} = 50%		-1		1	%
t_{DLY}	传播延迟	(5)		0.5		3	ns
t_{SKEW}	输出之间偏移	(6)				50	ps
$t_{DELAY(IN-OUT)}$	输入到输出延迟变化	100MHz 时的输入到输出延迟随电压和温度的变化		-250		250	ps
$J_{CKx_DB2000Q}$ (7)	DB2000Q 的附加抖动	DB2000Q 滤波器，适用于 1.5V/ns 处 200mV 差分摆幅的输入				0.038	ps RMS
J_{CKx_PCIE} (7)	PCIe7.0 的附加抖动	PCIe7.0 滤波器	PCIe7.0 滤波器			11.3	fs，RMS
J_{CKx_PCIE} (7)	PCIe6.0 的附加抖动	PLL BW：0.5 - 1MHz；CDR = 10MHz	输入压摆率 = 2V/ns			16.1	fs，RMS
	PCIe5.0 的附加抖动	PCIe5.0 滤波器				25	
	PCIe4.0 的附加抖动	PLL BW = 2 至 5MHz；CDR = 10MHz	输入时钟压摆率 ≥ 1.8V/ns			62	
	PCIe3.0 的附加抖动		输入时钟压摆率 ≥ 0.6V/ns			100	
J_{CKx}	附加抖动	f_{IN} = 100MHz；压摆率 ≥ 3V/ns；12kHz 至 20MHz 积分带宽。			100	160	fs，RMS
NF	本底噪声	f_{IN} = 100MHz；f_{Offset} ≥ 10MHz	输入时钟压摆率 ≥ 3V/ns		-160	-155	dBc/Hz
SMBUS 接口，OEx#，CKPWRGD_PD#							
V_{IH}	高电平输入电压			2.0			V
V_{IL}	低电平输入电压					0.8	
I_{IH}	输入漏电流	具有内部上拉/下拉电阻	GND ≤ V_{IN} ≤ V_{DD}	-30		30	µA
I_{IL}	输入漏电流	具有内部上拉/下拉电阻	GND ≤ V_{IN} ≤ V_{DD}	-30		30	µA
I_{IH}	输入漏电流	无内部上拉/下拉电阻	GND ≤ V_{IN} ≤ V_{DD}	-5		5	µA
I_{IL}	输入漏电流	无内部上拉/下拉电阻	GND ≤ V_{IN} ≤ V_{DD}	-5		5	µA
C_{IN}	输入电容				4.5		pF
C_{OUT}	输出电容				4.5		pF
I_{IH}	输入漏电流	具有内部上拉/下拉电阻	V_{IN} = V_{DD}	-30		30	µA
C_{IN}	输入电容(1)				4.5		pF

(1) 电压摆幅包括过冲。
(2) 未经量产测试。由设计和特性验证。
(3) 在直流测试负载中测得。
(4) 当 CKx_P = CKx_N（相对于系统接地）时，V_{CROSS} 是单端电压。当 CKx_P 上升时，仅在 CKx 的上升沿有效。
(5) 从 CLK_IN 的上升沿测量到任何 CKx 输出。

Copyright © 2025 Texas Instruments Incorporated

(6) 从任何 CKx 输出的上升沿测量到任何其他 CKx 输出。
(7) 在交流测试负载中测得。

5.6 时序要求

VDD、VDD_R = 3.3V ± 5%，–40°C ≤ T_A ≤ 105°C。典型值是 VDD = VDD_A = 3.3V，25°C 条件下的值（除非另有说明）

			最小值	标称值	最大值	单位
SMBUS 兼容接口时序						
f_{SMB}	SMBus 工作频率		10		400	kHz
t_{BUF}	STOP 和 START 之间的总线空闲时间		4.7			μs
t_{HD_STA}	START 条件保持时间	在 SMBDAT 为低电平之后 SMBCLK 为低电平	4			
t_{SU_STA}	启动条件设置时间	在 SMBDAT 为低电平之前 SMBCLK 为高电平	4.7			
t_{SU_STO}	停止条件建立时间		4			
t_{HD_DAT}	SMBDAT 保持时间		300			ns
t_{SU_DAT}	SMBDAT 设置时间		250			
$t_{TIMEOUT}$	检测 SMBCLK 低电平超时	就设备输入时钟频率而言	1e6			周期
t_{LOW}	SMBCLK 低电平时间		4.7			μs
t_{HIGH}	SMBCLK 高电平周期		4		50	
t_F	SMBCLK/SMBDAT 下降时间(1)				300	ns
t_R	SMBCLK/SMBDAT 上升时间(2)				1000	

(1) TF = (VIHMIN + 0.15) 至 (VILMAX - 0.15)
(2) TR = (VILMAX - 0.15) 至 (VIHMIN + 0.15)

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

图 5-1 显示了源的相位噪声以及 DUT 的输出 (CDCDB800)。相位噪声图显示 DUT 具有非常低的相位噪声曲线，总抖动为 71fs rms。通过 rms 减去时钟基准噪声，典型条件下 CDCDB800 的附加抖动低于 71fs rms。

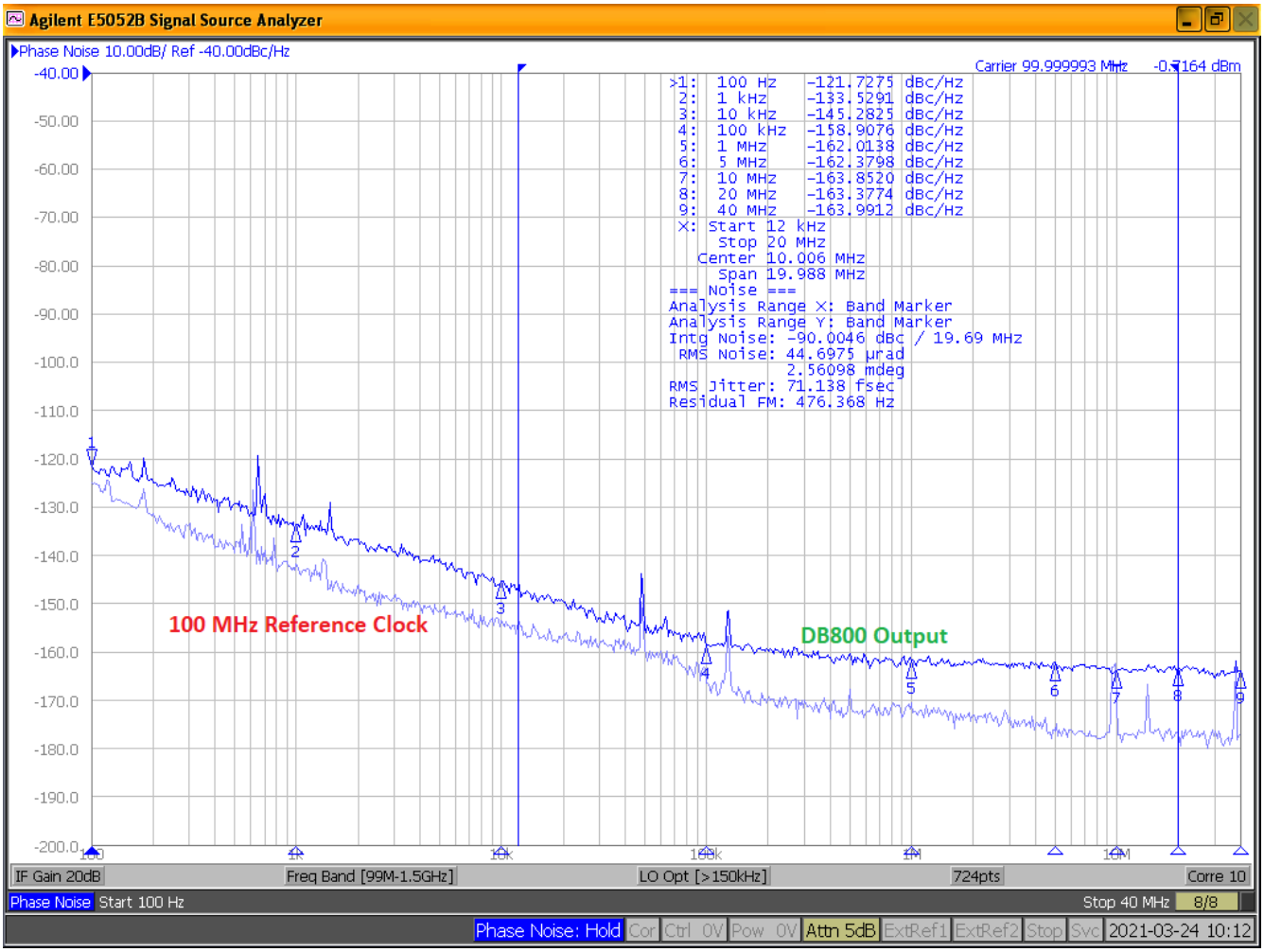


图 5-1. CDCDB800 时钟输出 (CK0:8) 相位噪声

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

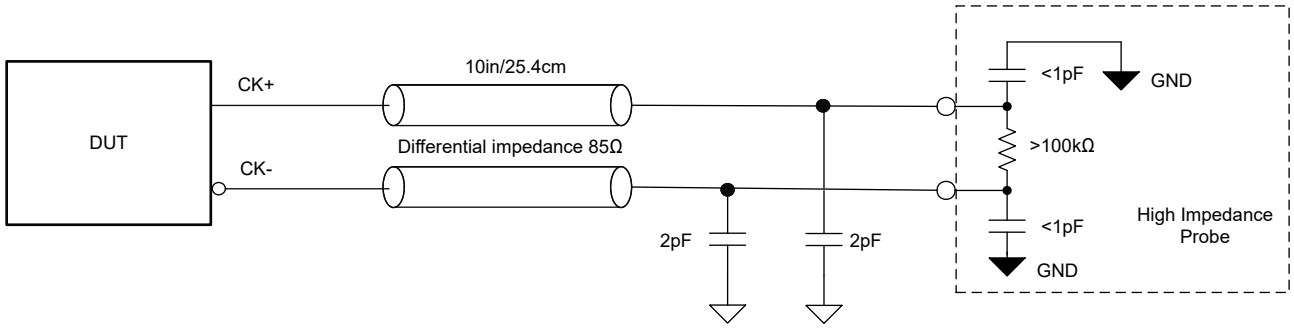
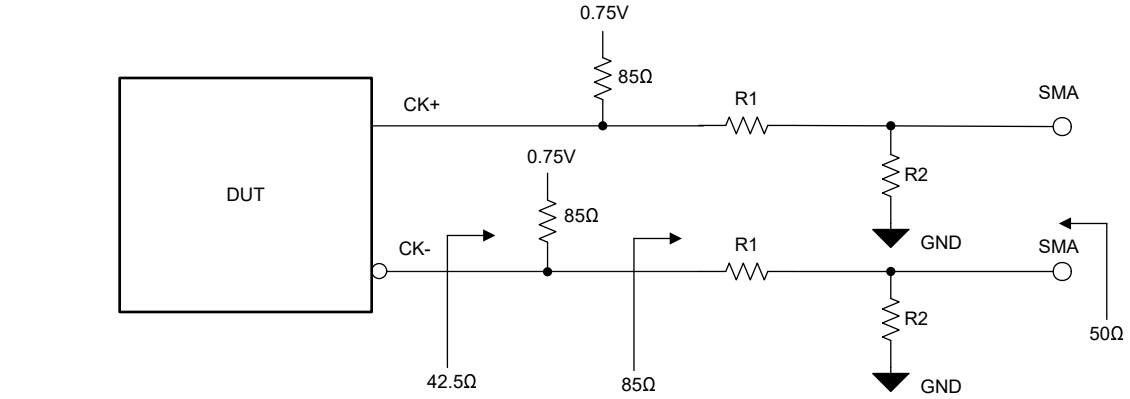


图 6-1. 交流测试负载 (参考 Intel DB2000QL 文档)



R1 = 47 Ω 且 R2 = 147 Ω.

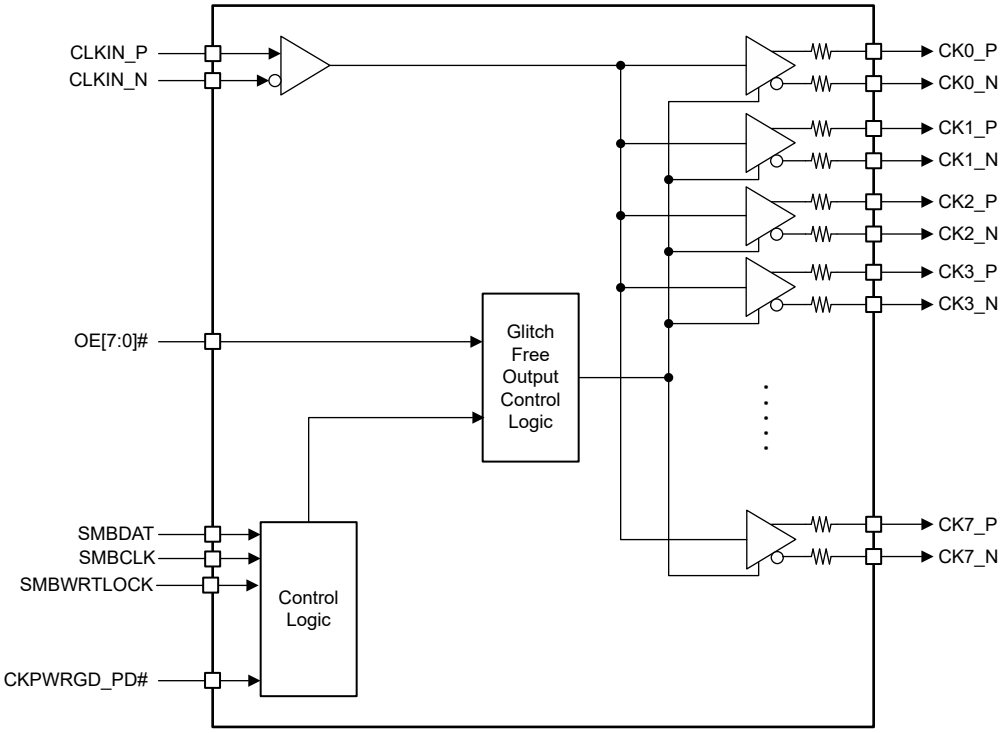
图 6-2. 直流仿真负载 (参考 Intel DB2000QL 文档)

7 详细说明

7.1 概述

CDCDB800 是一款低附加抖动、低传播延迟时钟缓冲器，旨在满足 PCIe 第 1 代到第 7 代、QPI、UPI、SAS 和 SATA 基准时钟的严格性能要求。CDCDB800 允许将单个时钟源缓冲和复制到多达八个 LP-HCSL 格式的独立输出。CDCDB800 还包括可通过符合 SMBus 版本 2.0 标准的接口访问的状态和控制寄存器。该器件集成了大量外部无源器件，以降低整体系统成本。

7.2 功能方框图



7.3 特性说明

7.3.1 失效防护输入

CDCDB800 旨在支持失效防护输入操作功能。该功能允许用户在施加 V_{DD} 之前驱动器件输入，而不会损坏器件。有关该器件支持的最大输入的更多信息，请参阅*绝对最大额定值*表。

7.3.2 输出使能控制

CDCDB800 使用 SMBus 和 OE# 来控制输出通道的状态。OE# 引脚以相同数字控制输出的状态。例如，OE5# 引脚控制 CK5 输出驱动器的状态。当相应 OE# 引脚保持低电平时，SMBus 寄存器可以启用或禁用输出。

7.3.3 SMBus

CDCDB800 具有一个仅在 CKPWRGD_PD# = 1 时处于运行状态的 SMBus 接口。SMBus 允许对每个输出进行单独启用/禁用。

当 CKPWRGD_PD# = 0 时，SMBus 引脚被置于 Hi-Z 状态，但所有寄存器设置都被保留。仅当 V_{DD} 保持在建议工作电压范围内时，才会保留 SMBus 寄存器值。

7.3.3.1 SMBus 地址分配

CDCDB800 对于写入操作（读取/写入 = 0）响应 SMBus 地址 0xD8，对于读取操作（读取/写入 = 1）响应 0xD9。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 CKPWRGD_PD# 功能

CKPWRGD_PD# 引脚用于设置器件内部的两个状态变量：PWRGD 和 PD#。PWRGD 和 PD# 变量控制器件的哪些功能随时处于运行状态，以及输入和输出引脚的状态。

PWRGD 和 PD# 状态在 CKPWRGD_PD# 引脚上进行多路复用。CKPWRGD_PD# 必须保持低于 V_{OL} 并且不超过 V_{DDR} + 0.3V，直到存在 V_{DD} 和 V_{DDR} 并且处于建议运行条件范围内。CKPWRGD_PD# 设置为高电平后，必须存在有效的 CLKIN 才能使用 PD#。

CKPWRGD_PD# 引脚的第一个上升沿设置 PWRGD = 1。PWRGD 设置为 1 后，CKPWRGD_PD# 引脚仅用于将 PD# 模式置为有效。PWRGD 变量仅在删除 V_{DD} 和 V_{DDR} 后清除为 0。

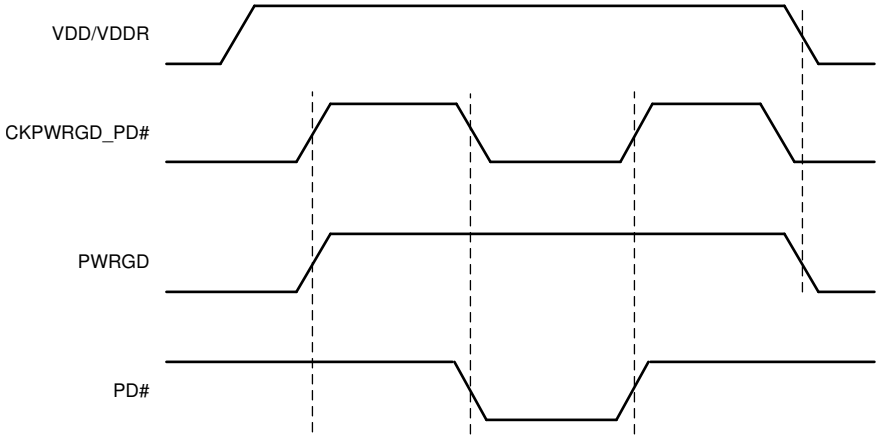


图 7-1. PWRGD 和 PD# 状态变化

7.4.2 OE[7:0]# 和 SMBus 输出使能

每个输出通道（0 至 7）都可通过 SMBus 控制寄存器位（称为 SMB 使能位）单独启用或禁用。此外，每个输出通道都有一个专用的相应 OE[7:0]# 硬件引脚。OE[7:0]# 引脚是异步低电平有效信号，可启用或禁用输出。

有关通过硬件和软件启用和禁用输出的信息，请参阅表 7-1。请注意，SMB 使能位必须为 1，OEx# 引脚必须为输入低电压 0，输出通道才能有效。

表 7-1. OE[7:0]# 功能

控制输入	功耗状态变量（内部）		CLKIN	OE[7:0]# 硬件引脚和 SMBus 控制寄存器位			CK[7:0]_P/ CK[7:0]_N
CKPWRGD_PD#	PWRGD	PD#		OE[7:0]#	OUT_EN_CLK[7:0]	DRIVE_OP_STATE_CTRL	
0	0	0	X	X	X	X	低电平/低电平
1	1	1	X(1)	X	0	0	低电平/低电平
						1	三态
				1	X	0	低电平/低电平
						1	三态
			运行(1)	0	1	X	运行
0		0	X(2)	X	X	0	低电平/低电平
						1	三态

(1) 要进入断电状态，在 CKPWRGD_PD# 从 1 转换为 0 后，CLKIN 必须保持有效状态至少 3 个时钟周期。
(2) 要在时钟输出有效的情况下进入上电状态，CLKIN 必须在 CKPWRGD_PD# 从 0 转换为 1 之前处于有效状态。

7.4.3 输出压摆率控制

CDCDB800 提供输出压摆率控制功能，客户可以使用此功能根据电路板设计补偿增加的输出布线长度。一组包含 4 个输出（0 至 3 和 4 至 7）的压摆率可以在给定范围内通过名为 CAPTRIM 的 SMBus 控制寄存器进行更改。更多信息，请参阅表 8-13。

7.4.4 输出阻抗控制

CDCDB800 上的集成端接可针对 85Ω 或 100Ω 进行编程。这种灵活性证明了客户可以在各种应用中使用同一器件，而无论特性电路板阻抗通常是 85Ω 还是 100Ω。使用称为 OUTSET 的寄存器的位 5，可以针对所有输出整体更改该端接电阻器。更多信息，请参阅表 8-11。

7.5 编程

CDCDB800 使用 SMBus 对八个输出驱动器的状态进行编程。有关 SMBus 编程的更多信息，请参阅 *寄存器映射*；有关寄存器的信息，请参阅 *SMBus*。

表 7-2. 命令代码定义

位	说明
7	0 = *块读取* 或 *块写入* 操作 1 = *字节读取* 或 *字节写入* 操作
(6:0)	用于 *字节* 操作的寄存器地址，或用于 *块* 操作的起始寄存器地址

Copyright © 2025 Texas Instruments Incorporated

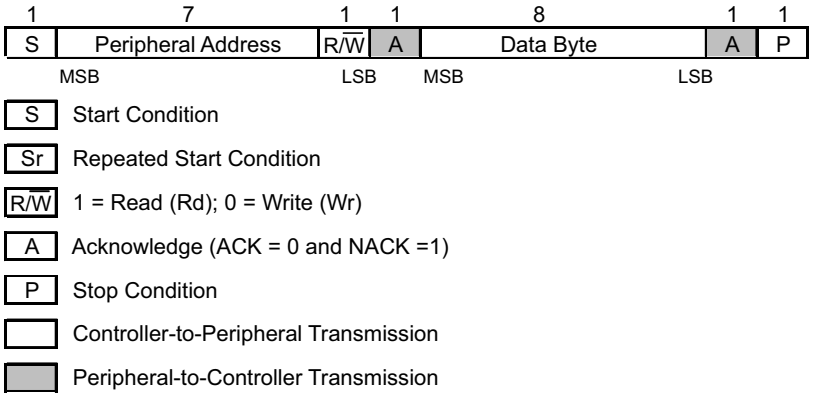


图 7-2. 一般编程序列

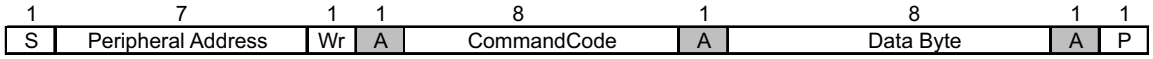


图 7-3. 字节写入协议

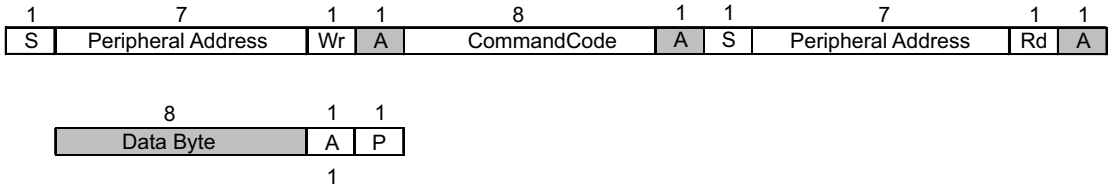


图 7-4. 字节读取协议

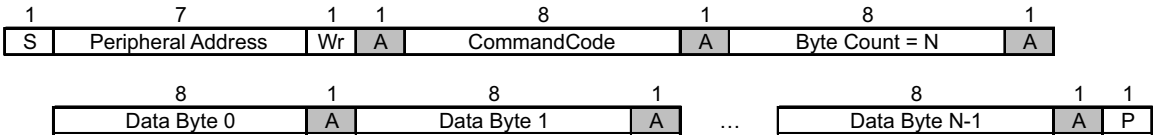


图 7-5. 块写入协议

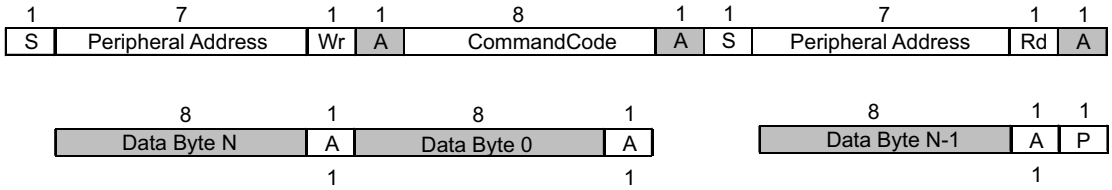


图 7-6. 块读取协议

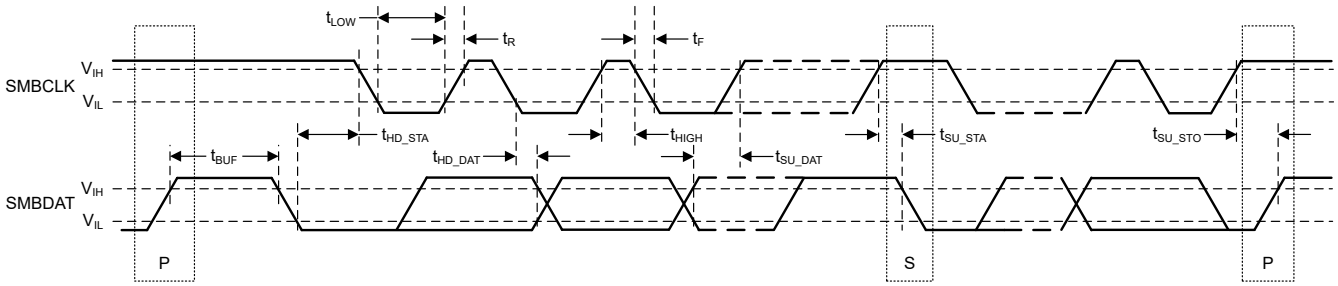


图 7-7. SMBus 时序图

8 寄存器映射

8.1 CDCDB800 寄存器

表 8-1 列出了 CDCDB800 寄存器。表 8-1 中未列出的所有寄存器位置都应视为保留的位置，并且不得修改寄存器内容。

表 8-1. CDCDB800 寄存器

地址	首字母缩写词	寄存器名称	部分
0h	RCR1	保留控制寄存器 1	转到
1h	OECR1	输出使能控制 1	转到
2h	OECR2	输出使能控制 2	转到
3h	OERDBK	输出 Enable# 引脚读回	转到
4h	RCR2	保留控制寄存器 2	转到
5h	VDRREVID	供应商/修订版本标识	转到
6h	DEVID	器件标识	转到
7h	BTRDCNT	字节读取计数控制	转到
8h	OUTSET	输出设置控制	转到
4Ch	CAPTRIM	压摆率电容器组 1 和 2	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. CDCDB800 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 RCR1 寄存器（地址 = 0h）[复位 = 47h]

表 8-3 展示了 RCR1。

返回到汇总表。

RCR1 寄存器包含保留位。

表 8-3. RCR1 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R	4h	保留。
3-0	保留	R/W	7h	写入这些位不会影响器件功能。

8.1.2 OECR1 寄存器（地址 = 1h）[复位 = FFh]

OECR1 寄存器字段说明 展示了 OECR1。

返回到汇总表。

OECR1 寄存器包含可启用或禁用单个输出时钟通道 [5:0] 的位。

Copyright © 2025 Texas Instruments Incorporated

表 8-4. OECR1 寄存器字段说明

位	字段	类型	复位	说明
7	OUT_EN_CLK5	R/W	1h	该位控制输出通道 CK5_P/CK5_N 的输出使能信号。 0h = 输出禁用 1h = 输出启用
6	OUT_EN_CLK4	R/W	1h	该位控制输出通道 CK4_P/CK4_N 的输出使能信号 0h = 输出禁用 1h = 输出启用
5	OUT_EN_CLK3	R/W	1h	该位控制输出通道 CK3_P/CK3_N 的输出使能信号 0h = 输出禁用 1h = 输出启用
4	OUT_EN_CLK2	R/W	1h	该位控制输出通道 CK2_P/CK2_N 的输出使能信号 0h = 输出禁用 1h = 输出启用
3	保留	R/W	1h	写入该位不会影响器件功能。
2	OUT_EN_CLK1	R/W	1h	该位控制输出通道 CK1_P/CK1_N 的输出使能信号 0h = 输出禁用 1h = 输出启用
1	OUT_EN_CLK0	R/W	1h	该位控制输出通道 CK0_P/CK0_N 的输出使能信号 0h = 输出禁用 1h = 输出启用
0	保留	R/W	1h	写入该位不会影响器件功能。

8.1.3 OECR2 寄存器（地址 = 2h）[复位 = 0Fh]

OECR2 寄存器字段说明 展示了 OECR2。

返回到汇总表。

OECR2 寄存器包含可启用或禁用单个输出时钟通道 [7:6] 的位。

表 8-5. OECR2 寄存器字段说明

位	字段	类型	复位	说明
7-3	保留	R/W	1h	写入这些位不会影响器件功能。
2	OUT_EN_CLK7	R/W	1h	该位控制输出通道 CK7_P/CK7_N 的输出使能信号 0h = 输出禁用 1h = 输出启用
1	保留	R/W	1h	写入该位不会影响器件功能。
0	OUT_EN_CLK6	R/W	1h	该位控制输出通道 CK6_P/CK6_N 的输出使能信号 0h = 输出禁用 1h = 输出启用

8.1.4 OERDBK 寄存器（地址 = 3h）[复位 = 0h]

表 8-6 中显示了 OERDBK。

返回到汇总表。

OERDBK 寄存器包含报告 OE[7:0]# 输入引脚当前状态的位。

Copyright © 2025 Texas Instruments Incorporated

表 8-6. OERDBK 寄存器字段说明

位	字段	类型	复位	说明
7	RB_OE7	R	0h	该位报告 OE7# 引脚上的逻辑电平。
6	RB_OE6	R	0h	该位报告 OE6# 引脚上的逻辑电平。
5	RB_OE5	R	0h	该位报告 OE5# 引脚上的逻辑电平。
4	RB_OE4	R	0h	该位报告 OE4# 引脚上的逻辑电平。
3	RB_OE3	R	0h	该位报告 OE3# 引脚上的逻辑电平。
2	RB_OE2	R	0h	该位报告 OE2# 引脚上的逻辑电平。
1	RB_OE1	R	0h	该位报告 OE1# 引脚上的逻辑电平。
0	RB_OE0	R	0h	该位报告 OE0# 引脚上的逻辑电平。

8.1.5 RCR2 寄存器（地址 = 4h）[复位 = 0h]

RCR2 寄存器字段说明 展示了 RCR2。

返回到汇总表。

RCR2 寄存器包含保留位。

表 8-7. RCR2 寄存器字段说明

位	字段	类型	复位	说明
7-0	保留	R	0h	保留。

8.1.6 VDRREVID 寄存器（地址 = 5h）[复位 = 0Ah]

表 8-8 中显示了 VDRREVID。

返回到汇总表。

VDRREVID 寄存器含有供应商识别代码和器件修订版本代码。

表 8-8. VDRREVID 寄存器字段说明

位	字段	类型	复位	说明
7-4	REV_ID	R	0h	器件修订版本代码。 器件修订版本代码位 [3:0] 直接映射到寄存器位 [7:4]。
3-0	VENDOR_ID	R	Ah	供应商标识代码。 供应商 ID 位 [3:0] 直接映射到寄存器位 [3:0]。

8.1.7 DEVID 寄存器（地址 = 6h）[复位 = E7h]

表 8-9 中显示了 DEVID。

返回到汇总表。

DEVID 寄存器含有一个器件标识代码。

表 8-9. DEVID 寄存器字段说明

位	字段	类型	复位	说明
7-0	DEV_ID	R	E7h	器件 ID 代码。 器件 ID 位 [7:0] 直接映射到寄存器位 [7:0]。

Copyright © 2025 Texas Instruments Incorporated

8.1.8 BTRDCNT 寄存器（地址 = 7h）[复位 = 8h]

表 8-10 中显示了 BTRDCNT。

返回到汇总表。

BTRDCNT 寄存器包含用于配置读回的字节数的位 [4:0]。

表 8-10. BTRDCNT 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0h	写入这些位不会影响器件功能。
4	BYTE_COUNTER	R/W	0h	写入此寄存器可配置读回的字节数。
3-0	BYTE_COUNTER	R/W	8h	

8.1.9 OUTSET 寄存器（地址 = 8h）[复位 = 0h]

表 8-11 中显示了 OUTSET。

返回到汇总表。

OUTSET 寄存器的位 5 可设置所有输出的端接，而位 4 可用于设置所有输出的断电状态。该寄存器的其余位被保留。

表 8-11. OUTSET 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R	0h	保留。
5	CH_ZOUT_SEL	R/W	0h	在 85Ω (0) 和 100Ω (1) 输出阻抗之间进行选择
4	d_DRIVE_OP_STATE_CTRL	R/W	0h	所有输出时钟的断电状态。 0：低电平/低电平 1： TRI_STATE
3-0	保留	R/W	0h	寄存器位可以写入 0。写入不同于 0 的值会影响器件功能。

8.1.10 CAPTRIM 寄存器（地址 = 4Ch）[复位 = 66h]

CAPTRIM 如表 8-13 所示。

返回到汇总表。

CAPTRIM 寄存器的位 [7:4] 用于控制输出通道组 2 的压摆率。位 [3:0] 用于控制输出通道组 1 的压摆率。有关组识别，请参阅以下内容。

表 8-12. 组标识

仪表组	输出
1	CK3、CK2、CK1、CK0
2	CK7、CK6、CK5、CK4

表 8-13. CAPTRIM 寄存器字段说明

位	字段	类型	复位	说明
7-4	CLUSTER2_CAP_TRIM	R/W	6h	组 2 的压摆率降低电容修整。默认值为 6h。 0：最小值 F：最大值

Copyright © 2025 Texas Instruments Incorporated

表 8-13. CAPTRIM 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	CLUSTER1_CAP_TRIM	R/W	6h	组 1 的压摆率降低电容修整。默认值为 6h。 0：最小值 F：最大值

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

CDCDB800 是一款扇出缓冲器，支持 PCIe 第 6 代和 PCIe 第 7 代 REFCLK 分配。该器件用于分配最多八个通常为 100MHz 时钟的副本。

9.2 典型应用

图 9-1 所示的是 CDCDB800 典型应用。在此应用中，时钟发生器为 CDCDB800 提供 100MHz 基准，然后由后者将该时钟分配给 PCIe 端点。时钟发生器可以是 CDCI6214 之类的分立式时钟发生器，也可以集成到大型元件中，例如平台控制器中心 (PCH) 或应用处理器。

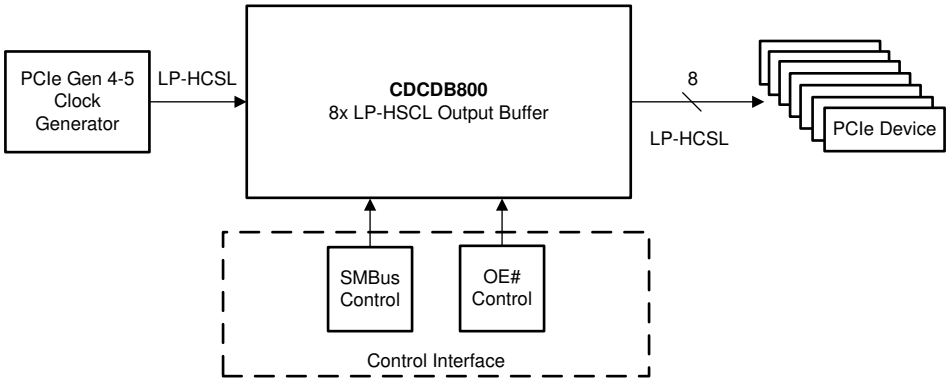


图 9-1. 典型应用

9.2.1 设计要求

考虑一个典型的服务器主板应用，该应用必须将 100MHz PCIe 基准时钟从处理器芯片组的 PCH 分配到多个端点。时钟输入和输出要求的示例为：

- 时钟输入：
  - 100MHz LP-HCSL
- 时钟输出：
  - 2 个 100MHz 通向处理器，LP-HCSL
  - 3 个 100MHz 通向转接卡/重定时器，LP-HCSL
  - 3 个 100MHz 通向 DDR 存储器控制器，LP-HCSL

Copyright © 2025 Texas Instruments Incorporated

9.2.2 详细设计过程

在开始设计 CDCDB2000 插座之前，必须确定以下各项内容：

- 输出使能控制方法

9.2.2.1 输出使能控制方法

该器件提供了一个选项，从而既可使用 SMBus 编程寄存器（软件）来控制输出，也可通过使用硬件 OE# 引脚来控制输出。如果使用软件控制输出，硬件 OE# 引脚可以保持悬空，因为每个引脚都有一个接地下拉电阻。更多有关对寄存器进行编程的信息，请参阅*寄存器映射*部分。

当用户希望使用硬件 OE# 引脚控制输出，用户可以实现这一点，例如，将这些引脚连接到 GPIO 控制器，并按照*引脚配置和功能部分*所述将输出设置为高电平/低电平。用于控制输出的 OUT_EN_CLK7 至 OUT_EN_CLK0 位显示在寄存器 OECR1 字段说明中。这些寄存器位默认设置为 1，以验证输出是否为“软件启用”，因此状态由硬件 OE# 引脚设置。

9.2.3 应用曲线

*典型特性*中的图 5-1 可用作此示例中的应用曲线和典型特性图。

图 9-2 和图 9-3 展示了各种 CAPTRIM 代码以及整个温度范围内输出压摆率的特征数据。客户可以使用这些图作为参考，根据系统要求选择合适的输出压摆率。

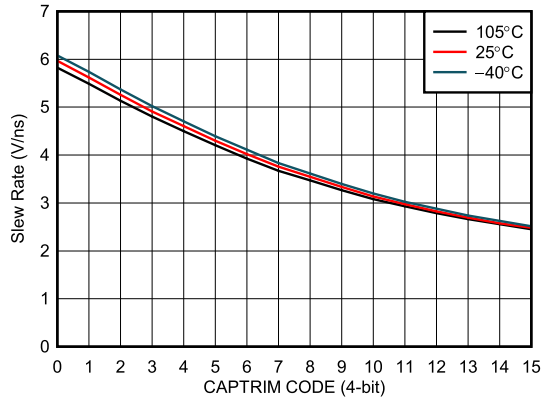


图 9-2. 输出压摆率与 CAPTRIM 代码间的关系

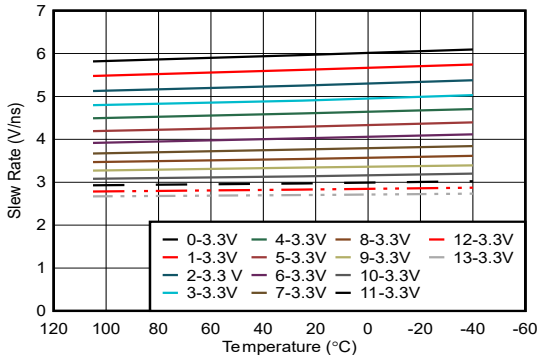


图 9-3. 不同 CAPTRIM 代码的压摆率随温度的变化情况

9.3 电源相关建议

高性能时钟缓冲器对电源上的噪声很敏感，这会显著增加缓冲器的附加抖动。因此，降低系统电源的噪声至关重要，尤其是当抖动和相位噪声对于应用至关重要时。

滤波电容器用于消除电源的低频噪声，其中旁路电容器为高频噪声提供超低阻抗路径，并保护电源系统免受感应波动的影响。这些旁路电容器还提供器件所需的瞬时电流浪涌，并且必须具有低等效串联电阻 (ESR)。为了正确使用旁路电容器，必须将它们放置在非常靠近电源端子的位置，并使用短环路布局来尽可能减小电感。TI 建议在电路板电源和芯片电源之间插入铁氧体磁珠来隔离时钟缓冲器产生的高频开关噪声。这些磁珠可防止开关噪声泄漏到电路板电源中。必须选择具有很低直流电阻的合适铁氧体磁珠，在电路板电源和芯片电源之间提供充分的隔离，并保持电源端子上的电压大于正常运行所需的最小电压。

图 9-4 展示了建议的电源滤波和去耦方法。

Copyright © 2025 Texas Instruments Incorporated

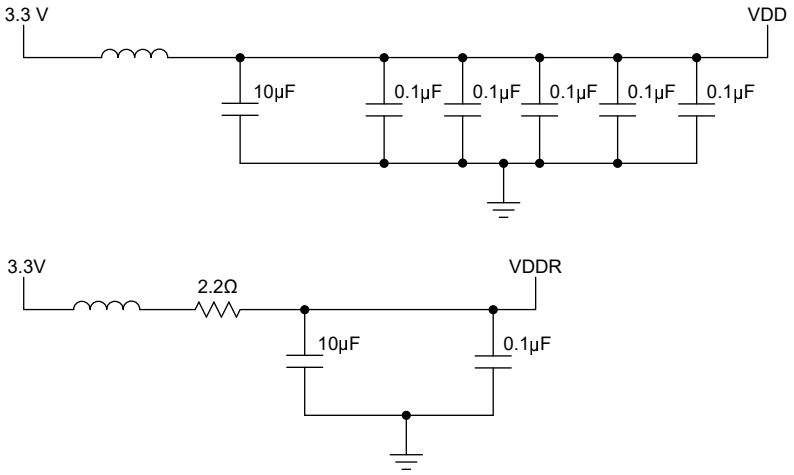


图 9-4. 电源去耦

9.4 布局

9.4.1 布局指南

以下部分提供了布局指南，以确保 CDCDB800 良好的热性能和电源连接。

在*布局示例* 中，CDCDB800 根据寄存器默认设置，具有 85Ω 差分输出阻抗 LP-HCSL 格式驱动器。连接到 CKx 引脚的所有传输线路都应具有 85Ω 差分阻抗、42.5Ω 单端阻抗，以避免反射和辐射发射增加。如果启用了 100Ω 输出阻抗，则连接到 CKx 引脚的传输线路应为 100Ω 差分阻抗、50Ω 单端阻抗。注意消除或减少传输线路上的残桩。

9.4.2 布局示例

图 9-5 至图 9-7 是印刷电路板 (PCB) 布局布线示例，其中展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。

Copyright © 2025 Texas Instruments Incorporated

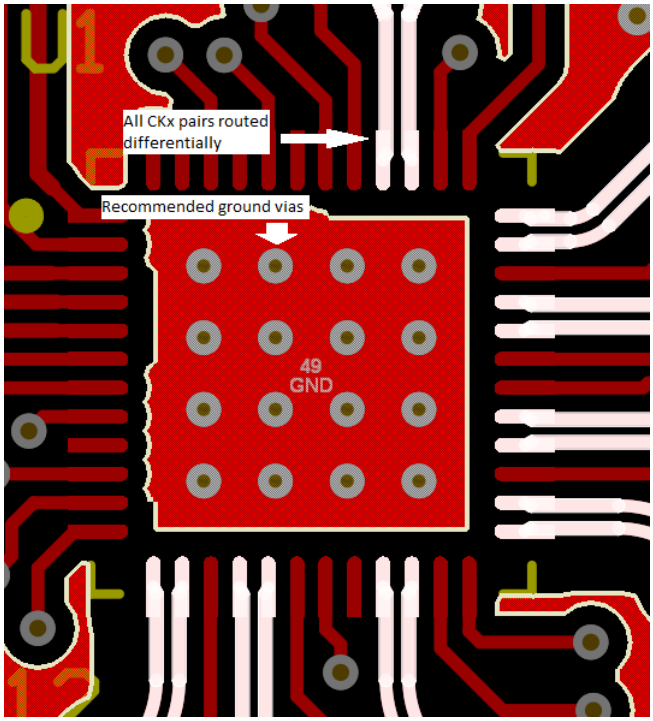


图 9-5. CDCDB800 的 PCB 布局示例，顶层

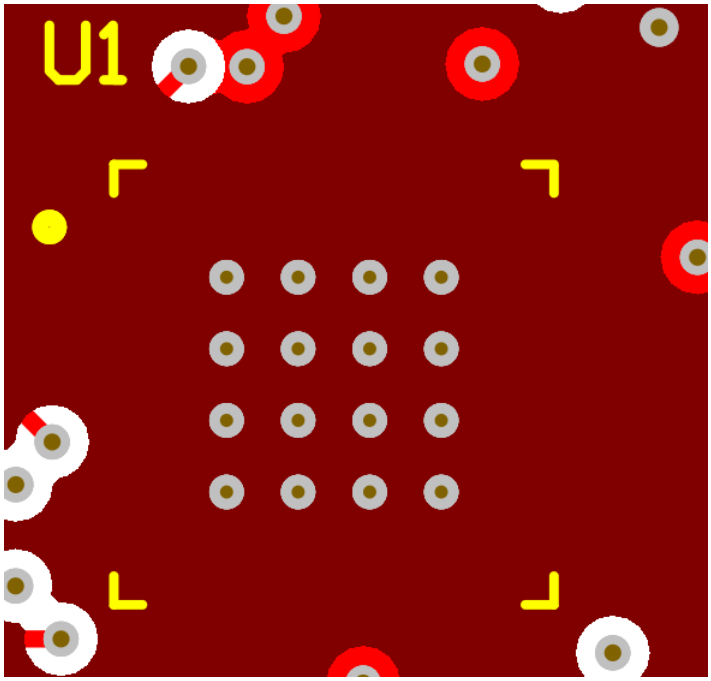


图 9-6. CDCDB800 的 PCB 布局示例，GND 层

Copyright © 2025 Texas Instruments Incorporated

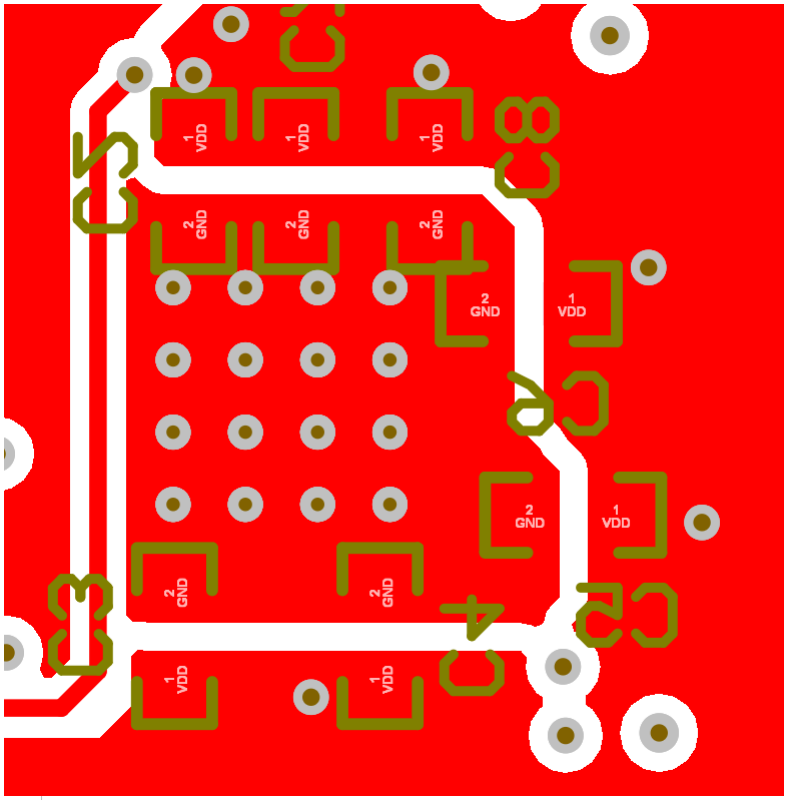


图 9-7. CDCDB800 的 PCB 布局示例，底层

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 TICS Pro

TICS Pro 是用于 EVM 编程的离线软件工具，也可以用生成寄存器映射，为特定应用的器件配置编程。对于 TICS Pro，请访问 https://www.ti.com/tool/TICSPRO-SW。

10.2 文档支持

10.2.1 相关文档

- 德州仪器 (TI)，CDCDB800/803 超低附加抖动、8 输出 PCIe 第 1 代到第 5 代时钟缓冲器

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (May 2022) to Revision C (August 2025)	Page
• 在*特性*、*应用* 和*说明* 部分添加了 PCIe 第 7 代规格	1
• 在*概述* 部分添加了 PCIe 第 7 代规格	12

Changes from Revision A (September 2021) to Revision B (May 2022)	Page
• 更改了数据表标题	1
• 在数据表中添加了 PCIe 第 6 代	1
• 更改了引脚 46 的引脚说明	3

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (July 2021) to Revision A (September 2021) **Page**

- 更改了引脚 47 和 48 的引脚说明.....3
- 更改了*绝对最大额定值* 注释 1。.....6
- 更改了一般编程序列和协议图的 SPI 术语.....14
- 更改了*寄存器字段说明* 表的复位值和说明。.....16

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCDB800RSLR	Active	Production	VQFN (RSL) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB800
CDCDB800RSLR.A	Active	Production	VQFN (RSL) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB800
CDCDB800RSLT	Active	Production	VQFN (RSL) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB800
CDCDB800RSLT.A	Active	Production	VQFN (RSL) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB800

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

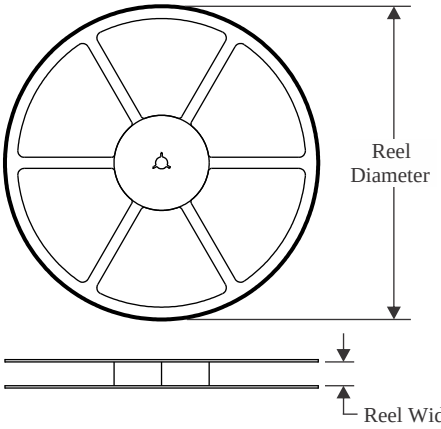
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

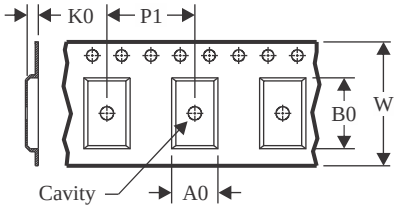
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

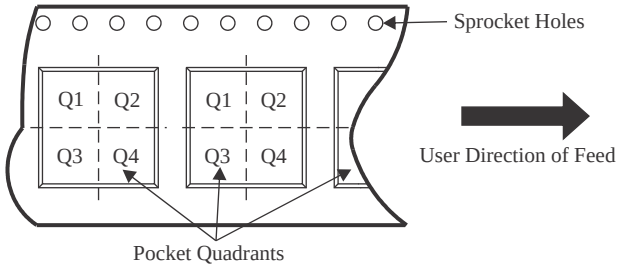


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

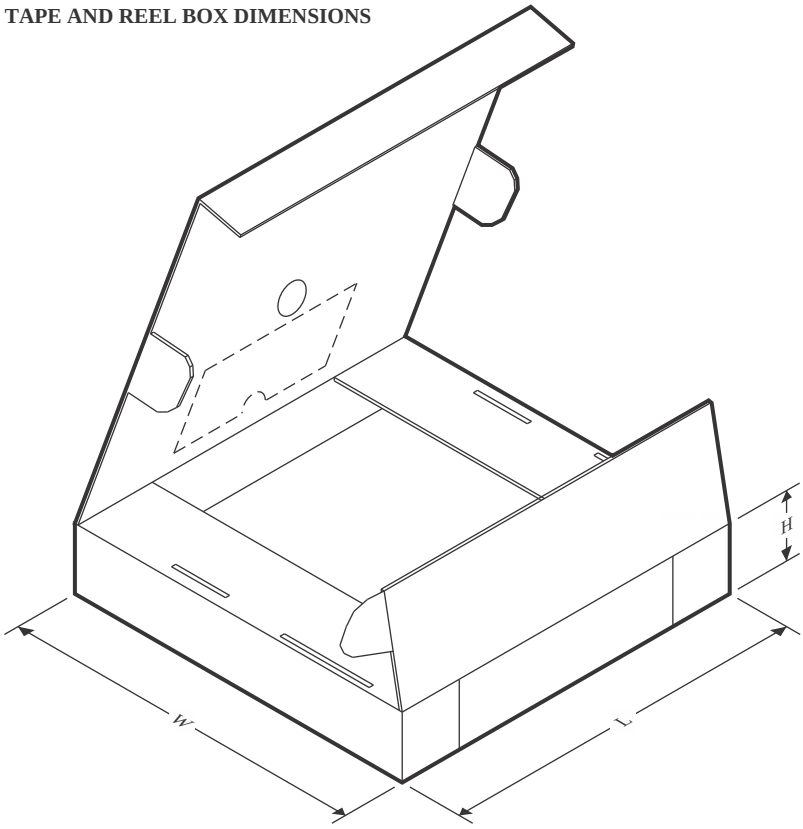
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCDB800RSLR	VQFN	RSL	48	4000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
CDCDB800RSLT	VQFN	RSL	48	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCDB800RSLR	VQFN	RSL	48	4000	353.0	353.0	32.0
CDCDB800RSLT	VQFN	RSL	48	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

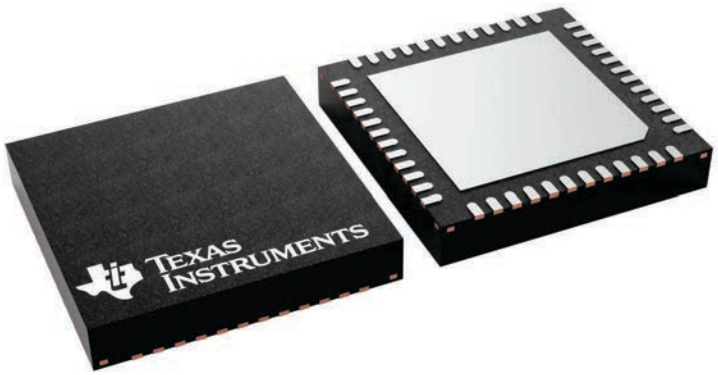
RSL 48

VQFN - 1 mm max height

6 x 6, 0.4 mm pitch

QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



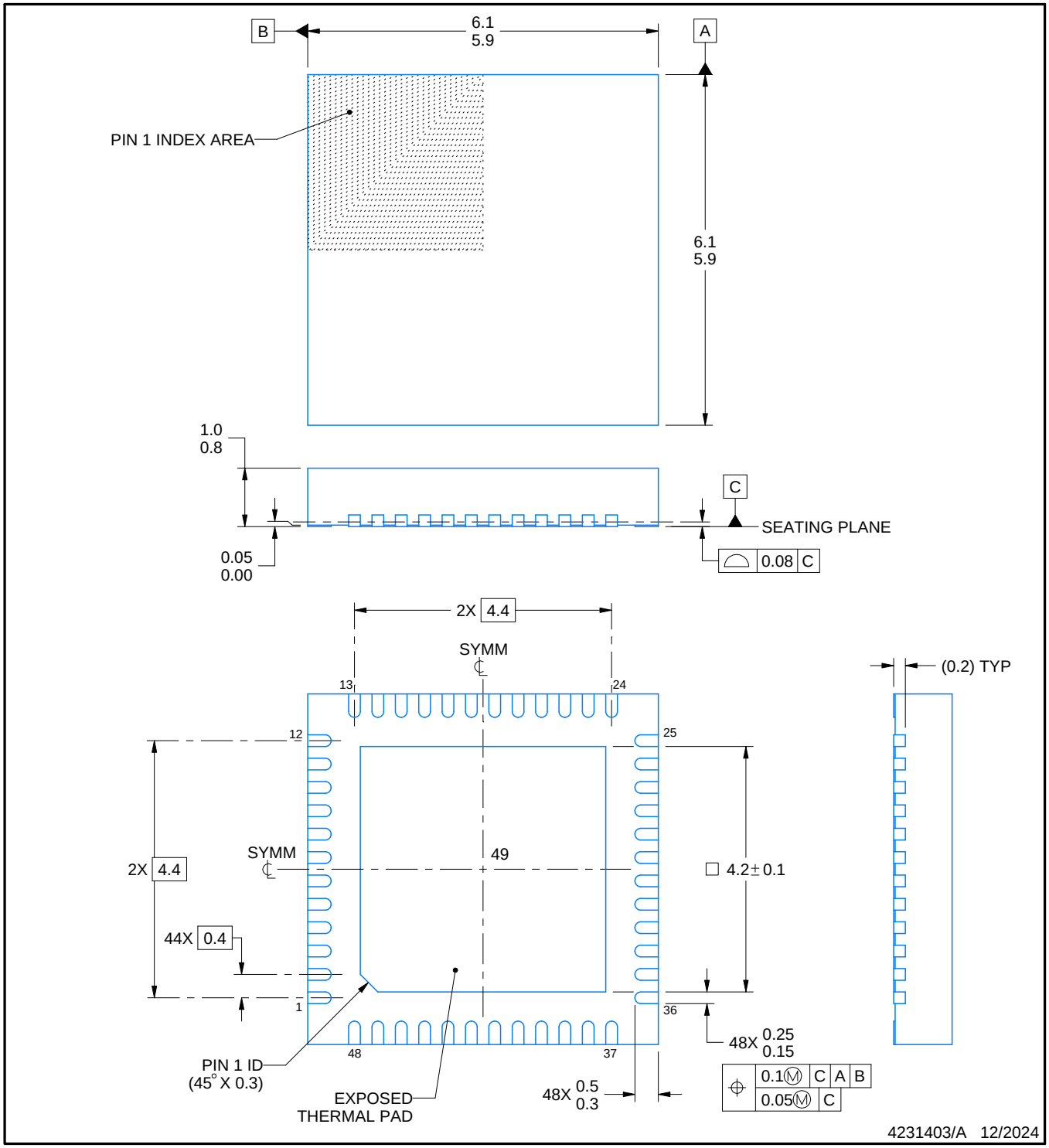
4225749/A

RSL0048G

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

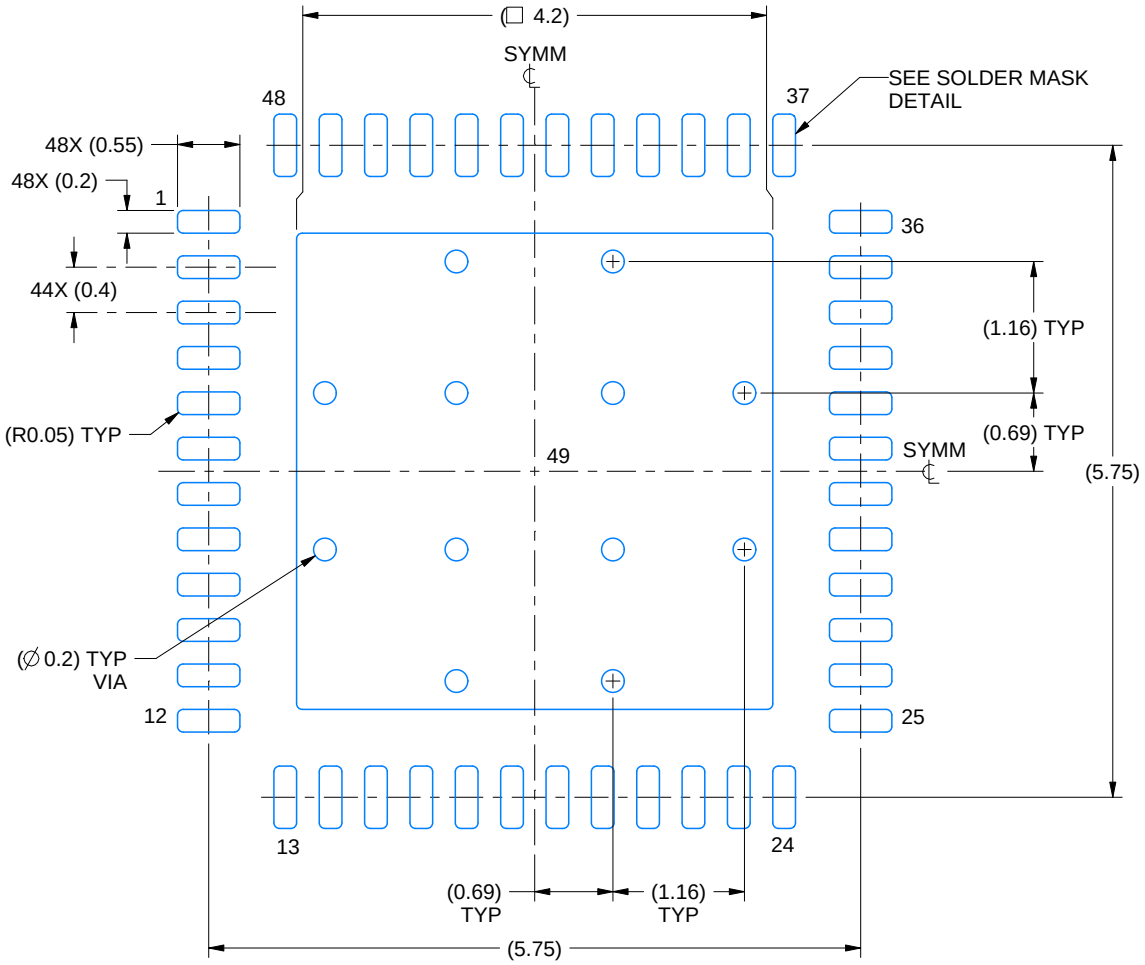
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

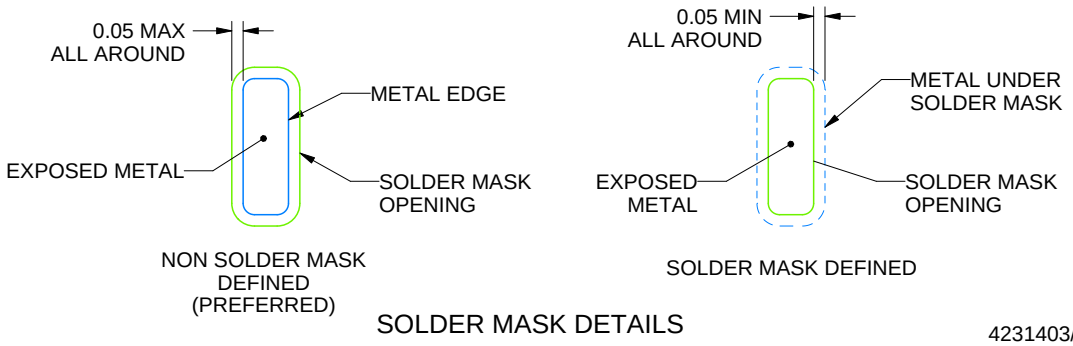
RSL0048G

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

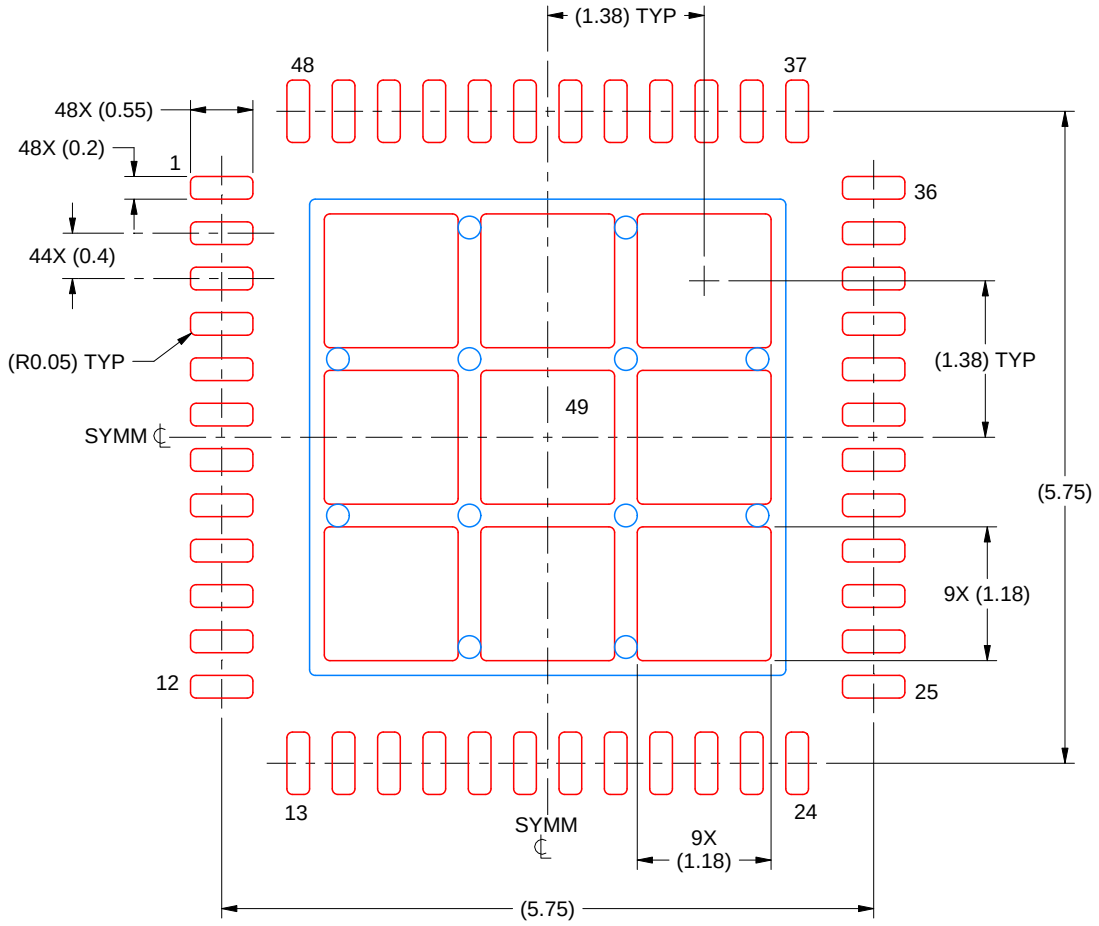


SOLDER MASK DETAILS

4231403/A 12/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 49
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231403/A 12/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月