CDCE6214-Q1 具有一个 PLL、四个差分输出、两个输入和内部 EEPROM 的超低功耗时钟发生器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 2：-40°C 至 105°C
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 通过 RMS 抖动和杂散（12kHz – 20MHz，F_{out} > 100MHz）可将高性能、低功耗分数 N PLL 配置如下：
  - 整数模式：
    - 差分输出：典型值 (typ.) 为 350fs，最大 (max) 为 600fs
    - LVCMOS 输出：1.05ps 典型值，1.5ps 最大值
  - 分数模式：
    - 差分输出：1.7ps 典型值，2.1ps 最大值
    - LVCMOS 输出：2.0ps 典型值，4.0ps 最大值
- 支持有 SSC 的 PCIe Gen1/2/3/4 和无 SSC 的 Gen 1/2/3/4/5/6
- 典型功耗：4 输出通道为 65mA，单输出通道为 23mA。
- 通用时钟输入
  - 差分交流耦合或 LVCMOS：10MHz 至 200MHz
  - 晶振：10MHz 至 50MHz
- 灵活的输出时钟分配
  - 4 通道分频器：多达五个独特输出频率，范围为 24kHz 至 328.125MHz
  - OUT0 – OUT4 引脚具有类似 LVDS、LP-HCSL 或 LVCMOS 输出
  - 无毛刺输出分频器切换和输出通道同步
  - 通过 GPIO 和寄存器实现独立输出使能端
- 频率裕量选项
  - DCO 模式：频率递增/递减，步长为 10ppb 或更小
- 完全集成的可配置环路带宽：100kHz 至 1.6MHz
- 单电源或混合电源可进行电平转换：1.8V、2.5V、3.3V
- 可配置的 GPIO 和灵活的配置选项
  - 兼容 I^2C 的接口：频率高达 400kHz
  - 具有两个页面和外部选择引脚的集成 EEPROM。可现场编程。
- 支持 100Ω 系统
- 电磁辐射低
- 小尺寸：24 引脚 VQFN (4 mm × 4 mm)

2 应用

- PCIe 第 1 至 6 代时钟
- 高级驾驶辅助系统 (ADAS) - 传感器融合
- 信息娱乐系统与仪表组 - 汽车音响主机 - eAVB
- 数据中心和企业计算
- PC 和笔记本电脑
- 企业机器 - 多功能打印机
- 测试和测量 - 手持设备

3 说明

CDCE6214-Q1 是一款适合汽车应用的 4 通道、超低功耗、中级抖动时钟发生器，可生成五个在各种驱动器模式之间可选的独立时钟输出。输入源可以是单端或差分输入时钟源，也可以是晶体。CDCE6214-Q1 具有一个分数 N PLL，可在任何输入频率下合成不相关的基础频率。

只能在回退模式下通过 I^2C 接口配置 CDCE6214-Q1。无串行接口时，可以在引脚模式下将 GPIO 引脚用于对产品进行独特配置。

片上 EEPROM 可用于更改配置，通过引脚可预选配置。该器件提供具有无干扰操作的频率裕量选项，以支持系统设计验证测试 (DVT) 和以太网音频/视频桥接 (eAVB)。通过在 DCO 模式下控制分数反馈分频器，可在任何输出通道上提供精细的频率裕量。

内部电源调理功能提供出色的电源纹波抑制 (PSRR)，降低了电源分配网络的成本和复杂性。模拟和数字内核块由 1.8V、2.5V 或 3.3V±5% 电源供电，输出块由 1.8V、2.5V 或 3.3V±5% 电源供电。

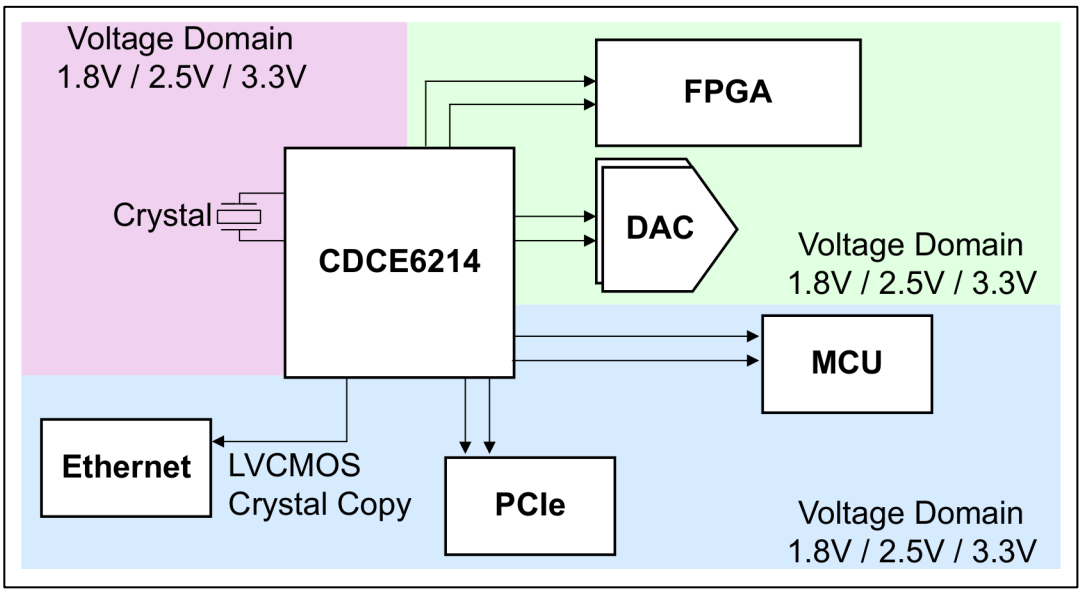
CDCE6214-Q1 采用小外形封装并具有超低功耗，可根据单个基准实现高性能时钟树。工厂和用户可编程的 EEPROM 特性使得 CDCE6214-Q1 成为一款低功耗、方便易用、瞬时启动的时钟器件。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

表 3-1. 封装信息

器件型号	封装(1)	封装尺寸(2)
CDCE6214-Q1	RGE（VQFN，24）	4.00mm × 4.00mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



应用示例 CDCE6214-Q1

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 7
5.1 绝对最大额定值 7
5.2 ESD 等级 7
5.3 建议运行条件 7
5.4 热性能信息 7
5.5 EEPROM 特性 8
5.6 基准输入，单端特性 8
5.7 基准输入，差分特性 8
5.8 基准输入，晶体模式特性 8
5.9 通用输入特性 9
5.10 三电平输入特性 9
5.11 逻辑输出特性 9
5.12 锁相环特性 9
5.13 闭环输出抖动特性 10
5.14 输入和输出隔离 10
5.15 缓冲模式特性 10
5.16 PCIe 展频发生器 11
5.17 LVCMOS 输出特性 11
5.18 LP-HCSL 输出特性 11
5.19 LVDS 输出特性 12
5.20 输出同步特性 12
5.21 上电复位特性 13
5.22 与 I^2C 兼容的串行接口特性 13
5.23 时序要求，与 I^2C 兼容的串行接口 13
5.24 电源特性 14
5.25 典型特性 14
6 参数测量信息 16
6.1 基准输入 16
6.2 输出 16
6.3 串行接口 17
6.4 PSNR 测试 17
6.5 时钟连接和端接 18
7 详细说明 19
7.1 概述 19
7.2 功能方框图 19
7.3 特性说明 19
7.4 器件功能模式 33
7.5 编程 34
8 应用和实施 43
8.1 应用信息 43
8.2 典型应用 44
8.3 电源相关建议 45
8.4 布局 46
9 器件和文档支持 48
9.1 器件支持 48
9.2 文档支持 48
9.3 接收文档更新通知 48
9.4 支持资源 48
9.5 商标 48
9.6 静电放电警告 48
9.7 术语表 48
10 修订历史记录 48
11 机械、封装和可订购信息 49
11.1 封装选项附录 53
11.2 卷带包装信息 54

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

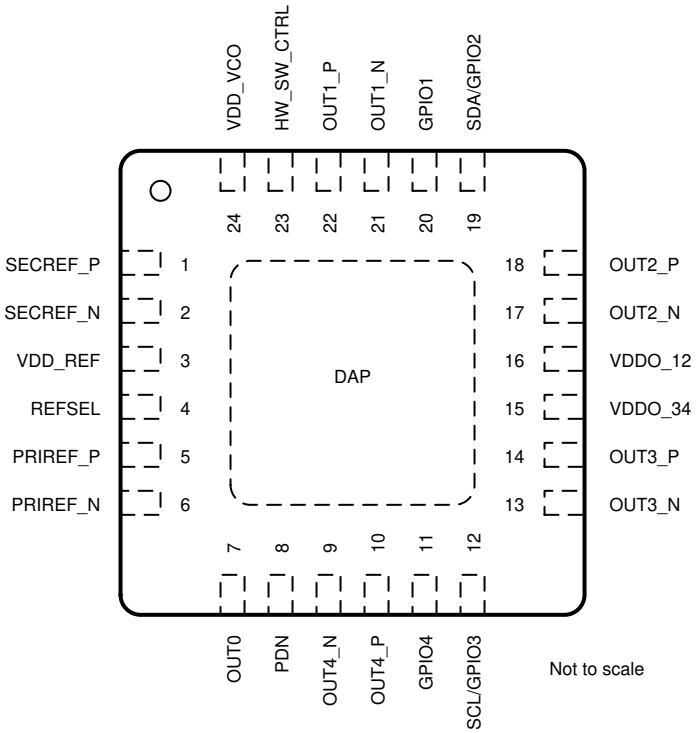


图 4-1. RGE 封装 24 引脚 VQFN 顶视图

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚		类型 (1)	说明
名称	编号		
POWER			
DAP	—	G	裸片连接焊盘 DAP 是一种电气连接，可提供散热路径。为了使器件具有适当的电气和热性能，DAP 必须连接到 PCB 接地平面。
VDD_REF	3	P	用于基准输入和数字的 1.8V、2.5V 或 3.3V 电源。
VDD_VCO	24	P	用于 PLL/VCO 的 1.8V、2.5V 或 3.3V 电源。
VDDO_12	16	P	用于 OUT1 和 OUT2 通道的 1.8V、2.5V 或 3.3V 电源
VDDO_34	15	P	用于 OUT0、OUT3 和 OUT4 通道的 1.8V、2.5V 或 3.3V 电源
输入块			
HW_SW_CTRL	23	I、R_{PUPD}	EEPROM 页面的手动选择引脚（三态）。弱上拉/下拉。R_{PU} = 50kΩ。R_{PD} = 50kΩ。
PRIREF_P	5	I	主基准时钟。接受差分或单端输入。输入引脚需要交流耦合电容器并在差分模式下进行内部偏置。对于 LVCMOS，必须在 PRIREF_P 上提供输入，并且必须将非驱动输入引脚下拉至接地。在单端模式下会禁用差分模式的内部偏置。
PRIREF_N	6	I	
REFSEL	4	I、R_{PUPD}	基准输入的手动选择引脚（三态）。弱上拉/下拉。R_{PU} = 50kΩ。R_{PD} = 50kΩ。
SECREF_P	1	I	辅助外部时钟。接受差分或单端输入或 XTAL。输入引脚需要交流耦合电容器并在差分模式下进行内部偏置。对于 XTAL 输入，在 SECREF_P 和 SECREF_N 引脚之间连接晶体。SECREF_P 为 XOUT，SECREF_N 为 XIN。该器件不需要在 XOUT 上连接任何功率限制电阻器。对于 LVCMOS 输入，必须在 SECREF_P 上提供输入，并且必须将非驱动输入引脚下拉至接地。在单端和 XTAL 模式下会禁用差分模式的内部偏置。
SECREF_N	2	I	
输出块			
OUT0	7	O	LVCMOS 输出 0。基准输入可旁路到该输出中。所有 LVCMOS 输出上均可配置输出压摆率。
OUT1_P	22	O	类似 LVDS/LP-HCSL/LVCMOS 输出对 1。具有类似 LVDS/LP-HCSL 或 2 个 LVCMOS 输出的可编程驱动器。
OUT1_N	21	O	
OUT2_P	18	O	类似 LVDS/LP-HCSL 输出对 2。具有类似 LVDS/LP-HCSL 输出的可编程驱动器。
OUT2_N	17	O	
OUT3_P	14	O	类似 LVDS/LP-HCSL 输出对 3。具有类似 LVDS/LP-HCSL 输出的可编程驱动器。
OUT3_N	13	O	
OUT4_P	10	O	类似 LVDS/LP-HCSL/LVCMOS 输出对 4。具有类似 LVDS/LP-HCSL 或 2 个 LVCMOS 输出的可编程驱动器。
OUT4_N	9	O	
数字控制/接口			
GPIO1	20	I/O	状态输出或 GPIO1 输入。
GPIO4	11	I/O	状态输出或 GPIO4 输入。
PDN	8	I、R_{PU}	器件断电/复位（低电平有效）或 SYNCN。弱上拉电阻器。R_{PU} = 50kΩ。在输出模式下禁用上拉电阻器。
SDA/GPIO2	19	I/O	I^2C 串行数据（双向，开漏）或 GPIO2 输入。在 I^2C 模式下需要一个连接到 VDD_REF 的外部上拉电阻器。I^2C 地址从片上 EEPROM 初始化。失效防护输入。
SCL/GPIO3	12	I	I^2C 串行时钟或 GPIO3 输入。在 I^2C 模式下需要一个连接到 VDD_REF 的外部上拉电阻器。失效防护输入。

(1) 类型：

- G = 接地

Copyright © 2025 Texas Instruments Incorporated

- P = 电源
- I = 输入
- I/O = 输入/输出
- O = 输出
- I、RPUPD = 带阻性上拉和下拉的输入
- I、RPU = 带阻性上拉的输入
- I/O、RPU = 带阻性上拉的输入/输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VDD_REF、VDD_VCO、VDDO_12、VDDO_34	电源电压	-0.3	3.63	V
PRIREF_P、PRIREF_N、SECREF_P、SECREF_N	输入电压	-0.3	VDD_REF + 0.3	V
GPIO1、SDA/GPIO2、SCL/GPIO3、GPIO4、REFSEL、HW_SW_CTRL、PDN	输入电压	-0.3	VDD_REF + 0.3	V
OUT0、OUT1_P、OUT1_N、OUT2_P、OUT2_N、OUT3_P、OUT3_N、OUT4_P、OUT4_N(2)	输出电压	-0.3	VDDO_X(2) + 0.3	V
T_J	结温		125	°C
T_{stg}	贮存温度	-65	150	°C

(1) 在*绝对最大额定值*范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) VDDO_X 指特定输出通道的输出电源，其中 X 表示通道索引。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2(1)	2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C5	750	V

(1) AEC Q100-002 指示 HBM 应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD_VCO	内核电源电压	1.71	1.8、2.5、3.3	3.465	V
VDDO_12、VDDO_34	输出电源电压	1.71	1.8、2.5、3.3	3.465	V
VDD_REF	基准电源电压	1.71	1.8、2.5、3.3	3.465	V
T_A	环境温度	-40		105	°C
T_J	结温	-40		125	°C
T_{LOCK}	在温度范围内的连续锁定（无 VCO 校准）			145	°C
t_{RAMP}	最大电源电压斜坡时间(1)	0.1		30	ms

(1) VDD 引脚必须在电源斜坡时间内单调达到其最终值的 95%。为了进行此评估，所有 VDD 引脚都连接在一起。对于非单调或较慢的电源斜坡，建议下拉 PDN 引脚，直到 VDD 引脚达到其最终值的 95%。PDN 引脚有一个 50kΩ 上拉电阻器。当无法主动控制 PDN 引脚时，TI 建议在 PDN 引脚上添加一个连接到 GND 的电容器以延迟复位释放。

5.4 热性能信息

热指标(1)		CDCE6214Q1 TM RGE (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	32.5	°C/W
$R_{\theta JB}$	结至电路板热阻	12.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.0	°C/W
Ψ_{JT}	结至顶部特征参数	0.4	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		CDCE6214Q1 TM RGE (VQFN) 24 引脚	单位
ψ_{JB}	结至电路板特征参数	12.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 EEPROM 特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
n_{EEcyc}	EEPROM 编程周期	每个字	10			周期
t_{EEret}	EEPROM 数据保留		10			年

5.6 基准输入，单端特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
f_{IN_Ref}	基准频率		10		200	MHz
V_{IH}	输入高电压	LVCMOS 输入缓冲器	0.8 × VDD_REF			V
V_{IL}	输入低电压	LVCMOS 输入缓冲器			0.2 × VDD_REF	V
dV_{IN}/dT	输入压摆率	20% - 80%	1			V/ns
IDC	输入占空比		40		60	%
$I_{IN_LEAKAGE}$	输入漏电流		-100		100	µA
C_{IN_REF}	输入电容	25°C 时			5	pF

5.7 基准输入，差分特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
f_{IN_Ref}	基准频率		10		200	MHz
V_{IN_DIFF}	差分输入电压摆幅，峰峰值	VDD_REF = 2.5V/3.3V	0.4		1.6	V
V_{IN_DIFF}	差分输入电压摆幅，峰峰值	VDD_REF = 1.8V	0.4		1.0	V
dV_{IN}/dT	输入压摆率	20% - 80%	1			V/ns
IDC	输入占空比		40		60	%
$I_{IN_LEAKAGE}$	输入漏电流		-100		100	µA
C_{IN_REF}	输入电容	25°C 时		5		pF

5.8 基准输入，晶体模式特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C(1)

参数		测试条件	最小值	典型值	最大值	单位
f_{IN_Xtal}	晶振频率	基本模式	10		50	MHz
Z_{ESR}	晶体等效串联电阻	f_{XTAL} = 10MHz 至 16MHz			60	Ω
Z_{ESR}	晶体等效串联电阻	f_{XTAL} = 16MHz 至 30MHz			50	Ω
Z_{ESR}	晶体等效串联电阻	f_{XTAL} = 30MHz 至 50MHz			30	Ω
C_L	晶振负载电容	使用片上负载电容。内含支持的晶体	5		12.8	pF
P_{XTAL}	晶体耐受驱动功率	支持的晶体最高耐受			200	µW

Copyright © 2025 Texas Instruments Incorporated

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C(1)

参数		测试条件	最小值	典型值	最大值	单位
C_{XIN_LOAD}	片上负载电容	可以典型的 200fF 阶跃进行编程	3		9.1	pF

(1) 有关配置 XTAL 输入的详细应用报告，请参阅 *SNAA331：带晶体输入的 CDCI6214 和 CDCE6214-Q1 设计*。

5.9 通用输入特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	输入高电压		0.8 × VDD_REF			V
V_{IL}	输入低电压				0.2 × VDD_REF	V
I_{IH}	输入高电平电流	V_{IH} = VDD_REF、GPIO[1:4]、PDN	-5		5	µA
I_{IL}	输入低电平电流	V_{IL} = GND、GPIO[2:3]	-5		5	µA
I_{IL}	输入低电平电流	V_{IL} = GND、GPIO[1]、GPIO[4]、PDN	-100		100	µA
dV_{IN}/dT	输入压摆率	20% - 80%	0.5			V/ns
T_{PULSE_WIDTH}	正常操作的脉冲宽度		10			ns
R_{PU}	上拉电阻	引脚 PDN、GPIO[1]、GPIO[4]	30	55	80	kΩ
C_{IN}	引脚电容				10	pF

5.10 三电平输入特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	输入高电压		0.8 × VDD_REF			V
V_{IM}	输入中电压	悬空引脚	0.41 × VDD_REF	0.5 × VDD_REF	0.58 × VDD_REF	V
V_{IL}	输入低电压				0.2 × VDD_REF	V
I_{IH}	输入高电平电流	V_{IH} = VDD_REF	20	50	100	µA
I_{IL}	输入低电平电流	V_{IL} = GND	-100	-50	-20	µA

5.11 逻辑输出特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
VOH	输出高电压		0.8 × VDD_REF			V
VOL	输出低电压				0.2 × VDD_REF	V

5.12 锁相环特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
f_{PFD}	相位检测器频率	整数和分数 PLL 模式	1		100	MHz
f_{VCO}	压控振荡器频率		2335		2625	MHz
f_{BW}	可配置闭环 PLL 带宽	REF = 25MHz	100		1600	kHz
K_{VCO}	压控振荡器增益	f_{VCO} = 2.4GHz		140		MHz/V
K_{VCO}	压控振荡器增益	f_{VCO} = 2.5GHz		175		MHz/V
$\lvert \Delta T_{CL} \rvert$	连续锁定的容许温漂(1)	dT/dt ≤ 20K/分钟			145	°C

Copyright © 2025 Texas Instruments Incorporated

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5% ，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
$f_{MAX-ERROR}$	分数 N PLL 的最大频率误差				0.1	ppm

(1) 连续锁定的最大允许温漂：在校准片上 VCO 且 PLL 在整个温漂期间保持锁定时，温度可以从先前值向任一方向漂移多远。内部 VCO 校准发生在：器件启动时、使用 RESET 引脚重置器件时以及寄存器位更改时。这意味着该器件在整个频率范围内工作，但如果温漂超过“连续锁定的最大允许温漂”，则需要使用相应的寄存器位重新校准 VCO，以核实 PLL 是否保持锁定状态。无论器件最初校准的温度是多少，温度都不会漂移到 -40°C 至 105°C 的环境温度范围之外。

5.13 闭环输出抖动特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5% ，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
t_{RJ_CL}	RMS 相位抖动	12kHz 至 20MHz 范围内带杂散的 RMS 抖动，输入晶体 = 25MHz，差分 OUTx > 100MHz，整数 PLL		350	600	fs
t_{RJ_CL}	RMS 相位抖动(1)	12kHz 至 20MHz 范围内带杂散的 RMS 抖动，输入晶体 = 25MHz，差分 OUTx > 100MHz，分数 PLL		1600	2100	fs
$t_{RJ_CL, PCIE}$	RMS 相位抖动	应用 PCIe 第 3 代滤波器，XIN = 晶体 25MHz、OUTx = 100MHz，带或不带 SSC、LP-HCSL 或 LVDS 输出的分数 N PLL		475	1000	fs

(1) F_{IN} = 25MHz，F_{OUT}= 161.1328MHz，F_{PFD} = 25MHz，RMS 噪声 = 1.83ps。F_{IN} = 25MHz，F_{OUT}= 161.1328MHz，F_{PFD} = 50MHz，RMS 噪声 = 1.33ps。F_{IN} = 25MHz，F_{OUT}= 148.5MHz，F_{PFD} = 25MHz，RMS 噪声 = 1.74ps。F_{IN} = 25MHz，F_{OUT}= 148.5MHz，F_{PFD} = 50MHz，RMS 噪声 = 1.43ps。F_{IN} = 25MHz，F_{OUT}= 148.3516MHz，F_{PFD} = 25MHz，RMS 噪声 = 1.6ps。F_{IN} = 25MHz，F_{OUT}= 148.3516MHz，F_{PFD} = 50MHz，RMS 噪声 = 1.5ps。F_{IN} = 25MHz，F_{OUT}= 106.5MHz，F_{PFD} = 25MHz，RMS 噪声 = 0.8ps。F_{IN} = 25MHz，F_{OUT}= 106.5MHz，F_{PFD} = 50MHz，RMS 噪声 = 1.3ps。

5.14 输入和输出隔离

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5% ，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
$P_{ISOLATION}$	基准输入隔离	基准输入之间的串扰，PRIREF = 27MHz LVCMOS，SECREF = 25MHz XTAL		-64		dB
$P_{ISOLATION}$	基准输入隔离	基准输入之间的串扰，PRIREF = 100MHz LVDS，SECREF = 25MHz LVCMOS		-72		dB
$P_{ISOLATION}$	时钟输出隔离	时钟输出之间的串扰，OUT1 = 100MHz LP-HCSL，OUT2 = 156.25MHz LVDS，PFD = 25MHz，整数 PLL		-65		dB
$P_{ISOLATION}$	时钟输出隔离	时钟输出之间的串扰，OUT1 = 156.25MHz LVDS，OUT0 = 25MHz LVCMOS		-42		dB

5.15 缓冲模式特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5% ，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
t_{RJ_ADD}	附加 RMS 相位抖动，系统级	int。范围为 10kHz 至 20MHz，REF = HCSL 100MHz，0.5V/ns，OUTx = 100MHz LP-HCSL			350	fs
$t_{PROP, LVCMOS}$	输入至输出传播延迟	REF = LVCMOS 25MHz，OUTx = 25MHz LVCMOS		1		ns
$t_{PROP, Differential}$	输入至输出传播延迟(1)	REF = AC-LVDS 100MHz，OUTx = 100MHz。在 OUT0 上测得		2.3		ns

Copyright © 2025 Texas Instruments Incorporated

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
$t_{PROP-VARIATION}$	ZDB 模式下的输入到输出延迟变化	ZDB 模式，LVCMOS 输入 = LVCMOS 输出 = 25MHz，PLL 带宽 = 300kHz 至 900kHz（整个温度范围内）	-400		400	ps

(1) OUT1/OUT4 和 OUT2/OUT3 是成对匹配的。OUT1/OUT4 具有 LVCMOS 缓冲器，而 OUT2/OUT3 没有 LVCMOS 缓冲器。OUT1/OUT4 和 OUT2/OUT3 之间存在额外的 150ps - 250ps 偏斜。

5.16 PCIe 展频发生器

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
$f_{SSC-RATE}$	SSC 调制速率	OUTx = 100MHz	30	31.5	33	kHz
$P_{AMPL-RED}$	SSC 振幅降低	OUTx = 100MHz，-0.25% 向下展频		6.8		dB
$P_{AMPL-RED}$	SSC 振幅降低	OUTx = 100MHz，-0.50% 向下展频		9.9		dB
$f_{SSC-STEP}$	向下和中心展频 SSC 阶跃大小	OUTx = 100MHz		0.25		%
$t_{SSC_FREQ_DEVIATION}$	向下展频最小/最大偏差	OUTx = 100MHz。F_{PFD} = 25MHz、50MHz、100MHz	-0.5		0	%
$t_{SSC_FREQ_DEVIATION}$	中心展频最小/最大偏差	OUTx = 100MHz。F_{PFD} = 25MHz、50MHz、100MHz	-0.5		0.5	%

5.17 LVCMOS 输出特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
f_{O_LVCMOS}	输出频率	2pF 至 GND，正常模式	0.024		200	MHz
V_{OH_LVCMOS}	输出高电压	I_{OH} = 1mA，VDDO_x 为对应的电源电压。	0.8 × VDDO_x			V
V_{OL_LVCMOS}	输出低电压	I_{OL} = 1mA，VDDO_x 为对应的电源电压。			0.2 × VDDO_x	V
I_{OH}	输出高电平电流	Vout = 0.8 × VDDO_x，VDDO_x = 1.8V		-6		mA
I_{OH}	输出高电平电流	Vout = 0.8 × VDDO_x，VDDO_x = 2.5V		-8.5		mA
I_{OH}	输出高电平电流	Vout = 0.8 × VDDO_x，VDDO_x = 3.3V		-11.2		mA
I_{OL}	输出低电平电流	Vout = 0.2 × VDDO_x，VDDO_x = 1.8V		6		mA
I_{OL}	输出低电平电流	Vout = 0.2 × VDDO_x，VDDO_x = 2.5V		8.5		mA
I_{OL}	输出低电平电流	Vout = 0.2 × VDDO_x，VDDO_x = 3.3V		11.2		mA
$T_{RISE-FALL}$	输出上升/下降时间	20/80%，C_L = 5pF，正常模式	300	500	700	ps
$T_{RISE-FALL}$	输出上升/下降时间	20/80%，C_L = 5pF，慢速模式，在 OUT0 上测量		1000		ps
T_{SKEW}	输出到输出偏斜(1)	LVCMOS 到 LVCMOS 输出，相同的分频值		100		ps
T_{SKEW}	输出到输出偏斜(1)	LVCMOS 到差分输出，相同的分频值		400		ps
ODC	输出占空比	不处于 PLL 旁路模式	45		55	%
R_{ON_LVCMOS}	输出阻抗	正常模式	45	60	75	Ω
R_{ON_LVCMOS}	输出阻抗	慢速模式	50	65	85	Ω

(1) OUT1/OUT4 和 OUT2/OUT3 是成对匹配的。OUT1/OUT4 具有 LVCMOS 缓冲器，而 OUT2/OUT3 没有 LVCMOS 缓冲器。OUT1/OUT4 在 $T_{OUT-SKEW}$ 内匹配。OUT2/OUT3 在 $T_{OUT-SKEW}$ 内匹配。

5.18 LP-HCSL 输出特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
f_{O_HCSL}	输出频率		0.024		328.125	MHz
V_{OH}	输出高电压(3)		660		850	mV

Copyright © 2025 Texas Instruments Incorporated

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
V_{OL}	输出低电压		-150		150	mV
Z_{DIFF}	差分输出阻抗(3)		90	100	110	Ω
V_{CROSS}	绝对交叉点	12 英寸、100Ω ±10% 差分布线，2pF ±5%/引脚，采用 FR4 材料。	250		550	mV
ΔV_{CROSS}	相对交叉点变化	相对于平均交叉点			140	mV
dV/dt	上升沿和下降沿的压摆率	差分，在 V_{CROSS} +/-150mV 下，f_{O_HCSL} = 100MHz(1)	1		4	V/ns
Δ dV/dt	压摆率匹配	单端，在 V_{CROSS} +/-75mV 下，f_{O_HCSL} = 100MHz (1)			20	%
Vrb	输出回铃电压	在 100MHz 的差分输出上测量，指定过零的最小电压	-100		100	mV
Tstable	回铃之前经过的时间	允许回铃之前的最短时间	500			ps
ODC	输出占空比	不处于 PLL 旁路模式	45		55	%
$T_{OUT-SKEW}$	输出偏斜(2)	相同的分频值，LP-HCSL 至 LP-HCSL		100		ps

(1) PCIe 测试负载压摆率
(2) OUT1/OUT4 和 OUT2/OUT3 是成对匹配的。OUT1/OUT4 具有 LVCMOS 缓冲器，而 OUT2/OUT3 没有 LVCMOS 缓冲器。OUT1/OUT4 在 $T_{OUT-SKEW}$ 内匹配。OUT2/OUT3 在 $T_{OUT-SKEW}$ 内匹配。OUT1/OUT4 和 OUT2/OUT3 之间存在额外的 150ps - 250ps 偏斜。
(3) 差分输出特性在出厂时进行了修整，修整设置存储在 EEPROM 中。参数在回退模式下无效。

5.19 LVDS 输出特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
$f_{O_PRG_AC}$	输出频率		0.024		328.125	MHz
V_{CM}	输出共模(1)	VDDO_X = 2.5V、3.3V	1.025	1.2	1.375	V
V_{CM}	输出共模(1)	VDDO_X = 1.8V	0.85	0.95	1.05	V
V_{OD}	差分输出电压(1)	VDDO_X = 1.8V (F_{out} < 200MHz)、2.5V、3.3V。	0.25	0.30	0.45	V
V_{OD}	差分输出电压(1)	VDDO_X = 1.8V 并且 F_{out} > 200MHz	0.22	0.30	0.45	V
t_{RF}	输出上升/下降时间	LVDS (20% 至 80%)	450	650	900	ps
ODC	输出占空比	不处于 PLL 旁路模式	45		55	%
$T_{OUT-SKEW}$	输出偏斜(2)	相同的分频值，LVDS 至 LVDS 输出		100		ps

(1) 输出共模电压和差分输出摆幅取决于寄存器设置 DIFFBUF_IBIAS_TRIM、LVDS_CMTRIM_DEC 和 LVDS_CMTRIM_INC。针对 DIFFBUF_IBIAS_TRIM = 6h、LVDS_CMTRIM_DEC = 0h 和 LVDS_CMTRIM_INC = 0h 定义参数。在直流条件下测试输出共模。
(2) OUT1/OUT4 和 OUT2/OUT3 是成对匹配的。OUT1/OUT4 具有 LVCMOS 缓冲器，而 OUT2/OUT3 没有 LVCMOS 缓冲器。OUT1/OUT4 在 $T_{OUT-SKEW}$ 内匹配。OUT2/OUT3 在 $T_{OUT-SKEW}$ 内匹配。OUT1/OUT4 和 OUT2/OUT3 之间存在额外的 150ps - 250ps 偏斜。

5.20 输出同步特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
t_{SU_SYNC}	建立时间同步脉冲	相对于 100MHz 的 PLL 基准上升沿 (R=1)	3			ns
t_{H_SYNC}	保持时间同步脉冲	相对于 100MHz 的 PLL 基准上升沿 (R=1)			3	ns
t_{PWH_SYNC}	用于同步的高脉冲宽度	当 R = 1 时，至少 2 个 PFD 周期 + 24 个反馈预分频器周期	60			ns
t_{PWL_SYNC}	用于同步的低脉冲宽度	当 R = 1 时，至少 1 个 PFD 周期	6			ns
t_{EN}	独立输出使能时间(1)	三态到第一个有效上升沿			4	nCK
t_{DIS}	独立输出禁用时间(1)	最后一个有效下降沿到三态			4	nCK

(1) 相应输出通道的输出时钟周期。全局输出使能由数字逻辑处理，添加了额外的传播。

Copyright © 2025 Texas Instruments Incorporated

5.21 上电复位特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
$V_{THRESHOLD}$	POR 阈值电压(1)		0.875		1.275	V
$t_{STARTUP}$	启动时间	VDD 达到 95% 后到输出以正确频率切换的启动时间（输入 = 晶体或外部时钟）		9		ms
t_{VDD}	电源斜坡时间(2)	PDN = 低电平时任何 VDD 引脚的时序要求	0.1		30	ms

(1) POR 阈值电压是内部复位无效时的电源电压。阈值电压在内部通过 PDN 认证。
(2) VDD 引脚仅在电源斜坡时间内单调达到其最终值的 95%。参数由特性指定。为了进行此评估，所有 VDD 引脚都连接在一起。对于非单调或较慢的电源斜坡，建议下拉 PDN 引脚，直到 VDD 引脚达到其最终值的 95%。PDN 引脚有一个 50kΩ 上拉电阻器。当无法主动控制 PDN 引脚时，TI 建议在 PDN 引脚上添加一个连接到 GND 的电容器以延迟复位释放。

5.22 与 I²C 兼容的串行接口特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	输入电压，逻辑高电平		0.7 × VDD_REF			V
V_{IL}	输入电压，逻辑低电平				0.3 × VDD_REF	V
I_{IH}	输入漏电流	VDD_REF ± 10%	-5		5	µA
V_{OL}	低电平输出电压	3mA 灌电流			0.4	V
C_{IN}	输入电容				10	pF
C_{OUT}	输出电容	每个引脚的最大总线电容			400	pF

5.23 时序要求，与 I²C 兼容的串行接口

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
t_{PW_G}	所抑制干扰的脉冲宽度				50	ns
f_{SCL}	SCL 时钟频率	标准		100		kHz
f_{SCL}	SCL 时钟频率	快速模式		400		kHz
t_{SU_STA}	建立时间启动条件	在 SDA=V_{IL} 之前 SCL=V_{IH}		0.6		µs
t_{H_STA}	保持时间启动条件	在 SCL=V_{IL} 之后 SCL=V_{IL}，在此之后，生成第一个时钟边沿。		0.6		µs
t_{SU_SDA}	建立时间数据	SDA 在 SCL=V_{IL}、f_{SCL}=100kHz 之后有效	250			ns
t_{SU_SDA}	建立时间数据	SDA 在 SCL=V_{IL}、f_{SCL}=400kHz 之后有效	100			ns
t_{H_SDA}	保持时间数据(1)	SDA 在 SCL=V_{IH} 之前有效	0(2)		(3)	µs
t_{VD_SDA}	有效数据或确认时间	f_{SCL}=100kHz(3)			3.45	µs
t_{VD_SDA}	有效数据或确认时间	f_{SCL}=400kHz(2)			0.9	µs
t_{PWH_SCL}	脉冲宽度高电平，SCL	f_{SCL}=100kHz	4.0			µs
t_{PWH_SCL}	脉冲宽度高电平，SCL	f_{SCL}=400kHz	0.6			µs
t_{PWL_SCL}	脉冲宽度低电平，SCL	f_{SCL}=100kHz	4.7			µs
t_{PWL_SCL}	脉冲宽度低电平，SCL	f_{SCL}=400kHz	1.3			µs
t_{IR}	输入上升时间				300	ns
t_{IF}	输入下降时间				300	ns
t_{OF}	输出下降时间	10pF ≤ C_{OUT} ≤ 400pF			250	ns
t_{SU_STOP}	建立时间停止条件			0.6		µs
t_{BUS}	总线空闲时间	停止条件和启动条件之间的时间		1.3		µs

(1) t_{H_SDA} 是从 SCL 下降沿开始测量的数据保持时间，适用于传输和确认中的数据。
(2) 器件必须在内部为 SDA 信号提供至少 300ns 的保持时间（相对于 SCL 信号的 $V_{IH(min)}$）以桥接未定义的 SCL 下降沿区域。

Copyright © 2025 Texas Instruments Incorporated

(3) 对于标准模式和快速模式，最大 t_{H_SDA} 可以为 3.45 µs 和 0.9 µs，但必须比 t_{VD_SDA} 的最大值小一个转换时间。仅当器件不延长 SCL 信号的低电平周期 (t_{PWL_SCL}) 时才必须满足该最大值。如果时钟延长了 SCL，则数据必须在 I^2C 主器件释放时钟之前的设置时间内有效。

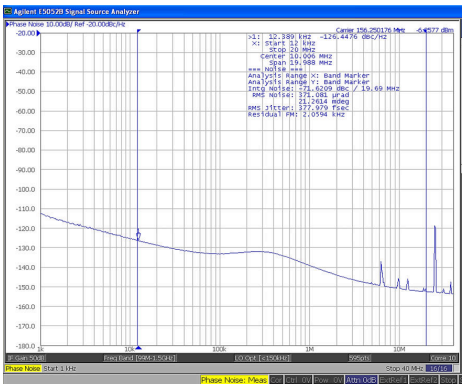
5.24 电源特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%，T_A = -40°C 至 105°C

参数		测试条件	最小值	典型值	最大值	单位
I_{DD_REF}	VDD_REF 电源电流	25MHz XTAL，DBL 开启		8		mA
I_{DD_VCO}	VCO 和 PLL 电流	f_{VCO} = 2400MHz，PSA = PSB = 4，N 分频器 = 48		14		mA
I_{DD_OUT}	输出通道电流	IOD = 6，LP-HCSL，OUT3 和 OUT4 上 100MHz，OUT0 上 25MHz		22		mA
I_{DD_OUT}	输出通道电流	IOD = 6，LP-HCSL，OUT1 和 OUT2 上为 100MHz		17.5		mA
I_{DD_PDN}	关断电流	使用复位引脚/位		2.8	5	mA
I_{DD_TYP}	典型电流	4 个 100MHz LVDS 外壳，使用晶体输入和倍频器，SSC 关闭		50	70	mA
I_{DD_TYP}	典型电流	4 个 100MHz LP-HCSL 外壳，使用晶体输入和倍频器，SSC 关闭		65	90	mA
L_{PSNR}	电源噪声抑制	OUTx = 100MHz 差分，在 f_{INJ} = 100kHz 的 VDDx 注入正弦波之一上		-61		dB
L_{PSNR}	电源噪声抑制	OUTx = 100MHz 差分，在 f_{INJ} = 1MHz 的 VDDx 注入正弦波之一上		-57		dB

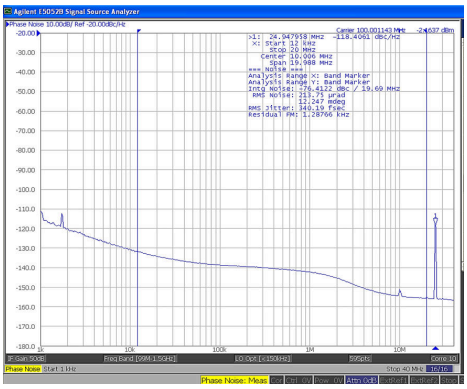
5.25 典型特性

在室温下测得



参考：晶体输入 25MHz　来自 2.5GHz VCO 的闭环相位噪声　156.25MHz LVDS

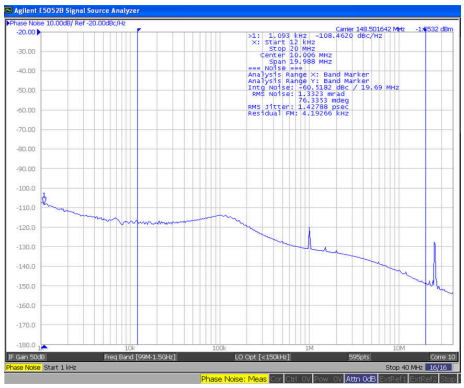
图 5-1. 156.25MHz LVDS 输出



参考：晶体输入 25MHz　来自 2.4GHz VCO 的闭环相位噪声　100MHz LP-HCSL

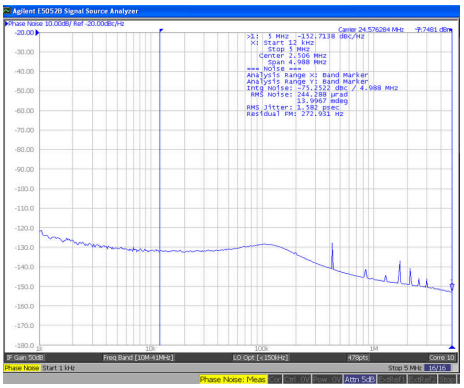
图 5-2. 100MHz LP-HCSL 输出

Copyright © 2025 Texas Instruments Incorporated



参考：晶体输入 25MHz　来自 2.376GHz VCO 的闭环相位噪声　148.5MHz LVDS

图 5-3. 148.5MHz LVDS 输出



参考：晶体输入 25MHz　来自 2.4576GHz VCO 的闭环相位噪声　24.576MHz LVCMOS

图 5-4. 24.576MHz LVCMOS 输出

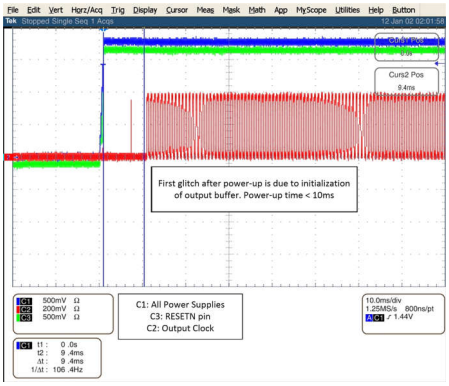


图 5-5. 所有电源 = 1.8V，VDD 斜坡时间 = 1ms

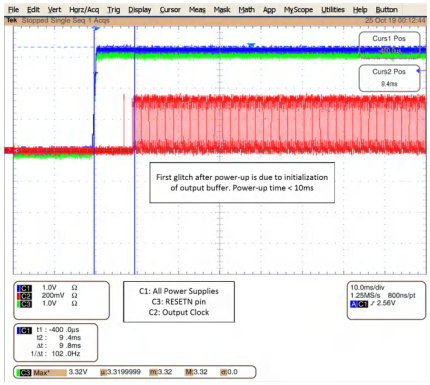


图 5-6. 所有电源 = 3.3V，VDD 斜坡时间 = 1ms

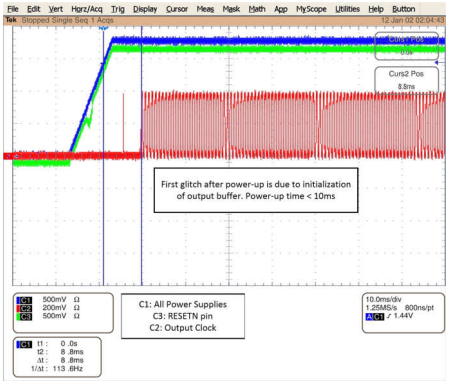


图 5-7. 所有电源 = 1.8V，VDD 斜坡时间 = 10ms

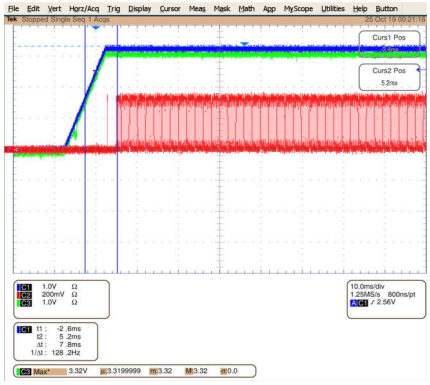


图 5-8. 所有电源 = 3.3V，VDD 斜坡时间 = 10ms

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 基准输入

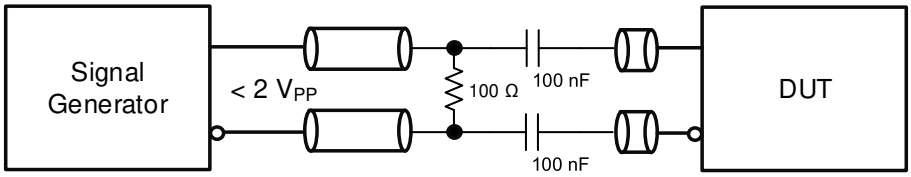


图 6-1. 差分交流耦合输入

6.2 输出

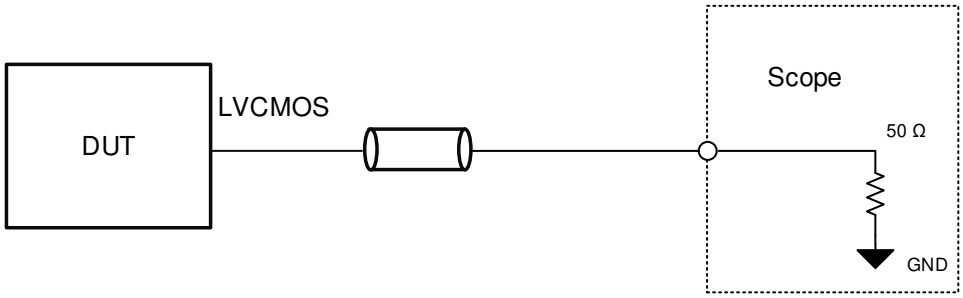


图 6-2. LVCMOS 输出测试配置

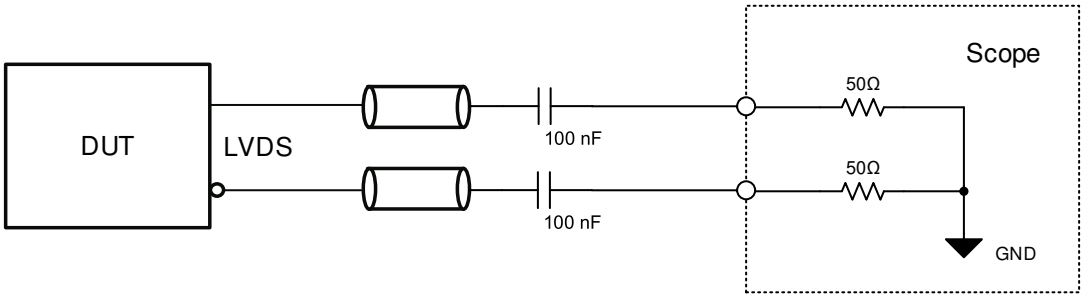


图 6-3. LVDS 输出测试配置，交流耦合

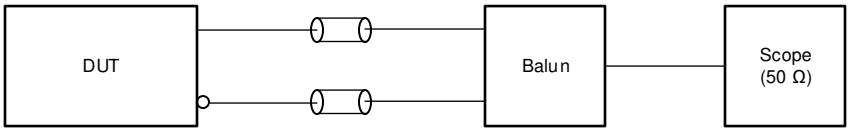


图 6-4. LP-HCSL 测试配置，直流耦合

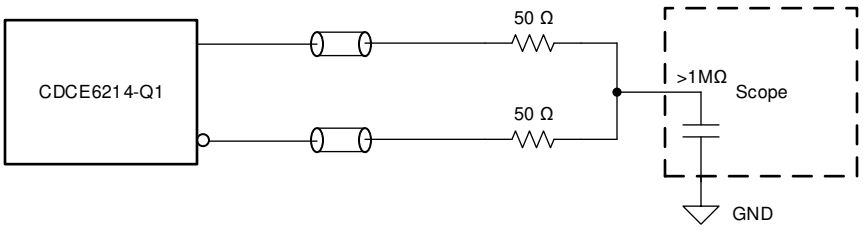


图 6-5. LVDS 共模电压，直流耦合

Copyright © 2025 Texas Instruments Incorporated

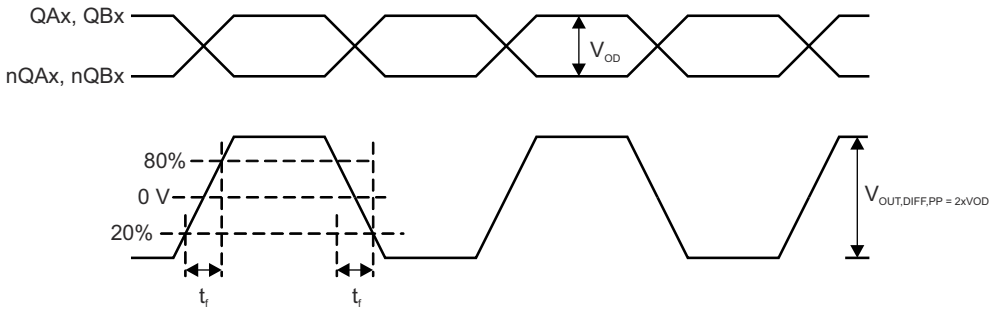


图 6-6. 差分输出电压和上升/下降时间

6.3 串行接口

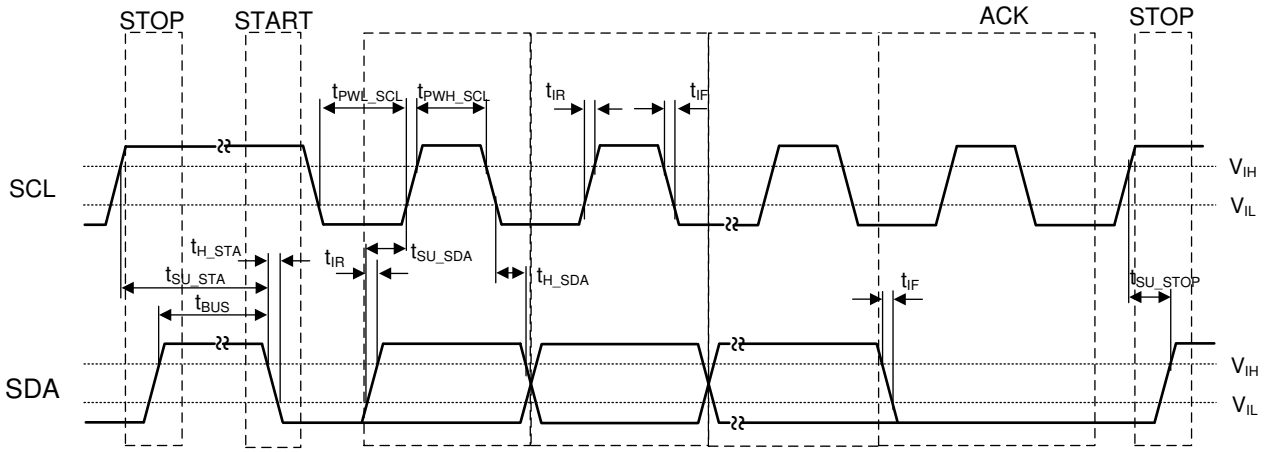


图 6-7. I²C 时序

6.4 PSNR 测试

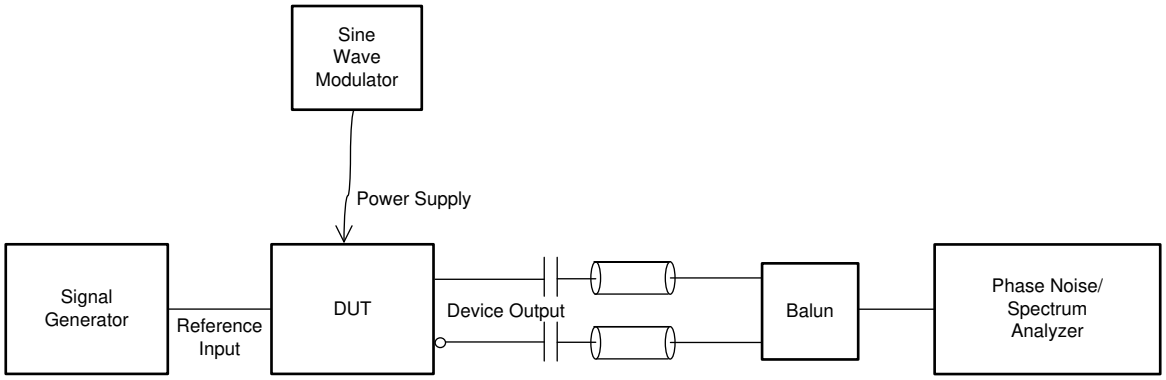


图 6-8. PSNR 测试配置

Copyright © 2025 Texas Instruments Incorporated

6.5 时钟连接和端接

6.5.1 基准输入

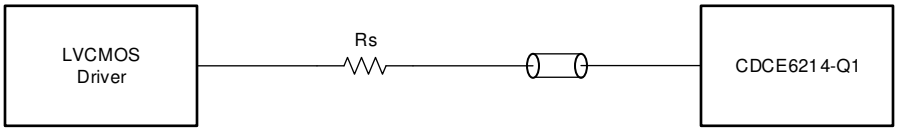


图 6-9. 单端 LVCMOS 至基准

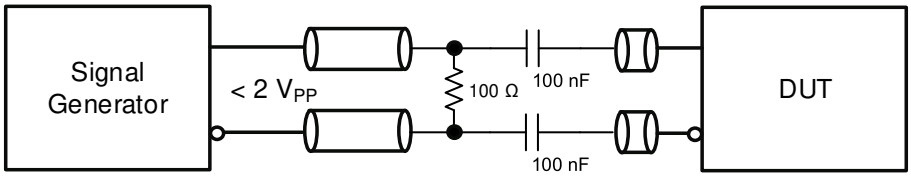


图 6-10. 差分输入至基准

6.5.2 输出

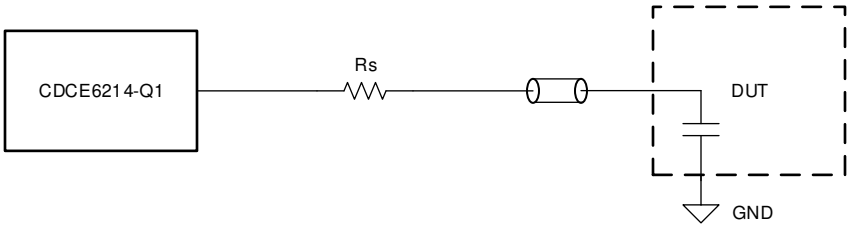
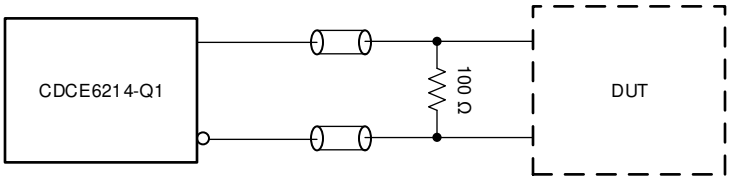


图 6-11. LVCMOS 输出



A. 将 100Ω 电阻器放置在靠近 DUT 的位置

图 6-12. LVDS 输出 - 直流耦合

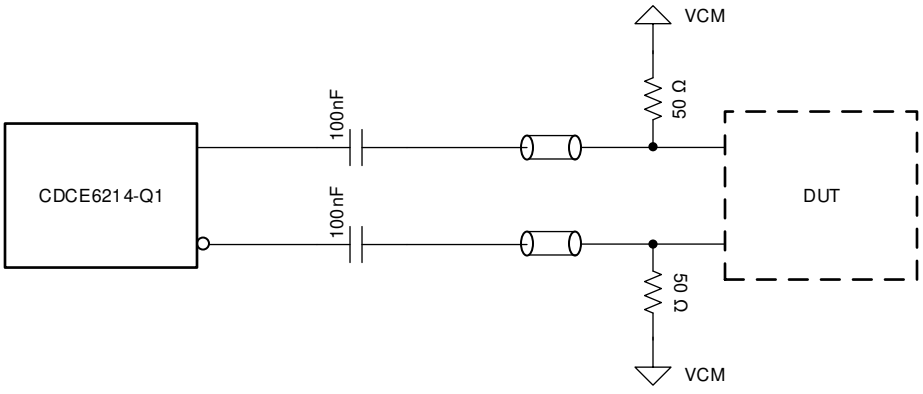


图 6-13. LVDS 输出 - 交流耦合

Copyright © 2025 Texas Instruments Incorporated

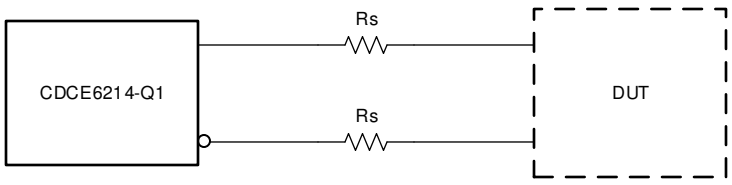


图 6-14. LP-HCSL 输出

7 详细说明

7.1 概述

CDCE6214-Q1 汽车时钟发生器是一款锁相环 (PLL)，具有集成压控振荡器 (VCO) 以及带可选输入基准的集成环路滤波器。输入基准支持 XTAL、差分和单端 LVCMOS 输入。该 PLL 具有一个分数 N PLL，其集成 VCO 范围为 2335Mhz 至 2625MHz。该 VCO 的输出连接到时钟分配网络，该网络包括多个分频器和多路复用器。这些网络的输出连接到四 () 个具有可配置差分和单端缓冲器的输出通道。有四 () 个电源引脚，可独立配置为 1.8V、2.5V 或 3.3V 电源。默认情况下，CDCE6214-Q1 只能在上电时在回退模式下使用 I²C 串行接口进行配置，其中 I²C 模式在两个 EEPROM 页面中。该器件通过 GPIO、I2C、内部或外部零延迟模式支持各种模式，例如数控振荡器 (DCO)。

7.2 功能方框图

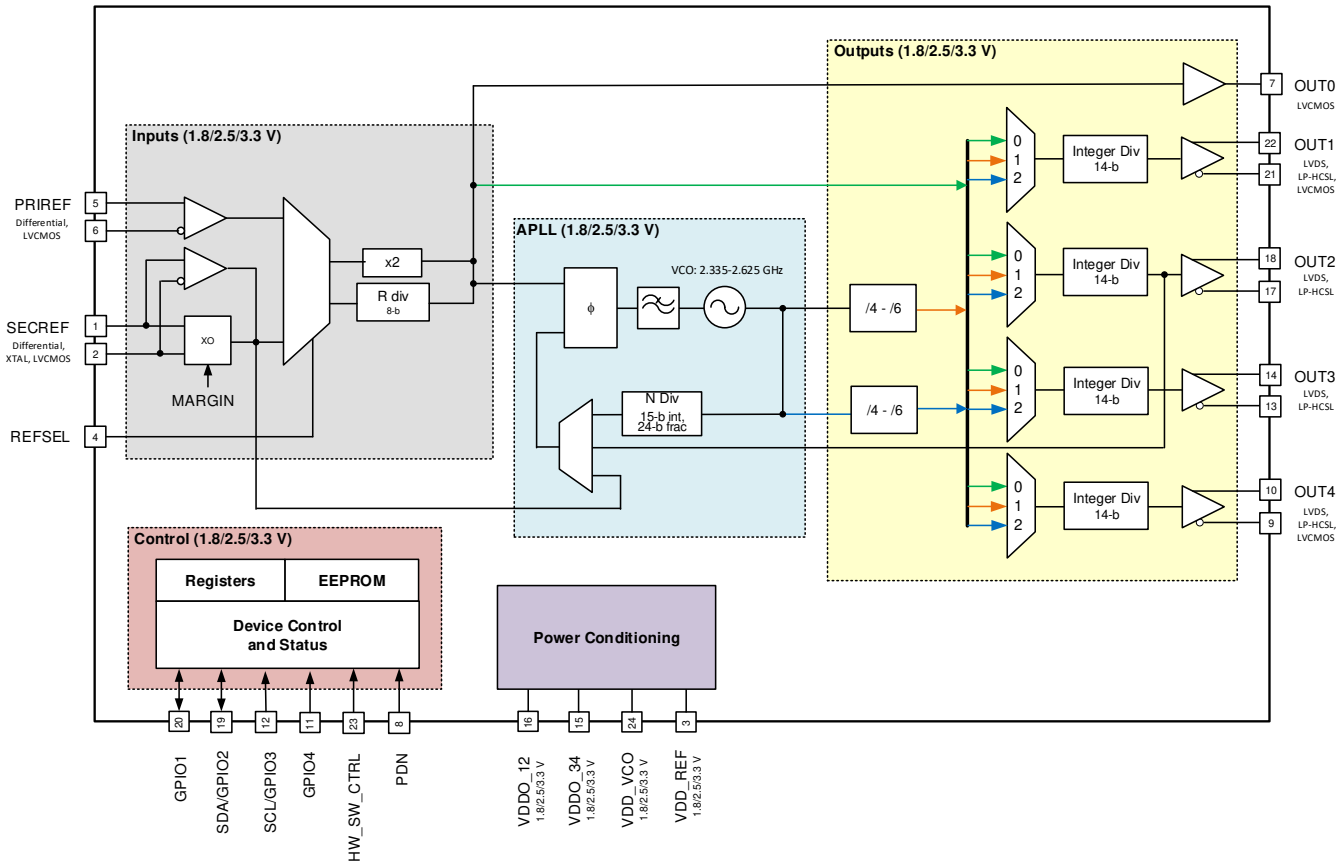


图 7-1. CDCE6214-Q1 具有两个输入、一个分数 N PLL 和四个输出的时钟发生器

7.3 特性说明

以下各节介绍 CDCE6214-Q1 超低功耗时钟发生器的各个块。

Copyright © 2025 Texas Instruments Incorporated

7.3.1 基准块

PLL 的基准时钟被馈送到引脚 1 (SECREF_P) 和 2 (SECREF_N) 或引脚 5 (PRIREF_P) 和 6 (PRIREF_N)。有多个输入级来适应各种时钟基准。引脚 1 和 2 可用于跨时钟连接 XTAL，或提供外部单端 LVCMOS 时钟或差分时钟。可以通过寄存器编程来选择这些模式。选择差分模式时，会向引脚施加适当的偏置。在差分模式下，需要使用外部交流耦合电容器。当选择 XTAL 或 LVCMOS 模式时，偏置电路将断开。引脚 5 和 6 可用于提供外部单端 LVCMOS 时钟或差分时钟。

基准多路复用器选择 PLL 的基准时钟。通过设置 REFSEL 引脚 = L，可以选择 SECREF 输入，而通过设置 REFSEL 引脚 = H，可以选择 PRIREF 输入。或者，这可以通过寄存器设置进行配置。

表 7-1. 基准输入选择

寄存器位地址	寄存器位字段名称	值	说明
R2[1:0]	REFSEL_SW	0h 或 1h	通过引脚 4 (REFSEL) 控制输入基准多路复用器
	(默认值：0h)	2h	选择引脚 1/引脚 2 SECREF 输入。这与引脚 4 的状态无关。
		3h	选择引脚 5/引脚 6 PRIREF 输入。这与引脚 4 的状态无关。
R24[1:0]	IP_SECREF_BUF_SEL	0h	启用 XO。对 SECREF 引脚有效。
	(默认值：0h)	1h	启用 LVCMOS 缓冲器。对 SECREF 引脚有效。
		2h 或 3h	启用差分缓冲器。对 SECREF 引脚有效。
R24[15]	IP_PRIREF_BUF_SEL	0h	启用 LVCMOS 缓冲器。对 PRIREF 引脚有效。
	(默认值：0h)	1h	启用差分缓冲器。对 PRIREF 引脚有效。

可以使用基准分频器或时钟倍频器来进一步对 PLL 的基准时钟进行倍频 (2x) 或分频。IP_RDIV[7:0] 可用于设置分频器的值。将 IP_RDIV[7:0] 设置为 00h 可启用倍频器。

来自基准块的输出时钟可以旁路至 OUT0 和其他输出通道。可以在输入时钟或 PFD 时钟之间选择旁路时钟。请参阅 表 7-9。

SECREF_P 和 SECREF_N 引脚提供晶体振荡器级来驱动 10MHz 至 50MHz 范围内的基本模式晶体。晶体输入级集成了高达 9pF 的可调负载电容器阵列，并可通过 R24[12:8] 进行编程。可通过 R24[5:2] 对振荡器的驱动能力进行编程。

LVCMOS 输入缓冲器阈值电压遵循 VDD_REF。该器件可用作电平转换器，因为输出具有单独的电源。

7.3.1.1 零延迟模式，内部和外部路径

CDCE6214-Q1 可以在零延迟模式下运行，并具有内部和外部反馈。在零延迟模式下，PRIREF 时钟用作 PFD 的基准时钟。SECREF 输入时钟可用于将外部源作为反馈时钟馈送给 PFD。建议使用外部反馈路径进行零延迟运行。此外，还有一条源自输出通道 2 的附加内部反馈路径。预计内部零延迟模式下的输入-输出传播延迟将高于外部零延迟模式下的输入-输出传播延迟。

表 7-2. 零延迟操作

运行(1) (2)	REFSEL	R2[1:0] - REFSEL_SW	R24[1:0] - IP_SECREF_BUF_SEL(3)	R24[15] - IP_PRIREF_BUF_SEL(3)	R0[8] - ZDM_EN	R0[10] - ZDM_CLOCKSEL	说明
正常运行，XTAL 输入	L	0h、1h 或 2h	0h	X	0h	0h	正常运行，XTAL 输入

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 零延迟操作（续）

运行(1) (2)	REFSEL	R2[1:0] - REFSEL_SW	R24[1:0] - IP_SECREF_BUF_SEL(3)	R24[15] - IP_PRIREF_BUF_SEL(3)	R0[8] - ZDM_EN	R0[10] - ZDM_CLOCKSEL	说明
正常运行，差分输入	L	0h、1h 或 2h	2h 或 3h	X	0h	0h	SECREF/差分输入
正常运行，差分输入	H	0h、1h 或 3h	X	1h	0h	0h	PRIREF/差分输入
正常运行，LVCMOS 输入	L	0h、1h 或 2h	1h	X	0h	0h	SECREF/ LVCMOS 输入
正常运行，LVCMOS 输入	H	0h、1h 或 3h	X	0h	0h	0h	PRIREF/ LVCMOS 输入
外部零延迟模式，差分输入	H	0h、1h 或 3h	2h 或 3h	1h	1h	1h	PRIREF 上的输入时钟，SECREF 上的反馈时钟
外部零延迟模式，LVCMOS 输入	H	0h、1h 或 3h	1h	0h	1h	1h	PRIREF 上的输入时钟，SECREF 上的反馈时钟
内部零延迟模式，差分输入	H	0h、1h 或 3h	X	1h	1h	0h	PRIREF 上的输入时钟
内部零延迟模式，差分输入	H	0h、1h 或 3h	X	0h	1h	0h	PRIREF 中的输入时钟

(1) 在零延迟模式下，应该对所有分频器进行编程，以便 PLL 可以锁定。在零延迟模式下加电时，PLL 将自动锁定
(2) 对于内部零延迟模式，需要使用通道 2。通道 2 不应断电
(3) "X"允许采用任何可能的位字段值，而不会对功能产生任何影响

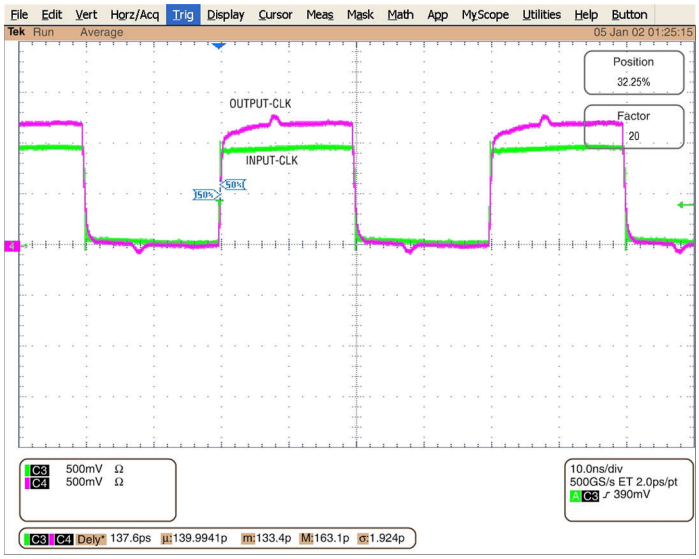


图 7-2. LVCMOS 输出的外部零延迟模式下的输入/输出对齐

7.3.2 锁相环 (PLL)

CDCE6214-Q1 具有完全集成的锁相环 (PLL) 电路。在相位频率检测器中比较基准相位和内部反馈相位之间的误差。比较结果被馈送到连接至集成环路滤波器的电荷泵。环路滤波器产生的控制电压可调节内部压控振荡器 (VCO)。VCO 的频率通过反馈分频器（N 计数器）反馈回至 PFD。

- 整数和分数 N PLL 工作模式。

Copyright © 2025 Texas Instruments Incorporated

- 分数模式下的一阶、二阶或三阶 MASH 操作。
- 24 位分子和分母可用于生成频率精度为 0ppb 的分数频率。
- PFD 的工作频率介于 1MHz 和 100MHz 之间。
- 活动锁定检测器（R7[0] 或 GPIO 中的 PLL_LOCK）提供 PLL 锁定状态（在分数模式下和 SSC 启用时，必须加宽锁定检测窗口。R50[10:8] = 7h）。此外，粘性位锁定检测 (R7[1]) 可检测是否存在任何暂时的锁定丢失。
- 集成可选环路滤波器元件。
- 对于 25MHz PFD 频率，可以实现介于 100kHz 和 1.6MHz 之间的 PFD 带宽，以优化 PLL 至输入基准。
- 压控振荡器 (VCO) 的范围为 2335MHz 至 2615MHz。
- 支持 0.25% 和 0.5% 中心和向下展频时钟 (SSC) 生成。此外，VCO 还支持 100MHz 时高达 0.5% 的 SSC 基准，用于 PCIe 时钟。

表 7-3. 通用时钟发生器环路滤波器设置

f_{VCO}（以 MHz 为单位）	f_{PFD}（以 MHz 为单位）	带宽（以 MHz 为单位）	相位裕度（以 ° 为单位）	阻尼因子	I_{CP}（以 mA 为单位）	C_{Pcap}（以 pF 为单位）	R_{Res}（以 kΩ 为单位）	C_{Zcap}（以 pF 为单位）
2400	25	0.469	70	0.5	0.60	16.1	2.5	580
2400	50	0.938	70	2	0.60	8.2	2.5	276
2400	100	1.60	70	0.5	0.80	8.2	2.5	303
2457.6	61.44	1.04	70	1.15	0.60	9.2	2.0	331
2500	25	0.49	70	0.4	0.60	13.5	2.5	497
2500	50	0.93	70	1.0	0.60	11.7	2.5	386
2400	50	400	65	0.1	0.40	11.7	1.5	636

表 7-4. 通用 PLL 分频器设置 [1]

输入频率（以 MHz 为单位）	f_{PFD}（以 MHz 为单位）	输出频率（以 MHz 为单位）	f_{VCO}	N 计数器分频器值	分子	分母	PSA	输出分频器
25	50	100	2400	48	不适用	不适用	4	6
25	25	100	2400	96	不适用	不适用	4	6
25	50	156.25	2500	50	不适用	不适用	4	4
25	25	25	2400	96	不适用	不适用	4	24
25	25	24.576	2457.6	98	5071614	16682942	4	25
25	25	148.5	2376	95	664983	16624579	4	4

7.3.2.1 PLL 配置和分频器设置

$$f_{PFD} = F_{in}/F_{factor} \quad (1)$$

F_{factor} 由 R25[7:0] - ip_ref_div 决定。当 ip_ref_div = 0 时，F_{factor} = 0.5，否则 F_{factor} = ip_ref_div。

$$f_{VCO} = f_{PFD} \times (N + Num/Den). \quad (2)$$

N 由 R30[14:0] - PLL_NDIV 设置。Num 是分数的分子，由 {R32[7:0],R31[15:0]} 设置。Den 是分数的分母，由 R34[7:0],R33[15:0] 设置。当 {R34[7:0],R33[15:0]} = 0 时，Den = 2^{24}。

Σ-Δ 调制器支持不同阶数的 MASH 来对量化噪声进行整形。对于整数模式，R27[1:0] 设置为 0h。对于分数模式，对于一阶、二阶和三阶，R27[1:0] 可分别设置为 1h、2h 或 3h。

在整数模式下，通过设置 R51[6] = 1h 将 PLL 设置为单端 PFD 配置。在分数模式下，必须通过设置 R51[6] = 0h 将 PLL 设置为差分 PFD 配置。此外，R51[10] 在分数模式下设置为 1h，在整数模式下设置为 0h。

[1] 分数模式设置基于 0.1ppm 的 DCO 模式阶跃大小

Copyright © 2025 Texas Instruments Incorporated

7.3.2.2 扩频时钟

来自矩形时钟信号的谐波能量可以分布在一定的频率范围内。该频率偏差使谐波的平均振幅降低。当接收器支持该工作模式时，这有助于减轻系统中的电磁干扰 (EMI) 挑战。调制形状为三角形。

SSC 时钟是通过分数 N PLL 生成的。启用 SSC 后，SSC 时钟在所有源自 PLL 的时钟上可用。OUT1 – OUT4 引脚上提供基准时钟或 PFD 时钟。

支持向下展频和中心展频。支持以下模式。

- PFD 频率：25MHz 或 50MHz。
- 向下展频：–0.25% 和 ±0.5%
- 中心展频：±0.25% 和 ±0.5%

预配置的设置可用于选择其中的任何一个组合。

使用这些预先配置的设置，可合成 31.5kHz 的 fmod 以生成 100MHz 输出时钟。

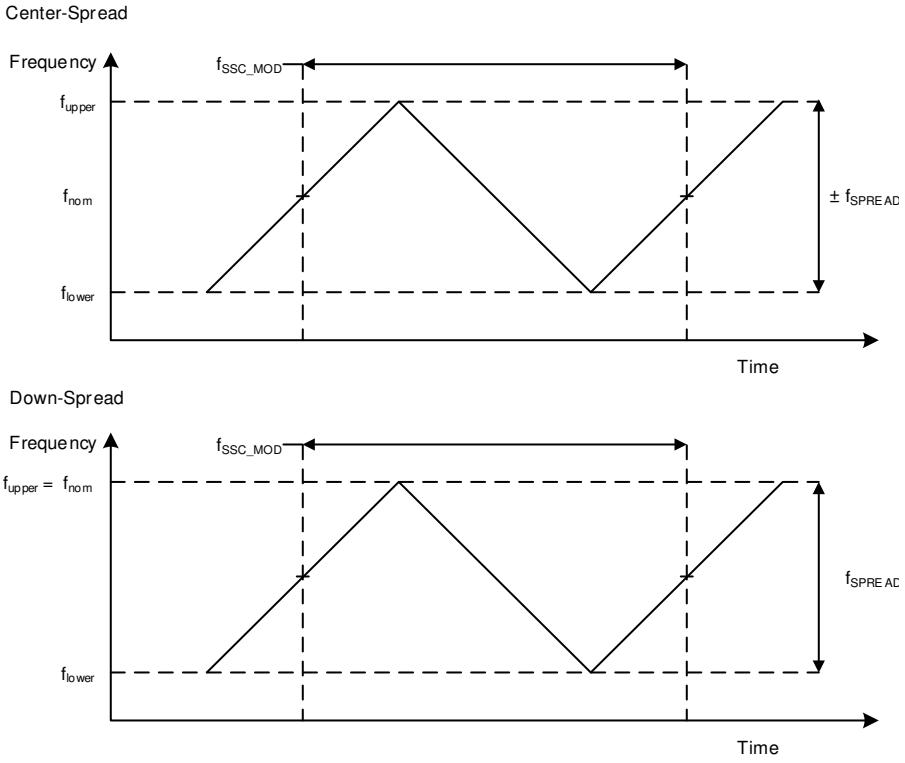


图 7-3. 展频时钟

表 7-5. 展频设置 (2)

R41[15] - SSC_EN	R42[5] - SSC_TYPE(1)	R42[3:1] - SSC_SEL(1)	说明
0h	X	X	输出端无 SSC 调制
1h	0h	X	向下展频 SSC 调制。SSC 展频由 ssc_sel 决定
1h	1h	X	中心展频 SSC 调制。SSC 展频由 ssc_sel 决定
1h	X	0h	25MHz PFD，中心展频为 +/- 0.25%，向下展频为 -0.25%。
1h	X	1h	25MHz PFD，中心展频为 +/- 0.50%，向下展频为 -0.50%。

Copyright © 2025 Texas Instruments Incorporated

表 7-5. 展频设置 (2) （续）

R41[15] - SSC_EN	R42[5] - SSC_TYPE(1)	R42[3:1] - SSC_SEL(1)	说明
1h	X	2h	50MHz PFD，中心展频为 +/- 0.25%，向下展频为 -0.25%。
1h	X	3h	50MHz PFD，中心展频为 +/- 0.50%，向下展频为 -0.50%。
1h	X	4h-7h	请勿使用

(1) “X”表示该位字段可以取任意值
(2) 有关任何其他 SSC 展频和调制速率，请联系 TI 代表。

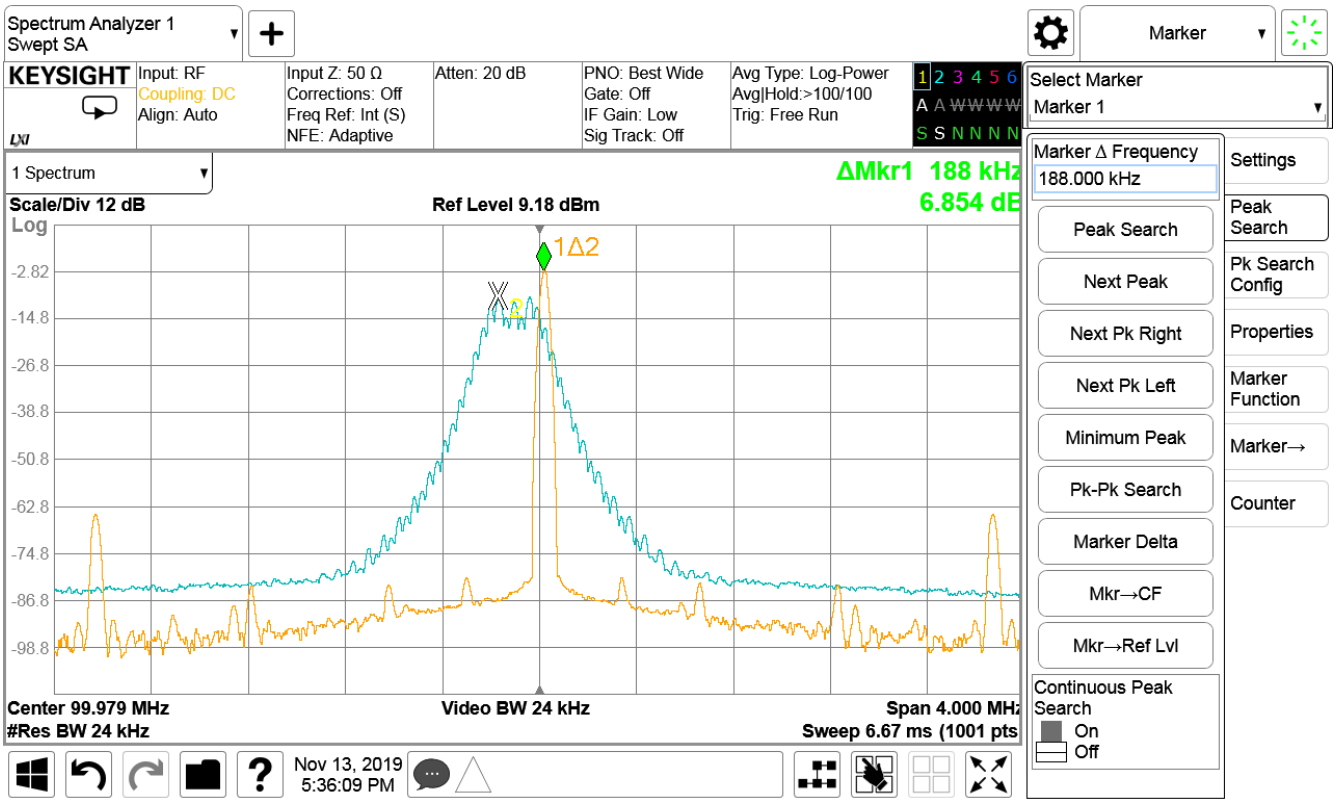


图 7-4. 100MHz，带 –0.25% 向下展频，有跟踪和无跟踪

Copyright © 2025 Texas Instruments Incorporated

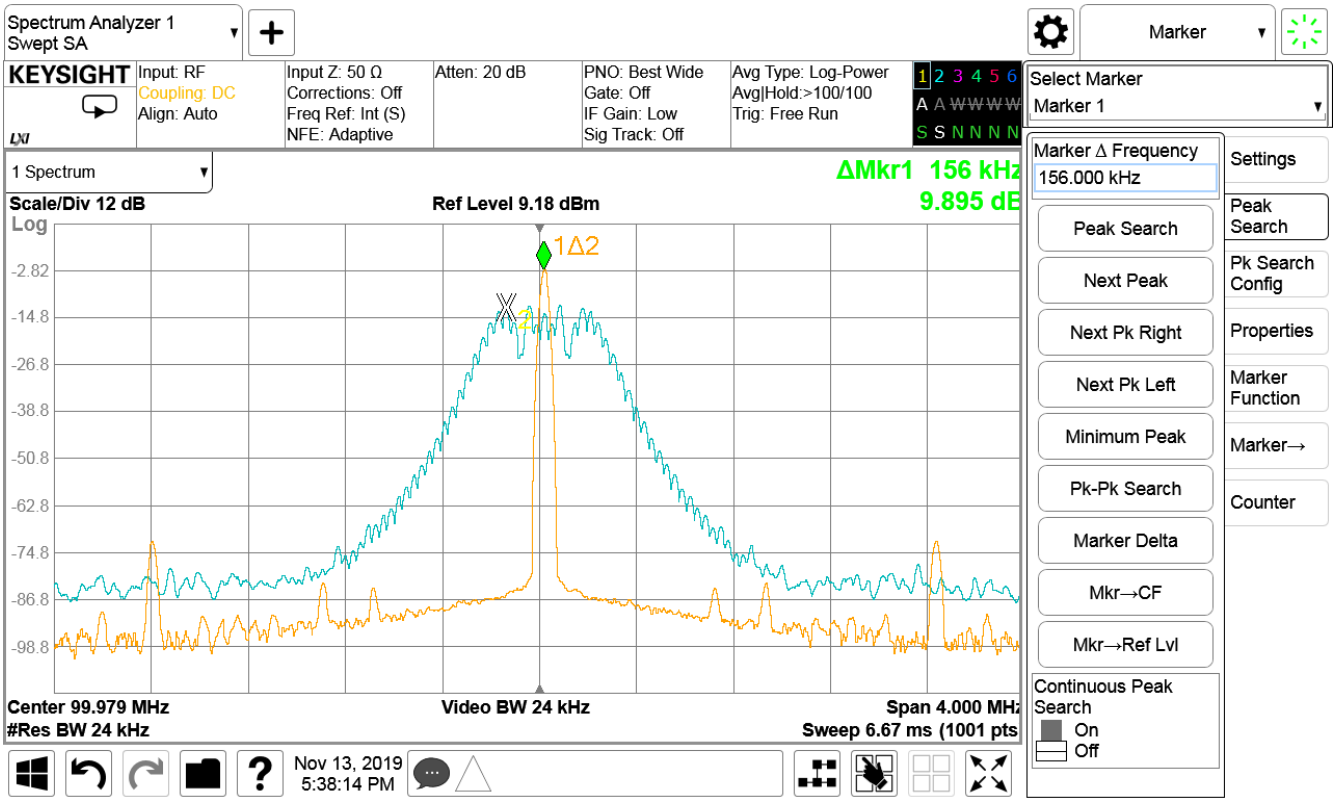


图 7-5. 100MHz，带 ±0.25% 中心展频，有跟踪和无跟踪

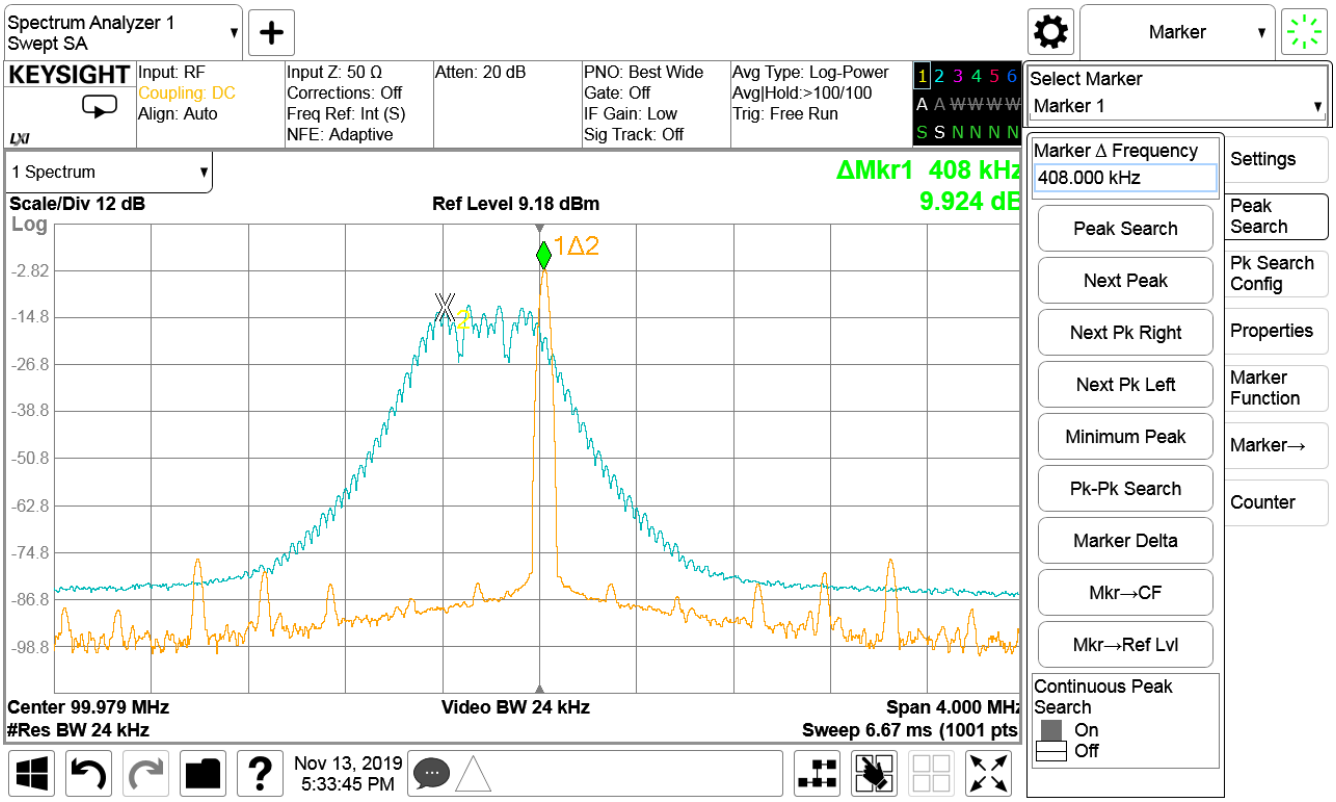


图 7-6. 100MHz，带 –0.5% 向下展频，有跟踪和无跟踪

Copyright © 2025 Texas Instruments Incorporated

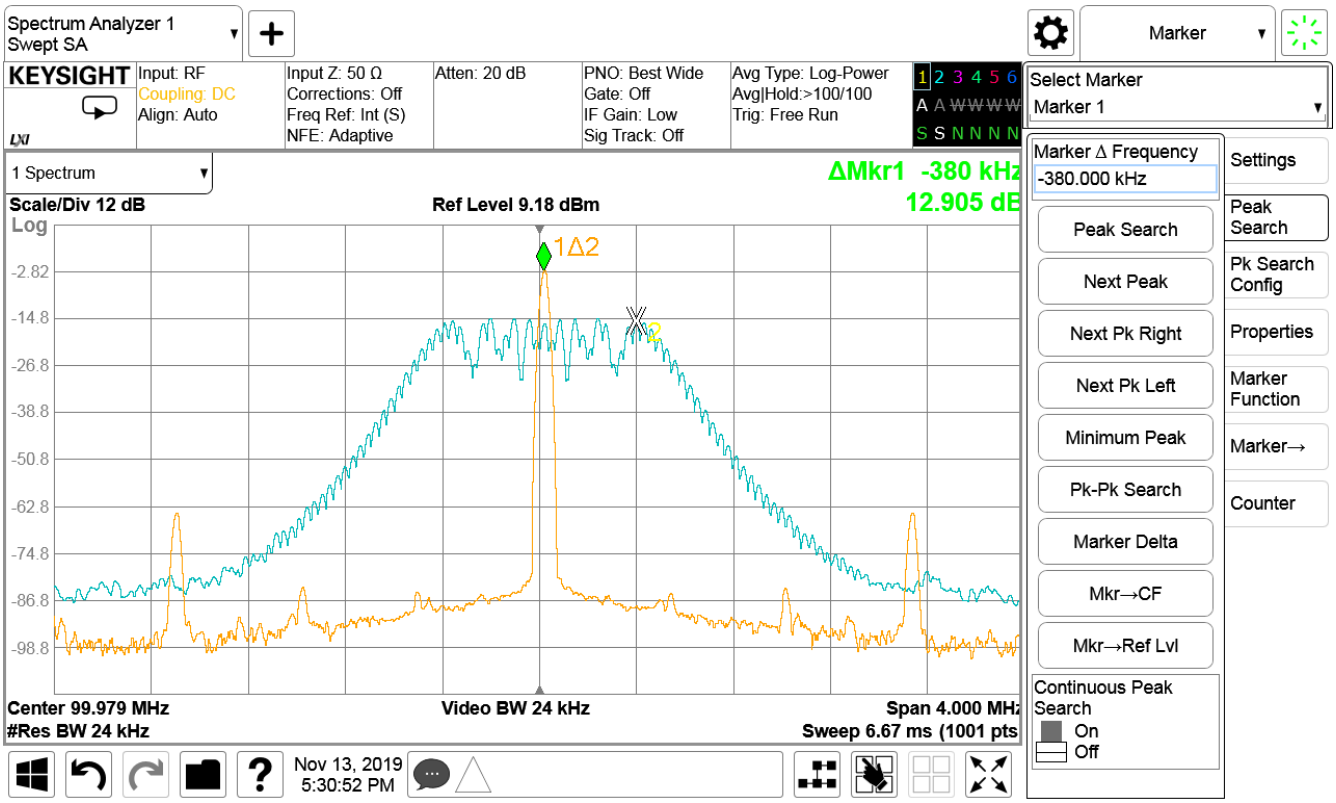


图 7-7. 100MHz，带 ±0.5% 中心展频，有跟踪和无跟踪

表 7-6. PCI Express 合规性测量

编号	分级	数据速率	架构	测量的 PNA 方法	测量的示波器方法	规格限制	结果
1	Gen4	16Gb/s	CC	195fs	260fs	500fs	通过
2	Gen4	16Gb/s	SRIS	-	490fs	500fs	通过
3	Gen5	32Gb/s	CC	87fs	111fs	150fs	通过
4	Gen5	32Gb/s	SRIS	-	157fs	*	*

7.3.2.3 数字控制振荡器和频率递增或递减 - 串行接口模式和 GPIO 模式

在该模式下，输出时钟频率可以按固定频率阶跃递增或递减。频率阶跃大小由寄存器 R43[15:0] 决定。会向 Σ-Δ 调制器的分子添加该值或从中减去该值。FREQ_INC 信号的每个上升沿都会增加输出频率，而 FREQ_DEC 信号的每个上升沿都会降低输出频率。有两种方法可以触发递增或递减：

1. 适当配置 GPIO 并通过外部微控制器或 ASIC 发送 FREQ_INC 或 FREQ_DEC 信号。
2. 使用通过串行接口控制的寄存器位字段。

表 7-7. 频率递增或递减功能的寄存器设置

寄存器位地址	寄存器位字段名称	说明
R3[3]	FREQ_INC_DEC_EN	启用/禁用 DCO 模式
R3[4]	FREQ_INC_DEC_REG_MODE	通过 GPIO 或串行接口选择 DCO 触发器。
R3[6:5]	FREQ_DEC_REG、FREQ_INC_REG	通过串行接口生成 FREQ_INC 或 FREQ_DEC 信号
R43[15:0]	FREQ_INC_DEC_DELTA	频率递增或递减阶跃大小

Copyright © 2025 Texas Instruments Incorporated

表 7-8. DCO 模式下计算分频器设置

参数	值（示例）	说明
输入 PFD 频率 (F_{PFD})	25MHz	根据 F_{PFD} 进行设置。
预期 VCO 频率 (F_{VCO})	2457.6MHz	f_{VCO} 设置在 2335MHz 至 2625MHz 的工作 VCO 范围内。选择 F_{VCO}，使 PSA/PSB/输出分频器为整数。
预期输出频率 (F_{OUT})	24.576MHz	PSA = 4，IOD = 25。F_{VCO} = PSA × IOD × F_{OUT}。
预期阶跃大小（以 ppm 为单位）(F_{step})	0.1	FREQ_INC 或 FREQ_DEC 的每个上升沿都按该阶跃大小更改输出。
N 分频器值 (N)	98	INT(F_{VCO}/F_{PFD})
满足 0ppb 精度的最小分子值 (Num)	76	计算这些值是为了满足输出的精度要求。必须小于 2^{24}。
满足 0ppb 精度的最小分母 (Den)	250	
满足 ppm 阶跃发小的最小分母值 ($F_{DEN,min}$)	101725.26	1/(F_{step} × 1e6)/(F_{VCO}/F_{PFD})
最终分母值 ($F_{DEN,final}$)	500000	$F_{DEN,final}$ 必须大于 $F_{DEN,min}$ 且小于 2^{24}。$F_{DEN,final}$ 和 $F_{NUM,final}$ 必须分别是 Den 和 Num 的整数倍。$F_{DEN,final}$/Den = $F_{NUM,final}$/Num
最终分子值 ($F_{NUM,final}$)	152000	
递增或递减阶跃大小	5	该值必须小于 2^{16}-1。$F_{DEN,final}$ 必须是最接近的 $F_{DEN,min}$ 整数倍。

7.3.3 时钟分配

VCO 输出连接到两个可单独配置的预分频器，从而提供片上时钟分配 - PSA 和 PSB。PSA 和 PSB 可单独配置为 /4、/5 或/6 的分频值。

时钟分配由四个输出通道组成。每个输出通道包含一个具有无毛刺切换和同步功能的整数分频器 (IOD)。

IOD 可由 PSA、PSB 或基准时钟提供时钟源。可以绕过 IOD 以在输出端提供基准时钟。

有五个输出通道 – OUT0、OUT1、OUT2、OUT3 和 OUT4。

OUT0 是一个压摆率可控 LVCMOS 输出。基准时钟或 PFD 时钟可通过时钟分配网络路由到该输出。

OUT1 和 OUT4 是相同的输出通道。该通道中的输出缓冲器与各种信号标准（LVCMOS、LP-HCSL 和类似 LVDS）兼容。

OUT2 和 OUT3 是相同的输出通道。该通道中的输出缓冲器与各种信号标准（LP-HCSL 和类似 LVDS）兼容。

- LP-HCSL 输出缓冲器可以直接连接到接收器，无需任何接地终端电阻器。LP-HCSL 的输出阻抗被修整为 50Ω ± 10%。可以使用一个串联电阻器来适应引线阻抗。
- 类似 LVDS 输出需要在正极性和负极性输出引脚之间连接一个差分终端。该终端可以直接连接，也可以通过交流耦合电容器连接。对于 50Ω 系统，100Ω 差分终端是合适的。
- LVCMOS 输出仅针对容性负载而设计。正负输出引脚的极性可单独配置。

差分缓冲器支持高达 328.125MHz 的广泛输出频率。LVCMOS 支持高达 200MHz 的频率。

表 7-9. 为输出配置输入基准、PFD 或 PLL 时钟 (1)

寄存器位地址	寄存器位字段名称	说明
R25[10]	IP_BYP_OUT0_EN	为 OUT0 启用基准时钟或 PFD 时钟。
R25[9]	REF_CH_MUX	在 PFD 时钟或输入基准时钟之间进行选择
R25[14:11]	IP_REF_TO_OUT4_EN、 IP_REF_TO_OUT3_EN、 IP_REF_TO_OUT2_EN、 IP_REF_TO_OUT1_EN	为 OUT1-OUT4 选择基准时钟
R56[15:14]	CH1_MUX	OUT1 的时钟选择多路复用器控制

Copyright © 2025 Texas Instruments Incorporated

表 7-9. 为输出配置输入基准、PFD 或 PLL 时钟 (1) （续）

寄存器位地址	寄存器位字段名称	说明
R62[15:14]	CH2_MUX	OUT2 的时钟选择多路复用器控制
R67[15:14]	CH3_MUX	OUT3 的时钟选择多路复用器控制
R72[15:14]	CH4_MUX	OUT4 的时钟选择多路复用器控制

(1) 对于任何时钟，TI 建议在不使用时将其禁用以减少串扰

表 7-10. 配置时钟分配网络

寄存器位地址	寄存器位字段名称	说明
R47[6:5]	PLL_PSB	可编程预分频器 PSB
R47[4:3]	PLL_PSA	可编程预分频器 PSA
R56[13:0]	CH1_DIV	OUT1 整数分频器值
R62[13:0]	CH2_DIV	OUT2 整数分频器值
R67[13:0]	CH3_DIV	OUT3 整数分频器值
R72[13:0]	CH4_DIV	OUT4 整数分频器值

表 7-11. 配置 LVCMOS 输出缓冲器 (1) (2)

寄存器位地址	寄存器位字段名称	说明
R78[12]	CH0_EN	启用 OUT0 LVCMOS 缓冲器
R79[3:0]	CH0_CMOS_SLEW_RATE_CTRL	控制 OUT0 LVCMOS 缓冲器的输出压摆率
R59[14]、R75[14]	CH1_CMOSN_EN、CH4_CMOSP_EN	启用 OUT1N/OUT4P LVCMOS 缓冲器
R59[13]、R75[13]	CH1_CMOSP_EN、CH4_CMOSN_EN	启用 OUT1P/OUT4N LVCMOS 缓冲器
R59[12]、R75[12]	CH1_CMOSN_POL、CH4_CMOSP_POL	设置 OUT1N/OUT4P LVCMOS 缓冲器的输出极性
R59[11]、R75[11]	CH1_CMOSP_POL、CH4_CMOSN_POL	设置 OUT1P/OUT4N LVCMOS 缓冲器的输出极性
R60[3:0]、R76[3:0]	CH1_CMOS_SLEW_RATE_CTRL、CH4_CMOS_SLEW_RATE_CTRL	控制 OUT1/OUT4 LVCMOS 缓冲器的输出压摆率

(1) 不得同时启用多个输出缓冲器
(2) 必须根据 VDDO 电平相应地设置 ch1_1p8vdet、ch2_1p8vdet、ch3_1p8vdet、ch4_1p8vdet。当设置为 1.8V 时，必须设置 safety_1p8v_mode。

表 7-12. 配置 LP-HCSL 输出缓冲器 (1) (2) (3)

寄存器位地址	寄存器位字段名称	说明
R57[14]、R63[13]、R68[13]、R73[13]	CH1_HCSL_EN、CH2_HCSL_EN、CH3_HCSL_EN、CH4_HCSL_EN	在 OUT1/OUT2/OUT3/OUT4 上启用 LP-HCSL 缓冲器

(1) 不得同时启用多个输出缓冲器
(2) 无需外部终端。电压模式驱动器。
(3) 必须根据 VDDO 电平相应地设置 ch1_1p8vdet、ch2_1p8vdet、ch3_1p8vdet、ch4_1p8vdet。当设置为 1.8V 时，必须设置 safety_1p8v_mode。

表 7-13. 配置类 LVDS 输出缓冲器 (1) (2) (3)

寄存器位地址	寄存器位字段名称	说明
R59[15]、R65[11]、R70[11]、R75[15]	CH1_LVDS_EN、CH2_LVDS_EN、CH3_LVDS_EN、CH4_LVDS_EN	在 OUT1/OUT2/OUT3/OUT4 上启用类似 LVDS 缓冲器
R60[15:12]、R66[3:0]、R71[3:0]、R76[9:6]	CH1_DIFFBUF_IBIAS_TRIM、CH2_DIFFBUF_IBIAS_TRIM、CH3_DIFFBUF_IBIAS_TRIM、CH4_DIFFBUF_IBIAS_TRIM	设置 OUT1/OUT2/OUT3/OUT4 的输出摆幅和输出共模

Copyright © 2025 Texas Instruments Incorporated

表 7-13. 配置类 LVDS 输出缓冲器 (1) (2) (3) （续）

寄存器位地址	寄存器位字段名称	说明
R60[11:10]、R66[5:4]、R71[5:4]、R76[5:4]	CH1_LVDS_CMTRIM_INC、 CH2_LVDS_CMTRIM_INC、 CH3_LVDS_CMTRIM_INC、 CH4_LVDS_CMTRIM_INC	增加 OUT1/OUT2/OUT3/OUT4 的输出共模。 仅 2.5V/3.3V 模式。
R60[5:4]、R65[14:13]、R71[10:9]、R77[1:0]	CH1_LVDS_CMTRIM_DEC、 CH2_LVDS_CMTRIM_DEC、 CH3_LVDS_CMTRIM_DEC、 CH4_LVDS_CMTRIM_DEC	减小 OUT1/OUT2/OUT3/OUT4 的输出共模。 仅适用于 2.5V 或 3.3V 模式。

(1) 不得同时启用多个输出缓冲器。
(2) 直流耦合模式下需要 100Ω 差分终端。交流耦合模式下需要 50Ω、单端或 100Ω 差分终端
(3) 必须根据 VDDO 电平相应地设置 ch1_1p8vdet、ch2_1p8vdet、ch3_1p8vdet、ch4_1p8vdet。当设置为 1.8V 时，必须设置 safety_1p8v_mode。

7.3.3.1 无毛刺运行

位字段 ch{x}_glitchless_en 可用于启用无毛刺输出分频器更新。该功能可核实时钟周期的高脉冲是否不会被输出分频器更新过程切断。此功能还核实是否不会违反接收器的建立和保持时间。从早期周期到新周期的转换中的低电平脉冲会相应地延长。

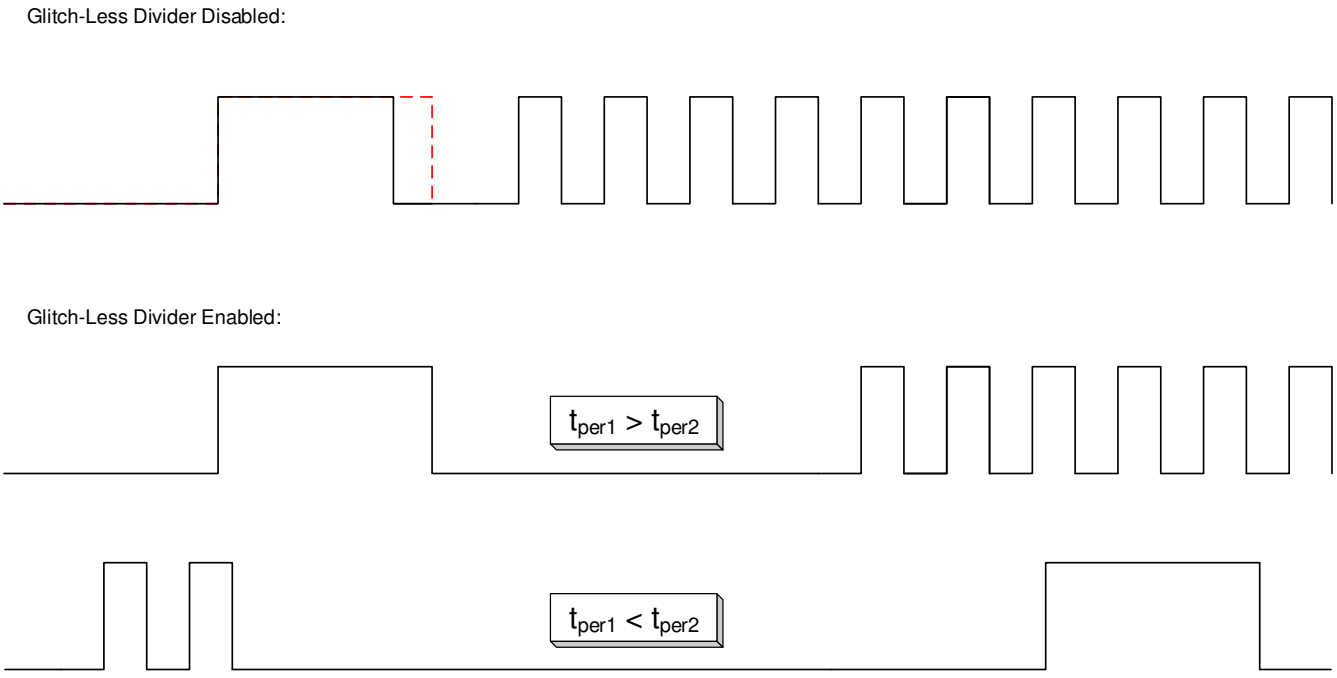


图 7-8. 无毛刺分频器更新

7.3.3.2 分频器同步

可通过确定性方式重置输出分频器。这可以通过使用同步位或 PDN 引脚来实现。该引脚的电平通过使用 PFD 输入处的基准频率在内部进行限定。SYNCN 引脚或同步位上的低电平使输出静音。高电平同步释放所有输出分频器进行操作，以便所有输出共享一个共同的上升沿。第一个上升沿可使用 ch{x}_sync_delay 单独以相应预分频器周期的阶跃进行延迟，最多可延迟 32 个周期。这使得用户能够补偿外部延迟，例如 FPGA 设计中的逻辑门引入的布线不匹配、电缆或固有延迟。每个通道都可以包含在同步过程中或从同步过程中排除。可通过 ch{x}_sync_en 单独启用分频器同步。

为了在下电上电期间具有确定的输入到输出行为，基准分频器必须设置为 1。基准分频器不得对基准时钟进行分频，不得使用基准倍频器。

Copyright © 2025 Texas Instruments Incorporated

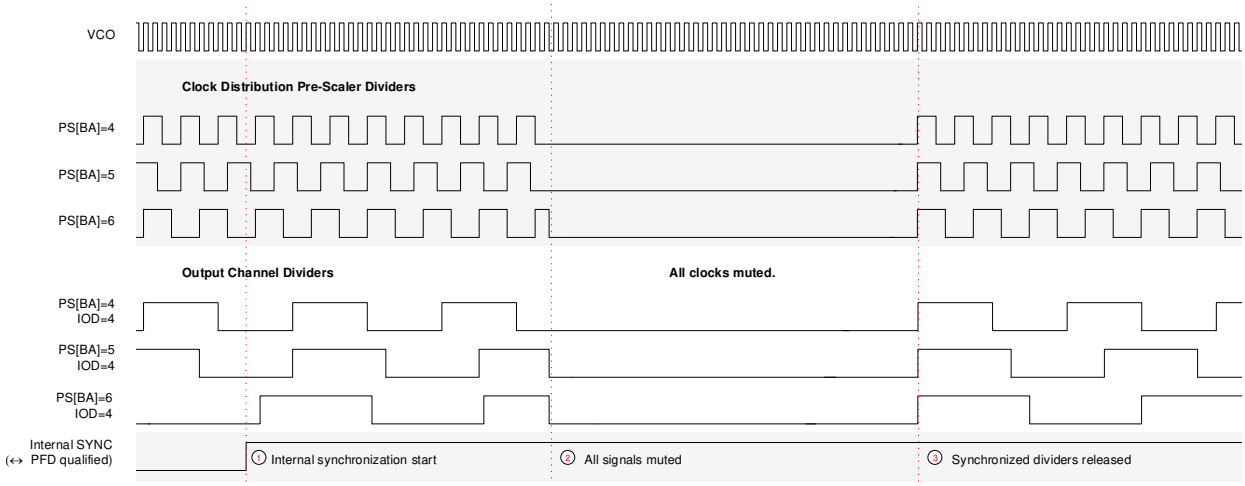


图 7-9. 输出分频器同步

7.3.3.3 全局和单独输出使能

利用输出使能功能，用户可以启用或禁用全部或特定的输出缓冲器。全局输出使能信号中排除了 OUT0 上的旁路复制。当输出被禁用时，该信号驱动可配置的静音状态。当串行接口停用时，可以同时使用所有单独的输出使能信号。各个输出使能信号控制相应的输出通道整数分频器来选通时钟，因此每个整数分频器必须处于活动状态。

各个输出使能信号以确定的方式启用和禁用相应的输出。因此，信号的高低电平是通过对各自输出时钟的四个周期进行计数来判断的。

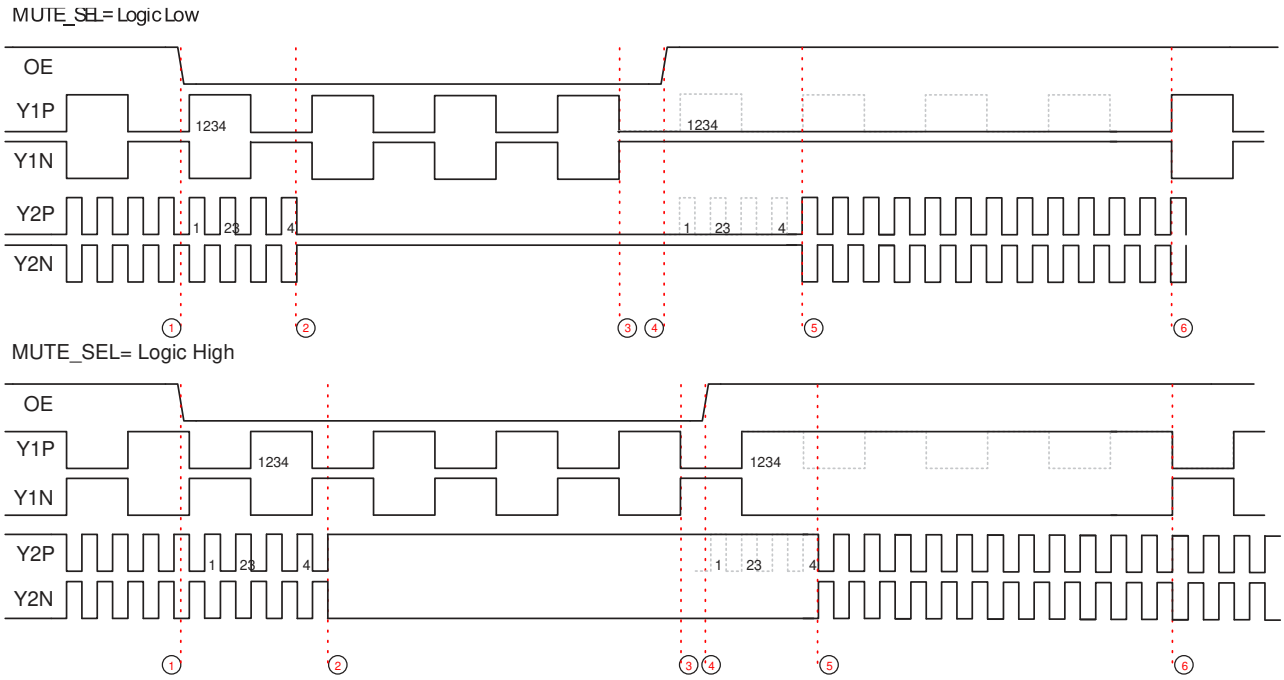


图 7-10. 单独输出启用和禁用

表 7-14. 无毛刺运行和分频器同步

寄存器位地址	寄存器位字段名称	说明
R0[14]	PDN_INPUT_SEL	将 PDN 引脚配置为 PDN 或 SYNCN
R0[5]	SYNC	通过串行接口生成同步信号

Copyright © 2025 Texas Instruments Incorporated

表 7-14. 无毛刺运行和分频器同步（续）

寄存器位地址	寄存器位字段名称	说明
R57[9]、R63[9]、R68[9]、R73[9]	CH1_GLITCHLESS_EN、CH2_GLITCHLESS_EN、CH3_GLITCHLESS_EN、CH4_GLITCHLESS_EN	启用 OUT1/OUT2/OUT3/OUT4 的无毛刺切换
R57[3]、R63[3]、R68[3]、R73[3]	CH1_SYNC_EN、CH2_SYNC_EN、CH3_SYNC_EN、CH4_SYNC_EN	启用 OUT1/OUT2/OUT3/OUT4 同步
R57[1]、R63[1]、R68[1]、R73[1]	CH1_MUTESEL、CH2_MUTESEL、CH3_MUTESEL、CH4_MUTESEL	设置 OUT1/OUT2/OUT3/OUT4 静音时的输出电平
R57[0]、R63[0]、R68[0]、R73[0]	CH1_MUTE、CH2_MUTE、CH3_MUTE、CH4_MUTE	将 OUT1/OUT2/OUT3/OUT4 上的输出静音

Copyright © 2025 Texas Instruments Incorporated

7.3.4 电源和电源管理

CDCE6214-Q1 提供多个电源引脚。每个电源分别支持 1.8V、2.5V 或 3.3V。内部低压降稳压器 (LDO) 为内部块供电，并允许为每个引脚提供单独的电源电压。VDDREF 引脚为控制引脚和串行接口供电，因此任何上拉电阻器都连接到与 VDDREF 相同的域。

该器件在内部电源管理方面非常灵活。每个模块都提供一个断电位，并且可以在不需要该块时禁用以省电。表 7-15 展示了可用的位。旁路输出 Y0 连接到 pdn_ch4 位。每个输出通道都有一个必须适应施加的电源电压 ch[4:1]_1p8vdet 的位。

表 7-15. 电源管理

VDDREF	VDDVCO	VDDO_12	VDDO_34
R0[1] - POWERDOWN	R0[1] - POWERDOWN	R0[1] - POWERDOWN	R0[1] - POWERDOWN
	R5[8] - PLL_VCOBUFF_LDO_PD	R4[4] - CH1_PD	R4[6] - CH3_PD
	R5[7] - PLL_VCO_LDO_PD	R4[5] - CH2_PD	R4[7] - CH4_PD
	R5[6] - PLL_VCO_BUFF_PD		
	R5[5] - PLL_CP_LDO_PD		
	R5[4] - PLL_LOCKDET_PD		
	R5[3] - PLL_PSB_PD		
	R5[2] - PLL_PSA_PD		
	R5[1] - PLL_PFD_PD		
	R53[6] - PLL_NCTR_EN		
	R53[3] - PLL_CP_EN		

7.3.5 控制引脚

超低功耗时钟发生器由多个 LVCMOS 输入引脚控制。

HW_SW_CTRL 引脚用作 EEPROM 页面选择。CDCE6214-Q1 时钟发生器包含两页配置设置。在器件上电后对该引脚的电平进行采样。低电平选择第零页。高电平选择第一页。HW_SW_CTRL 引脚是三电平输入引脚。该第三个电压电平由内部分压器自动施加。中电平用于选择启用串行接口的内部默认值。

PDN/SYNCN（引脚 8）、SCL（引脚 12）和 SDA（引脚 19）具有辅助功能，可以充当通用输入和输出 (GPIO)。这意味着串行接口或 GPIO 功能都可以处于活动状态。

PDN/SYNCN 重置内部电路，用于初始上电序列。该引脚可重新配置，以用作同步输入。当 SYNCN 为低电平时，差分输出保持静音状态。当 SYNCN 为高电平时，输出有效。

当 SSC_EN 位设置为 1 时，无论引脚处于何种状态，都会启用 SSC。

当 SSC_EN 位设置为 0 时，SSC 功能可由 GPIO 引脚控制。这仅限于在启用 SSC（GPIOx =高电平）的情况下启动，然后通过将 GPIOx 引脚拉至低电平来禁用。

表 7-16. 控制和 GPIO 引脚

引脚编号	名称	类型	2-LEVEL INPUT	3-LEVEL INPUT	输出	终端
23	HW_SW_CTRL	输入	-	是	-	PUPD
20	GPIO1	输入/输出	是	-	是	-
19	GPIO2	输入/输出	是	-	是	I^2C 模式下的开漏 I/O，CMOS（输入）
12	GPIO3	输入	是	-	-	-
11	GPIO4	输入/输出	是	-	是	-
8	PDN	输入	是	-	-	PU（输入时）

Copyright © 2025 Texas Instruments Incorporated

表 7-16. 控制和 GPIO 引脚（续）

引脚编号	名称	类型	2-LEVEL INPUT	3-LEVEL INPUT	输出	终端
4	REFSEL	输入	-	是	-	PUPD

表 7-17. GPIO 输入和输出信号列表

缩写	类型	说明
FREQ_INC	输入	频率递增；使 MASH 分子递增
FREQ_DEC	输入	频率递减；使 MASH 分子递减
OE（全局）	输入	启用或禁用所有差分输出 Y[4:1]（旁路不受影响）
SSC_EN	输入	启用或禁用 SSC。
OE1	输入	启用或禁用 OUT1
OE2	输入	启用或禁用 OUT2
OE3	输入	启用或禁用 OUT3
OE4	输入	启用或禁用 OUT4
PLL_LOCK	输出	PLL 锁定状态。0 = PLL 解锁；1 = 表示 PLL 处于锁定状态

7.4 器件功能模式

7.4.1 运行模式

可以设置表 7-18 中列出的工作模式，可以配置 GPIO。工作模式更改只有更改在下电上电后从 EEPROM 加载才会生效。

表 7-18. 工作模式

说明	模式	REFSEL	HW_SW_CTRL	GPIO1	GPIO2	GPIO3	GPIO4
I²C + GPIO	回退	M	M	I/O	SDA	SCL	I/O
		M	L/H	I/O	SDA	SCL	I/O
		L/H	M	I/O	SDA	SCL	I/O
OE	引脚模式	L/H	L/H	OE1	OE2	OE3	OE4
I²C + GPIO	串行接口模式	L/H	L/H	I/O	SDA	SCL	I/O

7.4.1.1 回退模式

由于可以使用 EEPROM 故意停用编程接口，因此意外禁用 I²C 会阻止对器件的进一步访问。可以使用回退模式强制运行串行接口。要进入该模式，用户需要将引脚 4 或引脚 23 悬空，同时向 VDDREF 施加电源电压。在该模式下，上电时会绕过 EEPROM 读取，器件以默认模式启动。在该模式下，引脚 11 预配置为输入，引脚 20 配置为输出。在回退模式下上电后，器件可以通过串行接口重新编程，并重新配置为正常运行。EEPROM 也可以重新编程。然而，PLL 不自动校准，并且 I²C 接口处于活动状态。该模式允许用户在重新锁定 PLL 之前完全配置器件。

7.4.1.2 引脚模式

在引脚模式下，引脚 12 和 19 是输入引脚，充当单独的输出使能引脚。这些引脚与引脚 11 和 20 一起使用时，可在每个输出通道上实现一个输出使能引脚。

7.4.1.3 串行接口模式

在串行接口模式下，引脚 12 和 19 配置为 I²C 接口。

Copyright © 2025 Texas Instruments Incorporated

7.5 编程

7.5.1 I²C 串行接口

CDCE6214-Q1 超低功耗时钟发生器提供一个与 I²C 兼容的串行接口，用于进行寄存器和 EEPROM 访问。该器件兼容 100kHz 时钟频率的标准模式 I²C 和 400kHz 时钟频率的快速模式 I²C。

1. 在 REFSEL 浮动的回退模式下，I²C 目标地址 = 67h。
2. 在其他模式下，该接口可用时 I²C 目标地址 = 68h。默认情况下该接口不可用。
3. 可以在 EEPROM 中对器件的 LSB 位进行编程。例如，如果在 EEPROM 的第 0 页中将 I2C_A0 编程为 H，则设置 HW_SW_CTRL = 0 将 I²C 地址设置为 69h。
4. 可以在同一个 I²C 总线上使用两个具有 EEPROM 的器件和 1 个处于回退模式的器件，其地址分别为 67h、68h 和 69h。

表 7-19. 与 I²C 兼容的串行接口，目标地址字节 (1) (2)

7	6	5	4	3	2	1	0
目标地址 [6:0]							R/W# 位

(1) 目标地址由两部分组成。硬接线 MSB A[6:1] 和软件可选 LSB A[0]。
(2) R/W# 位指示读取 (1) 或写入 (0) 传输。

表 7-20. 与 I²C 兼容的串行接口，可编程目标地址 (1) (2)

A6	A5	A4	A3	A2	A1	A0	HW_SW_SEL	REFSEL	说明
1	1	0	0	1	1	1	L/M/H	M	回退模式
1	1	0	1	0	0	0	M	L/H	回退模式
1	1	0	1	0	0	I2C_A0	L	L/H	EEPROM 第 0 页
1	1	0	1	0	0	I2C_A0	H	L/H	EEPROM 第 1 页

(1) 在 EEPROM 第 0 页中，串行接口不可用。器件配置为引脚模式。
(2) 在 EEPROM 第 1 页中，串行接口不可用。器件配置为引脚模式。

Copyright © 2025 Texas Instruments Incorporated

串行接口使用图 7-11 所示的以下协议。目标地址后跟一个字宽寄存器偏移量和一个字宽寄存器值。

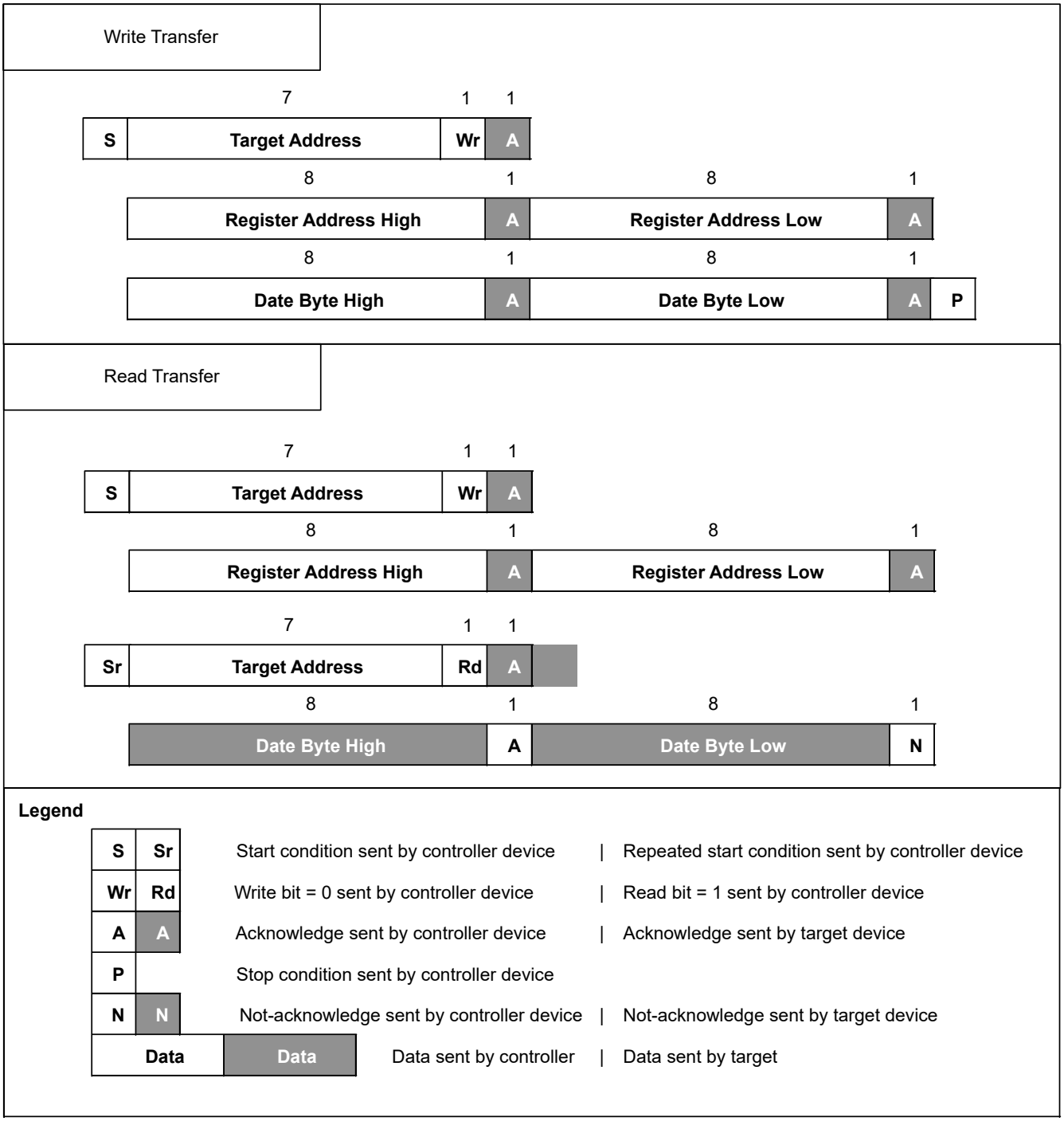


图 7-11. 与 I²C 兼容的串行接口，支持的协议

7.5.2 EEPROM

7.5.2.1 EEPROM - 循环冗余校验

该器件包含用于将 EEPROM 内容读取到器件寄存器中的循环冗余校验 (CRC) 功能。启动时，在内部读取 EEPROM 并计算 CRC 值。EEPROM 字之一包含较早存储的 CRC 值。会将存储的 CRC 值与实际的 CRC 值进行比较，并将结果传输到寄存器。通过向 update_crc 位写入 1，可以再次触发 CRC 计算。存储的 CRC 值与计算得出的 CRC 值之间的不匹配仅供参考，不会阻塞器件运行。只需读回 CRC 状态位和实时 CRC 值即可加快系统内 EEPROM 编程速度，并避免读回已知配置的 EEPROM 的每个字。

使用的多项式为 CCITT-CRC16：$x^{16} + x^{12} + x^5 + 1$。

7.5.2.2 建议的编程过程

TI 建议按以下方式对器件的寄存器进行编程：

1. 读回出厂默认 EEPROM 页面配置。每个器件都具有不同的 EEPROM 基本页面配置。
2. 修改寄存器位。
3. 覆盖 EEPROM 时，核实 ee_lock 是否设置为 5h（解锁）。
4. 按照从 0x53 到 0x00 的降序对寄存器地址进行编程，包括所有采用保留值的寄存器地址。

7.5.2.3 EEPROM 访问

备注

EEPROM 字写入访问时间通常为 8ms。

有两种方法可以对内部 EEPROM 进行写入

1. 寄存器提交方法
2. EEPROM 直接访问方法

按照以下步骤将器件设置为已知正常的配置。

1. 关闭所有电源。
2. 应用 PDN = 低电平。
3. REFSEL 和 HW_SW_CTRL 引脚可以是高电平、低电平或高阻态。对于出厂时经过编程的器件，I^2C 接口不可用于任何 HW_SW_CTRL 引脚状态。EEPROM 只能在回退模式下进行编程。
4. 向所有 VDD 引脚施加电源。当不需要器件运行时，向 VDDREF 施加电源。
5. 应用 PDN = 高电平。
6. 使用 I^2C 接口配置器件。

7.5.2.3.1 寄存器提交流程

在寄存器提交流程中，器件寄存器中的所有位都被复制到 EEPROM 中。建议的流程为：

1. 根据需要预配置器件，串行接口使用模式除外。
2. 在该工作模式下，向 RECAL 写入 1 以校准 VCO。
3. 使用 REGCOMMIT_PAGE 选择要将寄存器设置复制到其中的 EEPROM 页面。
4. 使用 EE_LOCK = x5 解锁 EEPROM 以进行写入访问。
5. 通过向 REGCOMMIT 写入 1 来启动寄存器提交操作。
6. 通过向 UPDATE_CRC 写入 1 强制进行 CRC 更新。
7. 读回 NVMLCRC 中计算出的 CRC。
8. 通过将 0x3F 写入 NVM_WR_ADDR，然后将 CRC 值写入 NVM_WR_DATA，将读取的 CRC 值存储在 EEPROM 中。

Copyright © 2025 Texas Instruments Incorporated

7.5.2.3.2 直接访问流程

在 EEPROM 直接访问流程中，使用地址和数据位字段直接访问 EEPROM 字。建议的流程为：

1. 准备一个由 64 个字（每个字 16 位）组成的 EEPROM 映像。
2. 使用 EE_LOCK = 0x5 解锁 EEPROM 以进行写入访问。
3. 将初始地址偏移写入地址位字段。将 0x00 写入 NVM_WR_ADDR。
4. 通过将映像中的每个字写入 NVM_WR_DATA，循环访问从地址 0 到 63 的 EEPROM 映像。每次对 NVM_WR_DATA 进行写入访问时，EEPROM 字地址都会自动递增。



图 7-12. 使用 I²C 的 EEPROM 直接访问

7.5.2.4 寄存器位到 EEPROM 映射

寄存器位设置被映射到 EEPROM 中。EEPROM 分为三个部分：

- EEPROM 基本页面：可通过将 HW_SW_CTRL 引脚连接到逻辑 0 或逻辑 1 进行选择。
- EEPROM 第 0 页：可通过将 HW_SW_CTRL 引脚连接到逻辑 0 进行选择。
- EEPROM 第 1 页：可通过将 HW_SW_CTRL 引脚连接到逻辑 1 进行选择。

Copyright © 2025 Texas Instruments Incorporated

表 7-21. EEPROM 映射 (1) (2) (3) (4)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	1	1	1	R5[8]	R5[7]	R5[6]	R5[5]	R5[4]	R5[1]	R4[3]	R4[2]	R4[1]	R4[0]	R3[9]	R0[3]
1	0	1	0	0	1	0	0	0	0	1	1	1	1	1	R15[5]	1
2	0	0	0	1	1	0	1	1	0	0	0	1	0	0	1	0
3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
4	R48[4]	R48[3]	R48[2]	R48[1]	R48[0]	R47[12]	R47[11]	R47[10]	R47[9]	R47[8]	R47[7]	0	0	0	0	0
5	0	R49[4]	R49[3]	R49[2]	R49[1]	R49[0]	R48[14]	R48[13]	R48[12]	R48[11]	R48[10]	R48[9]	R48[8]	R48[7]	R48[6]	R48[5]
6	0	0	0	R50[10]	R50[9]	R50[8]	1	1	0	0	0	0	0	0	0	0
7	R55[6]	R53[6]	1	R53[2]	R53[1]	R53[0]	1	0	1	0	0	0	0	0	0	0
8	1	0	0	0	0	0	1	R58[4]	R58[3]	R58[2]	R58[1]	R58[0]	0	R55[9]	R55[8]	R55[7]
9	0	1	R60[15]	R60[14]	R60[13]	R60[12]	R60[3]	R60[2]	R60[1]	R60[0]	R59[9]	R59[8]	R59[7]	R59[6]	R59[5]	R59[4]
10	R65[8]	R65[7]	R65[6]	R65[5]	R65[4]	1	0	0	0	0	R64[9]	R64[8]	R64[7]	R64[6]	R64[5]	0
11	0	0	0	R69[9]	R69[8]	R69[7]	R69[6]	R69[5]	0	0	1	R66[3]	R66[2]	R66[1]	R66[0]	R65[9]
12	R74[5]	0	0	1	R71[3]	R71[2]	R71[1]	R71[0]	R70[9]	R70[8]	R70[7]	R70[6]	R70[5]	R70[4]	1	0
13	R76[0]	R75[9]	R75[8]	R75[7]	R75[6]	R75[5]	R75[4]	1	0	0	0	0	R74[9]	R74[8]	R74[7]	R74[6]
14	0	0	0	0	0	R79[3]	R79[2]	R79[1]	R79[0]	R76[9]	R76[8]	R76[7]	R76[6]	R76[3]	R76[2]	R76[1]
15	0	0	0	0	0	0	R81[3]	1	0	0	0	0	0	0	R80[3]	0
16	R1[6]	R1[5]	R1[4]	R1[3]	R1[2]	R1[1]	R1[0]	R0[15]	R0[14]	R0[13]	R0[12]	0	R0[10]	0	R0[8]	R0[0]
17	R2[6]	R2[5]	R2[4]	R2[3]	R2[2]	R2[1]	R2[0]	R1[15]	R1[14]	R1[13]	R1[12]	R1[11]	R1[10]	R1[9]	R1[8]	R1[7]
18	0	R5[3]	R5[2]	R4[7]	R4[6]	R4[5]	R4[4]	R3[4]	R3[3]	R2[13]	R2[12]	R2[11]	R2[10]	R2[9]	R2[8]	R2[7]
19	R24[15]	R24[12]	R24[11]	R24[10]	R24[9]	R24[8]	0	0	R24[5]	R24[4]	R24[3]	R24[2]	R24[1]	R24[0]	0	0
20	R27[0]	0	R25[14]	R25[13]	R25[12]	R25[11]	R25[10]	R25[9]	R25[7]	R25[6]	R25[5]	R25[4]	R25[3]	R25[2]	R25[1]	R25[0]
21	R30[14]	R30[13]	R30[12]	R30[11]	R30[10]	R30[9]	R30[8]	R30[7]	R30[6]	R30[5]	R30[4]	R30[3]	R30[2]	R30[1]	R30[0]	R27[1]
22	R31[15]	R31[14]	R31[13]	R31[12]	R31[11]	R31[10]	R31[9]	R31[8]	R31[7]	R31[6]	R31[5]	R31[4]	R31[3]	R31[2]	R31[1]	R31[0]
23	R33[7]	R33[6]	R33[5]	R33[4]	R33[3]	R33[2]	R33[1]	R33[0]	R32[7]	R32[6]	R32[5]	R32[4]	R32[3]	R32[2]	R32[1]	R32[0]
24	R34[7]	R34[6]	R34[5]	R34[4]	R34[3]	R34[2]	R34[1]	R34[0]	R33[15]	R33[14]	R33[13]	R33[12]	R33[11]	R33[10]	R33[9]	R33[8]

Copyright © 2025 Texas Instruments Incorporated

表 7-21. EEPROM 映射 (1) (2) (3) (4) （续）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
25	R43[10]	R43[9]	R43[8]	R43[7]	R43[6]	R43[5]	R43[4]	R43[3]	R43[2]	R43[1]	R43[0]	R42[5]	R42[3]	R42[2]	R42[1]	R41[15]
26	R51[10]	0	0	1	R51[6]	0	0	R47[6]	R47[5]	R47[4]	R47[3]	R43[15]	R43[14]	R43[13]	R43[12]	R43[11]
27	R56[10]	R56[9]	R56[8]	R56[7]	R56[6]	R56[5]	R56[4]	R56[3]	R56[2]	R56[1]	R56[0]	R53[3]	1	0	0	0
28	R57[14]	R57[12]	R57[9]	R57[8]	R57[7]	R57[6]	R57[5]	R57[4]	R57[3]	R57[1]	R57[0]	R56[15]	R56[14]	R56[13]	R56[12]	R56[11]
29	R62[6]	R62[5]	R62[4]	R62[3]	R62[2]	R62[1]	R62[0]	R60[11]	R60[10]	R60[5]	R60[4]	R59[15]	R59[14]	R59[13]	R59[12]	R59[11]
30	R63[7]	R63[6]	R63[5]	R63[4]	R63[3]	R63[1]	R63[0]	R62[15]	R62[14]	R62[13]	R62[12]	R62[11]	R62[10]	R62[9]	R62[8]	R62[7]
31	R67[6]	R67[5]	R67[4]	R67[3]	R67[2]	R67[1]	R67[0]	R66[5]	R66[4]	R65[14]	R65[13]	R65[11]	R63[13]	R63[12]	R63[9]	R63[8]
32	R68[7]	R68[6]	R68[5]	R68[4]	R68[3]	R68[1]	R68[0]	R67[15]	R67[14]	R67[13]	R67[12]	R67[11]	R67[10]	R67[9]	R67[8]	R67[7]
33	R72[6]	R72[5]	R72[4]	R72[3]	R72[2]	R72[1]	R72[0]	R71[10]	R71[9]	R71[5]	R71[4]	R70[11]	R68[13]	R68[12]	R68[9]	R68[8]
34	R73[7]	R73[6]	R73[5]	R73[4]	R73[3]	R73[1]	R73[0]	R72[15]	R72[14]	R72[13]	R72[12]	R72[11]	R72[10]	R72[9]	R72[8]	R72[7]
35	0	0	0	R77[1]	R77[0]	R76[5]	R76[4]	R75[15]	R75[14]	R75[13]	R75[12]	R75[11]	R73[13]	R73[12]	R73[9]	R73[8]
36	0	0	0	0	0	0	0	0	0	R79[9]	R78[12]	0	0	0	0	0
37	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
38	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
39	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
40	R1[6]	R1[5]	R1[4]	R1[3]	R1[2]	R1[1]	R1[0]	R0[15]	R0[14]	R0[13]	R0[12]	0	R0[10]	0	R0[8]	R0[0]
41	R2[6]	R2[5]	R2[4]	R2[3]	R2[2]	R2[1]	R2[0]	R1[15]	R1[14]	R1[13]	R1[12]	R1[11]	R1[10]	R1[9]	R1[8]	R1[7]
42	0	R5[3]	R5[2]	R4[7]	R4[6]	R4[5]	R4[4]	R3[4]	R3[3]	R2[13]	R2[12]	R2[11]	R2[10]	R2[9]	R2[8]	R2[7]
43	R24[15]	R24[12]	R24[11]	R24[10]	R24[9]	R24[8]	0	0	R24[5]	R24[4]	R24[3]	R24[2]	R24[1]	R24[0]	0	0
44	R27[0]	0	R25[14]	R25[13]	R25[12]	R25[11]	R25[10]	R25[9]	R25[7]	R25[6]	R25[5]	R25[4]	R25[3]	R25[2]	R25[1]	R25[0]
45	R30[14]	R30[13]	R30[12]	R30[11]	R30[10]	R30[9]	R30[8]	R30[7]	R30[6]	R30[5]	R30[4]	R30[3]	R30[2]	R30[1]	R30[0]	R27[1]
46	R31[15]	R31[14]	R31[13]	R31[12]	R31[11]	R31[10]	R31[9]	R31[8]	R31[7]	R31[6]	R31[5]	R31[4]	R31[3]	R31[2]	R31[1]	R31[0]
47	R33[7]	R33[6]	R33[5]	R33[4]	R33[3]	R33[2]	R33[1]	R33[0]	R32[7]	R32[6]	R32[5]	R32[4]	R32[3]	R32[2]	R32[1]	R32[0]
48	R34[7]	R34[6]	R34[5]	R34[4]	R34[3]	R34[2]	R34[1]	R34[0]	R33[15]	R33[14]	R33[13]	R33[12]	R33[11]	R33[10]	R33[9]	R33[8]
49	R43[10]	R43[9]	R43[8]	R43[7]	R43[6]	R43[5]	R43[4]	R43[3]	R43[2]	R43[1]	R43[0]	R42[5]	R42[3]	R42[2]	R42[1]	R41[15]

Copyright © 2025 Texas Instruments Incorporated

表 7-21. EEPROM 映射 (1) (2) (3) (4) (续)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
50	R51[10]	0	0	1	R51[6]	0	0	R47[6]	R47[5]	R47[4]	R47[3]	R43[15]	R43[14]	R43[13]	R43[12]	R43[11]
51	R56[10]	R56[9]	R56[8]	R56[7]	R56[6]	R56[5]	R56[4]	R56[3]	R56[2]	R56[1]	R56[0]	R53[3]	1	0	0	0
52	R57[14]	R57[12]	R57[9]	R57[8]	R57[7]	R57[6]	R57[5]	R57[4]	R57[3]	R57[1]	R57[0]	R56[15]	R56[14]	R56[13]	R56[12]	R56[11]
53	R62[6]	R62[5]	R62[4]	R62[3]	R62[2]	R62[1]	R62[0]	R60[11]	R60[10]	R60[5]	R60[4]	R59[15]	R59[14]	R59[13]	R59[12]	R59[11]
54	R63[7]	R63[6]	R63[5]	R63[4]	R63[3]	R63[1]	R63[0]	R62[15]	R62[14]	R62[13]	R62[12]	R62[11]	R62[10]	R62[9]	R62[8]	R62[7]
55	R67[6]	R67[5]	R67[4]	R67[3]	R67[2]	R67[1]	R67[0]	R66[5]	R66[4]	R65[14]	R65[13]	R65[11]	R63[13]	R63[12]	R63[9]	R63[8]
56	R68[7]	R68[6]	R68[5]	R68[4]	R68[3]	R68[1]	R68[0]	R67[15]	R67[14]	R67[13]	R67[12]	R67[11]	R67[10]	R67[9]	R67[8]	R67[7]
57	R72[6]	R72[5]	R72[4]	R72[3]	R72[2]	R72[1]	R72[0]	R71[10]	R71[9]	R71[5]	R71[4]	R70[11]	R68[13]	R68[12]	R68[9]	R68[8]
58	R73[7]	R73[6]	R73[5]	R73[4]	R73[3]	R73[1]	R73[0]	R72[15]	R72[14]	R72[13]	R72[12]	R72[11]	R72[10]	R72[9]	R72[8]	R72[7]
59	0	0	0	R77[1]	R77[0]	R76[5]	R76[4]	R75[15]	R75[14]	R75[13]	R75[12]	R75[11]	R73[13]	R73[12]	R73[9]	R73[8]
60	0	0	0	0	0	0	0	0	0	R79[9]	R78[12]	0	0	0	0	0
61	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
62	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
63	SCRC[15]	SCRC[14]	SCRC[13]	SCRC[12]	SCRC[11]	SCRC[10]	SCRC[9]	SCRC[8]	SCRC[7]	SCRC[6]	SCRC[5]	SCRC[4]	SCRC[3]	SCRC[2]	SCRC[1]	SCRC[0]

(1) 地址位置 0-15：EEPROM 基本页面
(2) 地址位置 16-39：EEPROM 第 0 页
(3) 地址位置 40-63：EEPROM 第 1 页
(4) 以红色标记的位位置可能因器件而异

表 7-22. 回退模式和 EEPROM 模式下的寄存器默认值

寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1	寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1
R85	x0000	x0000	x0000	**R42**	x0002	x0002	x0002
R84	x0000	x0000	x0000	**R41**	x0000	x0000	x0000
R83	x0FFC	xFD00	xFF00	**R40**	x0000	x0000	x0000
R82	x0600	x05C0	x05C0	**R39**	x0000	x0000	x0000
R81	x0004	x0004	x0004	**R38**	x0000	x0000	x0000
R80	x0000	x0000	x0000	**R37**	x0000	x0000	x0000
R79	x0008	x0208	x0208	**R36**	x0000	x0000	x0000
R78	x1000	x0000	x0000	**R35**	x0028	x0058	x0028
R77	x0000	x0000	x0000	**R34**	x0000	x0000	x0000
R76	x0008	x0008	x0008	**R33**	x0000	x0000	x0000
R75	x0008	x0008	x8008	**R32**	x0000	x0000	x0000
R74	xA181	xA181	xA181	**R31**	x0000	x0000	x0000
R73	x2000	x3000	x3000	**R30**	x0030	x0060	x0060
R72	x0006	x0006	x0006	**R29**	x0000	x0000	x0000
R71	x0000	x0000	x0000	**R28**	x0000	x0000	x0000
R70	x0008	x0008	x0008	**R27**	x0005	x0004	x0004
R69	xA181	xA181	xA181	**R26**	x0000	x0000	x0000
R68	x2000	x3000	x3000	**R25**	x0400	x0401	x0401

Copyright © 2025 Texas Instruments Incorporated

表 7-22. 回退模式和 EEPROM 模式下的寄存器默认值（续）

寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1	寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1
R67	x0006	x0006	x0006	R24	x0718	x0024	x0024
R66	x0000	x0000	x0000	R23	x0406	x2406	x2406
R65	x0008	x0008	x0008	R22	x00A0	x00A0	x00A0
R64	xA181	xA181	xA181	R21	x0585	x0590	x0593
R63	x2000	x3000	x3000	R20	x0000	x0000	x0000
R62	x0006	x0006	x0006	R19	x0000	x0000	x0000
R61	x0000	x0000	x0000	R18	x0000	x0000	x0000
R60	x0008	x0008	x0008	R17	x26C4	x26C4	x26C4
R59	x0008	x0008	x0008	R16	x921F	x921F	x921F
R58	x502C	x502C	x502C	R15	xA037	xA037	xA037
R57	x4000	x5000	x5000	R14	x0000	x0000	x0000
R56	x0006	x0006	x0006	R13	x0000	x0000	x0000
R55	x001E	x001E	x001E	R12	x0000	x0000	x0000
R54	x3400	x3400	x3400	R11	x0000	x0000	x0000
R53	x0069	x0069	x0069	R10	x0000	x0000	x0000
R52	x5000	x5000	x5000	R9	x0000	x03D4	x03D4
R51	x40C0	x40C0	x40C0	R8	x0001	x0001	x0001
R50	x01C0	x07C0	x07C0	R7	x0C0C	x0C2D	x0C2D
R49	x0013	x0013	x0013	R6	x19CA	x182C	x182C
R48	x1A14	x23C7	x23C7	R5	x0008	x0008	x0008
R47	x0A00	x0380	x0380	R4	x0000	x0000	x0000
R46	x0000	x0000	x0000	R3	x0000	x0200	x0200
R45	x4F80	x4F80	x4F80	R2	x0000	x0002	x0002
R44	x0318	x0318	x0318	R1	x2310	x7654	x7654
R43	x0051	x0051	x0051	R0	x1000	x0001	x0001

表 7-23. 回退模式和 EEPROM 模式下的寄存器默认值

寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1	寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1
R85	x0000	x0000	x0000	R42	x0002	x0002	x0000
R84	x0000	x0000	x0000	R41	x0000	x0000	x8000
R83	x0FFC	xFD00	xFD00	R40	x0000	x0000	x0000
R82	x0600	x01C0	x01C0	R39	x0000	x0000	x0000
R81	x0004	x0004	x0004	R38	x0000	x0000	x0000
R80	x0000	x0000	x0000	R37	x0000	x0000	x0000
R79	x0008	x0008	x0008	R36	x0000	x0000	x0000
R78	x1000	x0000	x0000	R35	x0028	x005C	x005B
R77	x0000	x0000	x0000	R34	x0000	x0000	x0000
R76	x0008	x0008	x0008	R33	x0000	x2710	x0000
R75	x0008	x0008	x0008	R32	x0000	x0000	x0000
R74	xA181	xA181	xA181	R31	x0000	x0000	x0000
R73	x2000	x2000	x2000	R30	x0030	x0064	x0064
R72	x0006	x0004	x0004	R29	x0000	x0000	x0000
R71	x0000	x0000	x0000	R28	x0000	x0000	x0000
R70	x0008	x0008	x0008	R27	x0005	x0004	x0007
R69	xA181	xA181	xA181	R26	x0000	x0000	x0000
R68	x2000	x2000	x2000	R25	x0400	x0401	x0401
R67	x0006	x0001	x0006	R24	x0718	x0018	x0124
R66	x0000	x0000	x0000	R23	x0406	x2406	x2406
R65	x0008	x0008	x0008	R22	x00A0	x00A2	x00A2
R64	xA181	xA181	xA181	R21	x0585	x0580	x0593
R63	x2000	x2000	x2000	R20	x0000	x0000	x0000
R62	x0006	x0005	x0005	R19	x0000	x0000	x0000
R61	x0000	x0000	x0000	R18	x0000	x0000	x0000
R60	x0008	x0008	x0008	R17	x26C4	x26C4	x26C4

Copyright © 2025 Texas Instruments Incorporated

表 7-23. 回退模式和 EEPROM 模式下的寄存器默认值（续）

寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1	寄存器地址	回退模式	HW_SW_CTRL = 0	HW_SW_CTRL = 1
R59	x0008	x0008	x0008	**R16**	x921F	x921F	x921F
R58	x502C	x502C	x502C	**R15**	xA037	xA037	xA037
R57	x4000	x4000	x4000	**R14**	x0000	x0000	x0000
R56	x0006	x0005	x0005	**R13**	x0000	x0000	x0000
R55	x001E	x03DE	x03DE	**R12**	x0000	x0000	x0000
R54	x3400	x3400	x3400	**R11**	x0000	x0000	x0000
R53	x0069	x0069	x0069	**R10**	x0000	x597F	x597F
R52	x5000	x5000	x5000	**R9**	x0000	x597F	x597F
R51	x40C0	x40C0	x4480	**R8**	x0001	x0001	x0001
R50	x01C0	x07C0	x07C0	**R7**	x0C0C	x0C0D	x0C0D
R49	x0013	x000A	x000A	**R6**	x19CA	x0AAC	x0AAC
R48	x1A14	x4BC1	x4BC1	**R5**	x0008	x0008	x0008
R47	x0A00	x00A8	x00A8	**R4**	x0000	x0040	x0040
R46	x0000	x0000	x0000	**R3**	x0000	x0200	x0200
R45	x4F80	x4F80	x4F80	**R2**	x0000	x0002	x0016
R44	x0318	x0318	x0318	**R1**	x2310	x2310	x0010
R43	x0051	x0051	x0051	**R0**	x1000	x1000	x0000

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

图 8-1 展示了使用了 I²C 接口和 25MHz 晶体输入的典型应用。25MHz XTAL 的两端连接到引脚 1 和 2。REFSEL 引脚被下拉以选择一个辅助输入。如果使用 EEPROM，则 HW_SW_CTRL 可以拉低或拉高；如果未使用 EEPROM，则可以保持悬空。可通过滤波为 VDD_REF 和 VDD_VCO 引脚以及 VDDO_12 和 VDDO_34 引脚提供 1.8V、2.5V 或 3.3V 电压。必须使用上拉电阻器将 I2C 的数据线和时钟线拉至 VDD_REF。如果需要进行硬件复位，则可以将 PDN 连接到 MCU，否则 PDN 可以保持悬空。如果需要，可以将 GPIO1 和 4 引脚连接到 MCU，否则可以将这些引脚保持悬空。未使用的输出可以保持悬空状态。

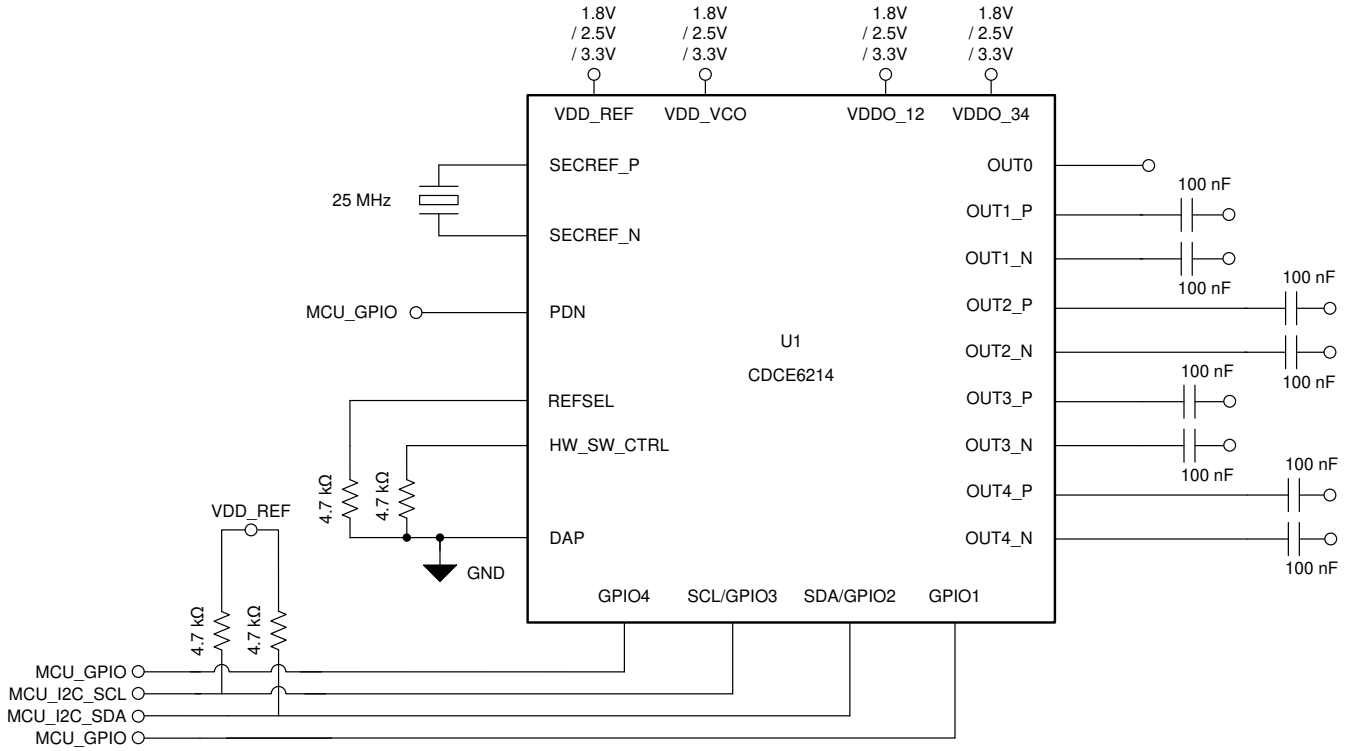


图 8-1. 具有 I²C 接口的典型应用原理图

8.2 典型应用

图 8-2 展示了使用 CDCE6214-Q1 的 eAVB 系统的典型方框图。

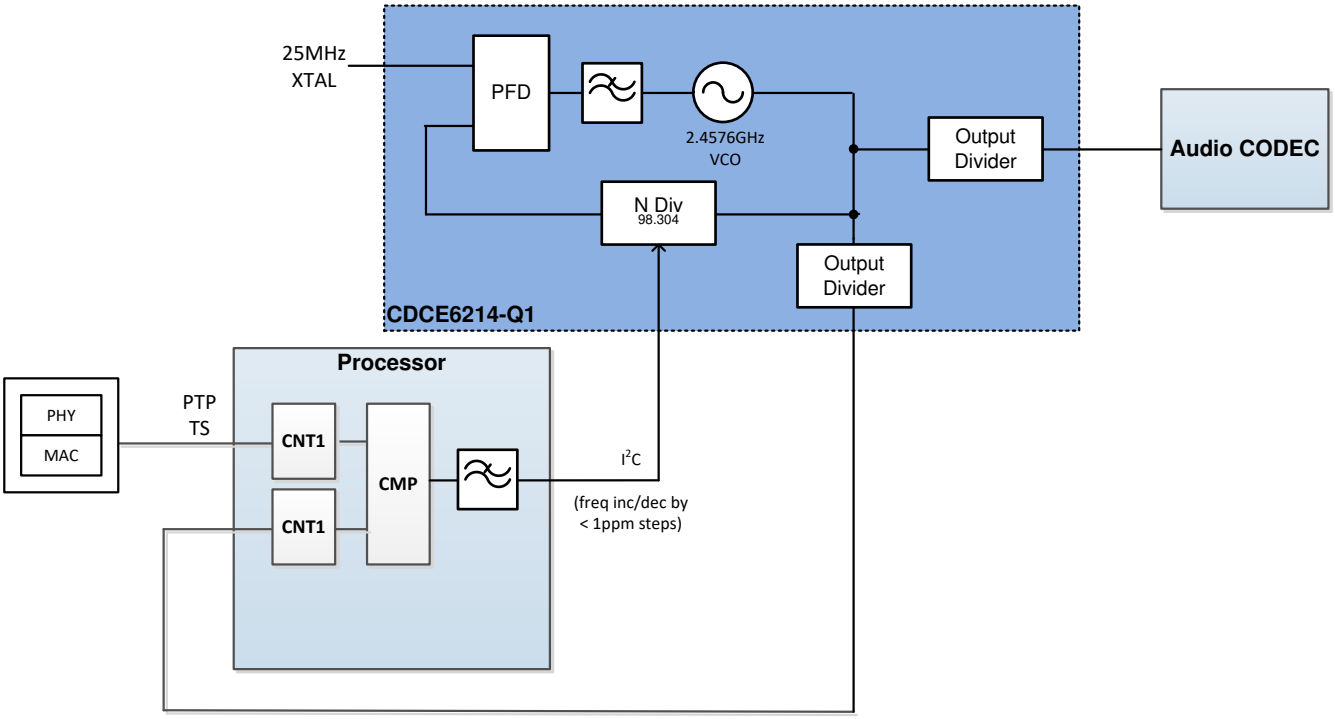


图 8-2. 使用 CDCE6214-Q1 的 eAVB 系统方框图

8.2.1 设计要求

对于采用 CDCE6214-Q1 的设计，设计人员必须选择：

- 主要或辅助输入
- 输入类型
- 输入频率
- 器件通信模式（I^2C 和/或 EEPROM）
- 配置 GPIO 引脚连接所需的器件工作模式
- 电源电压（1.8V、2.5V 或 3.3V）
- 数字基准（1.8V、2.5V 或 3.3V）
- 输出基准（1.8V、2.5V 或 3.3V）
- 输出格式

8.2.2 详细设计过程

CDCE6214-Q1 易于使用。要为器件加电，请执行以下操作：

1. 将电源引脚（VDD_REF、VDD_VCO、VDDO_12 和 VDDO_34）连接在一起，或者将这些引脚独立连接到 1.8V、2.5V 或 3.3V 电源。
2. 将 GND 引脚 (DAP) 焊接到 PCB 平面。
3. 核实 REFSEL、HW_SW_CTRL 和 PDN 配置引脚是否正确连接：
   a. 在内部通过上拉电阻器将 PDN 引脚连接至 VDD_REF。悬空时，PDN 引脚自动将器件从 PDN 中释放。
   b. 如果 PDN 引脚为低电平，则器件不响应 I^2C 命令。
   c. REFSEL 和 HW_SW_CTRL 是三电平引脚。如果悬空，则器件以回退模式启动。

Copyright © 2025 Texas Instruments Incorporated

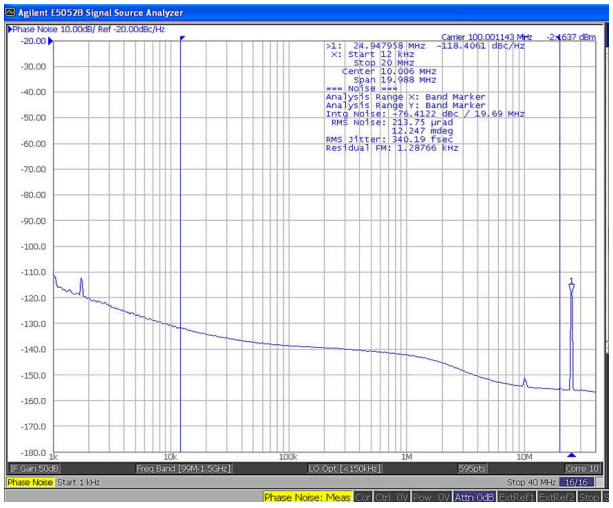
该器件出厂时配置为提供：

- EEPROM 第 0 页：当 HW_SW_CTRL = L 时，使用 25MHz XTAL，在所有差分输出上为 100MHz LP-HCSL。禁用 OUT0 上的 25MHz 输出。器件以引脚模式启动（无 I^2C 访问）。
- EEPROM 第 1 页：使用 25MHz XTAL 和 HW_SW_CTRL = H 时，所有差分输出上为 100MHz LVDS。禁用 OUT0 上的 25MHz 输出。器件以串行接口模式启动。
- 回退模式：使用 25MHz XTAL、REFSEL =高阻态且 HW_SW_CTRL =高阻态时，所有差分输出上为 100MHz LP-HCSL。OUT0 上的 25MHz 输出启用，并且 PLL *未*锁定。必须重新校准 PLL 以实现锁定。器件以回退模式启动。

备注

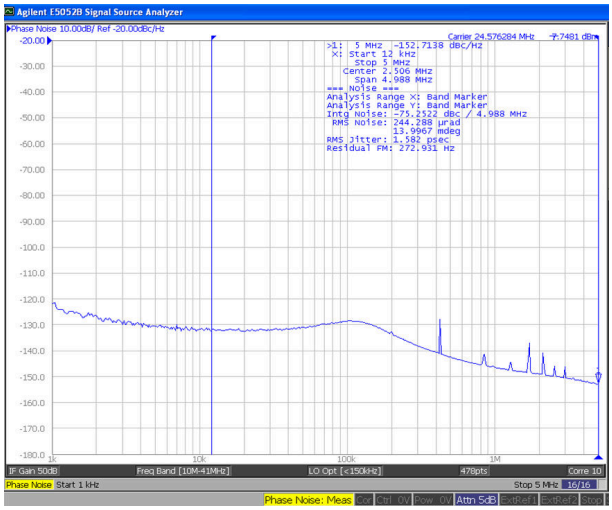
选择 EEPROM 第 0 页或第 1 页时，REF_SEL *不得*保持悬空。为了实现正常功能，REF_SEL 必须拉至高电平或低电平。

8.2.3 应用曲线



参考值：晶体输入 25MHz　来自 2.4GHz VCO 的闭环相位噪声　100MHz LP-HCSL

图 8-3. 适用于 PCIe 应用的 100MHz LP-HCSL 输出



参考值：晶体输入 25MHz　来自 2.4576GHz VCO 的闭环相位噪声　24.576MHz LVCMOS

图 8-4. 用于音频时钟的 24.576MHz LVCMOS 输出

8.3 电源相关建议

CDCE6214-Q1 提供多个电源引脚。每个电源支持 1.8V、2.5V 或 3.3V。内部低压降稳压器 (LDO) 为内部块供电，并允许为每个引脚提供单独的电源电压。VDD_REF 引脚为控制引脚和串行接口供电。因此，任何上拉电阻器都应连接到与 VDD_REF 相同的域。VDD_VCO 为所有 PLL 块供电，VDDO_12 为输出 OUT1 和 OUT2 供电，VDDO_34 为 OUT0、OUT3 和 OUT4 供电。

VDD_REF 和 VDDO_34 可用于 OUT0 上的电平转换操作。

8.3.1 上电序列

器件对电源引脚供电没有任何限制。从应用的角度而言，TI 建议同时施加所有 VDDS 或首先施加 VDDREF。数字内核连接到 VDDREF，因此会自动应用 EEPROM 的设置。

Copyright © 2025 Texas Instruments Incorporated

8.3.2 去耦合

TI 建议使用铁氧体磁珠隔离所有电源，并为每个电源提供去耦。TI 还建议优化相应布局的去耦，并考虑电源阻抗以针对单独的频率计划进行优化。

每个电源引脚的去耦示例：1 个 4.7µF，1 个 470nF，1 个 100nF。

8.4 布局

8.4.1 布局指南

对于本示例，请遵循以下准则：

- 使用 GND 屏蔽隔离输入和输出。图 8-5 将所有输入和输出作为差分对进行路由。
- 生成多个频率时将输出与相邻输出相隔离。
- 隔离晶体区域，连接晶体封装的 GND 焊盘并淹没相邻区域。图 8-6 展示了支持多种晶体尺寸的封装。
- 尽可能避免扇入和扇出区域的阻抗跳跃。
- 使用五个过孔将散热焊盘连接到一个实心 GND 平面。最好使用全通过孔。
- 将具有小电容值的去耦电容器放置在非常靠近电源引脚的位置。尝试将这些电容器非常靠近地放置在同一层上或直接放置在背面层上。值越大，可以放置得越远。图 8-6 展示了靠近器件的三个去耦电容器。建议使用铁氧体磁珠来隔离不同的频域和 VDD_VCO 域。
- 最好使用多个过孔将宽电源引线连接到相应的电源平面。

8.4.2 布局示例

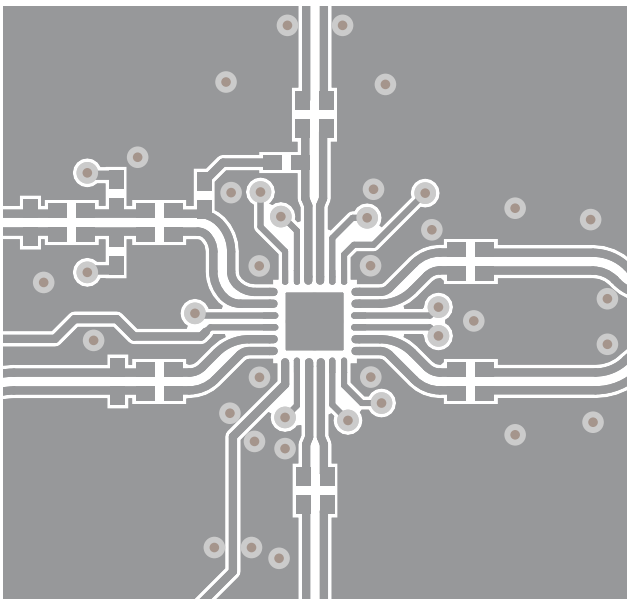


图 8-5. 布局示例，顶层

Copyright © 2025 Texas Instruments Incorporated

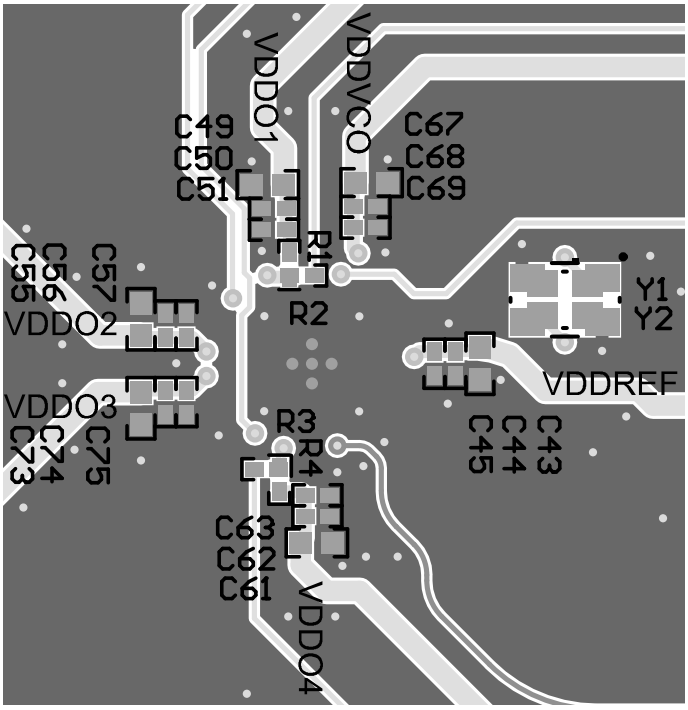

VDDO1
VDDVCO
C49
C50
C51
C67
C68
C69
R1
R2
C55
C56
C57
VDDO2
Y1
Y2
VDDREF
VDDO3
C73
C74
C75
R3
R4
C45
C44
C43
C63
C62
C61
VDDO4

图 8-6. 布局示例，底层

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

请联系您的 TI 代表了解详情。

9.1.2 器件命名规则

CDCE6214-Q1 – 62 = 时钟发生器 1 = 1 个 PLL 4 = 4 个输出 E = EEPROM，整数和分数输出分频器

9.2 文档支持

9.2.1 相关文档

有关评估模块的相关文档，另请参阅：

- 德州仪器 (TI)，CDCE6214-Q1 EVM 用户指南。

有关寄存器映射的相关文档，另请参阅：

- 德州仪器 (TI)，CDCE6214-Q1 寄存器映射用户指南。

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (October 2021) to Revision C (July 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了*特性*部分中的 PCIe 版本合规性	1
• 更新了 应用 节中的 PCIe 版本合规性	1
• 删除了*说明 (续)* 部分	1

Copyright © 2025 Texas Instruments Incorporated

- 更新了“封装信息”表 1
- 更新了*引脚功能*表的"类型"脚注以整合信息 4
- 更新了整个 规格 部分中的字母的大写字母 7
- 更新以阐明 时序要求，与 I²C 兼容的串行接口 的脚注 (3) 13
- 更新了*控制引脚*部分中的 SSC_EN 功能 32
- 更新了*详细设计过程*部分中的出厂配置 44
- 将*电源相关建议* 和*布局* 部分添加到了*应用和实施* 部分 45
- 更新了*布局指南*以更正到 图 8-5 的链接 46
- 添加了对 EVM 用户指南和寄存器映射用户指南的引用 48

Changes from Revision A (December 2019) to Revision B (October 2021) **Page**

- 向*特性* 部分添加了功能安全要点 1
- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 更新了*回退模式和 EEPROM 模式下的寄存器默认值* 37

Changes from Revision * (September 2024) to Revision A (September 2024) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 更新了输出使能极性 1
- 更新了*回退模式和 EEPROM 模式下的寄存器默认值* 37

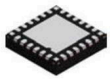
11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

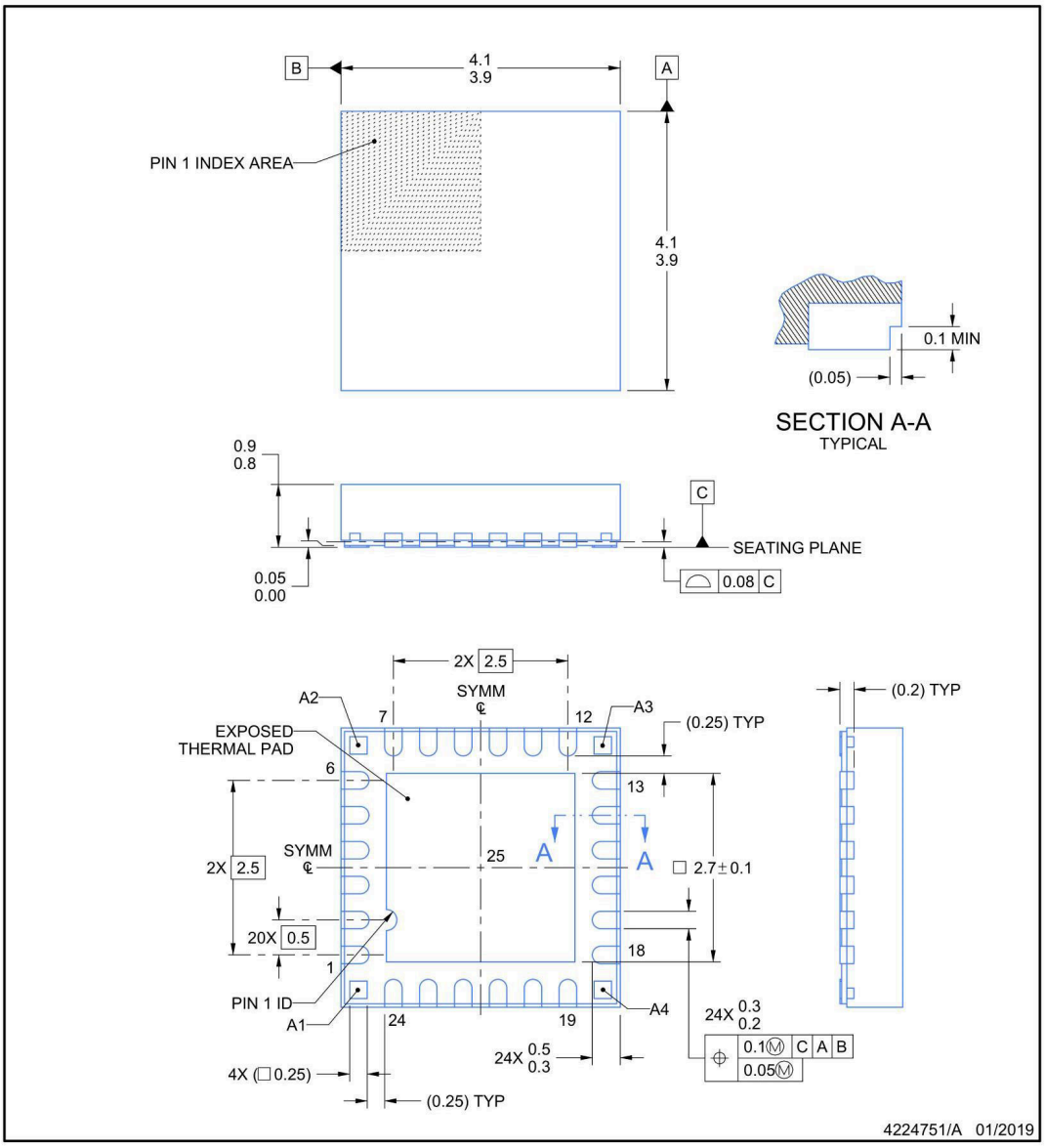
PACKAGE OUTLINE

RGE0024P



VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

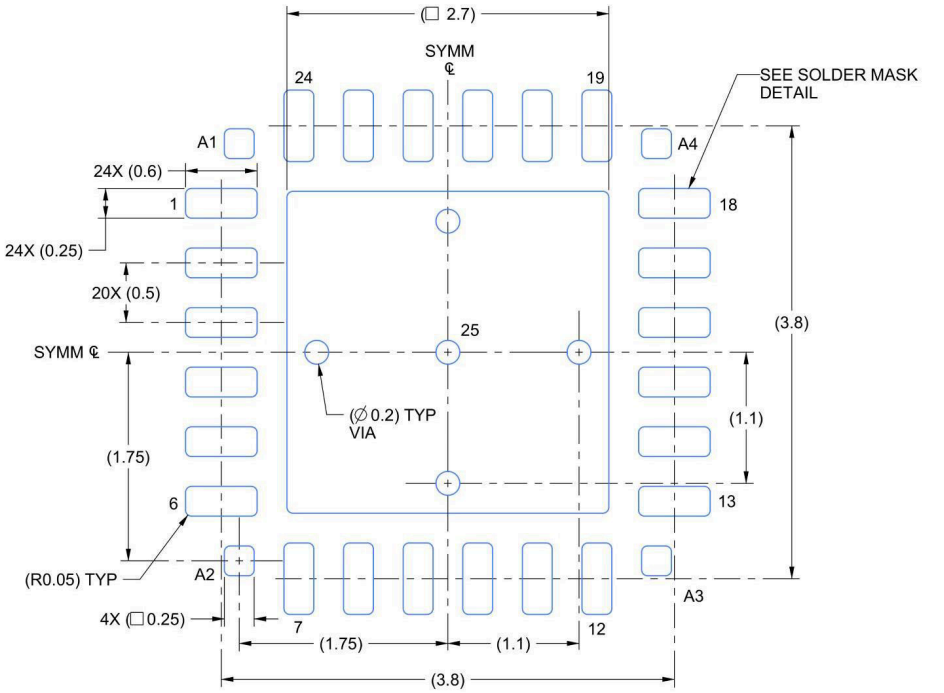
Texas Instruments
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGE0024P — **VQFN - 0.9 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224751/A 01/2019

NOTES: (continued)

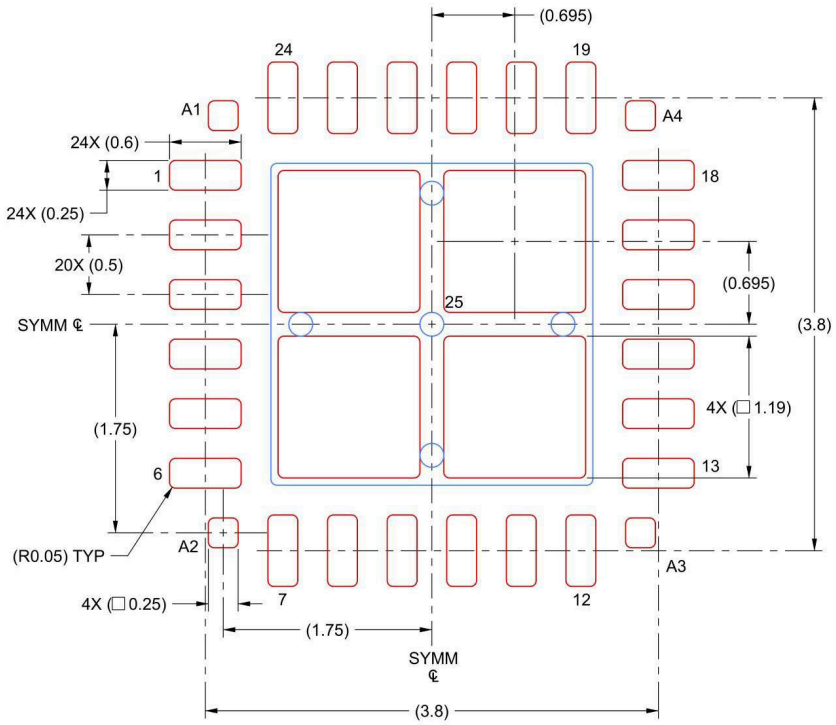
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024P — **VQFN - 0.9 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4224751/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

11.1 封装选项附录

封装信息

可订购器件	状态(1)	封装类型	封装图	引脚	包装数量	环保计划(2)	铅/焊球镀层(6)	MSL 峰值温度(3)	工作温度 (°C)	器件标识(4) (5)
CDCE6214TWRGERQ1	运行	VQFN	RGE	24	3000	RoHS 和绿色环保	SN	2 级-260C-1 年	-40 至 105	6214Q1 A2Z
CDCE6214TWRGETQ1	运行	VQFN	RGE	24	250	RoHS 和绿色环保	SN	2 级-260C-1 年		6214Q1 A2Z

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 www.ti.com.cn/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅（RoHS 豁免）：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色环保（RoHS，无锑/溴）：TI 定义的“绿色环保”表示无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 系阻燃剂（均质材料中 Br 或 Sb 的质量不超过总质量的 0.1%）。

(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。

(5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

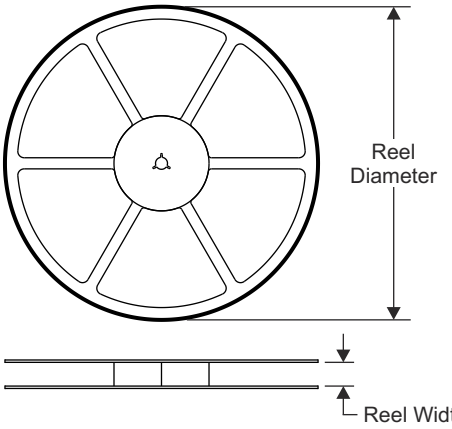
(6) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

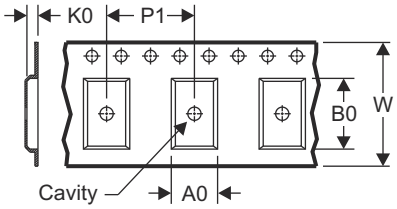
在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

11.2 卷带包装信息

REEL DIMENSIONS

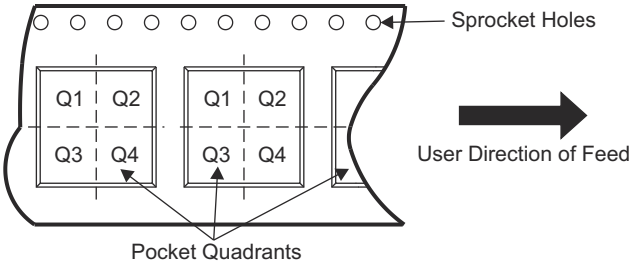


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

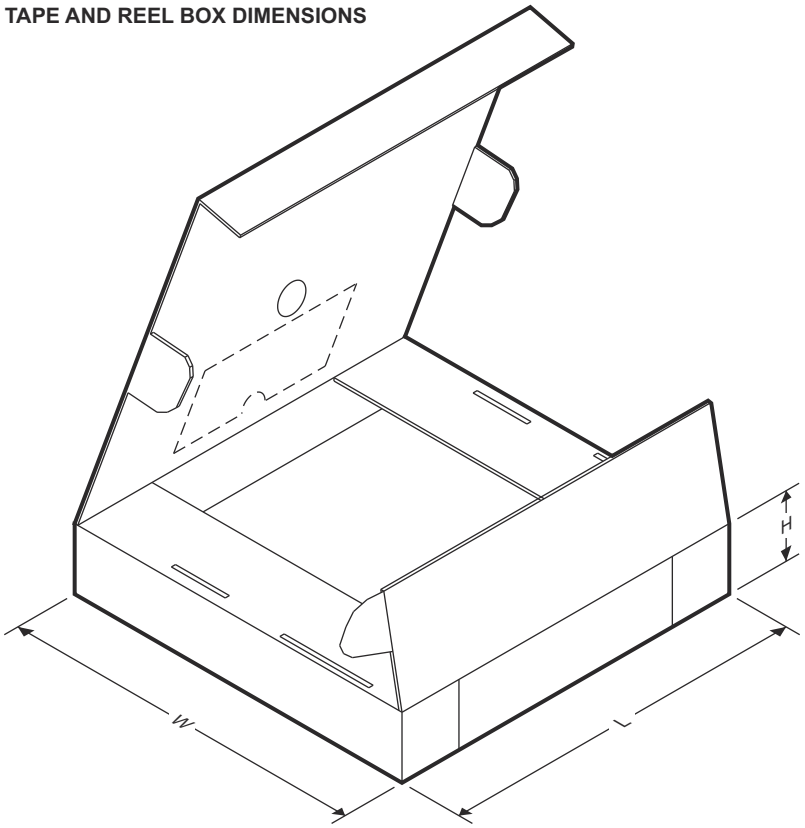
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
CDCE6214TWRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
CDCE6214TWRGETQ1	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
CDCE6214TWRGERQ1	VQFN	RGE	24	3000	346.0	346.0	33.0
CDCE6214TWRGETQ1	VQFN	RGE	24	250	210.0	185.0	35.0

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCE6214TWRGERQ1	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	Call TI | Sn	Level-2-260C-1 YEAR	-40 to 105	6214Q1 A2Z
CDCE6214TWRGERQ1.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	6214Q1 A2Z
CDCE6214TWRGETQ1	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 105	6214Q1 A2Z
CDCE6214TWRGETQ1.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 105	6214Q1 A2Z

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CDCE6214-Q1 :

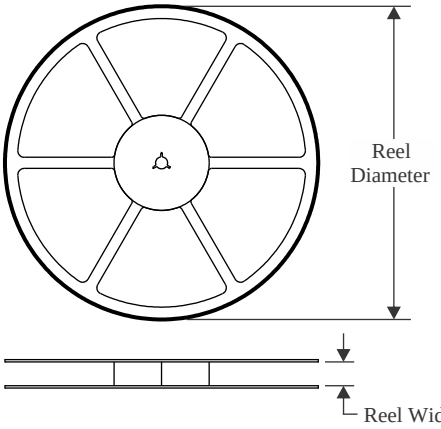
- Catalog : CDCE6214

NOTE: Qualified Version Definitions:

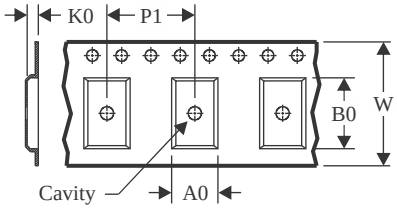
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

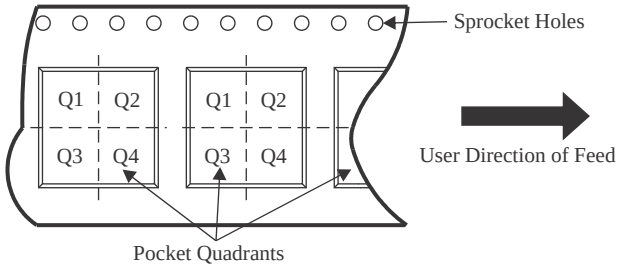


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

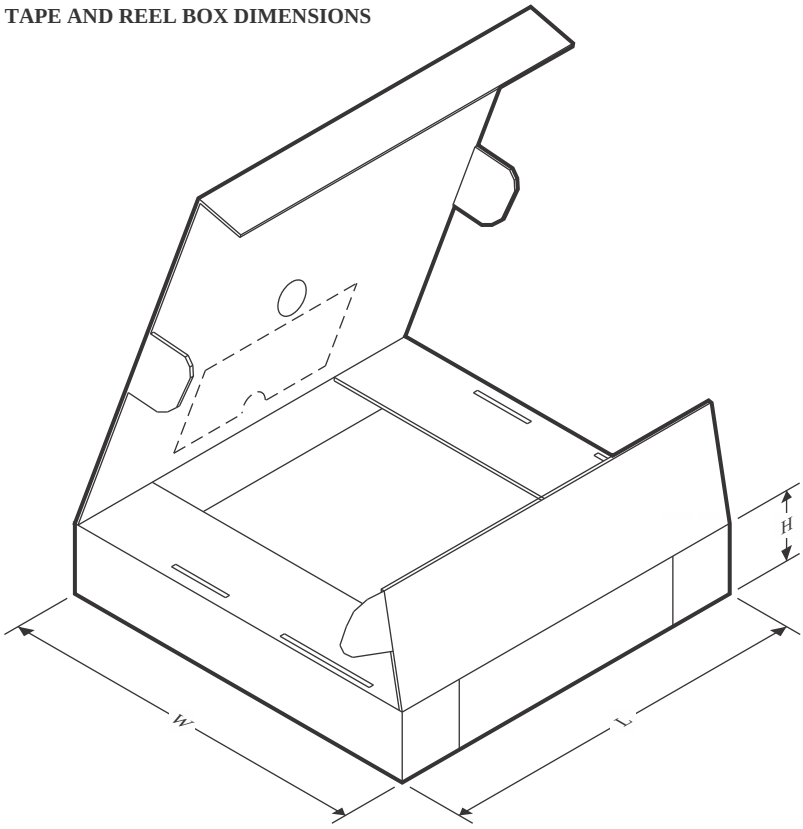
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCE6214TWRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
CDCE6214TWRGETQ1	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCE6214TWRGERQ1	VQFN	RGE	24	3000	346.0	346.0	33.0
CDCE6214TWRGETQ1	VQFN	RGE	24	250	210.0	185.0	35.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月