

CDCE937-Q1 具有 1.8V、2.5V 和 3.3V LVCMOS 输出的 可编程 3-PLL VCXO 时钟合成器

1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性：
 - 器件温度等级 1：-40°C 至 125°C 环境工作温度范围
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 系统内可编程性和 EEPROM
 - 串行可编程易失性寄存器
 - 非易失性 EEPROM 以存储客户设置
- 灵活的输入计时理念
 - 外部晶体：8MHz 至 32MHz
 - 片上 VCXO：上拉范围 ± 150 ppm
 - 单端低电压互补金属氧化物半导体 (LVCMOS) 高达 160MHz
- 高达 230MHz 可自由选择的输出频率
- 低噪声 PLL 内核
 - 集成了 PLL 环路滤波器元件
 - 低周期抖动 (典型值 60ps)
- 独立的输出电源引脚
 - CDCE937-Q1：3.3V 和 2.5V
 - CDCEL937-Q1：1.8V
- 灵活的时钟驱动器
 - 三个用户可定义的控制输入 [S0/S1/S2]；例如：SSC 选择、频率切换、输出使能或断电
 - 为视频、音频、USB、IEEE1394、RFID、Bluetooth™、WLAN、Ethernet™ 和 GPS 生成高精度时钟
 - 生成适用于 TI-DaVinci™、OMAP™ 和 DSP 的常见时钟频率
 - 可编程 SSC 调制
 - 启用 0PPM 时钟生成
- 1.8V 器件电源
- 宽温度范围：-40°C 至 125°C
- 采用 TSSOP 封装
- 适用于简易 PLL 设计和编程的开发和编程套件 (TI Pro-Clock™)

2 应用

- 仪表组
- 音响主机
- 导航系统
- 高级驾驶辅助系统 (ADAS)

3 说明

CDCE937-Q1 和 CDCEL937-Q1 器件是基于锁相环 (PLL) 的模块化可编程时钟合成器。这些器件提供了灵活的可编程选项，例如输出时钟、输入信号和控制引脚，方便用户将 CDCE937-Q1 配置为所需规格。

CDCE937-Q1 可基于单一输入频率生成多达七种输出时钟，节省电路板空间的同时降低成本。此外，凭借多个输出，时钟发生器可以使用一个发生器来替代多个晶振。这使得该器件非常适合信息娱乐系统中的音响主机和远程信息处理应用，以及 ADAS 系统中的摄像头应用，因为这些平台正在向更小、更具成本效益的系统发展。

此外，借助集成的可配置 PLL，可在系统内针对任何时钟频率 (最高可达 230MHz) 对每个输出进行编程。PLL 还支持具有可编程向下扩频和中心扩频功能的可编程扩频时钟 (SSC)。这为客户的产品提供了更好的抗电磁干扰 (EMI) 性能，确保通过 CISPR-25 等行业标准。

使用三个用户自定义控制引脚可定制频率编程和 SSC。这样就不需要使用额外接口来控制时钟。此外，具体的上电和掉电序列可根据用户需求定义。

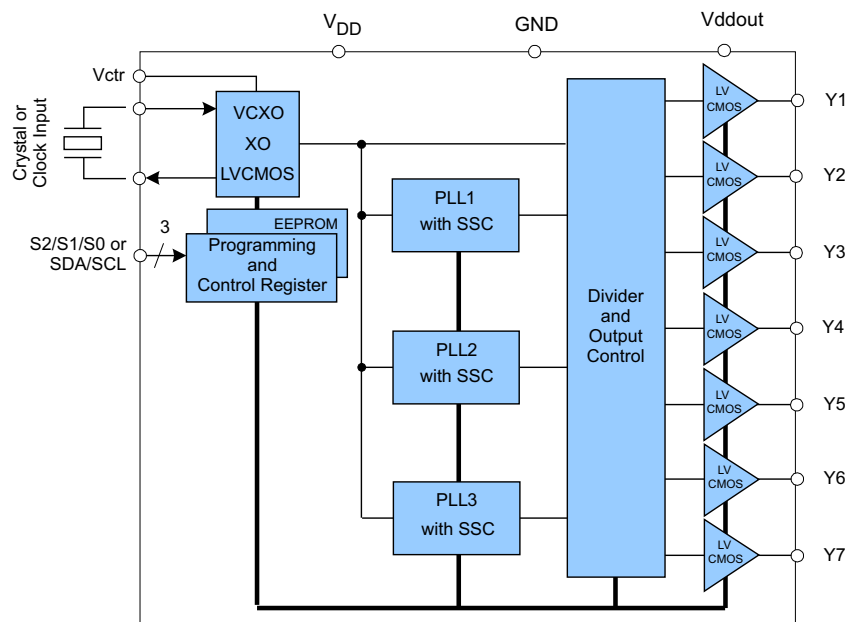
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
CDCE937-Q1、 CDCEL937-Q1	PW (TSSOP, 20)	6.50mm × 6.40mm

(1) 有关更多信息，请参阅节 13。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。





Copyright © 2016, Texas Instruments Incorporated

简化版方框图

内容

1 特性	1	8.4 器件功能模式	15
2 应用	1	8.5 编程	16
3 说明	1	9 寄存器映射	19
4 器件比较表	4	9.1 SDA 和 SCL 配置寄存器	19
5 引脚配置和功能	5	10 应用和实施	26
6 规格	6	10.1 应用信息	26
6.1 绝对最大额定值.....	6	10.2 典型应用	26
6.2 ESD 等级.....	6	10.3 电源相关建议	30
6.3 建议运行条件.....	6	10.4 布局	31
6.4 热性能信息.....	7	11 器件和文档支持	32
6.5 电气特性.....	7	11.1 文档支持.....	32
6.6 时序要求.....	9	11.2 接收文档更新通知.....	32
6.7 典型特性.....	10	11.3 支持资源.....	32
7 参数测量信息	11	11.4 商标.....	32
8 详细说明	12	11.5 静电放电警告.....	32
8.1 概述.....	12	11.6 术语表.....	32
8.2 功能方框图.....	13	12 修订历史记录	33
8.3 特性说明.....	13	13 机械、封装和可订购信息	33

4 器件比较表

器件	电源电压 (V)	PLL	输出
CDCE913-Q1	2.5 至 3.3	1	3
CDCEL913-Q1	1.8	1	3
CDCE937-Q1	2.5 至 3.3	3	7
CDCEL937-Q1	1.8	3	7
CDCE949-Q1	2.5 至 3.3	4	9
CDCEL949-Q1	1.8	4	9

5 引脚配置和功能

Xin/Clk	1	20	Xout
S0	2	19	S1/SDA
Vdd	3	18	S2/SCL
Vctr	4	17	Y1
GND	5	16	GND
Vddout	6	15	Y2
Y4	7	14	Y3
Y5	8	13	Vddout
GND	9	12	Y6
Vddout	10	11	Y7

图 5-1. PW 封装 20 引脚 TSSOP 顶视图

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	Xin/CLK	I	晶体振荡器输入或 LVCMOS 时钟输入 (可通过 SDA 和 SCL 总线选择)
2	S0	I	用户可编程的控制输入 S0 ; LVCMOS 输入 ; 内部上拉电阻 500k Ω
3	V _{DD}	P	用于器件的 1.8V 电源
4	V _{Ctrl}	I	VCXO 控制电压 (不使用时保持开路或上拉至约 500k Ω)
5	GND	G	接地
6	Vddout	P	CDCE937-Q1 : 用于所有输出的 3.3V 或 2.5V 电源 CDCEL937-Q1 : 用于所有输出的 1.8V 电源
7	Y4	O	LVCMOS 输出
8	Y5	O	LVCMOS 输出
9	GND	G	接地
10	Vddout	P	CDCE937-Q1 : 用于所有输出的 3.3V 或 2.5V 电源 CDCEL937-Q1 : 用于所有输出的 1.8V 电源
11	Y7	O	LVCMOS 输出
12	Y6	O	LVCMOS 输出
13	Vddout	P	CDCE937-Q1 : 用于所有输出的 3.3V 或 2.5V 电源 CDCEL937-Q1 : 用于所有输出的 1.8V 电源
14	Y3	O	LVCMOS 输出
15	Y2	O	LVCMOS 输出
16	GND	G	接地
17	Y1	O	LVCMOS 输出
18	SCL/S2	I	SCL : 串行时钟输入 (默认配置) 、 500k Ω LVCMOS 内部上拉电阻 ; 或 S2 : 用户可编程的控制输入、 LVCMOS 输入和 500k Ω 内部上拉电阻
19	SDA/S1	I/O 或 I	SDA : 双向串行数据输入/输出 (默认配置) 。 500k Ω LVCMOS 内部上拉电阻 ; 或 S1 : 用户可编程的控制输入、 LVCMOS 输入和 500k Ω 内部上拉电阻
20	Xout	O	晶体振荡器输出 (不使用时保持开路或上拉至约 500k Ω)

(1) G = 地, I = 输入, O = 输出, P = 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源电压, V_{DD}	-0.5	2.5	V
输入电压, V_I ^{(2) (3)}	-0.5	$V_{DD} + 0.5$	V
输出电压, V_O ⁽²⁾	-0.5	$V_{ddout} + 0.5$	V
输入电流, I_I ($V_I < 0$ 和 $V_I > V_{DD}$)		20	mA
持续输出电流, I_O		50	mA
贮存温度, T_{stg}	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出负电压额定值。
- (3) 如建议运行条件中所述，SDA 和 SCL 最高可达 3.6V。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	±500	
	所有引脚 转角引脚	±750	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD} 器件电源电压		1.7	1.8	1.9	V
V_O 输出 Yx 电源电压, V_{ddout}	CDCE937-Q1	2.3		3.6	V
	CDCEL937-Q1	1.7		1.9	
V_{IL} 低电平输入电压 LVCMOS				$0.3 \times V_{DD}$	V
V_{IH} 高电平输入电压 LVCMOS		$0.7 \times V_{DD}$			V
$V_{I(thresh)}$ 输入电压阈值 LVCMOS			$0.5 \times V_{DD}$		V
V_{IS} 输入电压	S0	0		1.9	V
	S1、S2、SDA、SCL; $V_{I(thresh)} = 0.5V_{DD}$	0		3.6	
$V_{I(CLK)}$ 输入电压范围 CLK		0		1.9	V
I_{OH}/I_{OL} 输出电流	$V_{ddout} = 3.3V$			±12	mA
	$V_{ddout} = 2.5V$			±10	
	$V_{ddout} = 1.8V$			±8	
C_L 输出负载 LVCMOS				10	pF
T_A 环境温度		-40		125	°C
晶体/VCXO⁽¹⁾					
f_{Xtal} 晶体输入频率 (基本模式)		8	27	32	MHz
ESR 有效串联电阻				100	Ω
f_{PR} 牵引范围 ($0V \leq V_{ctrl} \leq 1.8V$) ⁽²⁾		±120	±150		ppm
V_{ctrl} 频率控制电压		0		V_{DD}	V
C_0/C_1 牵引比				220	
C_L XIN 和 XOUT 处的片上负载电容		0		20	pF

- (1) 有关 VCXO 配置和晶体的更多建议信息，请参阅应用手册面向 CDCE(L)9xx 系列的 VCXO 应用指南。
- (2) 牵引范围取决于晶体类型、片上晶体负载电容和 PCB 杂散电容；最小 ±120ppm 的牵引范围适用于应用手册面向 CDCE(L)9xx 系列的 VCXO 应用指南中列出的晶体。

6.4 热性能信息

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

热指标 ⁽²⁾		CDCE937-Q1、CDCEL937-Q1	单位
		PW (TSSOP)	
		20 引脚	
R _{θJA} 结至环境热阻	空气流量 = 0l/m	89	°C/W
	空气流量 = 150l/m	75	
	空气流量 = 200l/m	74	
	空气流量 = 250l/m	74	
	空气流量 = 500l/m	69	
R _{θJC(top)} 结至外壳 (顶部) 热阻		31	°C/W
R _{θJB} 结至电路板热阻		55	°C/W
ψ _{JT} 结至顶部特征参数		0.8	°C/W
ψ _{JB} 结至电路板特征参数		49	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻		—	°C/W

- (1) 封装热阻抗根据 JESD 51 和 JEDEC2S2P 计算 (高 K 电路板)。
(2) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

6.5 电气特性

在建议工作环境温度范围内测得 (除非另有说明)

参数		测试条件		最小值	典型值 ⁽¹⁾	最大值	单位
I _{DD}	电源电流 (请参阅图 6-1)	所有输出均关闭, f _(CLK) = 27MHz, f _(VCO) = 135MHz	所有 PLLS 均打开	29		mA	
			按照 PLL	9			
I _{DDOUT}	输出电源电流 (请参阅图 6-2)	无负载、所有输出打开, f _{OUT} = 27MHz	CDCE937, V _{DDOUT} = 3.3V	3.1		mA	
			CDCEL937, V _{DDOUT} = 1.8V	1.5			
I _{DD(PD)}	关断电流	每个电路均断电 (SDA 和 SCL 除外), f _{IN} = 0MHz, V _{DD} = 1.9V		50		μA	
V _(PUC)	给控制电路加电的电源电压 Vdd 阈值			0.85		1.45	V
f _(VCO)	PLL 的 VCO 频率范围			80		230	MHz
f _{OUT}	LVC MOS 输出频率	Vddout = 3.3V		230		MHz	
		Vddout = 1.8V		230			
LVC MOS 参数							
V _{IK}	LVC MOS 输入电压	V _{DD} = 1.7V, I _I = - 18mA				-1.2	V
I _I	LVC MOS 输入电流	V _I = 0V 或 V _{DD} , V _{DD} = 1.9V				±5	μA
I _{IH}	S0/S1/S2 的 LVC MOS 输入电流	V _I = V _{DD} , V _{DD} = 1.9V				5	μA
I _{IL}	S0/S1/S2 的 LVC MOS 输入电流	V _I = 0V, V _{DD} = 1.9V				-6	μA
C _I	Xin/Clk 处的输入电容	V _{I(CLK)} = 0V 或 V _{DD}		6		pF	
	Xout 处的输入电容	V _{I(Xout)} = 0V 或 V _{DD}		2			
	S0/S1/S2 处的输入电容	V _{IS} = 0V 或 V _{DD}		3			
LVC MOS 参数, Vddout = 3.3V (CDCE937)							
V _{OH}	LVC MOS 高电平输出电压	Vddout = 3V, I _{OH} = - 0.1mA		2.9		V	
		Vddout = 3V, I _{OH} = - 8mA		2.4			
		Vddout = 3V, I _{OH} = - 12mA		2.2			
V _{OL}	LVC MOS 低电平输出电压	Vddout = 3V, I _{OL} = 0.1mA		0.1		V	
		Vddout = 3V, I _{OL} = 8mA		0.5			
		Vddout = 3V, I _{OL} = 12mA		0.8			

6.5 电气特性 (续)

在建议工作环境温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
t_{PLH} 、 t_{PHL} 传播延迟	所有 PLL 旁路		3.2		ns
t_r/t_f 上升和下降时间	$V_{ddout} = 3.3V$ (20% - 80%)		0.6		ns
$t_{jit(cc)}$ 周期间抖动 ^{(2) (3)}	1 个 PLL 开关, Y2 至 Y3		60	90	ps
	3 个 PLL 开关, Y2 至 Y7		100	150	
$t_{jit(per)}$ 峰值间周期抖动 ⁽³⁾	1 个 PLL 开关, Y2 至 Y3		70	100	ps
	3 个 PLL 开关, Y2 至 Y7		120	180	
$t_{sk(o)}$ 输出偏斜 (请参阅表 8-2) ⁽⁴⁾	$f_{OUT} = 50MHz$; Y1 至 Y3			60	ps
	$f_{OUT} = 50MHz$; Y2 至 Y5			160	
odc 输出占空比 ⁽⁵⁾	$f_{VCO} = 100MHz$, Pdiv = 1	45%		55%	
LVC MOS 参数, $V_{ddout} = 2.5V$ (CDCE937)					
V_{OH} LVC MOS 高电平输出电压	$V_{ddout} = 2.3V$, $I_{OH} = -0.1mA$		2.2		V
	$V_{ddout} = 2.3V$, $I_{OH} = -6mA$		1.7		
	$V_{ddout} = 2.3V$, $I_{OH} = -10mA$		1.6		
V_{OL} LVC MOS 低电平输出电压	$V_{ddout} = 2.3V$, $I_{OL} = 0.1mA$			0.1	V
	$V_{ddout} = 2.3V$, $I_{OL} = 6mA$			0.5	
	$V_{ddout} = 2.3V$, $I_{OL} = 10mA$			0.7	
t_{PLH} 、 t_{PHL} 传播延迟	所有 PLL 旁路		3.4		ns
t_r/t_f 上升和下降时间	$V_{ddout} = 2.5V$ (20% - 80%)		0.8		ns
$t_{jit(cc)}$ 周期间抖动 ^{(2) (3)}	1 个 PLL 开关, Y2 至 Y3		60	90	ps
	3 个 PLL 开关, Y2 至 Y7		100	150	
$t_{jit(per)}$ 峰值间周期抖动 ⁽⁴⁾	1 个 PLL 开关, Y2 至 Y3		70	100	ps
	3 个 PLL 开关, Y2 至 Y7		120	180	
$t_{sk(o)}$ 输出偏斜 (请参阅表 8-2) ⁽⁴⁾	$f_{OUT} = 50MHz$; Y1 至 Y3			60	ps
	$f_{OUT} = 50MHz$; Y2 至 Y5			160	
odc 输出占空比 ⁽⁵⁾	$f_{VCO} = 100MHz$, Pdiv = 1	45%		55%	
LVC MOS 参数, $V_{ddout} = 1.8V$ (CDCEL937)					
V_{OH} LVC MOS 高电平输出电压	$V_{ddout} = 1.7V$, $I_{OH} = -0.1mA$		1.6		V
	$V_{ddout} = 1.7V$, $I_{OH} = -4mA$		1.4		
	$V_{ddout} = 1.7V$, $I_{OH} = -8mA$		1.1		
V_{OL} LVC MOS 低电平输出电压	$V_{ddout} = 1.7V$, $I_{OL} = 0.1mA$			0.1	V
	$V_{ddout} = 1.7V$, $I_{OL} = 4mA$			0.3	
	$V_{ddout} = 1.7V$, $I_{OL} = 8mA$			0.6	
t_{PLH} 、 t_{PHL} 传播延迟	所有 PLL 旁路		2.6		ns
t_r/t_f 上升和下降时间	$V_{ddout} = 1.8V$ (20% - 80%)		0.7		ns
$t_{jit(cc)}$ 周期间抖动 ^{(2) (3)}	1 个 PLL 开关, Y2 至 Y3		70	120	ps
	3 个 PLL 开关, Y2 至 Y7		100	150	
$t_{jit(per)}$ 峰值间周期抖动 ⁽³⁾	1 个 PLL 开关, Y2 至 Y3		90	140	ps
	3 个 PLL 开关, Y2 至 Y7		120	190	
$t_{sk(o)}$ 输出偏斜 (请参阅表 8-2) ⁽⁴⁾	$f_{OUT} = 50MHz$; Y1 至 Y3			60	ps
	$f_{OUT} = 50MHz$; Y2 至 Y5			160	
odc 输出占空比 ⁽⁵⁾	$f_{VCO} = 100MHz$, Pdiv = 1	45%		55%	
SDA 和 SCL 参数					
V_{IK} SCL 和 SDA 输入钳位电压	$V_{DD} = 1.7V$, $I_I = -18mA$			-1.2	V

6.5 电气特性 (续)

在建议工作环境温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
I_{IH} SCL 和 SDA 输入电流	$V_I = V_{DD}$, $V_{DD} = 1.9V$			± 10	μA
V_{IH} SDA 和 SCL 输入高电压 ⁽⁶⁾		$0.7 \times V_{DD}$			V
V_{IL} SDA 和 SCL 输入低电压 ⁽⁶⁾				$0.3 \times V_{DD}$	V
V_{OL} SDA 低电平输出电压	$I_{OL} = 3mA$, $V_{DD} = 1.7V$			$0.2 \times V_{DD}$	V
C_I SCL/SDA 输入电容	$V_I = 0V$ 或 V_{DD}		3	10	pF
EEPROM					
EEcyc EEPROM 的编程周期		1000			周期
EEret 数据保存时间		10			年

- (1) 所有典型值均在各自的额定 V_{DD} 下取得。
- (2) 10000 个周期。
- (3) 抖动取决于配置。数据在以下条件下取得：1 个 PLL： $f_{IN} = 27MHz$ 、 $Y2/3 = 27MHz$ 、(在 Y2 处测量)，3 个 PLL： $f_{IN} = 27MHz$ 、 $Y2/3 = 27MHz$ (在 Y2 处测量)， $Y4/5 = 16.384MHz$ 、 $Y6/7 = 74.25MHz$
- (4) tsk(o) 规格仅在各输出组负载相同且输出源自同一个分频器时有效；在上升沿 (tr) 采集数据。
- (5) odc 取决于输出上升和下降时间 (t_r/t_f)。
- (6) SDA 和 SCL 可耐受 3.3V。

6.6 时序要求

在建议电源电压、负载和工作环境温度范围内测得 (请参阅图 8-7)

			最小值	标称值	最大值	单位
CLK_IN						
f_{CLK} LVCMOS 时钟输入频率	PLL 旁路模式		0		160	MHz
	PLL 模式		8		160	
t_r/t_f 上升和下降时间 CLK 信号 (20% 至 80%)					3	ns
duty _{CLK} $V_{DD}/2$ 处的占空比 CLK			40%		60%	
SDA 和 SCL						
f_{SCL} SCL 时钟频率	标准模式		0		100	kHz
	快速模式		0		400	
$t_{su}(START)$ 启动建立时间 (在 SDA 变为低电平之前 SCL 保持高电平)	标准模式		4.7			μs
	快速模式		0.6			
$t_h(START)$ 启动保持时间 (在 SDA 变为低电平之后 SCL 保持低电平)	标准模式		4			μs
	快速模式		0.6			
$t_w(SCLL)$ SCL 低电平脉冲持续时间	标准模式		4.7			μs
	快速模式		1.3			
$t_w(SCLH)$ SCL 高电平脉冲持续时间	标准模式		4			μs
	快速模式		0.6			
$t_h(SDA)$ SDA 保持时间 (在 SCL 变为低电平之后 SDA 保持有效)	标准模式		0		3.45	μs
	快速模式		0		0.9	
$t_{su}(SDA)$ SDA 设置时间	标准模式		250			ns
	快速模式		100			
t_r SCL/SDA 输入上升时间	标准模式				1000	ns
	快速模式				300	
t_f SCL/SDA 输入下降时间, 标准模式和快速模式					300	ns
$t_{su}(STOP)$ STOP 设置时间	标准模式		4			μs
	快速模式		0.6			
t_{BUS} STOP 与 START 条件之间的总线空闲时间	标准模式		4.7			μs
	快速模式		1.3			

6.7 典型特性

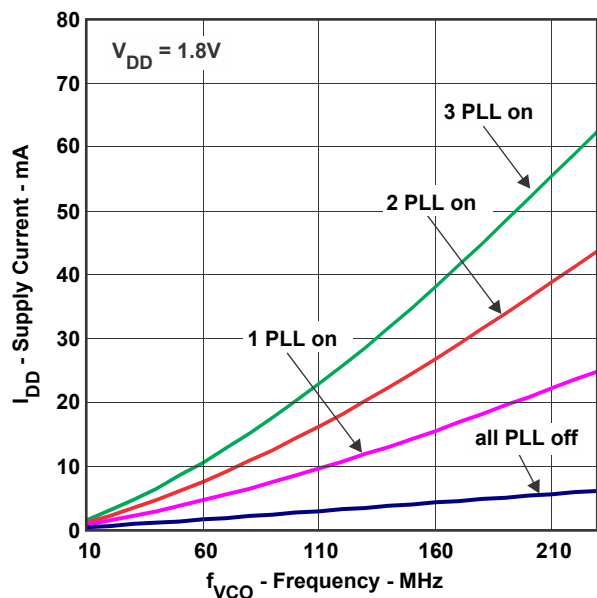


图 6-1. CDCE937-Q1 电源电流与 PLL 频率间的关系

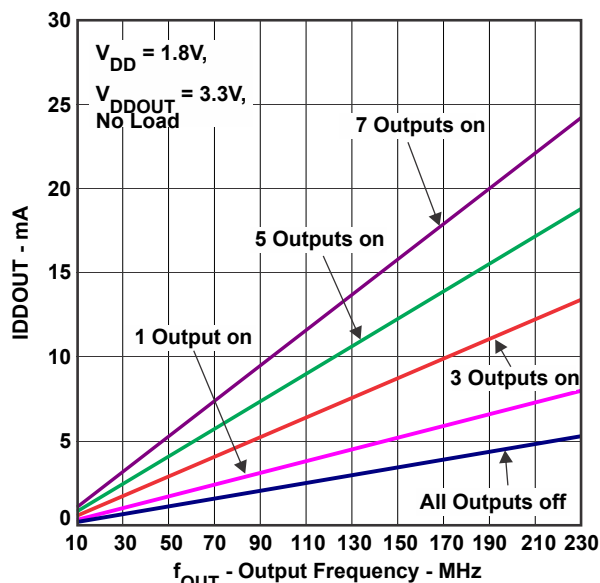


图 6-2. CDCE937-Q1 输出电流与输出频率对比

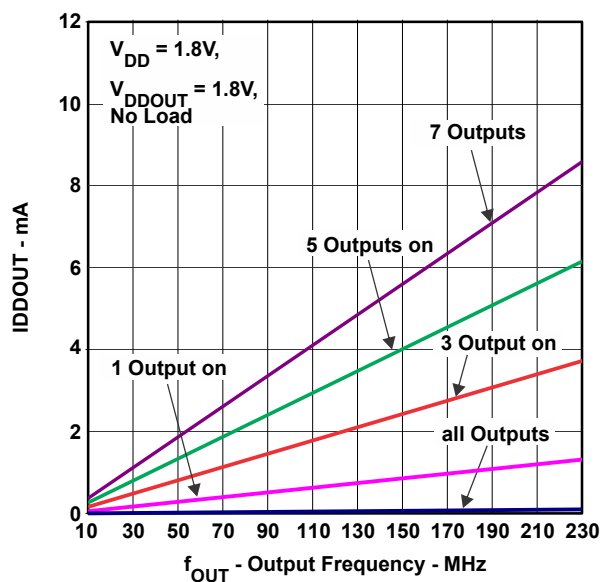


图 6-3. CDCEL937-Q1 输出电流与输出频率对比

7 参数测量信息

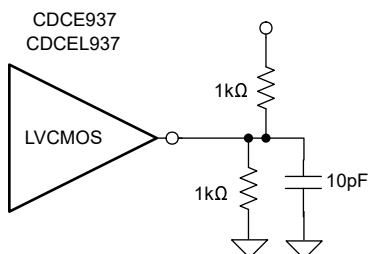


图 7-1. 测试负载

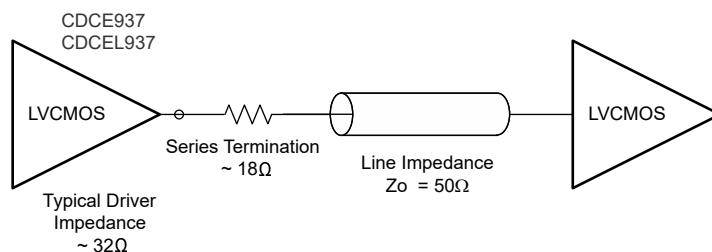


图 7-2. 50 Ω 电路板环境的测试负载

8 详细说明

8.1 概述

CDCE937-Q1 和 CDCEL937-Q1 器件是基于 PLL 的低成本、高性能、模块化可编程时钟合成器、倍频器和分频器。该器件可从单个输入频率中生成多达七个输出时钟。借助最多三个独立的可配置 PLL，可在系统内针对任何时钟频率（最高可达 230MHz）对每个输出进行编程。

CDCE937-Q1 具有单独的输出电源引脚 (VDDOUT)，对于 CDCEL937-Q1，此引脚上的电压为 1.8V，而对于 CDCE937-Q1，此引脚上的电压为 2.5V 至 3.3V。

该输入接受一个外部晶体或 LVCMOS 时钟信号。如果使用了外部晶振，对于大多数应用来说，一个片载负载电容器就足够用了。负载电容器的值可在 0pF 至 20pF 的范围内进行编程。此外，还可以选择片上 VCXO，从而使输出频率与外部控制信号（如 PWM 信号）同步。

深 M/N 分频比允许从基准输入频率（例如 27MHz）生成 0ppm 音频或视频、网络（WLAN、Bluetooth、以太网、GPS）或接口（USB、IEEE1394、Memory Stick）时钟。

所有 PLL 均支持 SSC（展频时钟）。SSC 可以是中心扩频或向下扩频时钟，这是降低电磁干扰 (EMI) 的常用技术。

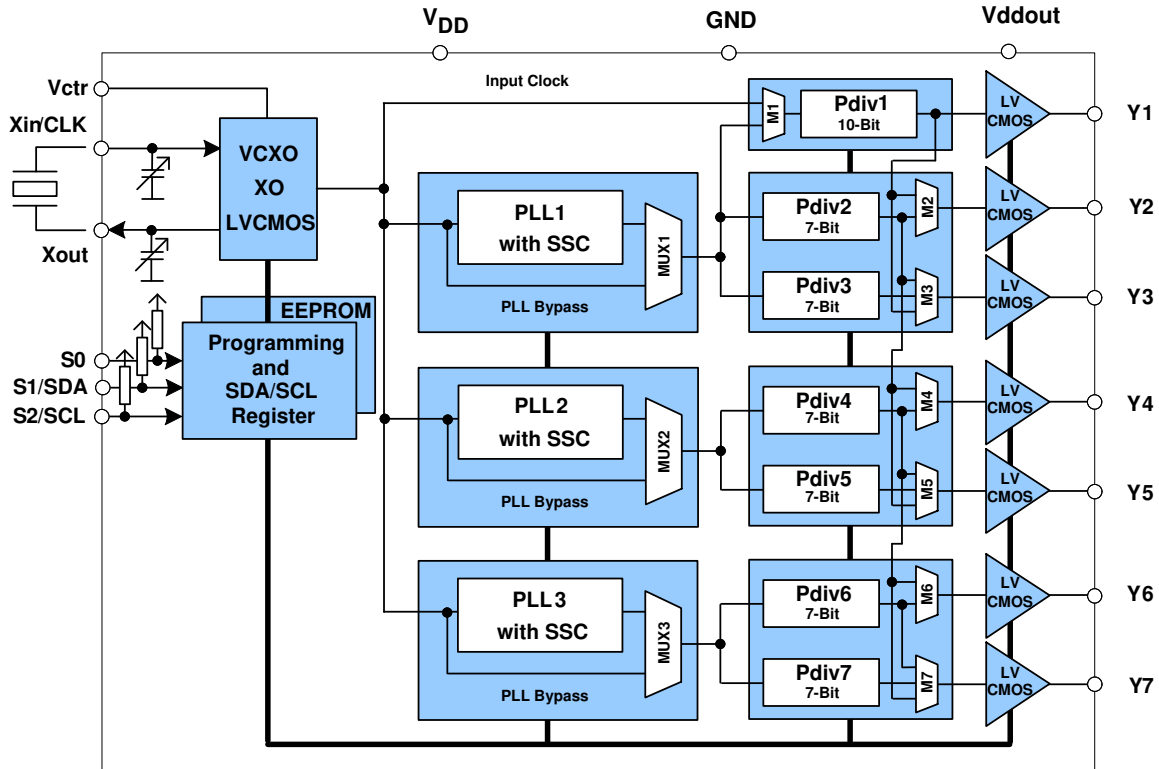
根据 PLL 频率和分频器设置，将自动调整内部环路滤波器元件以实现高稳定性，并优化每个 PLL 的抖动传输特性。

为了实现可轻松自定义的应用，该器件支持使用非易失性 EEPROM 进行编程。此功能预设为出厂默认配置（请参阅 [默认器件设置](#)）。此功能可以在 PCB 组装之前重新编程为不同的应用配置，或者通过系统内编程进行重新编程。所有器件设置均可通过 SDA 和 SCL 总线（一种两线制串行接口）进行编程。

三个可编程控制输入 S0、S1 和 S2 可用于控制操作的各个方面，包括频率选择、更改 SSC 参数以降低 EMI、PLL 旁路、断电，以及在低电平或三态之间进行选择以实现输出禁用功能。

CDCE937-Q1 在 1.8V 环境中运行。该器件的工作温度范围是 -40°C 至 125°C。

8.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

8.3 特性说明

8.3.1 控制终端设置

CDCE937-Q1 具有三个用户可定义的控制终端 (S0、S1 和 S2)，允许从外部控制器件设置。可将终端进行编程为下列任一设置：

- 展频时钟选择 → 展频类型和展频量选择
- 频率选择 → 在用户定义的两个频率之间切换
- 输出状态选择 → 输出配置和断电控制

用户最多可以预定义八种不同的控制设置。表 8-1 和 表 8-2 介绍了这些设置。

表 8-1. 控制终端端子定义

外部控制位	PLL1 设置			PLL2 设置			PLL3 设置			Y1 设置
控制功能	PLL 频率选择	SSC 选择	输出 Y2/Y3 选择	PLL 频率选择	SSC 选择	输出 Y4/Y5 选择	PLL 频率选择	SSC 选择	输出 Y6/Y7 选择	输出 Y1 和断电选择

表 8-2. PLLx 设置 (可以为每个 PLL 单独选择) (1)

SSC 选择 (中心/向下)				
SSCx [3 位]			中心	向下
0	0	0	0% (关闭)	0% (关闭)
0	0	1	±0.25%	-0.25%
0	1	0	±0.5%	-0.5%
0	1	1	±0.75%	-0.75%
1	0	0	±1.0%	-1.0%
1	0	1	±1.25%	-1.25%
1	1	0	±1.5%	-1.5%
1	1	1	±2.0%	-2.0%
频率选择 ⁽²⁾				
FSx		功能		
0		Frequency0		
1		Frequency1		
输出选择 ⁽³⁾ (Y2...Y7)				
YxYx		功能		
0		State0		
1		State1		

(1) 中心/向下扩频、Frequency0/1 和 State0/1 可由用户在 PLLx 配置寄存器中定义。

(2) Frequency0 和 Frequency1 可以是指定 f_{VCO} 范围内的任何频率。

(3) State0/1 选择对相应 PLL 模块的两个输出都有效，可以是断电、三态、低电平或有效

表 8-3. Y1 设置 (1)

Y1 选择	
Y1	功能
0	状态 0
1	状态 1

(1) State0 和 State1 可由用户在通用配置寄存器中定义，可以是断电、三态、低电平或有效。

CDCE937-Q1 的 S1/SDA 和 S2/SCL 引脚是双功能引脚。在默认配置中，这些引脚定义为串行接口的 SDA 和 SCL。通过设置 EEPROM 中的相关位，可以将这些引脚编程为控制引脚 (S1/S2)。对控制寄存器 (字节 [02] 位 [6]) 的更改在写入 EEPROM 后才会生效。

引脚被设置为控制引脚后，串行编程接口就不再可用。但是，如果 V_{DDOUT} 被强制设为 GND，则两个控制引脚 S1 和 S2 将暂时用作串行编程引脚 (SDA 和 SCL)。

S0 不是多用途引脚，只能用作控制引脚。

8.3.2 默认器件设置

CDCE937-Q1 的内部 EEPROM 已按图 8-1 所示预先配置。默认情况下，输入频率传递至输出端。因此，该器件可以在默认模式下运行，无需额外的生产步骤对其进行编程。在通电后或断电/上电序列后，将会显示默认设置，直到用户将该器件重新编程为不同的应用配置。可通过串行 SDA 和 SCL 接口对新寄存器设置进行编程。

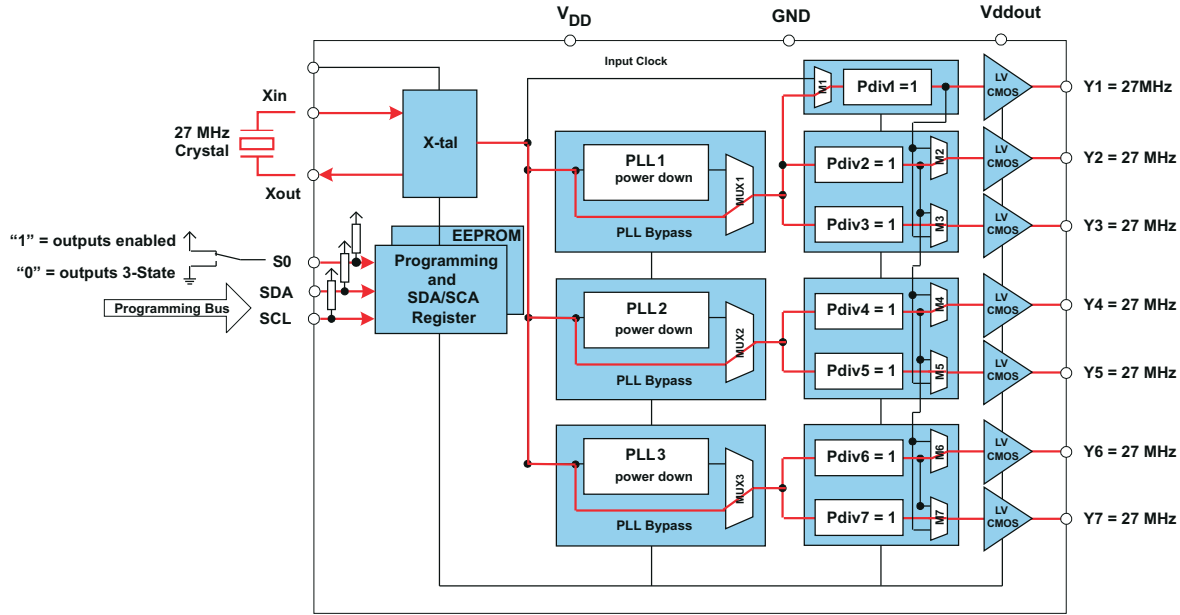


图 8-1. 默认器件设置

表 8-4 展示了针对控制终端寄存器（外部控制引脚）的出厂默认设置。在正常运行时，所有 8 种寄存器设置均可用，但在默认配置下，只能使用 S0 选择前两种设置（0 和 1），因为 S1 和 S2 在默认模式下配置为编程引脚。

表 8-4. 针对控制终端寄存器的出厂默认设置 (1)

			Y1	PLL1 设置			PLL2 设置			PLL3 设置		
外部控制引脚			输出选择	频率选择	SSC 选择	输出选择	频率选择	SSC 选择	输出选择	频率选择	SSC 选择	输出选择
S2	S1	S0	Y1	FS1	SSC1	Y2Y3	FS2	SSC2	Y4Y5	FS3	SSC3	Y6Y7
SCL (I ² C)	SDA (I ² C)	0	三态	f _{VCO1_0}	关闭	三态	f _{VCO2_0}	关闭	三态	f _{VCO1_0}	关闭	三态
SCL (I ² C)	SDA (I ² C)	1	启用	f _{VCO1_0}	关闭	启用	f _{VCO2_0}	关闭	启用	f _{VCO1_0}	关闭	启用

(1) 在默认模式下或分别编程时，S1 和 S2 用作串行编程接口 SDA 和 SCL。这些引脚没有任何控制引脚功能，但在内部解释为 S1 = 0 和 S2 = 0。但是，S0 是控制引脚，在默认模式下（根据先前预定义）会将所有输出打开或关闭。

8.4 器件功能模式

8.4.1 SDA 和 SCL 串行接口

CDCEx937-Q1 作为 2 线制串行 SDA 和 SCL 总线的目标器件运行，与常用 SMBus 或 I²C 规范兼容。该器件以标准模式传输（最高 100kbit/s）和快速模式传输（最高 400kbit/s）速率运行，并支持 7 位寻址。

CDC9xx 的 S1/SDA 和 S2/SCL 引脚是双功能引脚。在默认配置下，这些引脚用作 SDA 和 SCL 串行编程接口。通过更改相应的 EEPROM 设置、字节 02、位 [6]，可以将这些引脚重新编程为通用控制引脚 S1 和 S2。

8.5 编程

8.5.1 数据协议

该器件支持字节写入和字节读取以及块写入和块读取操作。

对于字节写入/读取操作，系统控制器可以单独访问已寻址的字节。

对于块写入/读取操作，按从最低字节到最高字节的顺序访问字节（最高有效位优先），并且能够在传输完任何完整字节后停止。读取的字节数由通用配置寄存器中的字节计数定义。在“块读取”指令中，必须读出字节计数中定义的所有字节以正确完成读取周期。

发送完一个字节后，该字节会写入内部寄存器并立即生效。无论是在字节写入还是块写入序列中，此规则都适用于每个传输的字节。

如果 EEPROM 写入周期启动，内部 SDA 寄存器内容将写入 EEPROM 中。在此写入周期内，SDA 和 SCL 总线不接受数据，直到写入周期完成。但是可以在编程序列期间读取数据（字节读取或块读取）。编程状态可通过读取 EEPIP 字节 01 位 [6] 监控。开始 EEPROM 编程之前，请先将 CLKIN 拉至低电平。CLKIN 必须在 EEPROM 编程期间保持低电平。在使用 EEWRITE 字节 06h-位 0 启动 EEPROM 编程后，在 EEPIP 读回 0 之前，不要向器件寄存器写入。

索引字节的偏移在命令代码中编码，如表 8-5 所述。

表 8-5. 目标接收器地址（7 位）

器件	A6	A5	A4	A3	A2	A1 ⁽¹⁾	A0 ⁽¹⁾	R/ W
CDCEx913	1	1	0	0	1	0	1	1/0
CDCEx925	1	1	0	0	1	0	0	1/0
CDCEx937	1	1	0	1	1	0	1	1/0
CDCEx949	1	1	0	1	1	0	0	1/0

(1) 地址位 A0 和 A1 可通过 SDA 和 SCL 总线进行编程（字节 01、位 [1:0]）。这允许对连接到同一 SDA 和 SCL 总线的最多四个器件进行寻址。地址字节的最低有效位指定写入或读取操作。

8.5.2 命令代码定义

表 8-6. 命令代码定义

位	说明
7	0 = 块读取或块写入操作 1 = 字节读取或字节写入操作
(6:0)	字节读取、块读取、字节写入和块写入操作的字节偏移量。

8.5.3 一般编程序列

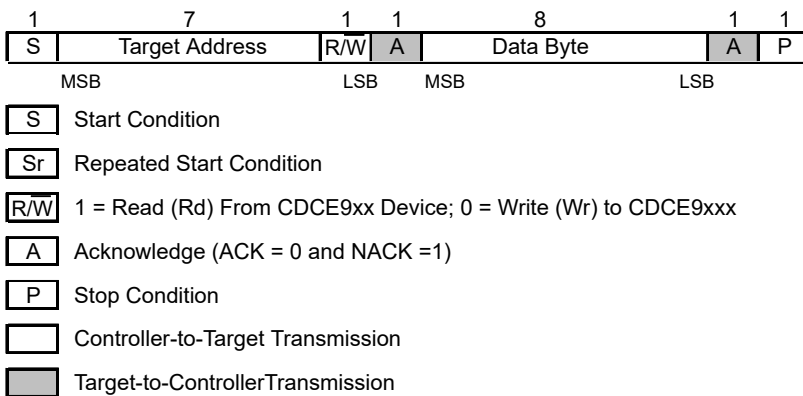


图 8-2. 一般编程序列

8.5.4 字节写入编程序列

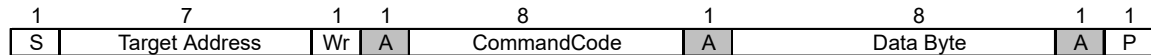


图 8-3. 字节写入协议

8.5.5 字节读取编程序列

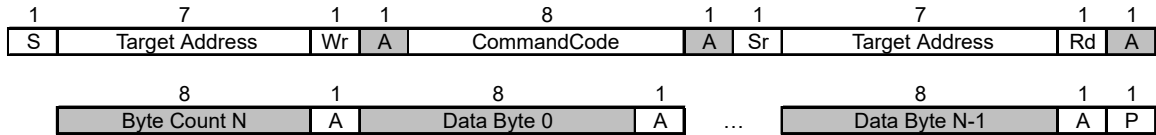
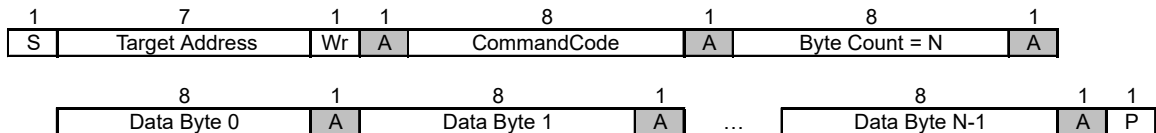


图 8-4. 字节读取协议

8.5.6 块写入编程序列



A. 数据字节 0 的 [7:0] 位保留用于修订码和供应商标识。另外，这些位专供内部测试使用，禁止覆盖。

图 8-5. 块写入协议

8.5.7 块读取编程序列

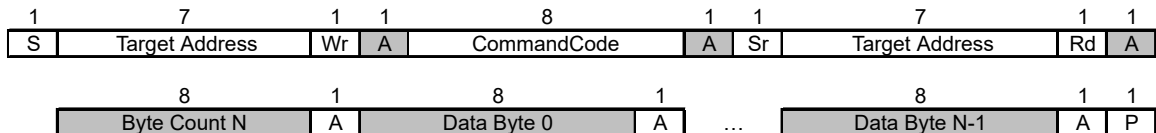


图 8-6. 块读取协议

8.5.8 针对 SDA 和 SCL 串行控制接口的时序图

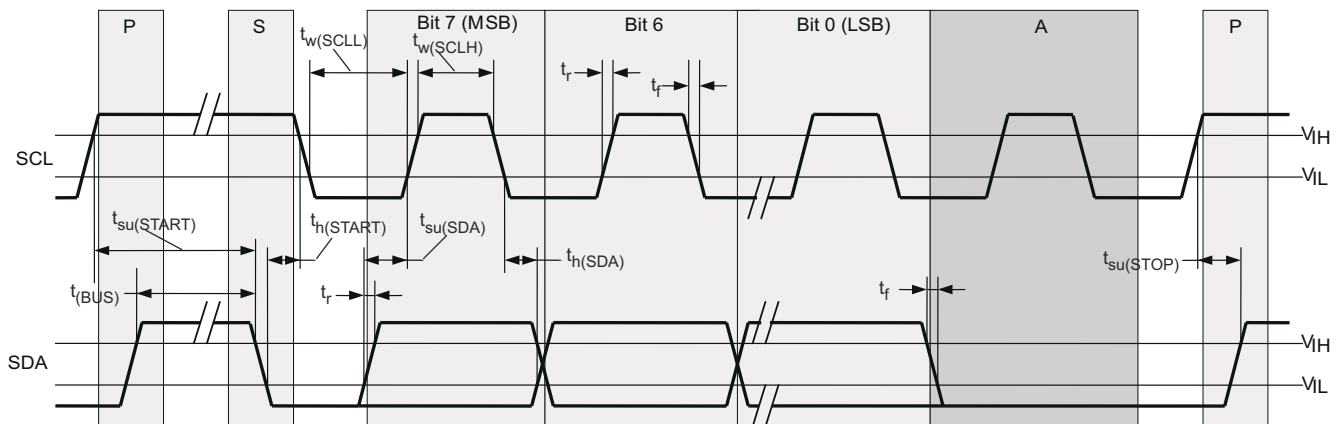


图 8-7. 针对 SDA 和 SCL 串行控制接口的时序图

8.5.9 SDA 和 SCL 硬件接口

图 8-8 展示了 CDCE937-Q1 时钟合成器如何连接到 SDA 和 SCL 串行接口总线。可以将多个器件连接到总线，但如果这么做，可能需要降低速度（最大值为 400kHz）。

上拉电阻器值 (R_p) 取决于电源电压、总线电容和连接器件数量。建议的上拉电阻值为 $4.7k\Omega$ 。对于输出级，上拉电阻值必须满足 $V_{OLmax} = 0.4V$ 时最小灌电流为 3mA（更多详细信息，请参阅 SMBus 或 I²C 总线规范）。

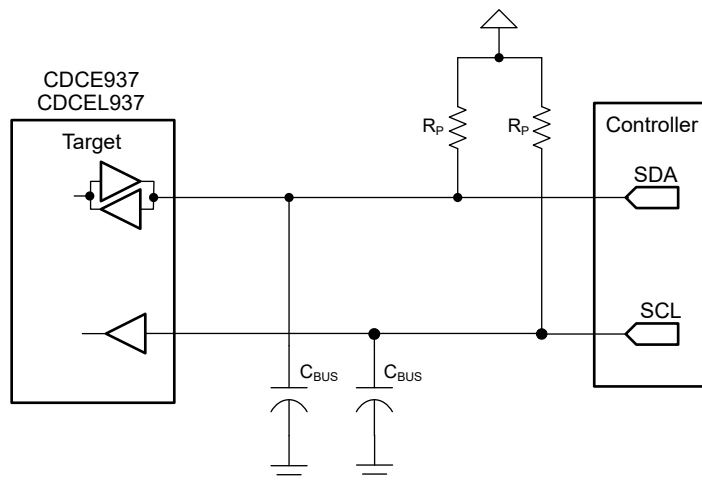


图 8-8. SDA 和 SCL 硬件接口

9 寄存器映射

9.1 SDA 和 SCL 配置寄存器

用户可配置时钟输入、控制引脚、PLL 和输出级。以下各表和说明介绍了 CDCEx937-Q1 的可编程功能。所有设置均可使用 SDA 和 SCL 总线手动写入器件，或者使用 TI Pro-Clock 软件进行编程。用户可通过 TI Pro-Clock 软件快速执行所有设置，并自动计算值以实现最低抖动的优化性能。

表 9-1. SDA 和 SCL 寄存器

地址偏移	寄存器说明	TABLE
00h	通用配置寄存器	表 9-3
10h	PLL1 配置寄存器	表 9-4
20h	PLL2 配置寄存器	表 9-5
30h	PLL3 配置寄存器	表 9-6

以下页面中“配置寄存器”表格中灰色高亮显示的位属于控制终端寄存器。用户最多可以预定义八种不同的控制设置。然后，可以通过外部控制引脚 S0、S1 和 S2 选择这些设置（请参阅 *控制终端配置* 一节）。

表 9-2. 配置寄存器、外部控制终端

	外部控制引脚			Y1	PLL1 设置			PLL2 设置			PLL3 设置		
				输出选择	频率选择	SSC 选择	输出选择	频率选择	SSC 选择	输出选择	频率选择	SSC 选择	输出选择
	S2	S1	S0	Y1	FS1	SSC1	Y2Y3	FS2	SSC2	Y4Y5	FS3	SSC3	Y6Y7
0	0	0	0	Y1_0	FS1_0	SSC1_0	Y2Y3_0	FS2_0	SSC2_0	Y4Y5_0	FS3_0	SSC3_0	Y6Y7_0
1	0	0	1	Y1_1	FS1_1	SSC1_1	Y2Y3_1	FS2_1	SSC2_1	Y4Y5_1	FS3_1	SSC3_1	Y6Y7_1
2	0	1	0	Y1_2	FS1_2	SSC1_2	Y2Y3_2	FS2_2	SSC2_2	Y4Y5_2	FS3_2	SSC3_2	Y6Y7_2
3	0	1	1	Y1_3	FS1_3	SSC1_3	Y2Y3_3	FS2_3	SSC2_3	Y4Y5_3	FS3_3	SSC3_3	Y6Y7_3
4	1	0	0	Y1_4	FS1_4	SSC1_4	Y2Y3_4	FS2_4	SSC2_4	Y4Y5_4	FS3_4	SSC3_4	Y6Y7_4
5	1	0	1	Y1_5	FS1_5	SSC1_5	Y2Y3_5	FS2_5	SSC2_5	Y4Y5_5	FS3_5	SSC3_5	Y6Y7_5
6	1	1	0	Y1_6	FS1_6	SSC1_6	Y2Y3_6	FS2_6	SSC2_6	Y4Y5_6	FS3_6	SSC3_6	Y6Y7_6
7	1	1	1	Y1_7	FS1_7	SSC1_7	Y2Y3_7	FS2_7	SSC2_7	Y4Y5_7	FS3_7	SSC3_7	Y6Y7_7
	地址偏移 ⁽¹⁾			04h	13h	10h 至 12h	15h	23h	20h 至 22h	25h	33h	30h 至 32h	35h

(1) 地址偏移是指以下页面中配置寄存器中的字节地址。

表 9-3. 通用配置寄存器

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
00h	7	E_EL	Xb	器件标识 (只读) : 1 表示 CDCE937-Q1 (3.3V), 0 表示 CDCEL937-Q1 (1.8V)
	6:4	RID	Xb	修订标识号 (只读)
	3:0	VID	1h	供应商标识号 (只读)
01h	7	-	0b	保留 - 始终写入 0
	6	EEPIP	0b	EEPROM 编程状态 : ⁽⁴⁾ (只读) 0 - EEPROM 编程完成 1 - EEPROM 处于编程模式
	5	EELCK	0b	永久锁定 EEPROM 数据 ⁽⁵⁾ 0 - EEPROM 未锁定 1 - EEPROM 永久锁定
	4	PWDN	0b	器件断电 (覆盖 S0/S1/S2 设置; 配置寄存器设置保持不变) 注意: EEPROM 中的 PWDN 不能设为 1。 0 - 器件处于运行状态 (启用 PLL1 和所有输出) 1 - 器件断电 (PLL1 处于断电状态, 所有输出处于三态)
	3:2	INCLK	00b	输入时钟选择: 00 - Xtal 01 - VCXO 10 - LVCMOS 11 - 保留
	1:0	SLAVE_ADR	01b	目标接收器地址的可编程地址位 A0 和 A1
02h	7	M1	1b	输出 Y1 的时钟源选择: 0 - 输入时钟 1 - PLL1 时钟
	6	SPICON	0b	引脚 18/19 的运行模式选择 ⁽⁶⁾ 0 - 串行编程接口 SDA (引脚 19) 和 SCL (引脚 18) 1 - 控制引脚 S1 (引脚 19) 和 S2 (引脚 18)
	5:4	Y1_ST1	11b	Y1-State0/1 定义
	3:2	Y1_ST0	01b	00 - 器件断电 (所有 PLL 处于断电状态且所有输出处于三态) 01 - Y1 禁用且输出处于三态 10 - Y1 禁用并输出低电平 11 - Y1 启用
	1:0	Pdiv1 [9:8]	001h	10 位 Y1 输出分频器 Pdiv1 : 0 - 分频器复位和待机 1 至 1023 - 分频器值
03h	7:0	Pdiv1 [7:0]		
04h	7	Y1_7	0b	Y1_ST0/Y1_ST1 状态选择 ⁽⁷⁾ 0 - State0 (由 Y1_ST0 预定义) 1 - State1 (由 Y1_ST1 预定义)
	6	Y1_6	0b	
	5	Y1_5	0b	
	4	Y1_4	0b	
	3	Y1_3	0b	
	2	Y1_2	0b	
	1	Y1_1	1b	
	0	Y1_0	0b	
05h	7:3	XCSEL	0Ah	晶体负载电容器选择 ⁽⁸⁾ 00h → 0pF 01h → 1pF 02h → 2pF : 14h 至 1Fh → 20pF
	2:0		0b	保留 - 请勿写入 0 以外的数字

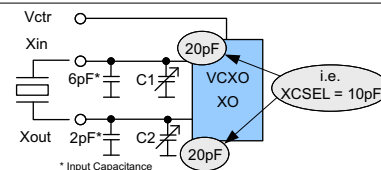


表 9-3. 通用配置寄存器 (续)

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
06h	7:1	BCOUNT	40h	7 位字节计数 (定义下一次块读取传输时从该器件发送的字节数) ; 必须读取所有字节才能正确完成读取周期。
	0	EEWRITE	0b	启动 EEPROM 写入周期 ⁽⁴⁾ (9) 0 - 无 EEPROM 写入周期 1 - 启动 EEPROM 写入周期 (内部配置寄存器保存至 EEPROM)
07h-0Fh		—	0h	未使用的地址范围

- (1) 写入 40h 以上的数据可能会影响器件功能。
- (2) 所有数据的传输都是 MSB 优先。
- (3) 除非是特定于客户的设置。
- (4) 在 EEPROM 编程期间, 在编程序列完成之前, 不允许通过 SDA 和 SCL 总线向器件发送任何数据。但是, 可以在编程序列期间读取数据 (字节读取或块读取)。
- (5) 如果该位在 EEPROM 中设置为高电平, 则 EEPROM 中的实际数据将永久锁定。无法再进行进一步编程。但是, 仍可以使用 SDA 和 SCL 总线将数据写入内部寄存器, 以动态更改器件功能。但新数据无法再保存到 EEPROM。EELOCK 仅在写入 EEPROM 时有效。
- (6) 只有在写入 EEPROM 时, 控制引脚的选择才有效。写入 EEPROM 后, 串行编程引脚将不再可用。但是, 如果 V_{DDOUT} 被强制设为 GND, 则两个控制引脚 S1 和 S2 将暂时用作串行编程引脚 (SDA 和 SCL), 并且两个目标接收器地址位复位为 A0 = 0 和 A1 = 0。
- (7) 这些位属于控制终端寄存器。用户最多可以预定义八种不同的控制设置。然后, 可通过外部控制引脚 S0、S1 和 S2 选择这些设置。
- (8) 要实现最佳的时钟性能, 必须使用内部负载电容器 (C₁、C₂)。外部电容器仅能用于对 C_L 进行少量 pF 的微调。对于 0pF 至 20pF 的晶体负载范围, 可以 1pF 的分辨率对 C_L 值进行编程。如果 C_L > 20pF, 请使用额外的外部电容器。此外, 还须考虑器件输入电容的值, 这始终会在所选的 C_L 基础上增加 1.5pF (6pF//2pF)。有关 VCXO 配置和晶体的更多建议信息, 请参阅应用说明 [面向 CDCE\(L\)9xx 系列的 VCXO 应用指南 \(SCAA085\)](#)。
- (9) EEPROM 写入位必须最后发送。这样可以确认所有内部寄存器的内容都已被存入 EEPROM。EEWRITE 周期通过 EEWRT 位的上升沿启动。静态高电平不会触发 EEPROM 写入周期。编程完成后, EEWRT 位必须复位为低电平。可以读取 EEPIF 来监控编程状态。如果 EELOCK 设为高电平, 则无法进行 EEPROM 编程。

表 9-4. PLL1 配置寄存器

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
10h	7:5	SSC1_7 [2:0]	000b	SSC1 : PLL1 SSC 选择 (调制量) ⁽⁴⁾ 向下 中心 000 (关) 000 (关) 001 - 0.25% 001 ± 0.25% 010 - 0.5% 010 ± 0.5% 011 - 0.75% 011 ± 0.75% 100 - 1.0% 100 ± 1.0% 101 - 1.25% 101 ± 1.25% 110 - 1.5% 110 ± 1.5% 111 - 2.0% 111 ± 2.0%
	4:2	SSC1_6 [2:0]	000b	
	1:0	SSC1_5 [2:1]	000b	
11h	7	SSC1_5 [0]		
	6:4	SSC1_4 [2:0]	000b	
	3:1	SSC1_3 [2:0]	000b	
	0	SSC1_2 [2]	000b	
12h	7:6	SSC1_2 [1:0]		
	5:3	SSC1_1 [2:0]	000b	
	2:0	SSC1_0 [2:0]	000b	
13h	7	FS1_7	0b	FS1_x : PLL1 频率选择 ⁽⁴⁾ 0 - f _{VCO1_0} (由 PLL1_0 - 倍频器/分频器值预定义) 1 - f _{VCO1_1} (由 PLL1_1 - 倍频器/分频器值预定义)
	6	FS1_6	0b	
	5	FS1_5	0b	
	4	FS1_4	0b	
	3	FS1_3	0b	
	2	FS1_2	0b	
	1	FS1_1	0b	
	0	FS1_0	0b	
14h	7	MUX1	1b	PLL1 多路复用器 : 0 - PLL1 1 - PLL1 旁路 (PLL1 处于断电状态)
	6	M2	1b	输出 Y2 多路复用器 : 0 - Pdiv1 1 - Pdiv2
	5:4	M3	10b	输出 Y3 多路复用器 : 00 - Pdiv1 分频器 01 - Pdiv2 分频器 10 - Pdiv3 分频器 11 - 保留
	3:2	Y2Y3_ST1	11b	Y2、Y3-state0/1 定义 : 00 - Y2/Y3 禁用且输出处于三态 (PLL1 断电) 01 - Y2/Y3 禁用且输出处于三态 10 - Y2/Y3 禁用并输出低电平 11 - Y2/Y3 启用
	1:0	Y2Y3_ST0	01b	

表 9-4. PLL1 配置寄存器 (续)

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
15h	7	Y2Y3_7	0b	Y2Y3_x 输出状态选择 ⁽⁴⁾ 0 - state0 (由 Y2Y3_ST0 预定义) 1 - state1 (由 Y2Y3_ST1 预定义)
	6	Y2Y3_6	0b	
	5	Y2Y3_5	0b	
	4	Y2Y3_4	0b	
	3	Y2Y3_3	0b	
	2	Y2Y3_2	0b	
	1	Y2Y3_1	1b	
	0	Y2Y3_0	0b	
16h	7	SSC1DC	0b	PLL1 SSC 向下/中心选择 0 - 向下 1 - 中心
	6:0	Pdiv2	01h	7 位 Y2 输出分频器 Pdiv2 : 0 - 复位和待机 1 至 127 为分频器值
17h	7	—	0b	保留 - 请勿写入 0 以外的数字
	6:0	Pdiv3	01h	7 位 Y3 输出分频器 Pdiv3 : 0 - 复位和待机 1 至 127 为分频器值
18h	7:0	PLL1_0N [11:4]	004h	PLL1_0 : 频率 f _{VCO1_0} 的 30 位倍频器/分频器值 (更多信息请参阅 PLL 频率规划) 。
19h	7:4	PLL1_0N [3:0]		
	3:0	PLL1_0R [8:5]	000h	
1Ah	7:3	PLL1_0R[4:0]	10h	
	2:0	PLL1_0Q [5:3]		
1Bh	7:5	PLL1_0Q [2:0]	010b	
	4:2	PLL1_0P [2:0]		
	1:0	VCO1_0_RANGE		00b
1Ch	7:0	PLL1_1N [11:4]	004h	PLL1_1 : 频率 f _{VCO1_1} 的 30 位倍频器/分频器值 (更多信息请参阅 PLL 频率规划) 。
1Dh	7:4	PLL1_1N [3:0]		
	3:0	PLL1_1R [8:5]	000h	
1Eh	7:3	PLL1_1R[4:0]	10h	
	2:0	PLL1_1Q [5:3]		
1Fh	7:5	PLL1_1Q [2:0]	010b	
	4:2	PLL1_1P [2:0]		
	1:0	VCO1_1_RANGE		00b

(1) 写入 40h 以上的数据会对器件功能产生不利影响。

(2) 所有数据传输均遵循 MSB 优先原则。

(3) 除非使用自定义设置

(4) 用户最多可以预定义八种不同的控制设置。在器件正常运期间，这些设置可通过外部控制引脚 S0、S1 和 S2 进行选择。

表 9-5. PLL2 配置寄存器

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明	
20h	7:5	SSC2_7 [2:0]	000b	SSC2 : PLL2 SSC 选择 (调制量) ⁽⁴⁾ 向下 000 (关) 001 - 0.25% 010 - 0.5% 011 - 0.75% 100 - 1.0% 101 - 1.25% 110 - 1.5% 111 - 2.0% 中心 000 (关) 001 ± 0.25% 010 ± 0.5% 011 ± 0.75% 100 ± 1.0% 101 ± 1.25% 110 ± 1.5% 111 ± 2.0%	
	4:2	SSC2_6 [2:0]	000b		
	1:0	SSC2_5 [2:1]	000b		
21h	7	SSC2_5 [0]			
	6:4	SSC2_4 [2:0]	000b		
	3:1	SSC2_3 [2:0]	000b		
	0	SSC2_2 [2]	000b		
22h	7:6	SSC2_2 [1:0]			
	5:3	SSC2_1 [2:0]	000b		
	2:0	SSC2_0 [2:0]	000b		

表 9-5. PLL2 配置寄存器 (续)

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
23h	7	FS2_7	0b	FS2_x : PLL2 频率选择 ⁽⁴⁾ 0 - f _{VCO2_0} (由 PLL2_0 - 倍频器/分频器值预定义) 1 - f _{VCO2_1} (由 PLL2_1 - 倍频器/分频器值预定义)
	6	FS2_6	0b	
	5	FS2_5	0b	
	4	FS2_4	0b	
	3	FS2_3	0b	
	2	FS2_2	0b	
	1	FS2_1	0b	
	0	FS2_0	0b	
24h	7	MUX2	1b	PLL2 多路复用器 : 0 - PLL2 1 - PLL2 旁路 (PLL2 处于断电状态)
	6	M4	1b	输出 Y4 多路复用器 : 0 - Pdiv2 1 - Pdiv4
	5:4	M5	10b	输出 Y5 多路复用器 : 00 - Pdiv2 分频器 01 - Pdiv4 分频器 10 - Pdiv5 分频器 11 - 保留
	3:2	Y4Y5_ST1	11b	Y4、Y5-State0/1 定义 : 00 - Y4/Y5 禁用且输出处于三态 (PLL2 断电) 01 - Y4/Y5 禁用且输出处于三态 10 - Y4/Y5 禁用并输出低电平 11 - Y4/Y5 启用
	1:0	Y4Y5_ST0	01b	
25h	7	Y4Y5_7	0b	Y4Y5_x 输出状态选择 ⁽⁴⁾ 0 - state0 (由 Y4Y5_ST0 预定义) 1 - state1 (由 Y4Y5_ST1 预定义)
	6	Y4Y5_6	0b	
	5	Y4Y5_5	0b	
	4	Y4Y5_4	0b	
	3	Y4Y5_3	0b	
	2	Y4Y5_2	0b	
	1	Y4Y5_1	1b	
	0	Y4Y5_0	0b	
26h	7	SSC2DC	0b	PLL2 SSC 向下/中心选择 0 - 向下 1 - 中心
	6:0	Pdiv4	01h	7 位 Y4 输出分频器 Pdiv4 : 0 - 复位和待机 1 至 127 - 分频器值
27h	7	—	0b	保留 - 请勿写入 0 以外的数字
	6:0	Pdiv5	01h	7 位 Y5 输出分频器 Pdiv5 : 0 - 复位和待机 1 至 127 - 分频器值
28h	7:0	PLL2_0N [11:4]	004h	PLL2_0 : 频率 f _{VCO2_0} 的 30 位倍频器/分频器值 (更多信息请参阅 PLL 频率规划) 。
29h	7:4	PLL2_0N [3:0]		
	3:0	PLL2_0R [8:5]	000h	
2Ah	7:3	PLL2_0R[4:0]	10h	
	2:0	PLL2_0Q [5:3]		
2Bh	7:5	PLL2_0Q [2:0]	010b	
	4:2	PLL2_0P [2:0]		
	1:0	VCO2_0_RANGE	00b	

表 9-5. PLL2 配置寄存器 (续)

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
2Ch	7:0	PLL2_1N [11:4]	004h	PLL2_1 : 频率 f _{VCO2_1} 的 30 位倍频器/分频器值 (更多信息请参阅 PLL 频率规划) 。
2Dh	7:4	PLL2_1N [3:0]		
	3:0	PLL2_1R [8:5]	000h	
2Eh	7:3	PLL2_1R[4:0]		
	2:0	PLL2_1Q [5:3]	10h	
2Fh	7:5	PLL2_1Q [2:0]		010b
	4:2	PLL2_1P [2:0]		
	1:0	VCO2_1_RANGE	00b	

(1) 写入 40h 以上的数据会对器件功能产生不利影响。

(2) 所有数据传输均遵循 MSB 优先原则。

(3) 除非使用自定义设置。

(4) 用户最多可以预定义八种不同的控制设置。在器件正常运期间，这些设置可通过外部控制引脚 S0、S1 和 S2 进行选择。

表 9-6. PLL3 配置寄存器

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
30h	7:5	SSC3_7 [2:0]	000b	SSC3 : PLL3 SSC 选择 (调制量) ⁽⁴⁾ 向下 中心 000 (关) 000 (关) 001 - 0.25% 001 ± 0.25% 010 - 0.5% 010 ± 0.5% 011 - 0.75% 011 ± 0.75% 100 - 1.0% 100 ± 1.0% 101 - 1.25% 101 ± 1.25% 110 - 1.5% 110 ± 1.5% 111 - 2.0% 111 ± 2.0%
	4:2	SSC3_6 [2:0]	000b	
	1:0	SSC3_5 [2:1]	000b	
31h	7	SSC3_5 [0]		
	6:4	SSC3_4 [2:0]	000b	
	3:1	SSC3_3 [2:0]	000b	
	0	SSC3_2 [2]	000b	
32h	7:6	SSC3_2 [1:0]		
	5:3	SSC3_1 [2:0]	000b	
	2:0	SSC3_0 [2:0]	000b	
33h	7	FS3_7	0b	FS3_x : PLL3 频率选择 ⁽⁴⁾ 0 - f _{VCO3_0} (由 PLL3_0 - 倍频器/分频器值预定义) 1 - f _{VCO3_1} (由 PLL3_1 - 倍频器/分频器值预定义)
	6	FS3_6	0b	
	5	FS3_5	0b	
	4	FS3_4	0b	
	3	FS3_3	0b	
	2	FS3_2	0b	
	1	FS3_1	0b	
	0	FS3_0	0b	
34h	7	MUX3	1b	PLL3 多路复用器 : 0 - PLL3 1 - PLL3 旁路 (PLL3 处于断电状态)
	6	M6	1b	输出 Y6 多路复用器 : 0 - Pdiv4 1 - Pdiv6
	5:4	M7	10b	输出 Y7 多路复用器 : 00 - Pdiv4 分频器 01 - Pdiv6 分频器 10 - Pdiv7 分频器 11 - 保留
	3:2	Y6Y7_ST1	11b	Y6、Y7-State0/1 定义 : 00 - Y6/Y7 禁用且输出处于三态，PLL3 断电 01 - Y6/Y7 禁用且输出处于三态 10 - Y6/Y7 禁用并输出低电平 11 - Y6/Y7 启用
	1:0	Y6Y7_ST0	01b	

表 9-6. PLL3 配置寄存器 (续)

偏移 ⁽¹⁾	位 ⁽²⁾	首字母缩写词	默认值 ⁽³⁾	说明
35h	7	Y6Y7_7	0b	Y6Y7_x 输出状态选择 ⁽⁴⁾ 0 - state0 (由 Y6Y7_ST0 预定义) 1 - state1 (由 Y6Y7_ST1 预定义)
	6	Y6Y7_6	0b	
	5	Y6Y7_5	0b	
	4	Y6Y7_4	0b	
	3	Y6Y7_3	0b	
	2	Y6Y7_2	0b	
	1	Y6Y7_1	1b	
	0	Y6Y7_0	0b	
36h	7	SSC3DC	0b	PLL3 SSC 向下/中心选择 0 - 向下 1 - 中心
	6:0	Pdiv6	01h	7 位 Y6 输出分频器 Pdiv6 : 0 - 复位和待机 1 至 127 - 分频器值
37h	7	—	0b	保留 - 请勿写入 0 以外的数字
	6:0	Pdiv7	01h	7 位 Y7 输出分频器 Pdiv7 : 0 - 复位和待机 1 至 127 - 分频器值
38h	7:0	PLL3_ON [11:4]	004h	PLL3_0 : 频率 f _{VCO3_0} 的 30 位倍频器/分频器值 (更多信息请参阅 PLL 频率规划) 。
39h	7:4	PLL3_ON [3:0]		
	3:0	PLL3_OR [8:5]	000h	
3Ah	7:3	PLL3_OR[4:0]	10h	
	2:0	PLL3_OQ [5:3]		
3Bh	7:5	PLL3_OQ [2:0]	010b	
	4:2	PLL3_OP [2:0]		
	1:0	VCO3_0_RANGE		00b
3Ch	7:0	PLL3_1N [11:4]	004h	PLL3_1 : 频率 f _{VCO3_1} 的 30 位倍频器/分频器值 (更多信息请参阅 PLL 频率规划) 。
3Dh	7:4	PLL3_1N [3:0]		
	3:0	PLL3_1R [8:5]	000h	
3Eh	7:3	PLL3_1R[4:0]	10h	
	2:0	PLL3_1Q [5:3]		
3Fh	7:5	PLL3_1Q [2:0]	010b	
	4:2	PLL3_1P [2:0]		
	1:0	VCO3_1_RANGE		00b

- (1) 写入 40h 以上的数据可能会影响器件功能。
(2) 所有数据传输均遵循 MSB 优先原则。
(3) 除非使用自定义设置。
(4) 这些位属于控制终端寄存器。用户最多可以预定义八种不同的控制设置。在器件正常运行期间, 这些设置可通过外部控制引脚 S0、S1 和 S2 进行选择。

10 应用和实施

备注

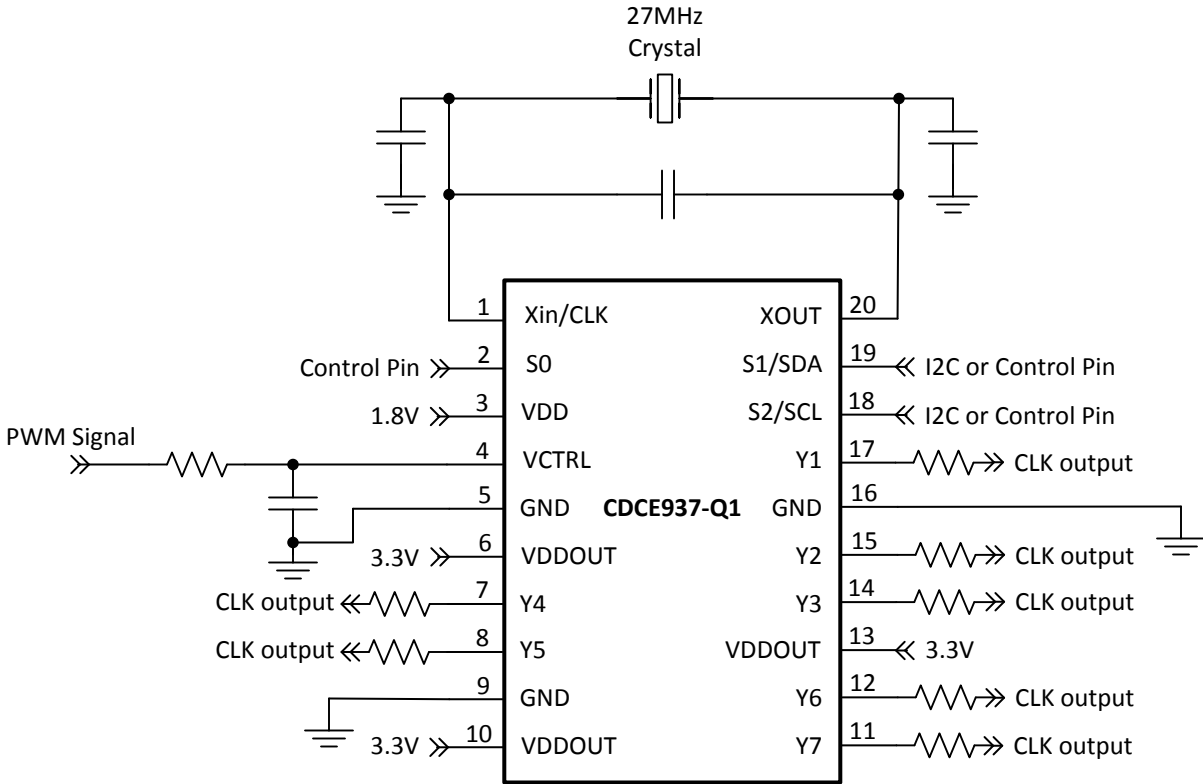
以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

10.1 应用信息

CDCE937-Q1 器件是一款易于使用的高性能可编程 CMOS 时钟合成器，可用作具有单独输出电源引脚的晶体缓冲器或时钟合成器。CDCE937-Q1 器件具有片上环路滤波器和扩频调制功能。可通过 I²C 接口执行编程，也可以从片上 EEPROM 加载以前保存的设置。引脚 S0、S1 和 S2 可通过编程设定为控制引脚，以选择不同的输出设置。本节展示了在各种应用中使用 CDCE937-Q1 器件的一些示例。

10.2 典型应用

图 10-1 展示了 CDCE937-Q1 器件在信息娱乐系统（例如音响主机或远程信息处理应用）中采用 1.8V 单电源供电的使用方案。此原理图中未显示旁路电容器。



Copyright © 2016, Texas Instruments Incorporated

图 10-1. 采用 CDCE937-Q1 器件生成时钟频率的单芯片设计

10.2.1 设计要求

CDCE937-Q1 器件支持具有多个控制参数的扩频时钟 (SSC) :

- 调制量 (%)
- 调制频率 (>20kHz)
- 调制波形 (三角波、赫谢波及其他类型)
- 中心扩频或向下扩频 ($\pm$ 或 -)

有关 PLL 常量的计算示例,请参见 [PLL 频率规划](#)。

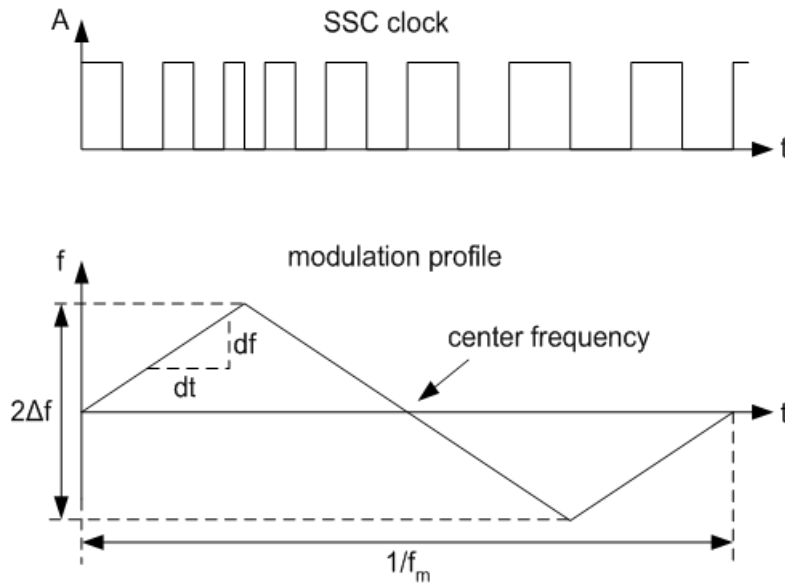
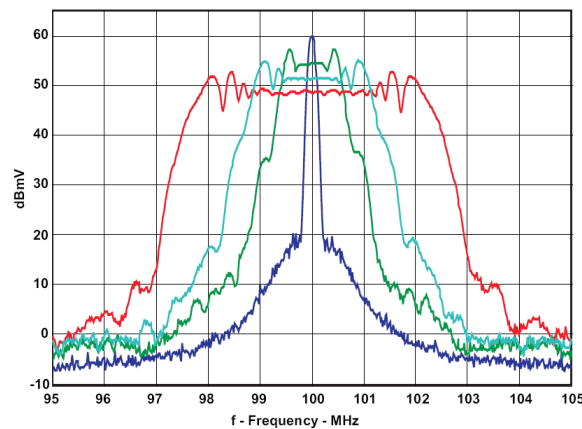


图 10-2. 调制频率 (f_m) 和调制量

10.2.2 详细设计过程

10.2.2.1 展频时钟 (SSC)

扩频调制是一种在更大的带宽上传播所发射能量的方法。在时钟方面,扩频可通过降低时钟分配网络的发射水平来降低电磁干扰 (EMI)。



带有 25MHz 晶体的 CDCE502, $FS = 1$, $f_{OUT} = 100\text{MHz}$, 以及 0%、 $\pm 0.5\%$ 、 $\pm 1\%$ 和 $\pm 2\%$ SSC

图 10-3. 典型时钟功率频谱与扩频时钟的比较

展频时钟可用于降低 EMI 以满足设计规格要求。例如，当规定的 EMI 阈值为 55dB/mV 时，需使用 $\pm 1\%$ 的展频时钟才能满足此要求。

10.2.2.2 PLL 频率规划

在给定的输入频率 (f_{IN}) 下，CDCE937-Q1 的输出频率 (f_{OUT}) 可通过 [方程式 1](#) 计算。

$$f_{OUT} = \frac{f_{IN}}{Pdiv} \times \frac{N}{M} \quad (1)$$

其中

- M (1 至 511) 和 N (1 至 4095) 是 PLL 的倍频器/分频器值
- Pdiv (1 至 127) 是输出分频器

每个 PLL 的目标 VCO 频率 (f_{VCO}) 可通过 [方程式 2](#) 计算。

$$f_{VCO} = f_{IN} \times \frac{N}{M} \quad (2)$$

PLL 在内部作为分数分频器运行，需要以下倍频器和分频器设置：

N

$$P = 4 - \text{int} \left(\log_2 \frac{N}{M} \right) \left[\text{if } P < 0 \text{ then } P = 0 \right]$$

$$Q = \text{int} \left(\frac{N'}{M} \right)$$

$$R = N' - M \times Q$$

其中

$$N' = N \times 2^P$$

$$N \geq M$$

$$100\text{MHz} < f_{VCO} < 200\text{MHz}$$

示例：

对于 $f_{IN} = 27\text{MHz}$; $M = 1$; $N = 4$; $Pdiv = 2$;

$$\rightarrow f_{OUT} = 54\text{MHz}$$

$$\rightarrow f_{VCO} = 108\text{MHz}$$

$$\rightarrow P = 4 - \text{int}(\log_2 4) = 4 - 2 = 2$$

$$\rightarrow N' = 4 \times 2^2 = 16$$

$$\rightarrow Q = \text{int}(16) = 16$$

$$\rightarrow R = 16 - 16 = 0$$

对于 $f_{IN} = 27\text{MHz}$; $M = 2$; $N = 11$; $Pdiv = 2$;

$$\rightarrow f_{OUT} = 74.25\text{MHz}$$

$$\rightarrow f_{VCO} = 148.50\text{MHz}$$

$$\rightarrow P = 4 - \text{int}(\log_2 5.5) = 4 - 2 = 2$$

$$\rightarrow N' = 11 \times 2^2 = 44$$

$$\rightarrow Q = \text{int}(22) = 22$$

$$\rightarrow R = 44 - 44 = 0$$

使用 TI Pro-Clock™ 软件时会自动计算 P、Q、R 和 N' 的值。

10.2.2.3 晶体振荡器启动

当 CDCE937-Q1 或 CDCEL937-Q1 器件用作晶体缓冲器时，与内部 PLL 锁定时间相比，晶体振荡器启动时间在启动时间中占主导。[图 10-4](#) 展示了带 8pF 负载的 27MHz 晶体输入的振荡器启动序列。晶体的启动时间约为 250μs，而锁定时间约为 10μs。通常，锁定时间比晶体启动时间小一个数量级。

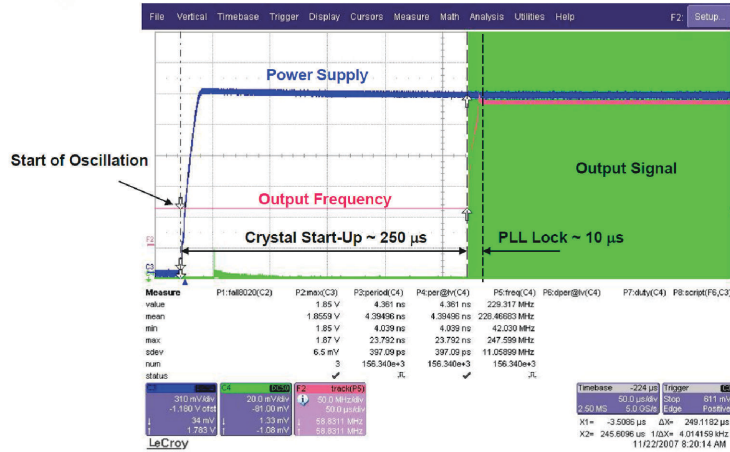


图 10-4. 晶体振荡器启动时间与 PLL 锁定时间之间的关系

10.2.2.4 通过晶体振荡器上拉下拉进行频率调节

借助 VCXO 控制输入 V_{ctr} ，针对媒体和其他应用对 CDCE937-Q1 或 CDCEL937-Q1 器件的频率进行了调节。如果将 PWM 调制信号用作 VCXO 的控制信号，则需要使用外部滤波器。

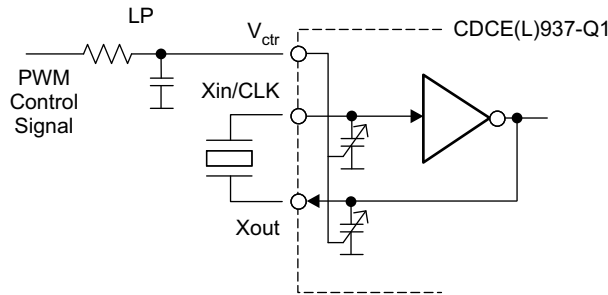


图 10-5. 使用 PWM 输入对 VCXO 控制进行频率调节

10.2.2.5 未使用的输入和输出

如果不需要 VCXO 牵引功能， V_{ctr} 必须保持悬空。所有其他未使用的输入必须设置为 GND。未使用的输出必须保持悬空。

如果不使用某个输出块，TI 建议将其禁用。但是，TI 建议为所有输出块提供电源，即使这些输出块已被禁用。

10.2.2.6 在 XO 和 VCXO 模式之间切换

当 CDCEx937-Q1 器件采用晶体振荡器或 VCXO 配置时，内部电容器需要不同的内部电容。当片上电容器的配置仍设置为 XO 模式时，建议按照以下步骤切换到 VCXO 模式。将输出频率设置为以 0ppm 为中心：

1. 在 XO 模式下，设定 $V_{ctr} = V_{DD}/2$
2. 从 XO 模式切换到 VCXO 模式
3. 对内部电容器进行编程，以在输出端获得 0ppm。

10.2.3 应用曲线

图 10-6、图 10-7、图 10-8 和图 10-9 显示了启用 SSC 功能时的 CDCE937-Q1 测量结果。器件配置：27MHz 输入、27MHz 输出

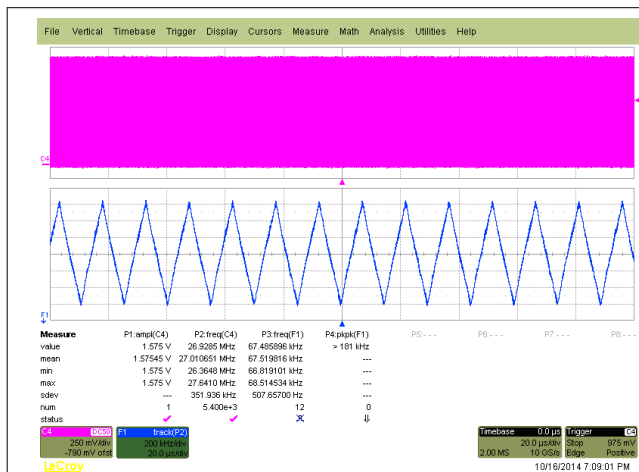


图 10-6. $f_{OUT} = 27\text{MHz}$ ，VCO 频率 $< 125\text{MHz}$ ，SSC (2% 中心)



图 10-7. $f_{OUT} = 27\text{MHz}$ ，VCO 频率 $> 175\text{MHz}$ ，SSC (1% 中心)

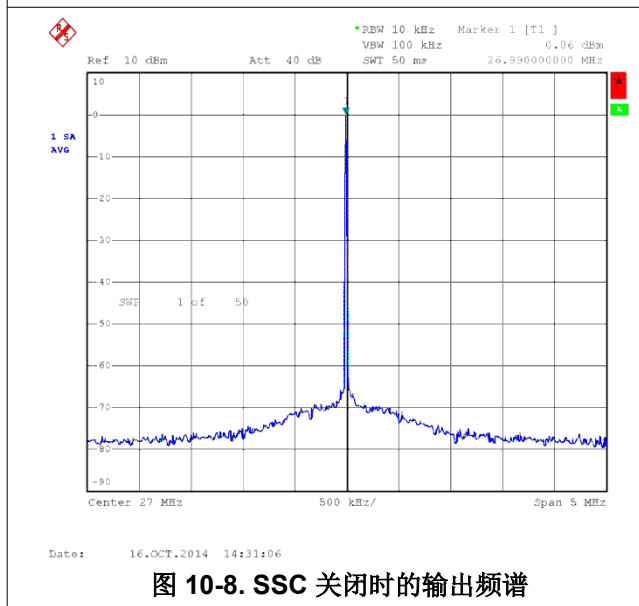


图 10-8. SSC 关闭时的输出频谱

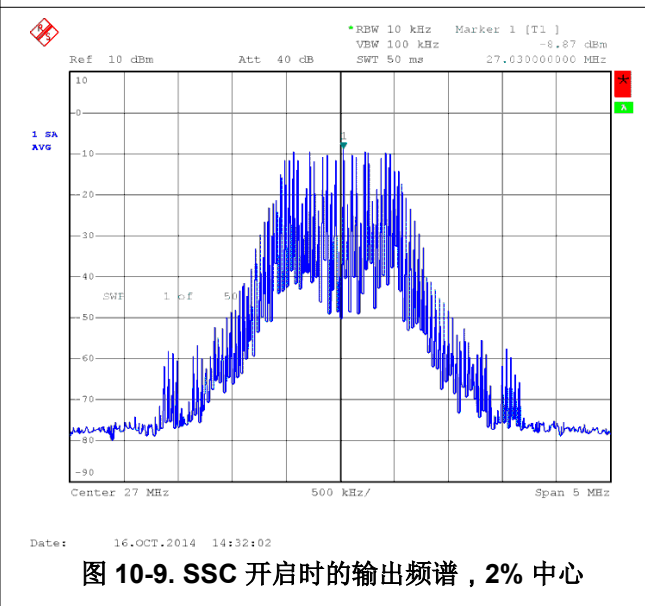


图 10-9. SSC 开启时的输出频谱，2% 中心

10.3 电源相关建议

使用外部基准时钟时，必须在 V_{DD} 斜升之前驱动 XIN/CLK，以避免输出不稳定的风险。如果在 V_{DD} 之前施加 V_{DDOUT} ，TI 建议保持将 V_{DD} 拉至 GND，直到 V_{DDOUT} 斜升。如果在 V_{DD} 悬空时为 V_{DDOUT} 供电，可能存在大电流流过 V_{DDOUT} 引脚的风险。

该器件具有连接至 1.8V 电源的加电控制电路。此电路将使整个器件保持禁用状态，直至 1.8V 电源达到足够的电压电平。然后，该器件会开启所有内部元件，包括输出。如果在 1.8V 就绪之前提供 3.3V V_{DDOUT} ，输出将保持禁用状态，直至 1.8V 电源达到特定电平。

10.4 布局

10.4.1 布局指南

当 CDCE937-Q1 器件用作晶体缓冲器时，晶体上的任何寄生效应都会影响 VCXO 的牵引范围。因此，请将晶体单元放置在电路板上。晶体必须尽可能靠近器件放置，确保从晶体终端到 **Xin** 和 **Xout** 的走线长度相同。

如果可能，请去除晶体及器件走线放置区域下方的接地平面和电源平面。始终避免在该区域内布置任何其他信号线，因为它可能成为噪声耦合源。

为了满足某些晶体的负载电容规格，可能需要使用额外的分立式电容器。例如，10.7pF 负载电容器无法完全通过芯片编程实现，因为内部电容器的范围可能是 0pF 至 20pF、步长为 1pF。此时可在内部 10pF 的基础上外接 0.7pF 分立式电容器。

为最小化走线的电感影响，TI 建议将这个小电容器紧靠器件放置，并相对于 **Xin** 和 **Xout** 对称布局。

图 10-10 展示了概念布局，详细说明了电源旁路电容器的建议放置方式。如果安装在元件侧，请使用 0402 本体尺寸的电容器以方便信号布线。使旁路电容器与器件电源之间的连接尽可能短。使用与接地平面的低阻抗连接使电容器的另一侧接地。

10.4.2 布局示例

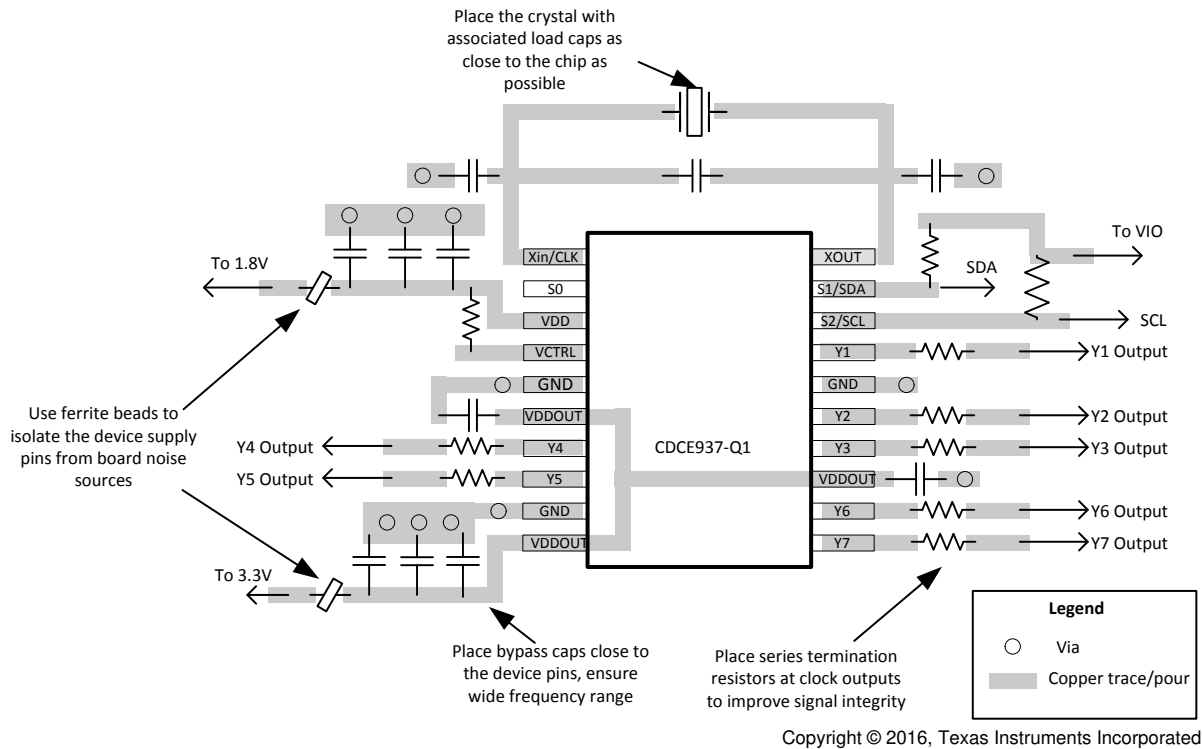


图 10-10. CDCE937-Q1 布局示例

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- [CDCE\(L\)9xx 和 CDCEx06 编程评估模块](#) (SCAU026)
- [面向 CDCE\(L\)9xx 系列的 VCXO 应用指南](#) (SCAA085)
- [针对 CDCE\(L\)9xx 系列的 I2C/EEPROM 常规用法](#) (SCAA104)
- [使用硅器件替代晶体或晶体振荡器](#) (SNAA217)
- [I2C 总线协议故障排除](#) (SCAA106)
- [I2C™ 在 CDCE\(L\)949、CDCE\(L\)937、CDCE\(L\)925、CDCE\(L\)913 中的应用](#) (SCAA105)
- [使用低频字时钟为音频数据转换器生成低相位噪声时钟](#) (SCAA088)

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.4 商标

Bluetooth™ is a trademark of Bluetooth SIG.

Ethernet™ is a trademark of Xerox Corporation.

DaVinci™, OMAP™, Pro-Clock™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2016) to Revision D (July 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 向 <i>应用</i> 部分添加了链接.....	1
• 更改了 <i>数据协议</i> 部分.....	16
• 将所有 <i>PLL 乘法器/除法器定义</i> 实例更改为 <i>PLL 频率规划</i>	28
• 更改了 <i>电源相关建议</i> 部分.....	30

Changes from Revision B (May 2010) to Revision C (December 2016)	Page
• 更改了 <i>应用</i>	1
• 添加了 <i>ESD</i> 等级表、特性说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
• 删除了 <i>订购信息</i> 表，请参阅数据表末尾的 <i>封装选项附录</i>	1

Changes from Revision A (March 2010) to Revision B (May 2010)	Page
• 更改了封装热阻表.....	7
• 将 <i>通用配置寄存器</i> 表中的 <i>RID</i> 默认值从 0h 更改为 Xb.....	19
• 向 <i>通用配置寄存器</i> 表中的 <i>PWDN</i> 说明添加了注释.....	19
• 将 <i>通用配置寄存器</i> 表中的 <i>SLAVE_ADR</i> 默认值从 00b 更改为 01b.....	19

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCE937QPWRQ1	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CDCE937Q
CDCE937QPWRQ1.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CDCE937Q
CDCEL937QPWRQ1	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CEL937Q
CDCEL937QPWRQ1.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CEL937Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

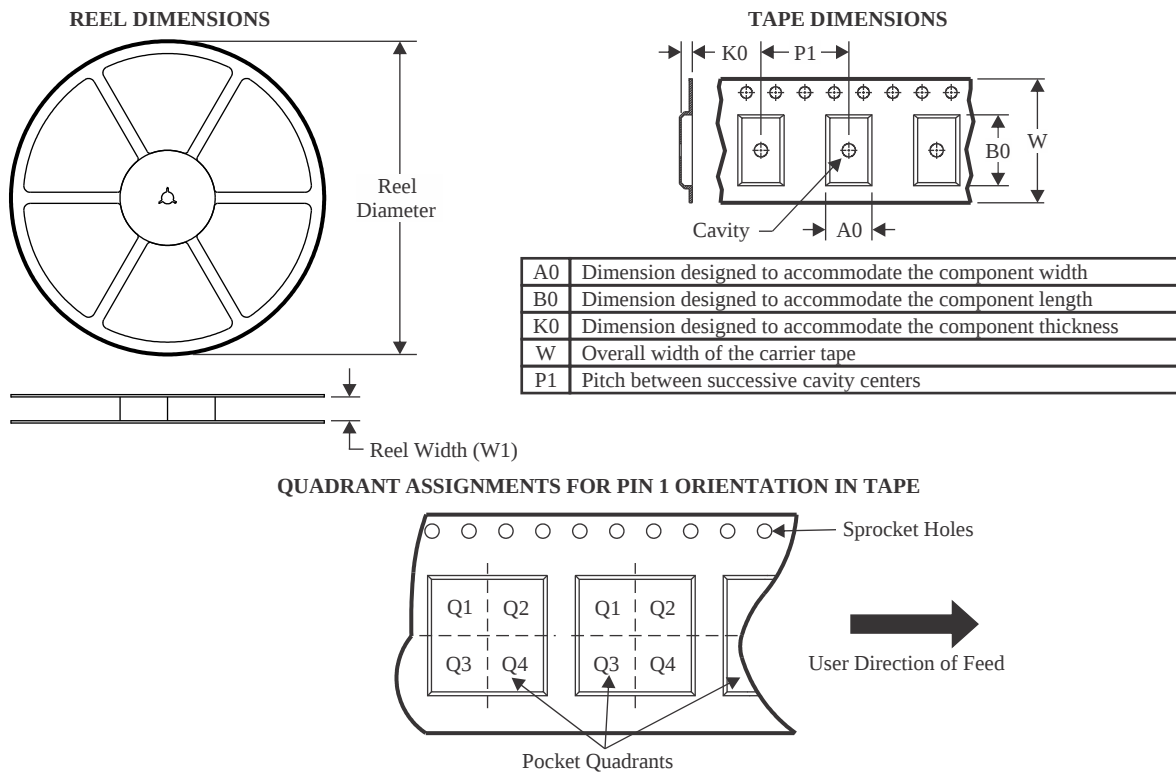
OTHER QUALIFIED VERSIONS OF CDCE937-Q1, CDCEL937-Q1 :

- Catalog : [CDCE937](#), [CDCEL937](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

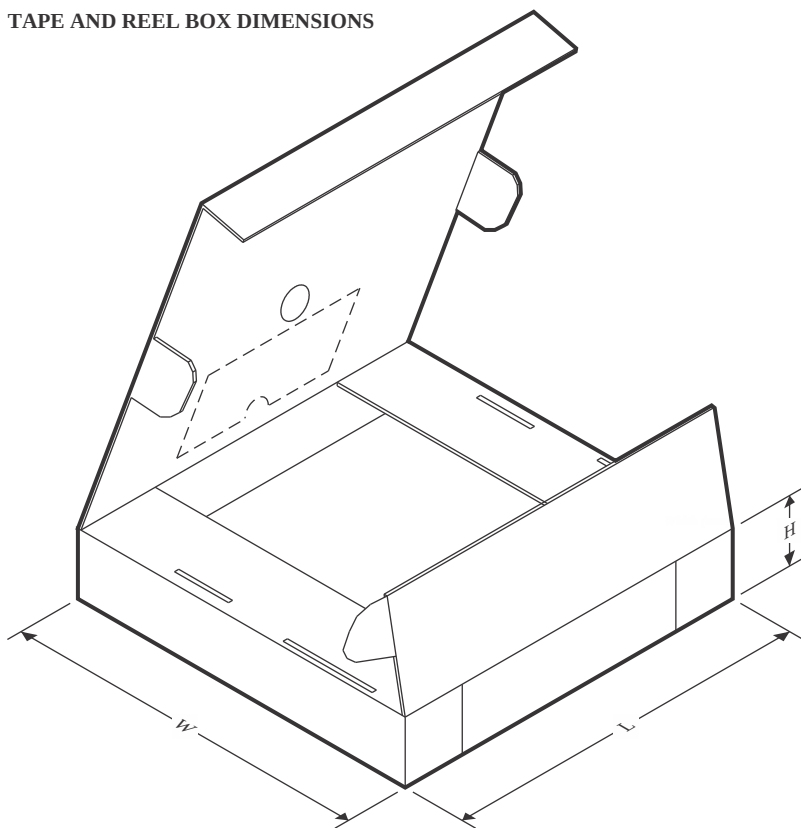
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCE937QPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
CDCEL937QPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



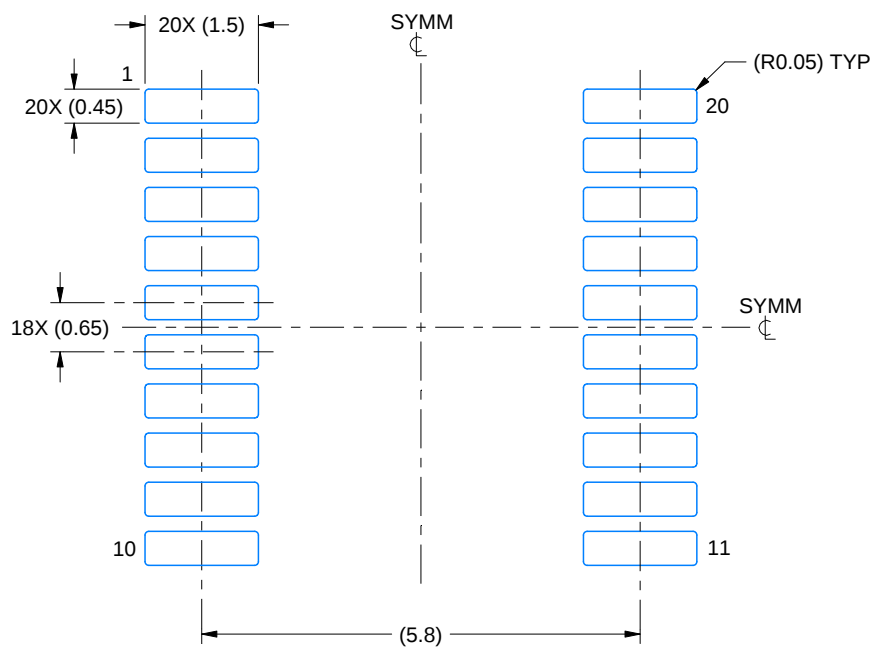
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCE937QPWRQ1	TSSOP	PW	20	2000	353.0	353.0	32.0
CDCEL937QPWRQ1	TSSOP	PW	20	2000	353.0	353.0	32.0

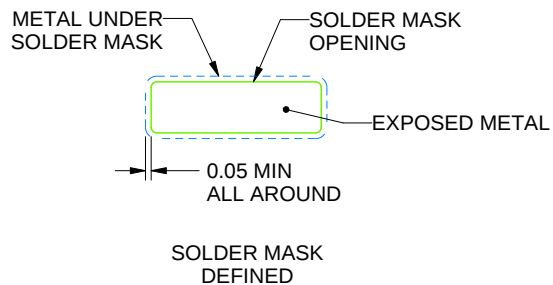
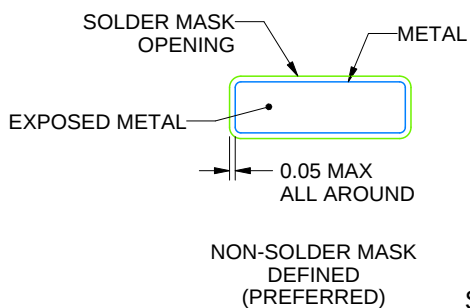
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

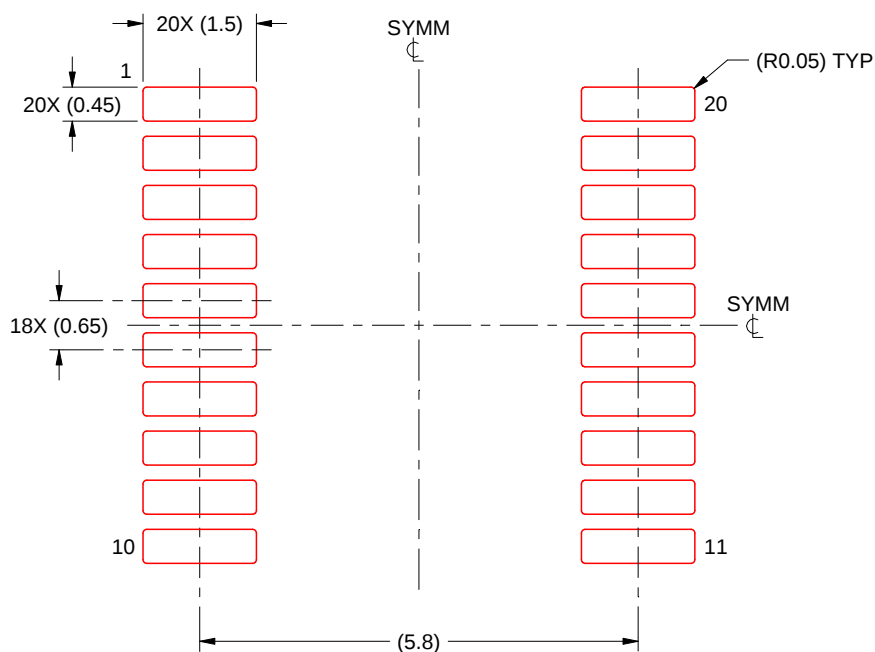
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月