

DP83825I 低功耗 10/100Mbps 以太网物理层收发器

1 特性

- 超小型外形尺寸 10/100Mbps PHY : QFN 3mm × 3mm, 24 引脚
- 电缆最大长度 (150 米)
- 超低功耗 < 127mW
- 集成式 MDI 与 MAC 终端电阻器
- 可编程节能模式
 - 主动睡眠
 - 深度断电
 - 节能以太网 (EEE) IEEE 802.3az
 - 为传统 MAC 提供节能以太网支持
 - 局域网唤醒 (WoL)
- 电压模式线路驱动器
- MAC 接口 : RMII (主模式与从模式)
- 单个 3.3V 电源
- I/O 电压 : 1.8V 和 3.3V
- 中继器 : 非托管模式下的 RMII 背对背模式
- 用于配置与状态的 MDC/MDIO 接口
- 快速链路丢弃模式
- 诊断工具 : 电缆诊断、内置自检 (BIST)、环回模式
- 可编程的硬件中断引脚
- 工作温度范围 : -40°C 至 85°C
- 符合 IEEE 802.3 100BASE-TX 与 10BASE-Te 规范

2 应用

- 楼宇自动化 : IP 摄像头 (HMI)
- 电机驱动器
- 电子销售终端
- 工厂自动化

3 说明

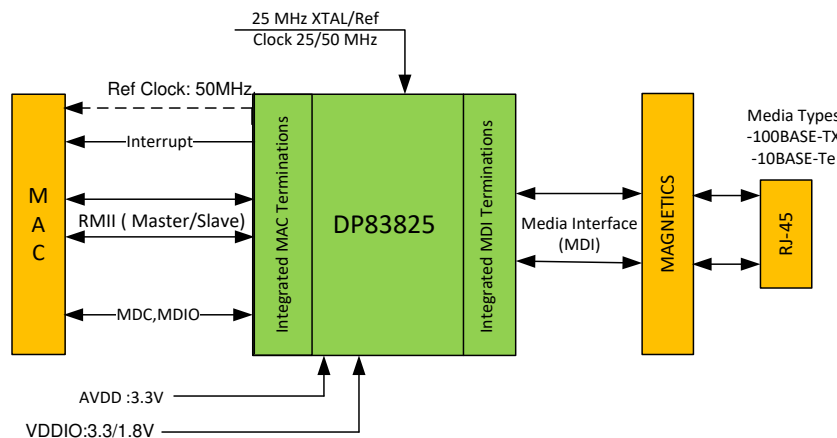
DP83825I 是一款集成了 PMD 子层, 支持 10BASE-Te 与 100BASE-TX 以太网协议, 具有超小外形的超低功耗以太网物理层收发器。PHY 支持通过 CAT5e 电缆实现最长 150 米的传输距离。DP83825I 通过外部变压器, 直接连接到双绞线介质。

DP83825I 同样支持能够进一步降低系统功耗的节能以太网、局域网唤醒以及 MAC 隔离。对于不支持通过 MAC 发送节能以太网信令的传统 MAC, 可通过进行寄存器配置的方式, 启用节能模式。DP83825I 能够在非托管的中继器模式下工作。该模式下, 可将 DP83825I 用作中继器, 无需进行寄存器配置。为了便于开发与调试, DP83825I 提供了集成电缆诊断工具以及内置的自检与环回功能。

器件系列信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值) ⁽²⁾	属性
DP83826E	VQFN (32)	5.00mm × 5.00mm	超低延迟、通用引脚
DP83825I	WQFN (24)	3.00mm × 3.00mm	小尺寸、成本优化
DP83822HF/IF/H/I	VQFN (32)	5.00mm × 5.00mm	宽温度范围、光纤和 RGMII 支持

- 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。
- 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



Copyright © 2018, Texas Instruments Incorporated

DP83825I 应用图



内容

1 特性	1	6.3 特性说明.....	20
2 应用	1	6.4 器件功能模式.....	36
3 说明	1	6.5 编程.....	38
4 引脚配置和功能	3	6.6 器件寄存器.....	40
DP83825I 引脚功能.....	3	7 应用和实施	84
5 规格	5	7.1 应用信息.....	84
5.1 绝对最大额定值.....	5	7.2 典型应用.....	84
5.2 ESD 等级.....	5	7.3 电源相关建议.....	88
5.3 建议运行条件.....	5	7.4 布局.....	89
5.4 热性能信息.....	5	8 器件和文档支持	95
5.5 电气特性.....	7	8.1 接收文档更新通知.....	95
5.6 时序要求.....	10	8.2 支持资源.....	95
5.7 时序图.....	12	8.3 商标.....	95
5.8 典型特性.....	15	8.4 静电放电警告.....	95
6 详细说明	19	8.5 术语表.....	95
6.1 概述.....	19	9 修订历史记录	95
6.2 功能方框图.....	19	10 机械、封装和可订购信息	96

4 引脚配置和功能

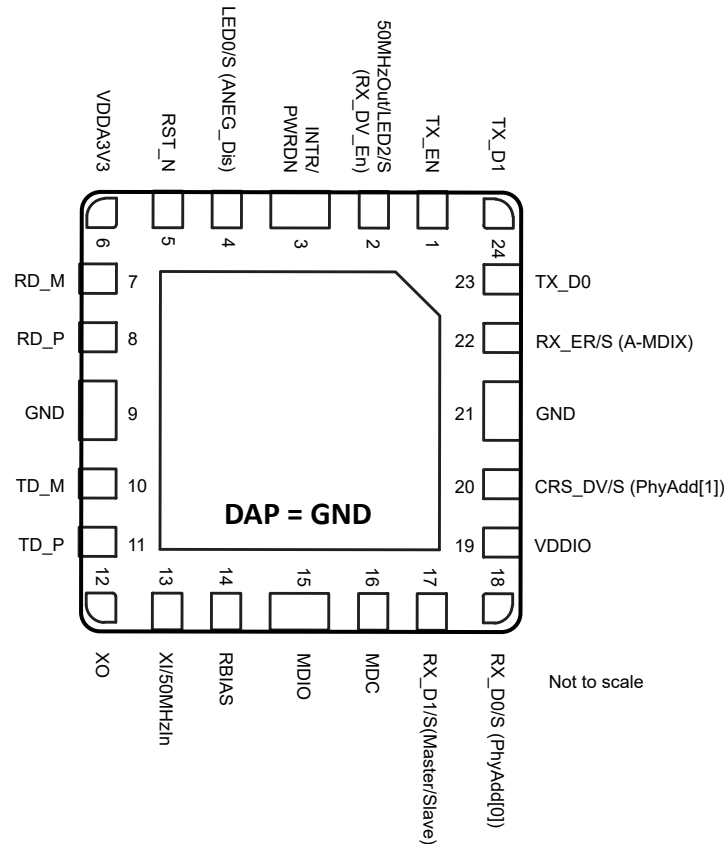


图 4-1. DP83825 RMQ 封装 24 引脚 QFN 顶视图

DP83825I 引脚功能

引脚名称	编号	类型 ⁽¹⁾	说明
TX_EN	1	复位：I，PD 激活：I，PD	RMII 发送使能：TX_EN 为高电平有效信号，在 TX_CLK 上升沿时出现。TX_EN 表示 TX_D [1:0] 上存在有效数据输入。
50MHzOut/LED2	2	复位：I，PD，S 激活：O	RMII 主模式：50MHz 时钟输出（默认值）。 RMII 从机器模式：LED_2（默认值）。通过寄存器配置，可将该引脚配置为 GPIO。
INTR/PWRDN	3	复位：I，PU 激活：I/O，PU	中断/断电（默认值）：该引脚的默认功能是断电。要将该引脚配置为中断，需要访问寄存器。在断电功能中，该引脚上的低电平有效信号会将器件置于断电模式。如果该引脚配置为中断引脚，则会在发生中断条件时将该引脚置位为低电平。该引脚具有带弱内部上拉电阻（9.5kΩ）的开漏输出。某些应用可能需要外部上拉电阻器。
LED0	4	复位：I，PD，S 激活：O	LED0：除了指示链路状态以外，活动指示 LED 还能够指示发送与接收活动。链路正常时，LED 亮起。当发送器或接收器处于活动状态时，LED 将闪烁。通过寄存器配置，还可以将该引脚用作 GPIO。 该引脚始终为 3.3V，与 VDDIO 引脚电压无关。这是为了避免 PHY 在 1.8V VDDIO 下工作时使用外部元件。
RST_N	5	复位：I，PU 激活：I，PU	RST_N：该引脚是低电平有效复位输入。将该引脚置位为低电平（至少 25 μs），可强制执行复位过程。启动复位会引起对配置 (strap) 引脚的重新扫描，并将 PHY 的所有内部寄存器复位为默认值。 该引脚始终为 3.3V，与 VDDIO 引脚电压无关。这是为了避免 PHY 在 1.8V VDDIO 下工作时使用外部元件。
VDDA3V3	6	电源	输入模拟电源：3.3V。如需了解去耦合电容器要求，可参阅 节 7.3 部分。

引脚		类型 ⁽¹⁾	说明
名称	编号		
RD_M	7	A	差分接收输入 (PMD)：该等差分输入可自动配置为接受 10BASE-Te 或 100BASE-TX 特定信令模式
RD_P	8	A	
GND	9	GND	接地：接地
TD_M	10	A	差分发送输出 (PMD)：对于该等差分输出，会根据为 PHY 选择的配置，自动配置为 10BASE-Te 或 100BASE-TX 信令模式。
TD_P	11	A	
XO	12	A	晶体输出：基准时钟输出。XO 引脚仅用于晶振。CMOS 电平振荡器与 XI 相连时，该引脚可以悬空。
XI/50MHzIn	13	A	晶体/振荡器输入时钟 RMII 主模式：25MHz±50ppm 容差晶体或振荡器时钟 RMII 从机模式：50MHz±50ppm 容差 CMOS 级振荡器时钟
RBIAS	14	A	该引脚需要一个偏置电阻器。在 RBIAS 引脚与接地端之间连接一个 6.49kΩ±1% 容差的电阻器。
MDIO	15	复位：I， PU-10kΩ 激活：I/O， PU-10kΩ	管理数据 I/O：双向管理数据信号（可由管理站或 PHY 提供）。该引脚具有 10kΩ 的内部上拉电阻。如有需要，可增加不超过 2.2kΩ 的外部上拉电阻
MDC	16	复位：I，PD 激活：I，PD	管理数据时钟：MDIO 串行管理输入/输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 24MHz。没有最低时钟速率。
RX_D1	17	复位：I，PD，S 激活：O	RMII 接收数据：对电缆上接收的符号进行解码，并且与基准时钟同步呈现在该等引脚上。RX_DV 被置为有效时，该等符号包含有效数据。
RX_D0	18	复位：I，PD，S 激活：O	RMII 接收数据：对电缆上接收的符号进行解码，并且与基准时钟同步呈现在该等引脚上。RX_DV 被置为有效时，该等符号包含有效数据。
VDDIO	19	电源	I/O 电源：3.3V/1.8V。如需了解去耦合电容器要求，可参阅 节 7 部分。
CRS_DV	20	复位：I，PD，S 激活：O	载波侦听/接收数据有效：该引脚结合了 RMII 载波与接收数据有效指示。
GND	21	GND	接地引脚
RX_ER	22	复位：I，PD，S 激活：O	RMII 接收错误：该引脚指示在 RMII 模式下接收到的数据包中检测到错误符号。RX_ER 与基准时钟上升沿同步置为高电平。在 RMII 模式下，MAC 不需要该引脚，因为 PHY 会在发生接收错误时自动损坏数据。
TX_D0	23	复位：I，PD 激活：I，PD	RMII 发送数据：从 MAC 接收的 TX_D[1:0] 与基准时钟上升沿同步。
TX_D1	24	复位：I，PD 激活：I，PD	

(1) 引脚功能定义如下：

类型 I：输入

类型 O：输出

类型 I/O：输入/输出

类型 PD 或 PU：内部下拉电阻或上拉电阻

类型 S：搭接配置引脚

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

参数		最小值	最大值	单位
模拟电源电压	AVDD3V3	-0.3	4	V
IO 电源电压	VDDIO3V3	-0.3	4	V
	VDDIO1V8	-0.3	2.1	V
结温	Tj		105	°C
存储温度	Tstg	-65	150	°C
MDI 引脚	TD ⁻ , TD ⁺ , RD ⁻ , RD ⁺	-0.3	4	V
MAC 接口引脚		-0.3	4	V
SMI 接口引脚		-0.3	4	V
XI		-0.3	4	V
复位		-0.3	4	V

(1) 超出绝对最大额定值项下所列的应力可能会对器件造成永久性损坏。这些只是应力额定值，并不意味着器件能够在该等条件下以及在除建议工作条件以外的任何其他条件下正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

参数	定义	最小值	最大值	单位
人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	所有引脚 (MDI 除外)	±1.5		kV
	媒体相关接口 (MDI) 引脚	±5		kV

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。如果具备必要的预防措施, 则可以在低于 500V HBM 时进行生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		最小值	典型值	最大值	单位
模拟电源电压	AVDD3V3	3	3.3	3.6	V
IO 电源电压	VDDIO3V3	3	3.3	3.6	V
	VDDIO1V8	1.62	1.8	1.98	V
自然通风工作温度 (DP83825I)	Ta	-40	25	85	C
引脚	TX_EN, TX_D0, TX_D1, RX_D0, RX_D1, RX_DV, RX_ER, MDIO, MDC, INT/PWDN, LED2	VDDIO-10%	VDDIO	VDDIO+10%	V
引脚	XI 振荡器输入	VDDIO-10%	VDDIO	VDDIO+10%	V
引脚	LED0, RST_N	AVDD3V3-10%	AVDD3V3	AVDD3V3+10%	V

5.4 热性能信息

(1)

热指标 (1)			单位
R _{θJA}	结至环境热阻	53.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	49.6	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	28.6	°C/W

(1)

热指标 (1)			单位
$R_{\theta JB}$	结至电路板热阻	2.3	°C/W
Y_{JT}	结至顶部特征参数	28.5	°C/W
Y_{JB}	结至电路板特征参数	14.9	°C/W

 (1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内并且 $VDDA = 3.3V$ 的条件下测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
IEEE Tx 一致性 (100BaseTx)						
	差分输出电压	100 Base Tx 空闲传输		1.0		V
IEEE Tx 一致性 (10BaseTe)						
	差分电压	10BaseTe 数据传输		1.75		V
功耗 (功耗优化模式)						
I(AVDD3 V3)	RMII 主模式 (100BaseTx)	流量 = 50% 的		37.5		mA
I(AVDD3 V3)	RMII 从模式 (100BaseTx)	流量 = 50% 的		37.5		mA
I(VDDIO =3V3)	RMII 主模式 (100BaseTx)	流量 = 50% 的		7.5		mA
I(VDDIO =3V3)	RMII 从模式 (100BaseTx)	流量 = 50% 的		3.5		mA
I(VDDIO =1V8)	RMII 主模式 (100BaseTx)	流量 = 50% 的		4.5		mA
I(VDDIO =1V8)	RMII 从模式 (100BaseTx)	流量 = 50% 的		1.6		mA
功耗 (电缆长度优化模式)						
I(AVDD3 V3)	RMII 主模式 (100BaseTx)	流量 = 50%		41		mA
I(AVDD3 V3)	RMII 主模式 (100BaseTx)	流量 = 100%		41	50	mA
I(AVDD3 V3)	RMII 主模式 (10BaseTe)	流量 = 50%		28		mA
I(AVDD3 V3)	RMII 主模式 (10BaseTe)	流量 = 100%		32	40	mA
I(AVDD3 V3)	RMII 从模式 (100BaseTx)	流量 = 50%		41	50	mA
I(AVDD3 V3)	RMII 从模式 (100BaseTx)	流量 = 100%		41	50	mA
I(AVDD3 V3)	RMII 从模式 (10BaseTe)	流量 = 50%		28		mA
I(AVDD3 V3)	RMII 从模式 (10BaseTe)	流量 = 100%		32	40	mA
I(VDDIO =3V3)	RMII 主模式 (100BaseTx)	流量 = 50%		7.5		mA
I(VDDIO =3V3)	RMII 主模式 (100BaseTx)	流量 = 100%		10	14	mA
I(VDDIO =3V3)	RMII 主模式 (10BaseTe)	流量 = 50%		6.5		mA
I(VDDIO =3V3)	RMII 主模式 (10BaseTe)	流量 = 100%		7.5	12	mA
I(VDDIO =3V3)	RMII 从模式 (100BaseTx)	流量 = 50%		3.5		mA
I(VDDIO =3V3)	RMII 从模式 (100BaseTx)	流量 = 100%		5	8	mA
I(VDDIO =3V3)	RMII 从模式 (10BaseTe)	流量 = 50%		2.5	6	mA

在自然通风条件下的工作温度范围内并且 VDDA = 3.3V 的条件下测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
I(VDDIO = 3V3)	RMII 从模式 (10BaseTe)	流量 = 100%		2.5	6	mA
I(VDDIO = 1V8)	RMII 主模式 (100BaseTx)	流量 = 50%		4	14	mA
I(VDDIO = 1V8)	RMII 主模式 (100BaseTx)	流量 = 100%		5.5	14	mA
I(VDDIO = 1V8)	RMII 主模式 (10BaseTe)	流量 = 50%		4		mA
I(VDDIO = 1V8)	RMII 主模式 (10BaseTe)	流量 = 100%		4	14	mA
I(VDDIO = 1V8)	RMII 从模式 (100BaseTx)	流量 = 50%		1.5		mA
I(VDDIO = 1V8)	RMII 从模式 (100BaseTx)	流量 = 100%		2.5	6	mA
I(VDDIO = 1V8)	RMII 从模式 (10BaseTe)	流量 = 50%		1		mA
I(VDDIO = 1V8)	RMII 从模式 (10BaseTe)	流量 = 100%		1	6	mA
功耗 (低功耗模式)						
I(AVDD = 3V3)	100 BaseTx EEE 模式	开启 LPI 时 EEE 模式下的 100 BaseTx 链路		15.5		mA
	深度断电			3.5		mA
	IEEE 断电			4		mA
	主动睡眠			11		mA
	激活但未建立链路			37		mA
	复位			5.5		mA
I(VDDIO = 3V3)	100 BaseTx EEE 模式			2		mA
	深度断电			2.5		mA
	IEEE 断电			2		mA
	主动睡眠			5		mA
	激活但未建立链路			5		mA
	复位			2.5		mA
I(VDDIO = 1V8)	100 BaseTx EEE 模式			2		mA
	深度断电			1.5		mA
	IEEE 断电			1.5		mA
	主动睡眠			3		mA
	激活但未建立链路			3		mA
	复位			1.5		mA
自举直流特性 (2 级)						
V _{IH_3V3}	高电平自举阈值: 3V3		1.3			V
V _{IL_3V3}	低电平自举阈值: 3V3				0.6	V
V _{IH_1V8}	高电平自举阈值: 1V8		1.3			V
V _{IL_1V8}	低电平自举阈值: 1V8				0.6	V
晶体振荡器						
	负载电容			15	30	pF
IO						

在自然通风条件下的工作温度范围内并且 $VDDA = 3.3V$ 的条件下测得 (除非另有说明) (1)

参数		测试条件	最小值	典型值	最大值	单位
3V3	V_{IH} 高电平输入电压	$VDDIO = 3V3 \pm 10\%$	1.7			V
	V_{IL} 低电平输入电压	$VDDIO = 3V3 \pm 10\%$			0.8	V
	V_{OH} 高电平输出电压	$I_{oH} = -2mA, VDDIO = 3V3 \pm 10\%$	2.4			V
	V_{OL} 低电平输出电压	$I_{oL} = 2mA, VDDIO = 3V3 \pm 10\%$			0.4	V
1V8	V_{IH} 高电平输入电压	$VDDIO = 1V8 \pm 10\%$	$0.65 \cdot V_{DIO}$			V
	V_{IL} 低电平输入电压	$VDDIO = 1V8 \pm 10\%$			$0.35 \cdot V_{DIO}$	V
	V_{OH} 高电平输出电压	$I_{oH} = -2mA, VDDIO = 1V8 \pm 10\%$	$VDDIO - 0.45$			V
	V_{OL} 低电平输出电压	$I_{oL} = 2mA, VDDIO = 1V8 \pm 10\%$			0.45	V
	$I_{IH} (VIN=VCC)$	$T_A = -40^\circ C$ 至 $85^\circ C, VIN = VDDIO$			15	μA
	$I_{IL} (VIN=GND)$	$T_A = -40^\circ C$ 至 $85^\circ C, VIN = GND$			15	μA
	I_{OZH}	三态输出高电流	-15		15	μA
	I_{OZL}	三态输出低电流	-15		15	μA
	C_{in} (输入电容)			5		pF
	R 下拉		8	10	13	$k\Omega$
	R 上拉		8	10	13	$k\Omega$
	XI 输入 osc 时钟峰-峰值			$VDDIO$		V
	XI 输入 osc 时钟共模			$VDDIO/2$		V

(1) 由生产测试、特性或设计指定

5.6 时序要求

参数		最小值	标称值	最大值	单位
上电时序					
T1	电压斜坡持续时间 (0% 至 100% VDDIO) (1)	0.5		40	ms
T2	电源序列: VDDIO 应先斜升, 再 AVDD	0		200	ms
T3	电压斜升持续时间 (0% 至 100% AVDD)	0.5		40	ms
T4	POR 释放时间/加电至 SMI 就绪: 用于寄存器访问的前导码前上电稳定时间			50	ms
T5	加电至 FLP		1500		ms
	AVDD 上的基座电压 (电源斜升前的 VDDIO)			0.3	V
	在 AVDD 与 VDDIO 稳定以前, 不得将所有输入驱动为低电平或高电平				
复位时序					
T1	复位脉冲宽度: 能够复位的最小复位脉冲宽度 (无消抖电容)	25			us
T2	重置为 SMI 就绪: 用于寄存器访问的前导码前复位后稳定时间			2	ms
T3	到 FLP 的复位		1500		ms
	重置为 100M 信令 (捆绑模式)		0.5		ms
	重置为 RMII 主时钟		0.2		ms
100M EEE 时序					
	睡眠时间 (Ts)		210		us
	静默时间 (Tq)		20		ms
	刷新时间 (Tr)		200		us
	唤醒时间 (Tw_sys_tx)		36		us
RMII 发送时序					
T1	RMII 主时钟周期		20		ns
	RMII 主时钟占空比	35		65	%
T2	TX_D[1:0], TX_ER, TX_EN 设置至 RMII 主时钟	4			ns
T3	TX_D[1:0], 来自 RMII 主时钟的 TX_ER, TX_EN 保持	2			ns
RMII 接收时序					
T1	输入基准时钟周期		20		ns
	基准时钟占空比	35		65	%
T2	RX_D[1:0], RX_ER, RX_DV 从 XI 时钟上升开始保持	2			ns
SMI 时序					
T1	MDC 至 MDIO (输出) 延迟时间	0		10	ns
T2	MDIO (输入) 至 MDC 建立时间	10			ns
T3	MDIO (输入) 至 MDC 保持时间	10			ns
T4	MDC 频率		2.5	20	MHz
输出时钟时序 (50M RMII 主时钟)					
	频率 (PPM)	-50		50	ppm
	占空比	35		65	%
	上升时间			4000	ps
	下降时间			4000	ps
	抖动 (长期)			450	ps
	RefCLK 到时钟输出延迟并进行多次复位			40	ns
输入时钟容差					

参数		最小值	标称值	最大值	单位
25MHz	频率容差	-50		50	ppm
	上升/下降时间			5	ns
	抖动容差 (累积超过 100,000 个周期)			1.75	ns
	占空比	40		60	%
	1KHz 时的输入相位噪声			-98	dBc/Hz
	10KHz 时的输入相位噪声			-113	dBc/Hz
	100KHz 时的输入相位噪声			-113	dBc/Hz
	1MHz 时的输入相位噪声			-113	dBc/Hz
	10MHz 时的输入相位噪声			-113	dBc/Hz
50MHz	频率容差	-50		50	ppm
	上升/下降时间			5	ns
	抖动容差 (累积超过 100,000 个周期)			1.75	ns
	占空比	40		60	%
	1KHz 时的输入相位噪声			-87	dBc/Hz
	10KHz 时的输入相位噪声			-107	dBc/Hz
	100KHz 时的输入相位噪声			-107	dBc/Hz
	1MHz 时的输入相位噪声			-107	dBc/Hz
	10MHz 时的输入相位噪声			-107	dBc/Hz

延时时序

Tx	TX_EN 置位的从模式 RMII 上升沿 XI 时钟到 MDI 上的 SSD 符号 (100M)	105		ns
	TX_EN 置位的主模式 RMII 上升沿时钟到 MDI 上的 SSD 符号 (100M)	105		ns
	TX_EN 置位的从模式 RMII 上升沿 XI 时钟到 MDI 上的 SSD 符号 (10M)	1350		ns
	TX_EN 置位的主模式 RMII 上升沿时钟到 MDI 上的 SSD 符号 (10M)	1300		ns
Rx	MDI 上的 SSD 符号到 CRS_DV 置位的 XI 时钟从模式 RMII 上升沿 (100M)	350		ns
	MDI 上的 SSD 符号到 CRS_DV 置位的主时钟主模式 RMII 上升沿 (100M)	325		ns
	MDI 上的 SSD 符号到 CRS_DV 置位的 XI 时钟从模式 RMII 上升沿 (10M)	2150		ns
	MDI 上的 SSD 符号到 CRS_DV 置位的主时钟主模式 RMII 上升沿 (10M)	2150		ns

(1) 时钟应在功率斜升时可用。如果在功率斜升后提供时钟，则一旦时钟可用，就需要对 PHY 进行外部复位

5.7 时序图

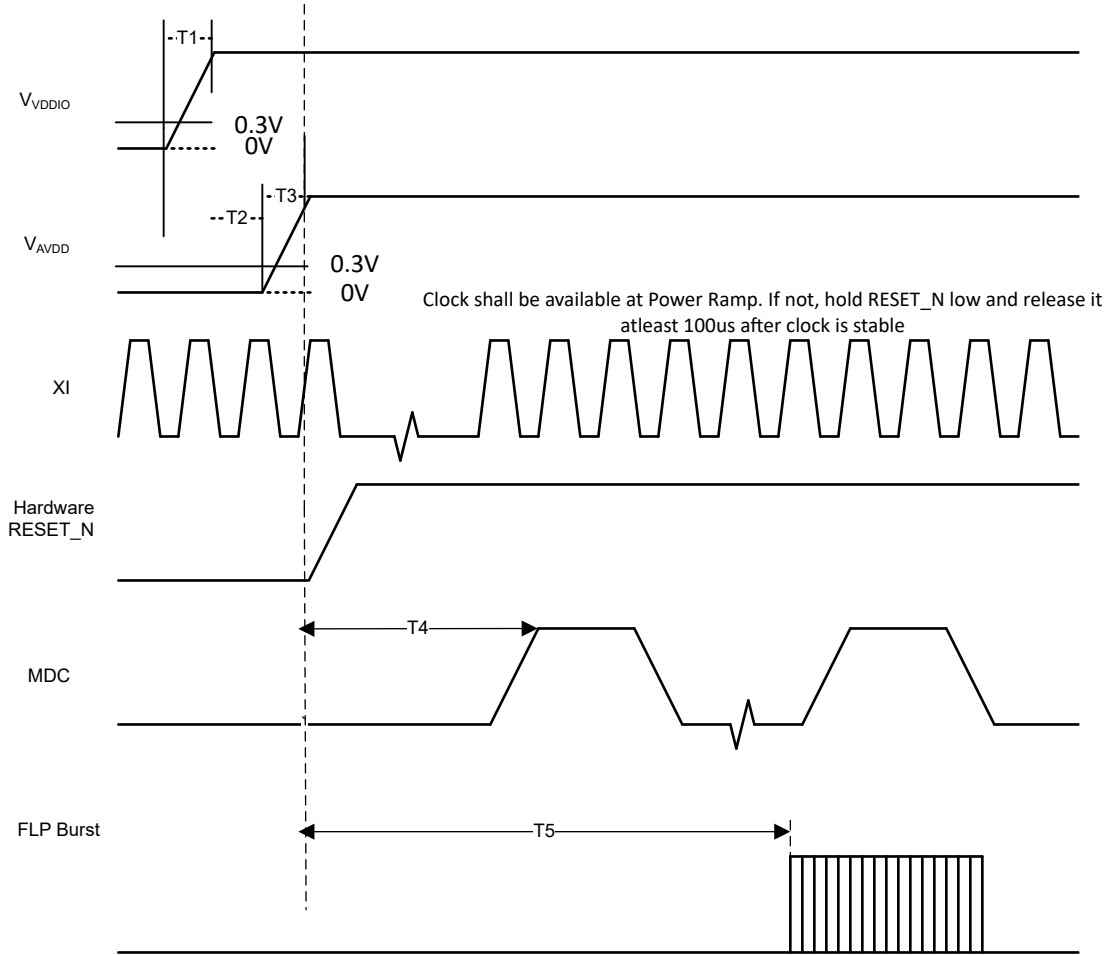


图 5-1. 上电时序

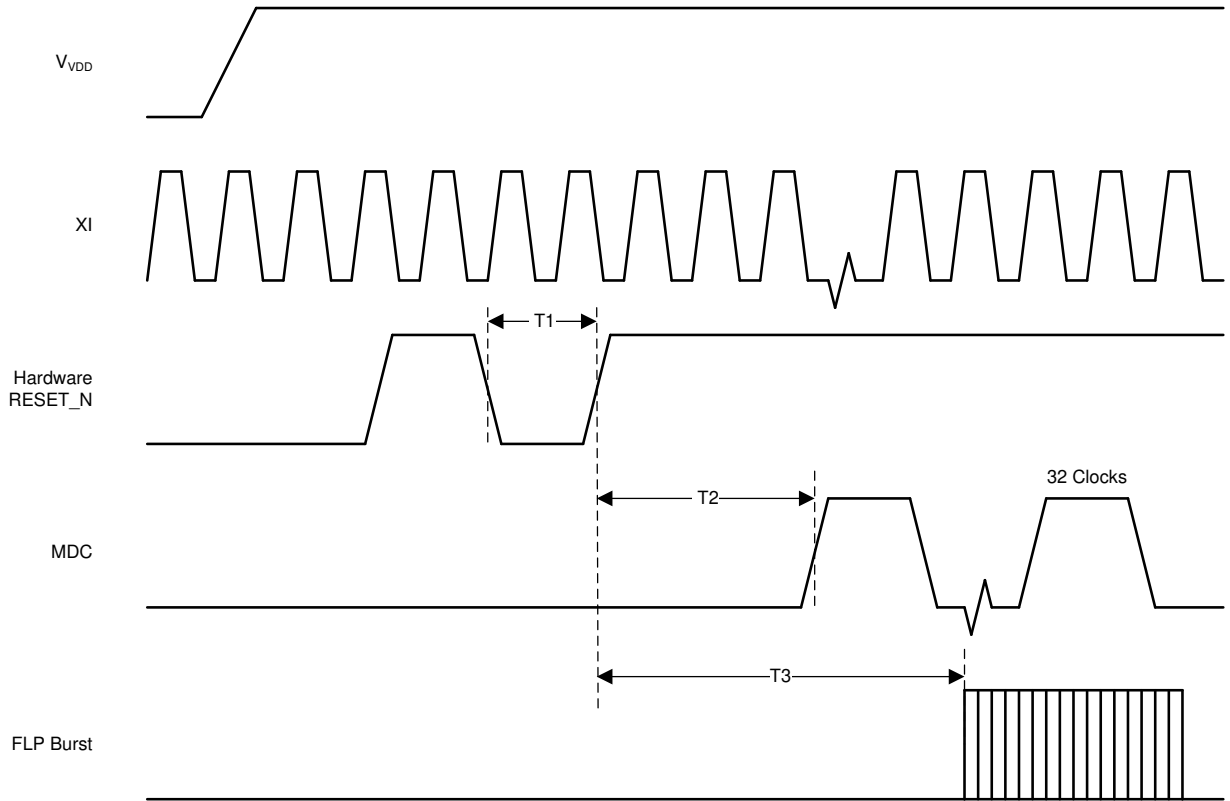


图 5-2. 复位时序

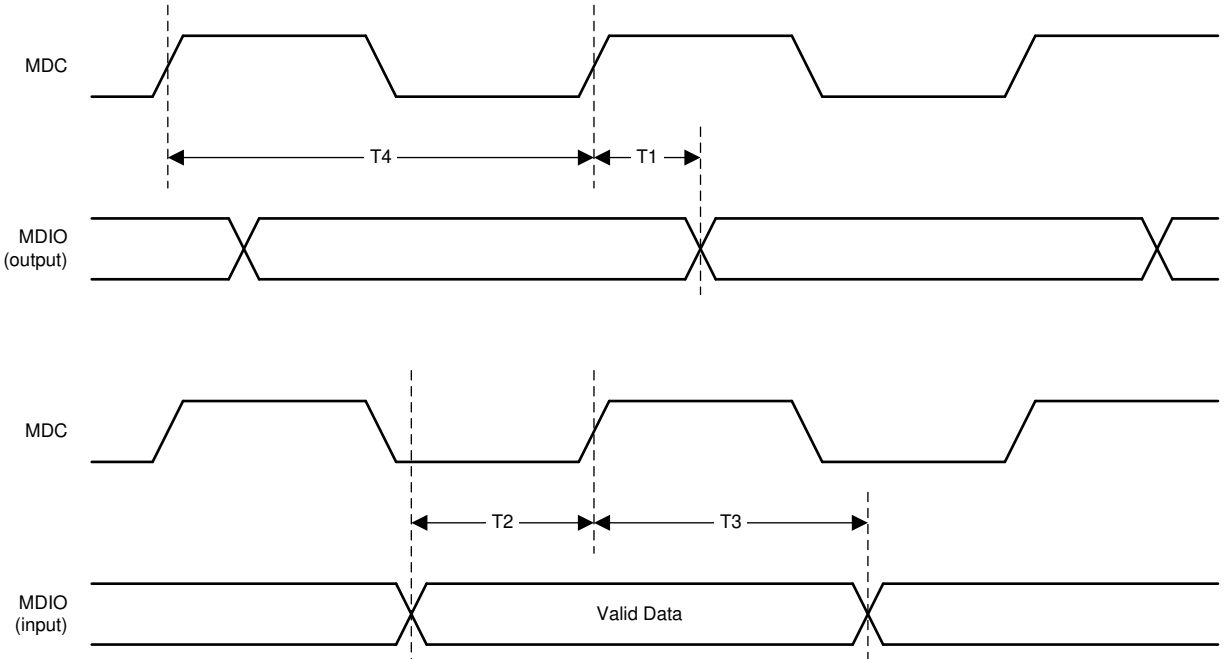


图 5-3. 串行管理时序

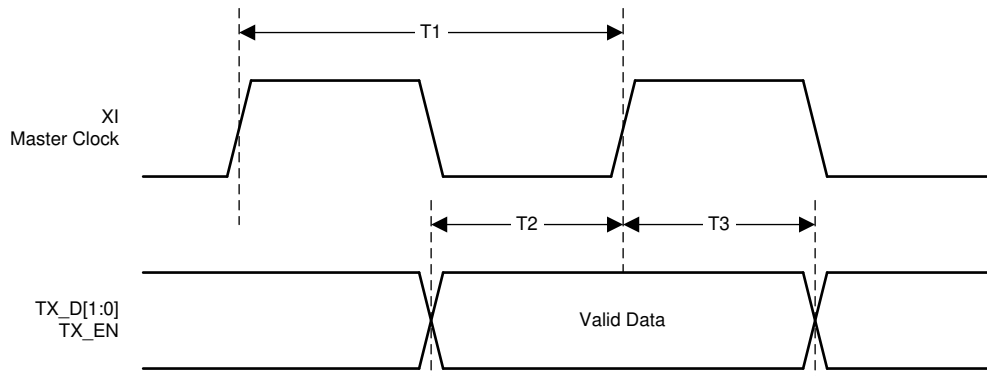


图 5-4. RMII 发送时序

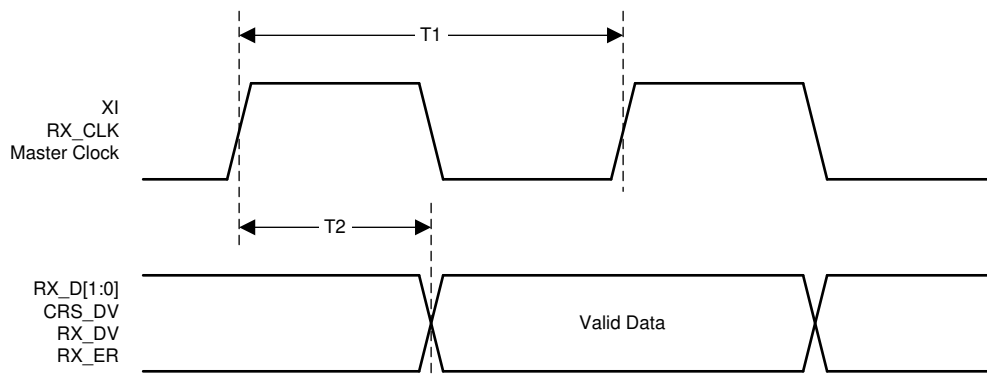


图 5-5. RMII 接收时序

5.8 典型特性

本部分介绍了适用于 VDDIO 3.3V 与 1.8V 的 DP83825 驱动特性。

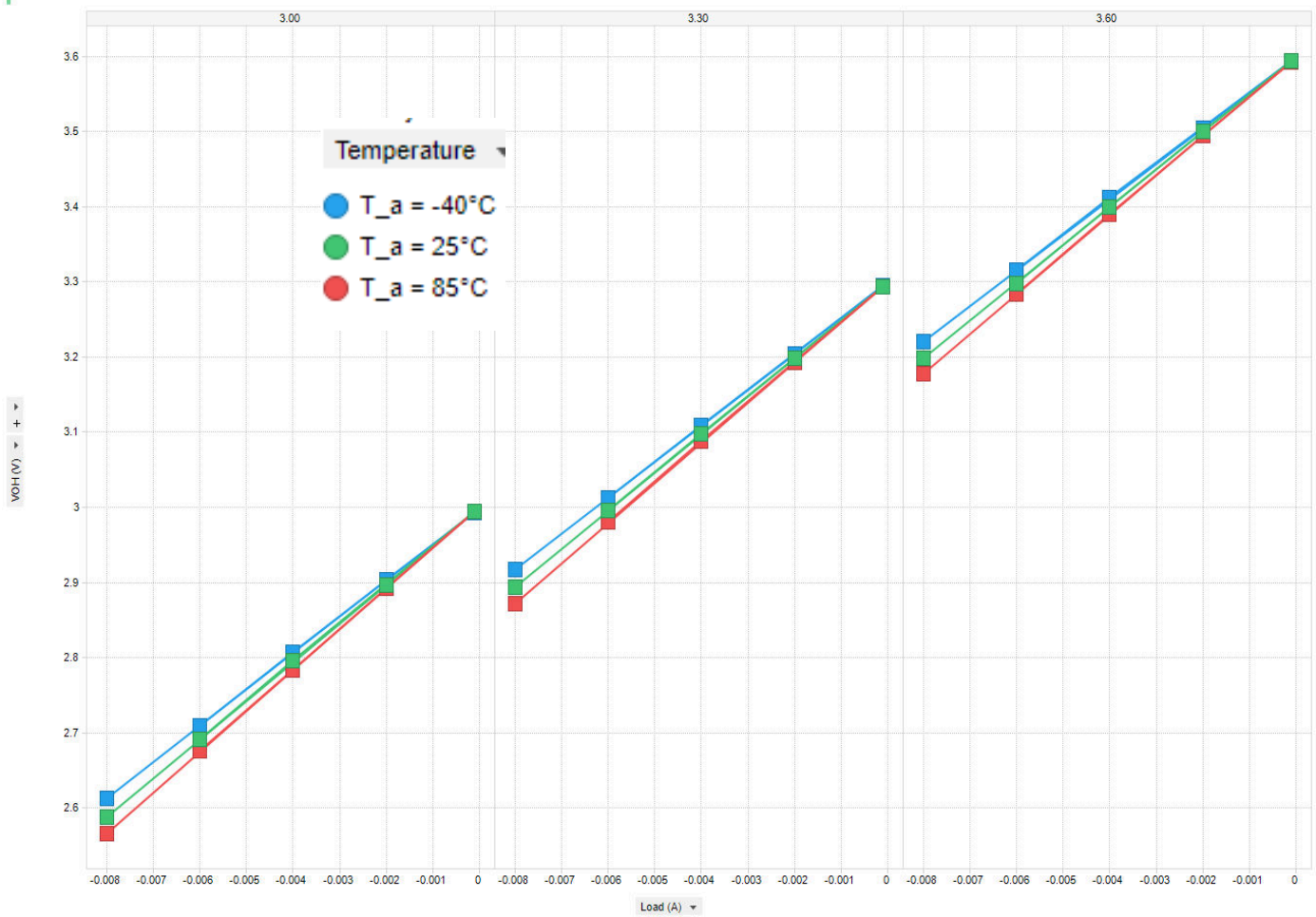


图 5-6. LED_0 , LED_2 , CLKOUT VOH 3.3V

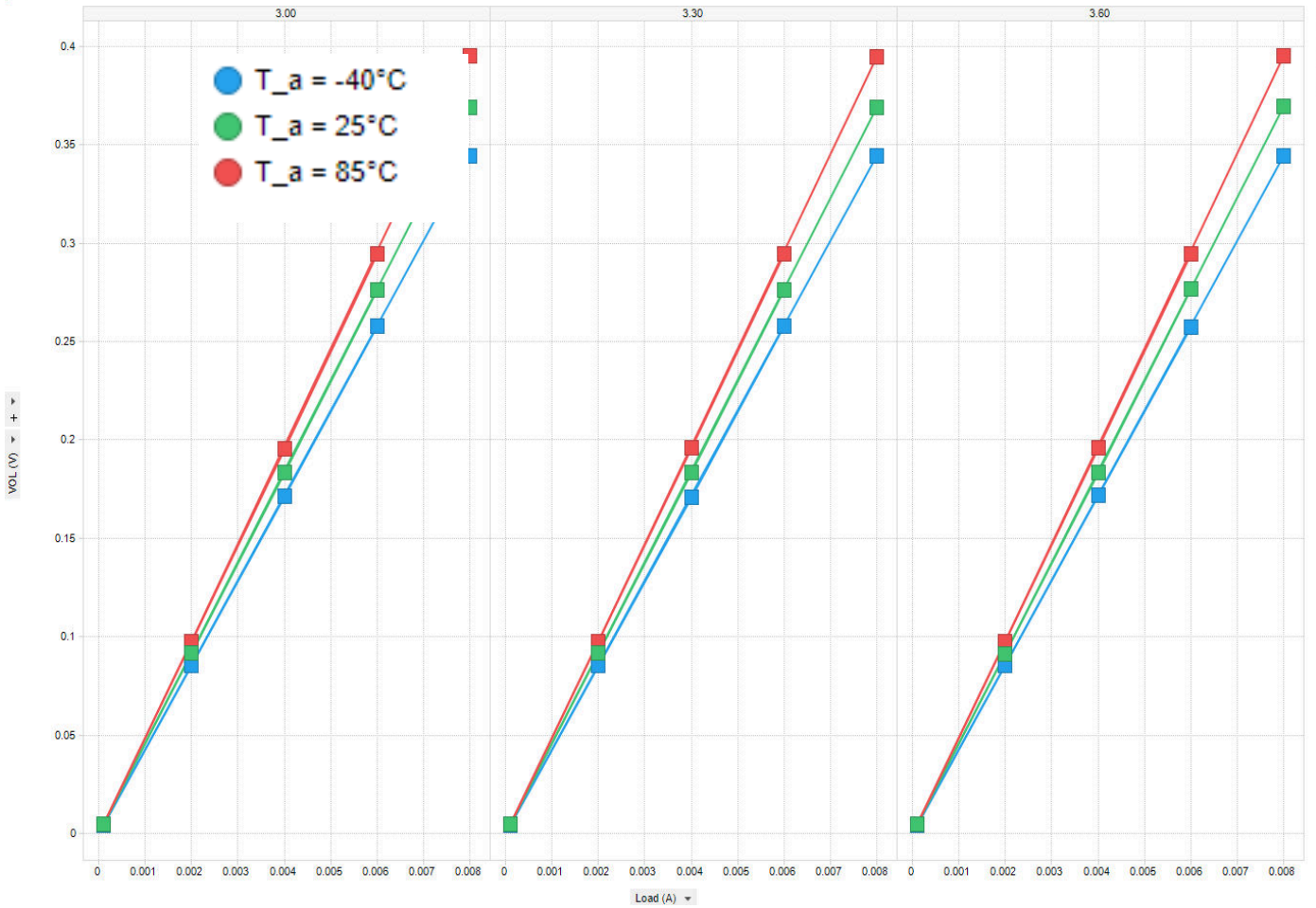


图 5-7. LED_0 , LED_2 , CLKOUT VOL 3.3V

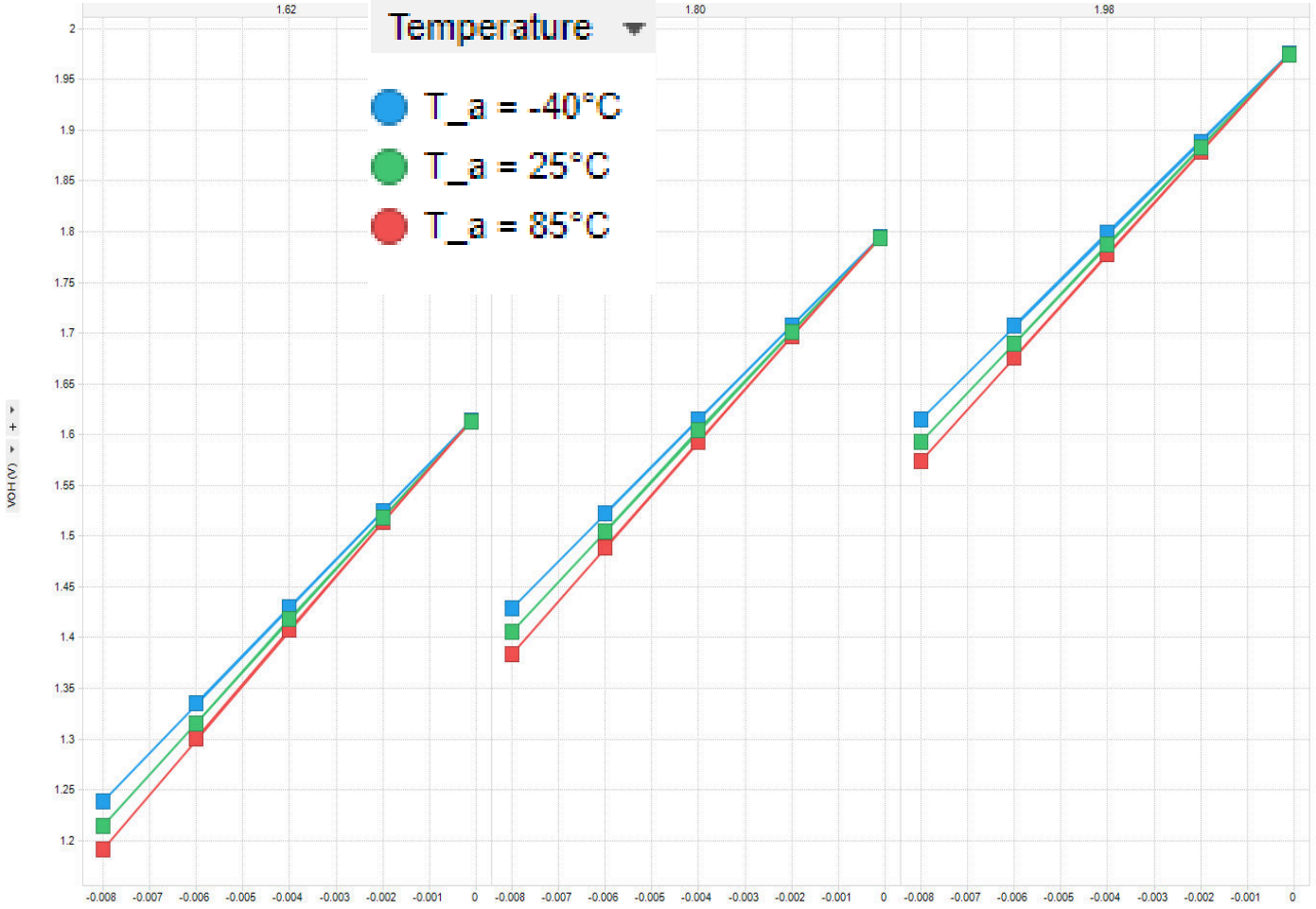


图 5-8. LED_0 , LED_2 , CLKOUT VOH 1.8V

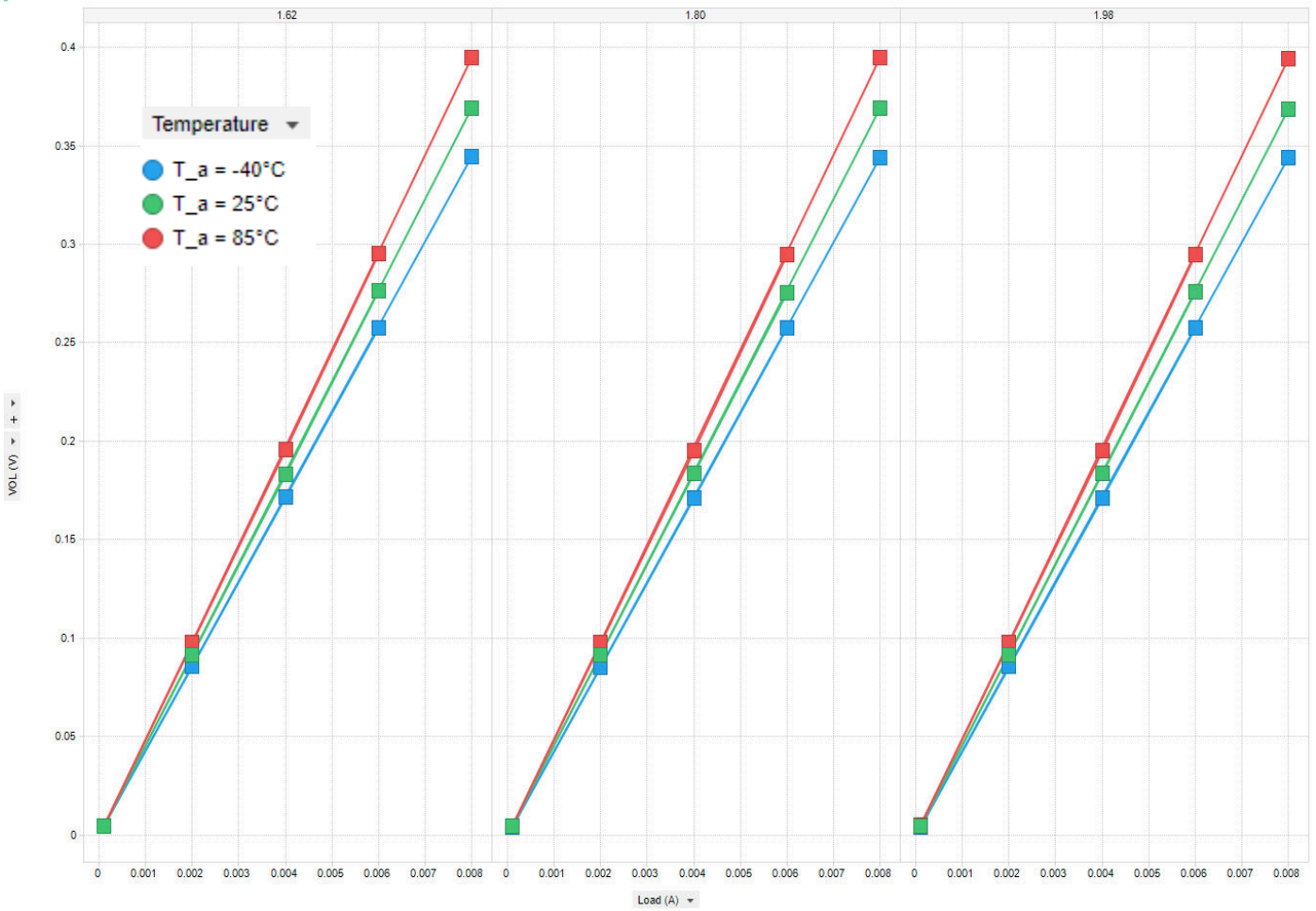


图 5-9. LED_0 , LED_2 , CLKOUT VOL 1.8V

6 详细说明

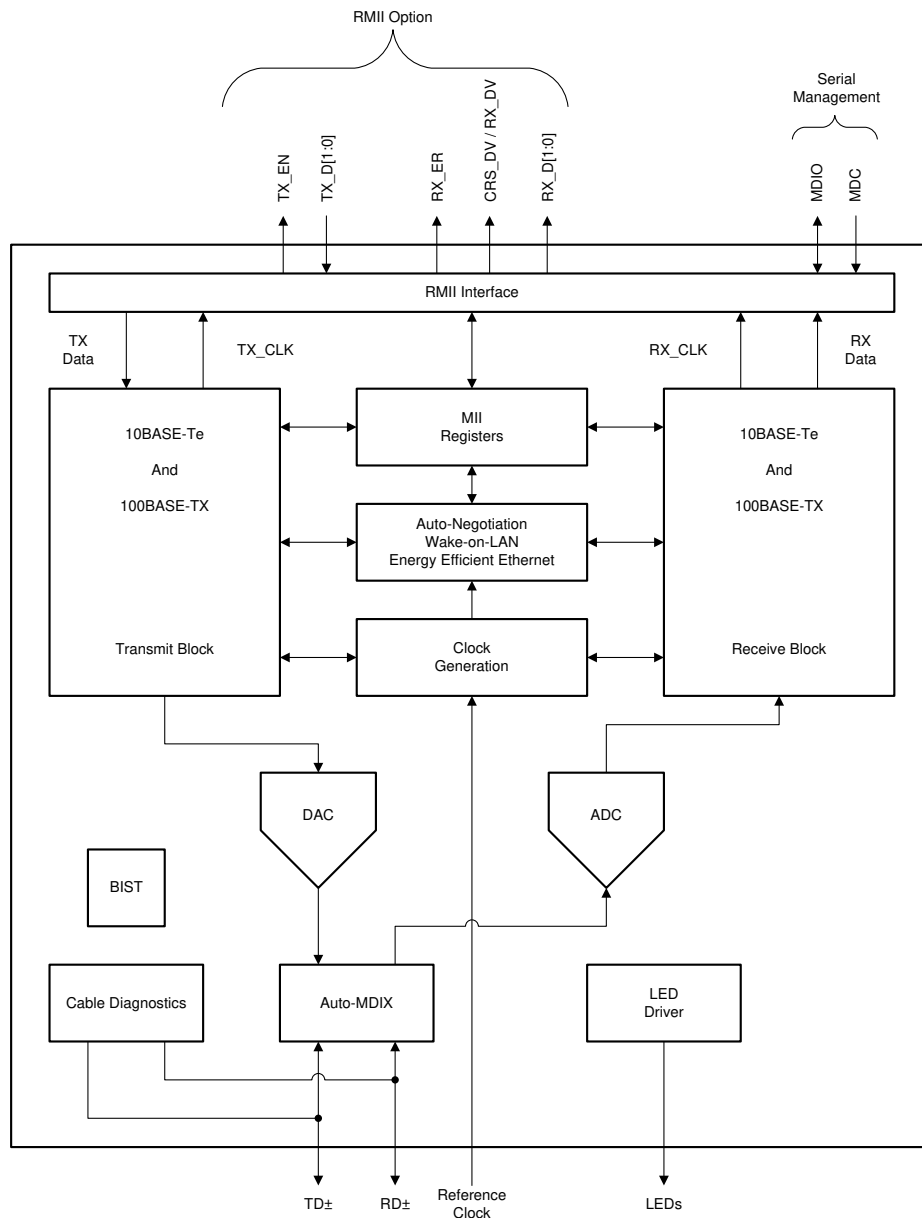
6.1 概述

DP83825I 是一款符合 IEEE802.3 10BASE-Te 与 100BASE-TX 标准的全功能单端口物理层收发器。该器件支持可直接连接媒体访问控制器 (MAC) 的标准的简化媒体独立接口 (RMII)。

该器件采用集成 LDO 的 3.3V 单电源供电设计，能够提供内部模块所需的电压轨。该器件允许 3.3V 或 1.8V 的 I/O 电压接口。DP83825I 中的自动电源配置允许 VDDIO 电源与 AVDD 电源的任意组合，不需要进行额外的配置设置。

DP83825I 采用能够执行均衡、数据恢复以及误差纠正的混合信号处理，通过不超过 150 米的 CAT5e 双绞线电缆实现稳健运行。DP83825I 支持各种低功耗功能（例如：主动睡眠、IEEE 断电与深度断电）。此外，DP83825I 也支持节能以太网与局域网唤醒。

6.2 功能方框图



6.3 特性说明

6.3.1 自动协商 (速度/双工选择)

自动协商功能提供了一种在链路段两端之间交换配置信息的机制。该机制通过交换快速链路脉冲 (FLP) 实现。快速链路脉冲是用于在链路段两端两台器件之间进行交换能力信息的突发脉冲信号。DP83825I 支持 100BASE-TX 与 10BASE-Te 工作模式，能够实现自动协商。自动协商功能能够确保根据链路伙伴与本地器件公布的能力，选择最高通用速度。自动协商功能能够通过硬件 (通过引导程序) 或寄存器配置 (通过基本模式控制寄存器 (BMCR, 地址: 0x0000) 第 [12] 位) 启用或禁用。如需了解自动协商更多相关详情, 可参阅 IEEE 802.3 规范第 28 条。

6.3.2 自动 MDIX 分辨率

DP83825I 能够确定是使用“直通”电缆还是“交叉”电缆来连接链路伙伴。DP83825I 可以自动重新分配通道 A 与通道 B, 以便与链路伙伴建立链路。自动 MDIX 解析先于实际的自动协商过程, 该过程涉及快速链路脉冲交换与广播功能。在 IEEE 802.3 第 40 条第 40.8.2 节, 介绍了自动 MDI/MDIX。对于 10BASE-Te 与 100BASE-TX, 自动 MDIX 并非强制要求实现的功能。在强制模式下运行 PHY 时, 也可以使用自动 MDIX。

对于自动 MDIX, 可通过硬件引导程序启用或禁用, 也可通过 PHY 控制寄存器 (PHYCR, 地址: 0x0019) 第 [15] 位进行寄存器配置。禁用自动 MDIX 后, PMA 被强制为 MDI (“直通”) 或 MDIX (“交叉”)。对于 MDI 或 MDIX 手动配置, 也可以通过寄存器配置 (通过 PHYCR 第 [14] 位) 完成。

6.3.3 节能以太网

6.3.3.1 EEE 概述

根据 IEEE 802.3az 定义的节能以太网 (EEE) 是一种集成到第 1 层 (物理层) 与第 2 层 (数据链路层) 的, 能够在低功耗空闲 (LPI) 模式下运行的功能。数据包利用率较低情况下, 保持 LPI 模式, 能够节省功耗。EEE 定义了在不发生链路中断或数据包损坏情况下进入与退出 LPI 模式的协议。

DP83825I EEE 支持 100Mbps 与 10Mbps 速度。10BASE-Te 工作模式下, EEE 会以较低的, 能够与 10BASE-T PHY 进行完全互操作的传输振幅运行。

6.3.3.2 EEE 协商

自动协商期间, 会广播节能以太网。在开机时、管理命令下达时、出现链路故障后或用户干预时执行自动协商功能。仅当两个链路伙伴都广播节能以太网功能时, 才支持节能以太网功能。如果不支持节能以太网, 则会禁用所有节能以太网功能, 并且 MAC 不得将 LPI 配置为有效。如需广播节能以太网功能, PHY 需要依次交换额外的格式化下一页与非格式化下一页。

可利用寄存器访问, 激活节能以太网协商。IEEE 802.3az 将 MMD3 与 MMD7 定义为节能以太网控制与状态寄存器的位置。MMD3 寄存器 (0x1014、0x1001 与 0x1016) 与 MMD7 寄存器 (0x203C 与 0x203D) 包含运行节能以太网所需要的所有控制与状态指示。节能以太网配置寄存器 #3 (EEECFG3, 地址: 0x04D1) 包含节能以太网配置旁路控制。默认情况下, 会绕过节能以太网功能。如果需要广播基于 MMD3 与 MMD7 寄存器的节能以太网, 就需要禁用节能以太网功能旁路 (0x04D1.0 = 0, 0x04D1.3 = 0), 并且应启用节能以太网广播 (MMD7 0x203C.1 = 1)。

6.3.4 旧 MAC 的 EEE 不支持 802.3az

还可以通过寄存器编程, 对器件进行配置, 以便启动 LPI 信令 (空闲与刷新)。即使所用 MAC 不支持节能以太网, 通过该功能, 系统也能够执行节能以太网。该模式下, 由主机控制器应用程序负责启用与禁用 LPI 信令。DP83825I 处于 LPI 信令模式时, 在通过 MAC 接口发送任何数据以前, 该应用会将 DP83825I 置于激活模式。处于 LPI 信令模式时, DP83825I 不具备存储数据的缓冲能力。要通过寄存器配置启用节能以太网, 就必须对寄存器进行以下配置:

1. 通过写入 0x04D1.0 = 0 与 0x04D1.3 = 0 的方式, 启用节能以太网功能
2. 通过执行写操作 (MMD7 0x203C.1 = 1), 在自动协商期间广播节能以太网功能

- 3.通过写入 0x0000.9 = 1 的方式，重新协商链路
- 4.通过写入 0x04D1.12 = 1 的方式，强制 Tx LPI 处于空闲状态
- 5.写入 0x04D1.12=0，以便停止发送 LPI 空闲信息

6.3.5 局域网唤醒数据包检测

局域网唤醒 (WoL) 提供了一种检测特定帧的机制，能够通过寄存器状态变化、GPIO 指示或中断标志，通知连接的控制器的。对于 DP83825I 中的局域网唤醒功能，允许位于物理层上方的连接器件在检测到具有合格凭证的帧以前，保持低功耗状态。支持的局域网唤醒帧类型包括：魔术包与具有安全匹配的魔术包。接收到合格的局域网唤醒帧时，DP83825I 局域网唤醒逻辑电路能够通过任何 GPIO 引脚或状态中断标志，生成用户定义的事件（脉冲或电平变化），以便通知连接的控制器的发生了唤醒事件。此外，DP83825I 还包括一个能够防止无效数据包触发唤醒事件的 CRC 门。局域网唤醒功能包括：

- 以支持的所有速度 (100BASE-TX 与 10BASE-Te) 识别局域网唤醒帧。
- 接收局域网唤醒帧时，导致唤醒中断。
- 对局域网唤醒帧进行 CRC 错误检查，避免无效帧导致中断。

6.3.5.1 魔术包结构

当配置为进行魔术包检测时，DP83825I 会扫描所有寻址到节点的传入帧，以便检查该等帧是否具有特定的数据序列。符合相应序列的帧即为魔术包帧。

此外，魔术包帧必须满足所选局域网技术的基本要求，例如：源地址、目标地址（可以为接收站的 IEEE 地址或广播地址）以及 CRC。

特定的魔术包序列包含 16 个不间断重复的节点 MAC 地址，如果启用了安全功能，还需要输入安全密码。该序列可以位于数据包的任何位置，但必须先于同步流。同步流的定义是 6 字节的 0xFF。

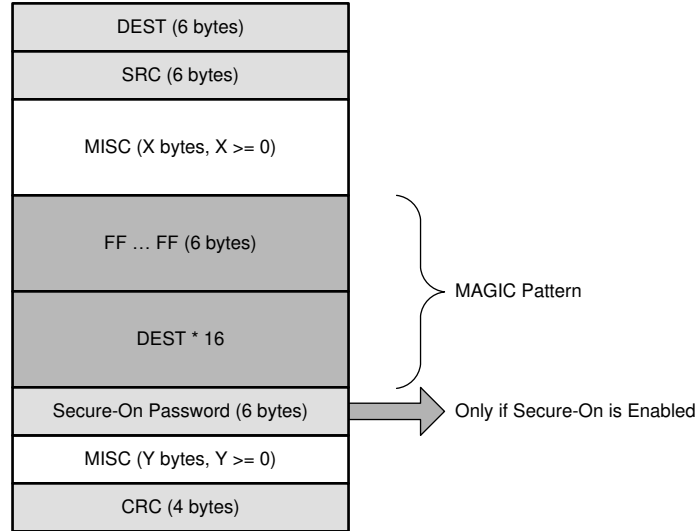


图 6-1. 魔术包结构

6.3.5.2 魔术包示例

以下是目标地址为 11h 22h 33h 44h 55h 66h，安全密码为 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh 的魔术包示例：

```

DESTINATION SOURCE MISC FF FF FF FF FF FF
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
    
```

11	22	33	44	55	66	11	22	33	44	55	66	11	22	33	44	55	66
11	22	33	44	55	66	2A	2B	2C	2D	2E	2F	MISC	CRC				

6.3.5.3 局域网唤醒配置和状态

通过接收配置寄存器 (RXFCFG, 地址: 0x04A0), 配置局域网唤醒功能。局域网唤醒状态会在接收器状态寄存器 (RXFS, 地址: 0x04A1) 中报告。局域网唤醒中断标志配置与状态位于 MII 中断状态寄存器 2 (MISR2, 地址: 0x0013) 之中。

6.3.6 低功耗模式

DP83825I 支持三种低功耗模式。本部分讨论了该等低功耗模式背后的原理以及该等模式的启用配置。

6.3.6.1 主动睡眠

DP83825I 进入主动睡眠模式时, 除了 TD± 与 RD± 引脚上的 SMI 与能量检测电路以外, PHY 所有内部电路都会关断。该模式下, DP83825 每 1.4 秒会发送一次 NLP, 以便唤醒链路伙伴。检测到链路伙伴后, 会自动上电。

通过将 PHY 特定控制寄存器 (PHYSCR, 地址: 0x0011) 第 [14:12] 位设置为 0b110 的方式, 启用“主动睡眠”模式。

6.3.7 IEEE 断电

IEEE 断电能够关断所有 PHY 电路 (SMI 与内部时钟电路除外)。

INTR/PWRDN 引脚配置为断电功能情况下, 能够通过寄存器访问或 INTR/PWRDN 引脚激活 IEEE 断电。

要通过 INTR/PWRDN 引脚启用 IEEE 断电, 就必须将该引脚驱动为低电平接地。

要通过 SMI 启用 IEEE 断电, 可将基本模式控制寄存器 (BMCR, 地址: 0x0000) 第 [11] 位设置为 1。

6.3.8 深度断电

深度断电模式能够关断所有 PHY 电路 (SMI 除外)。该模式下, 能够关断 PHY PLL, 以便进一步降低功耗。

要激活深度断电模式, 要首先启用 IEEE 断电 (通过 SMI 或 INT/PWDN_N 引脚), 再将深度断电控制寄存器 (DPDWN, 地址: 0x0428) 第 [2] 位设置为 1。

6.3.9 简化媒体独立接口 (RMII)

采用 RMII 规范 (版本号 : 1.2) 中规定的简化媒体独立接口 (RMII)。该接口旨在为第 22 条中指定的 IEEE 802.3 MII 提供一种引脚数更少的替代方案。从架构上讲, RMII 规范在 MII 的任一侧提供了一个额外的调节层, 但在没有 MII 的情况下可实现。能够提供两种 RMII 操作: RMII 从器件和 RMII 主器件。RMII 主模式下, 通过连接 XI 引脚的 25MHz CMOS 级振荡器或连接 XI 与 XO 引脚的 25MHz 晶体为 供电。50MHz 输出时钟以为基准, 可连接到 MAC。RMII 从机模式下, 由连接 XI 引脚的 50MHz CMOS 级振荡器供电, 并且与 MAC 共用同一时钟。或者, 在 RMII 从模式下, PHY 可通过主机 MAC 提供的 50MHz 时钟运行。

RMII 规范具有以下特性 :

- 支持 100BASE-TX 与 10BASE-Te。
- 从 MAC 到 PHY (或来自外部源) 的单个时钟基准
- 提供独立的 2 位宽发送和接收数据路径
- 使用与 MII 接口相同的 CMOS 信号电平

该模式下, 发送与接收路径均采用 50MHz 内部基准时钟, 每个时钟周期可传输两比特数据。

RMII 信号概述如 表 6-1 所示 :

表 6-1. RMII 信号

功能	引脚
接收数据线	TX_D[1:0]
发送数据线	RX_D[1:0]
接收控制信号	TX_EN
发送控制信号	CRS_DV

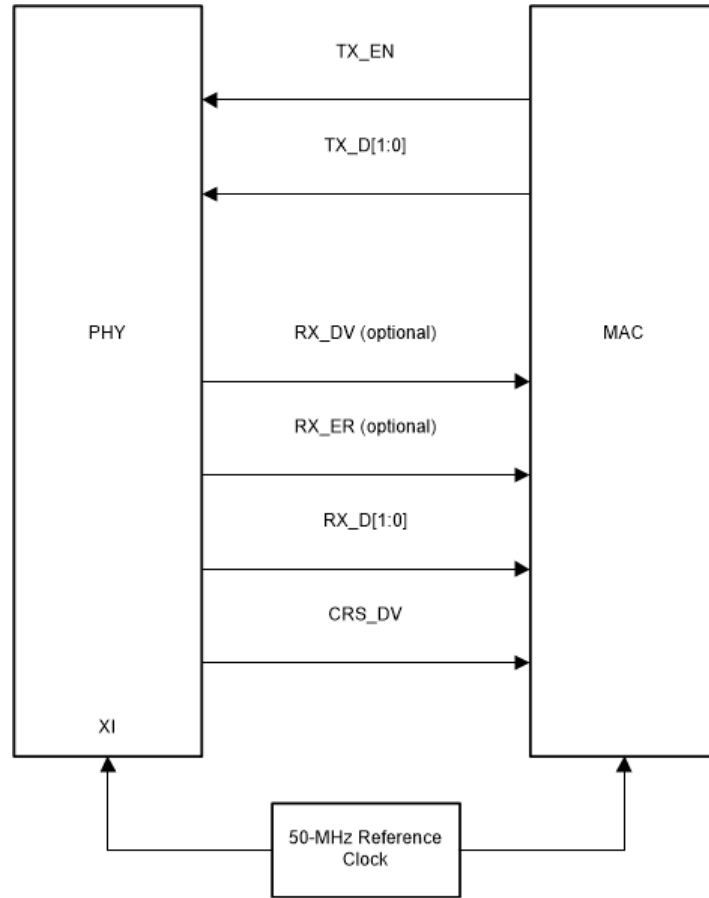


图 6-2. RGMII 从信号

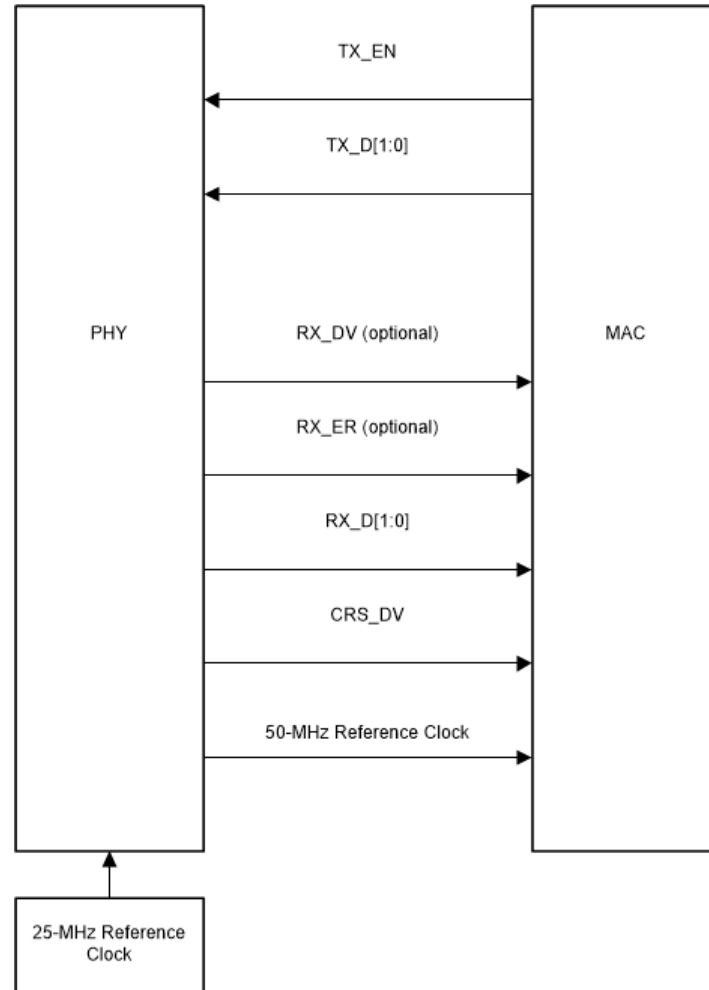


图 6-3. RMII 主信号

TX_D[1:0] 上的数据以 XI 引脚上的时钟边沿为基准锁存在 PHY 上。对于 RX_D[1:0] 上的数据，以 XI 引脚上的时钟边沿为基准，锁存在 MAC 上。

此外，CRX_DV 可被配置为 RX_DV 信号。这样，就能够通过一种更简单的方法恢复接收数据，不需要将 RX_DV 与 CRS_DV 指示分开。

6.3.10 RMII 中继器模式

DP83825I 提供了一个启用中继器模式功能，进而在非托管模式下扩展电缆长度（无需额外的寄存器配置）的选项。两个 DP83825I 能够以背对背模式连接，无需任何外部配置。这提供了一个用于将 RMII 接口 CRS_DV 引脚配置为 RX_DV 引脚，以便实现背靠背操作的硬件引脚配置搭接。图 6-4 展示了能够启用 DP83825I 中继器模式的 RMII 引脚连接。如果利用托管模式，就会同时触发两个 PHY 的外部复位。

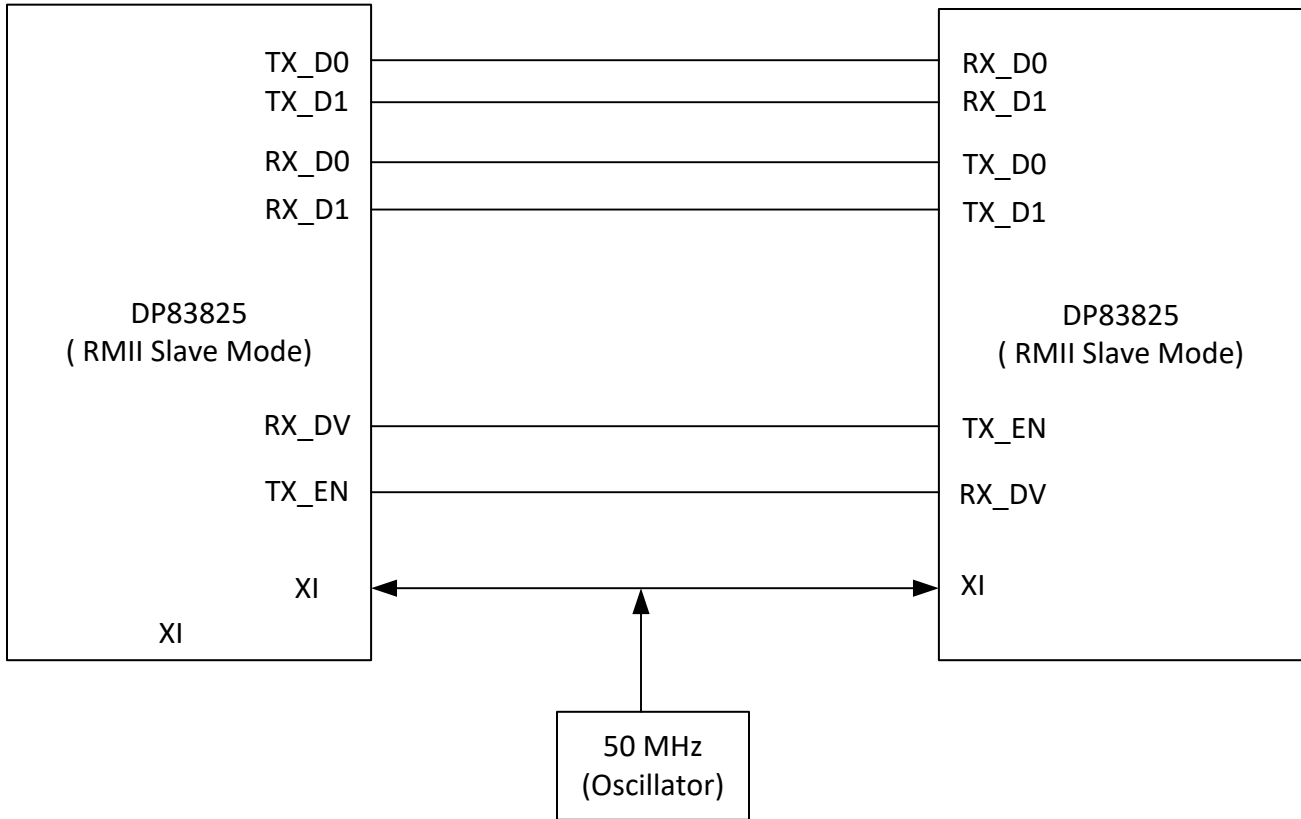


图 6-4. RMIi 中继器模式

6.3.11 串行管理接口

串行管理接口支持访问 DP83825I 内部寄存器空间，以便获得状态信息与配置。SMI 符合 IEEE 802.3 第 22 条。实施的寄存器组包括 IEEE 802.3 标准规定的寄存器以及其他几个寄存器，能够提高 DP83825I 的可见性与可控性。

SMI 包括管理时钟 (MDC) 和管理输入/输出数据引脚 (MDIO)。MDC 由外部管理实体 (也称为站 (STA)) 提供，可在 24MHz 的最大时钟速率下运行。MDC 不应持续运行，在总线空闲时可由外部管理实体关闭。

MDIO 由外部管理实体和 PHY 提供。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要一个能够在空闲与转换期间将 MDIO 拉高的上拉电阻器 (2.2kΩ)。

最多 4 个 PHY 可共用一条公共 SMI 总线。为了区分 PHY，在加电或硬件复位期间，可通过 `Phy_Address[1:0]` 以及配置引脚的方式确定地址。

在上电或硬件复位后的第一个周期内，管理实体不得启动 SMI 事务。为维持有效运行，SMI 总线必须在复位取消置位后的至少在一个 MDC 周期以内保持未激活状态。在正常的 MDIO 事务中，寄存器地址直接取自管理帧 `reg_addr` 字段，因此允许直接访问 32 个 16 位寄存器 (包括：IEEE 802.3 中定义的寄存器与供应商特定寄存器)。数据字段用于读取和写入操作。开始代码由 `<01>` 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读操作期间发生资源争用，在第一个比特周转期间，没有器件能够主动驱动 MDIO 信号。对于寻址到的 DP83825I，能够在第二个周转位时，通过 0 驱动 MDIO，随后，可通过所需数据驱动。

对于写操作，站管理实体会将数据写入寻址到的 DP83825I，因此不需要进行 MDIO 转换。转换时间由管理实体通过插入 `<10>` 来填充。

表 6-2. SMI 协议

SMI 协议	<code><idle><start><op code><PHY address><reg addr><turnaround><data><idle></code>
读取操作	<code><idle><01><10><AAAA><RRRR><Z0><XXXX XXXX XXXX XXXX><idle></code>
写入操作	<code><idle><01><01><AAAA><RRRR><10><XXXX XXXX XXXX XXXX><idle></code>

6.3.11.1 扩展寄存器空间访问

DP83825I 的 SMI 功能支持利用寄存器 REGCR (0x0D) 与 ADDAR (0x0E) 以及 IEEE 802.3ah 草案第 22 条定义的 MDIO 可管理器件 (MMD) 间接方法，对扩展寄存器组进行读写访问，从而访问第 45 条定义的扩展寄存器组。

标准寄存器组 MDIO 寄存器 0 至 31 通过正常直接 MDIO 访问或间接方法访问，但寄存器 REGCR (0x0D) 和 ADDAR (0x0E) 除外，仅使用正常 MDIO 事务访问该寄存器。SMI 功能会忽略对这些寄存器的间接访问。

REGCR (0x0D) 是 MDIO 可管理的 MMD 访问控制。通常情况下，寄存器 REGCR(4:0) 为器件地址 DEVAD，可将 ADDAR (0x0E) 寄存器的任何访问引向适当的 MMD。

DP83825I 支持一个 MMD 器件地址。特定于供应商的器件地址 DEVAD[4:0] = 11111 用于常规 MMD 寄存器访问。

经由寄存器 REGCR 和 ADDAR 的所有访问都必须使用正确的 DEVAD。其他 DEVAD 的事务都会被忽略。REGCR[15:14] 保存访问功能：地址 (00)、无后增量的数据 (01)、读写时具有后增量的数据 (10) 和仅在写入时具有后增量的数据 (11)。

表 6-3. REGCR DEVAD 函数

REGCR[15:14]	功能
00	通过访问寄存器 ADDAR 可修改扩展寄存器“设置地址”寄存器。为访问扩展寄存器组中的任何寄存器，该地址寄存器应始终处于初始化状态。
01	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。
10	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，读取和写入操作都会使地址寄存器中的值递增。

表 6-3. REGCR DEVAD 函数 (续)

REGCR[15:14]	功能
11	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后, 仅写入访问会使地址寄存器中的值递增。对于读取访问, 地址寄存器中的值保持不变。

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。这些描述使用器件地址进行常规 MMD 寄存器访问 (DEVAD[4:0] = 11111)。

6.3.11.2 读取操作

如需读取扩展寄存器组中的寄存器：

指令	示例：读取 0x0170
1. 将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2. 将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3. 将值 0x401F (数据, 无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4. 将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

随后读取寄存器 ADDAR (第 4 步), 继续读取由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器, 则可跳过步骤 (1) 和 (2)。

6.3.11.3 写入操作

如需在扩展寄存器组中写入寄存器：

指令	示例：设置寄存器 0x0170 = 0C50
1. 将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR (0x0D)。	将寄存器 0x0D 写入值 0x001F
2. 将所需寄存器地址写入寄存器 ADDAR (0x0E)。	将寄存器 0x0E 写入值 0x0170
3. 将值 0x401F (数据, 无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4. 将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50

随后写入寄存器 ADDAR (第 4 步), 继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器, 则可跳过步骤 (1) 和 (2)。

6.3.12 100BASE-TX

6.3.12.1 100BASE-TX 变送器

100BASE-TX 发送器由多个能够将 MII 提供的同步 4 位半字节数据转换为 MDI 上的扰频 MLT-3 125Mbps 串行数据流的功能块共同组成。4B5B 编码与解码的详细说明如表 6-4 所述。

发送器部分包含以下功能块：

1. 码组编码器与注入模块
2. 带旁路选项的扰频器模块

3. NRZ 转 NRZI 编码器模块
4. 二进制到 MLT-3 转换器/通用驱动器模块

100BASE-TX 发送器内功能模块的旁路选项为不总是需要进行数据转换的应用提供了灵活性。DP83825I 实施了 IEEE 802.3 标准第 24 条规定的 100BASE-TX 传输状态机图。

表 6-4. 4B5B 码组编码/解码

名称	PCS 5B 码组	MII 4B 半字节代码
数据代码		
0	11110	0000
1	01001	0001
2	10100	0010
3	10101	0011
4	01010	0100
5	01011	0101
6	01110	0110
7	01111	0111
8	10010	1000
9	10011	1001
A	10110	1010
B	10111	1011
C	11010	1100
D	11011	1101
E	11100	1110
F	11101	1111
空闲与控制代码⁽¹⁾		
H	00100	HALT 码组 - 错误代码
I	11111	数据包间空闲 - 0000
J	11000	第一个数据包开始 - 0101
K	10001	第二个数据包开始 - 0101
T	01101	第一个数据包结束 - 0000
R	00111	第二个数据包结束 - 0000
P	00000	EEE LPI - 0001 ⁽²⁾
无效代码		
V	00001	
V	00010	
V	00011	
V	00101	
V	00110	
V	01000	
V	01100	
V	10000	
V	11001	

(1) 数据字段中的控制码组 I、J、K、T 与 R 被映射为无效代码，并且将 RX_ER 置为有效。

(2) 对于节能以太网 LPI，还必须将 TX_ER / RX_ER 置为有效，将 TX_EN / RX_DV 置为无效。

6.3.12.1.1 代码组编码和注入

码组编码器能够将 MAC 生成的 4 位 (4B) 半字节数据转换为 5 位 (5B) 代码组进行传输。需要进行该等转换，以便将控制数据与数据包数据代码组结合。参阅表 6-4，了解 4B 至 5B 代码组映射详情。

码组编码器能够在发送时将 MAC 前导码前 8 位替换为 J/K 码组对 (11000 10001)。码组编码器会继续用相应的 5B 码组替换随后的 4B 前导码与数据半字节。发送数据包结束时，一旦 MAC 的发送启用 (TX_EN) 信号触发失效，码组编码器就会注入表示帧结束的 T/R 码组对 (01101 00111)。

注入 T/R 码组对以后，码组编码器在检测到下一个发送数据包 (将发送启用重新置位) 以前，会持续向发送数据流注入空闲脉冲。

6.3.12.1.2 扰频器

扰频器需要控制媒体连接器与双绞线电缆上的辐射发射。通过对数据进行扰频，发射到电缆上的总能量能够在较宽的频率范围以内随机分布。如果没有扰频器，在与重复 5B 序列 (即：IDLE 的连续传输) 相关的频率上，MDI 与电缆上的能量水平的峰值可能会超过 FCC 限制。

扰频器配置为具有 11 位多项式的闭环线性反馈移位寄存器 (LFSR)。对于闭环线性反馈移位寄存器的输出，与来自码组编码器的串行 NRZ 数据进行 X-OR。结果是产生了具有足够随机性，能够将特定频率下的辐射发射降低多达 20dB 的扰频数据流。

6.3.12.1.3 NRZ 到 NRZI 编码器

对发送数据流进行串行化与扰频处理以后，必须对数据进行 NRZI 编码，以便符合通过 5 类非屏蔽双绞线进行 100BASE-TX 传输的 TP-PMD 标准。在 DP83825I 中，无法绕过该模块。NRZI 数据会发送到 100Mbps 驱动程序。

6.3.12.1.4 二进制到 MLT-3 转换器

对于二进制到 MLT-3 的转换，通过将 NRZI 编码器输出的串行二进制数据流转换为两个具有交替相位逻辑“1”事件的二进制数据流的方式实现。对于这两个二进制数据流，随后会被馈送至将电压转换为电流，并且会交替驱动发送变压器初级绕组任一侧的双绞线输出驱动器，进而产生最小电流的 MLT-3 信号。

对于 PMD 输出对共用驱动器输出的 100BASE-TX MLT-3 信号，受转换率控制。选择交流耦合磁性元件时，设计人员必须考虑到这一情况，以便确保符合 TP-PMD 标准转换时间 ($3\text{ns} < \text{Trise/fall} < 5\text{ns}$)。

DP83825I 中的 100BASE-TX 发送 TP-PMD 功能只能提供 MLT-3 编码的数据。100Mbps 模式下，无法通过 PMD 输出对进行二进制输出。对于 Tx+ 与 Tx- 上完全编码的 MLT-3，可以通过寄存器 0x0404 进行配置 (例如：在无变压器设计中)。

6.3.12.2 100BASE-TX 接收器

100BASE-TX 接收器由多个功能块共同组成，该等功能模块会将扰频 MLT-3 125Mbps 串行数据流转换为向 RMII 提供的同步 2 位宽数据。

接收部分包含以下功能模块：

1. 输入与 BLW 补偿
2. 信号检测
3. 数字自适应均衡
4. MLT-3 转二进制解码器
5. 时钟恢复模块
6. NRZI 转 NRZ 解码器
7. 解码器
8. 串行转并行
9. 代码组对齐
10. 4B/5B 解码器
11. 链路完整性监视器

12. 不良 SSD 检测

6.3.13 10BASE-Te

10BASE-Te 收发器模块符合 IEEE 802.3 标准。这包括标准中定义的接收器、发送器、冲突检测、心跳检测、环回测试、Jabber 检测以及链路完整性功能。

6.3.13.1 静噪

静噪用于确定差分接收输入端何时存在有效数据。静噪电路与振幅和 (IEEE 802.3 10BASE-Te 标准规定的) 定时测量结合使用, 能够用于确定双绞线输入端的数据有效性。

静噪能够检查数据包开始时的信号, 并且会拒绝不超过静噪水平 (正或负, 取决于极性) 的任何脉冲。正确超过第一个静噪电平以后, 必须在不早于 50ns 以后超过相反的静噪电平。最后, 信号必须在不早于 50ns 以后再次超过原来的静噪电平, 才可被视作不会被剔除的有效输入波形。该检查程序通常会导致每个数据包开头的三个前导位的丢失。发送器工作时, 会先检查五个连续的转换, 再指示出现的有效数据。此时, 静噪电路复位。

6.3.13.2 正常链路脉冲检测和生成

链路脉冲发生器能够产生 IEEE 802.3 10BASE-Te 标准中定义的脉冲。每个链路脉冲的标称持续时间为 100ns, 不发送数据情况下, 每 16ms 发送一次。链路脉冲用于检查与远端连接的完整性。

6.3.13.3 Jabber

Jabber 是一种通常受故障条件影响, 一个站点的传输时间超过容许的最大数据包长度的情况。Jabber 功能能够监控 DP83825I 输出, 如果发送器尝试传输的数据包超过了规定大小, 则禁用该发送器。Jabber 计时器能够监控发送器, 并且能够在发送器激活大约 100ms 时禁用该发送器。Jabber 功能被禁用情况下, 发送器能够在触发模块内部发送使能的整个时间段以内保持禁用状态。在 Jabber 功能重新启用传输输出以前, 该信号必须断开约 500ms (unjab 时间)。Jabber 功能仅在 10BASE-Te 模式下可用并且处于激活状态。

6.3.13.4 工作链路极性检测和校正

交换双绞线内的导线可能导致极性错误, 错误的极性会进一步影响 10BASE-Te 连接。100BASE-TX 基于 MLT-3 编码, 不受极性影响。10BASE-Te 接收块能够自动检测反极性。

6.3.14 环回模式

DP83825I 中提供多个环回选项，能够用于测试与验证 PHY 内的各种功能块。启用环回模式后，可以对数字和模拟数据路径进行电路内测试。DP83825I 可以配置为以下任何一种环回模式。MII 环回利用基本模式控制寄存器 (BMCR，地址：0x0000) 进行配置。所有其他环回模式均通过 BIST 控制寄存器 (BISCR，地址 0x0016) 启用。除非另有说明，否则所有速度 (10/100Mbps 与所有 MAC 接口) 均支持环回模式。

选择环回模式以前，必须禁用自动协商功能。该限制不适用于外部环回模式。

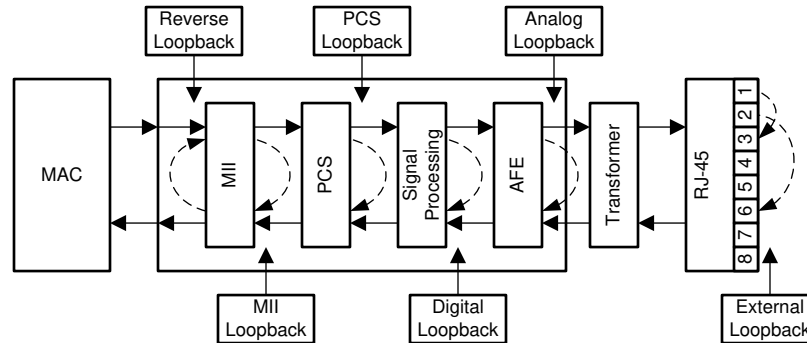


图 6-5. 环回测试模式

6.3.14.1 MII 环回

MII 环回是穿过 PHY 的最浅环路。MII 环回是一种用于验证 MAC 与 PHY 之间通信的测试模式。当处于 MII 环回模式时，对于从 TX 路径上连接的 MAC 发送的数据，会在 DP83825I 内部环回至 RX 引脚，MAC 能够在此处进行检查。

通过设置 BMCR 中的位 [14] 和 BISCR 中的位 [2] 来启用 MII 环回。

6.3.14.2 PCS 环回

PCS 环回发生在 PHY 的 PCS 层。使用 PCS 环回时不执行信号处理。

通过设置 BISCR 中的位 [0] 来启用 PCS 输入环回。

通过设置 BISCR 中的位 [1] 来启用 PCS 输出环回。

6.3.14.3 数字环回

数字环回包括整个数字发送和接收路径。数据在模拟电路之前环回。

通过设置 BISCR 第 [2] 位的方式启用数字环回。

6.3.14.4 模拟环回

在 10BASE-T_e 或 100BASE-T_X 模式下运行时，信号可能在模拟前端以后环回。模拟环回需要在 RJ45 的引脚 1 与引脚 2 之间进行 100 Ω 端接，以及在 RJ45 的引脚 3 与引脚 6 之间进行 100 Ω 端接。

通过设置 BISCR 中的位 [3] 来启用模拟环回。

6.3.14.5 反向环回

反向回送是一种允许与链路伙伴进行 PHY 测试的特殊测试模式。该模式下，对于从链路伙伴接收的数据，能够通过 PHY 接收器传递，在 MAC 接口处环回以后，发送回链路伙伴。此模式下，会忽略来自 MAC 的所有数据信号。这意味着，引脚 1 与引脚 2 之间需要使用 100 Ω 的终端。

通过设置 BISCR 中的位 [4] 来启用反向环回。

6.3.15 BIST 配置

DP83825I 包含内部 PRBS 内置自检 (BIST) 电路，以便适应电路内测试与诊断。BIST 电路可用于测试发送和接收数据路径的完整性。BIST 可以通过两个内部环回 (数字或模拟) 执行，也可以通过利用电缆固定装置的外部环回进行。BIST 采用真实数据包和数据包间间隙 (IPG) 格式来模拟线路上的假随机数据传输场景。BIST 可实现对数据包长度和 IPG 的完全控制。

BIST 数据包长度由 BIST 控制和状态寄存器 2 (BICSR2, 地址 0x001C) 中的位 [10:0] 进行控制。BIST IPG 长度由 BIST 控制和状态寄存器 1 (BICSR1, 地址 0x001B) 中的位 [7:0] 进行控制。

BIST 采用独立的发送和接收路径，且发送时钟能够生成假随机序列的连续流。该器件为 BIST 生成一个 15 位假随机序列。接收到的数据将与生成的假随机数据进行比较以确定通过/失败状态。PRBS 校验器接收到的错误字节数存储在 BICSR1 的位 [15:8] 中。可以从 BIST 控制寄存器 (BISCR, 地址 0x0016) 读取 PRBS 锁定状态和同步。

使用 BISCR 中的位 [14] 可以将 PRBS 测试置于连续模式。在连续模式下，当 BIST 错误计数器达到最大值时，此计数器再次从零开始计数。要读取 BIST 错误计数，必须将 BICSR1 中的位 [15] 设置为“1”。这能够锁定 BIST 错误的当前值，以供读取。注：设置第 [15] 位会清除 BIST 错误计数器。

6.3.16 电缆诊断

随着以太网设备的大量部署，对可靠、全面、用户友好型电缆诊断工具的需求比以往任何时候都要更加强烈。部署的电缆、拓扑结构以及连接器种类繁多，因此需要以非侵入的方式，识别与报告电缆故障。DP83825I 提供了时域反射仪 (TDR) 功能，能够检测电缆开路与短路。

6.3.16.1 TDR

除了估算电缆长度外，DP83825I 也可以利用时域反射仪 (TDR)，确定电缆、连接器以及终端的质量。能够诊断的部分潜在问题包括开路、短路、电缆阻抗不匹配、连接器不良、端接不匹配、跨接故障、交叉短路以及任何其他电缆不连续性。

DP83825I 沿所连接电缆的两个线对的每一个线对发送已知幅度 (1V) 的测试脉冲。发送的信号沿电缆传输时，会通过每个电缆缺陷、故障、连接器以及电缆末端进行反射。发送脉冲后，DP83825I 会测量所有该等反射脉冲的返回时间与幅度。该技术能够以 $\pm 1\text{m}$ 的精度，测量非端接电缆 (开路或短路)、不连续电缆 (连接器不良) 以及端接不当电缆的距离与幅度 (阻抗)。

对于所有的 TDR 测量，到达时间和物理距离之间的转换由外部主机通过少量计算 (例如乘法、加法和查询表) 来完成。主机必须知道电缆的预期传播延迟，该延迟取决于电缆的类别 (例如 CAT5、CAT5e 或 CAT6) 等因素。

以下情况下允许进行 TDR 测量：

- 当链路伙伴断开时 - 在另一侧拔下电缆
- 链路伙伴已连接但保持“静默” (例如，在断电模式下)
- 链路故障或断开时，能够自动激活 TDR

对于 TDR 自动运行，可通过控制寄存器 #1 (CR1，地址：0x0009) 第 [8] 位的方式启用。当链路断开时，TDR 会自动执行，将结果存储在相应的 TDR 电缆诊断位置结果寄存器 #1 - #5 (CDLRR，地址 0x0180 至 0x0184) 与电缆诊断振幅结果寄存器 #1 - #5 (CDLAR，地址：0x0185 至 0x0189) 上。也可以通过电缆诊断控制寄存器 (CDCR，地址：0x001E) 第 [15] 位手动运行 TDR。对于电缆诊断状态，可通过读取 CDCR 第 [1:0] 位的方式获得。电缆诊断特定控制寄存器 (CDSCR，地址：0x0170) 中还提供了其他 TDR 功能 (包括：周期平均与交叉禁用)。

6.3.16.2 快速链路丢弃功能

DP83825I 包括高级链路丢弃功能，可支持各种实时应用。链路丢弃机制是可配置的，包含可实现极快链路丢弃反应时间的增强模式。

DP83825I 支持增强型链路丢弃机制，又称快速链路丢弃 (FLD)，能够缩短用于确定链路的观察窗口。确定链路状态的方法有多种，可以根据用户偏好启用或禁用。可利用寄存器配置，在软件中启用快速链路丢弃功能。可以使用控制寄存器 3 (CR3，地址 0x000B) 来配置 FLD。位 [3:0] 和位 [10] 允许启用各种 FLD 条件。发生链路丢弃时，可通过快速链路丢弃状态寄存器 (FLDS，地址：0x000F)，读取特定故障条件的指示。

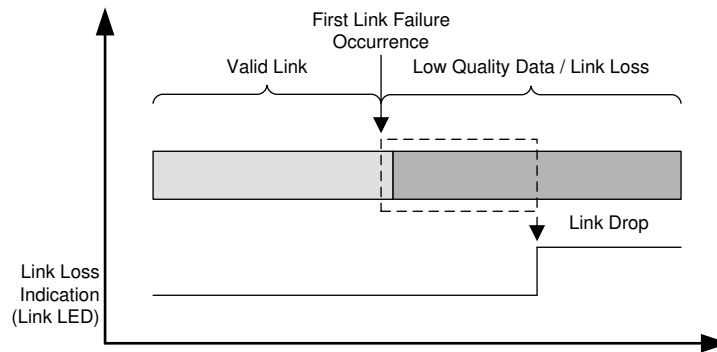


图 6-6. 快速链路丢弃

快速链路丢弃标准包括：

- RX 错误计数 - 当在 10 μ s 窗口内发生预定义数量的 32 RX_ERs 时，链路会被丢弃。
- MLT3 错误计数 - 当在 10 μ s 窗口内发生预定义数量的 20 MLT3 错误时，链路会被丢弃。
- 低 SNR 阈值 - 当在 10 μ s 窗口内发生预定义数量的 20 次阈值交叉时，链路会被丢弃。
- 信号/能量耗损 - 当能量检测器指示能量损失时，链路会被丢弃。

对于快速链路丢弃功能，允许单独使用或以任意组合方式使用该等选项。

备注

由于该模式能够实现极快的反应时间，因此更容易遇到临时链路质量不良的情况。

6.4 器件功能模式

DP83825I 提供了优化电缆长度与功耗的模式。默认模式下，DP83825I 的电缆长度为 100 米及以上。要想实现支持超低功耗与节能以太网功能的 150 米电缆传输距离，设计人员就必须在 PHY 隔离复位以后对配置进行编程。后续部分将会介绍各种可用模式以及实现该等模式所需要的各类配置。

• 默认模式

该模式能够提供 100 米以上的电缆传输距离模式，不需要进行额外的配置编程。

• 低功耗模式

该模式功耗最低，电缆长度可达 130 米及以上。表 6-5 展示了通过 MDC/MDIO 接口进行编程所需要的各类寄存器配置。

表 6-5. 功耗优化模式配置 (130 米电缆长度)

寄存器地址	值
0x0416	0x1F30
0x040D	0x000D
0x0429	0x0200
0x030B	0x0BC0

表 6-5. 功耗优化模式配置 (130 米电缆长度) (续)

寄存器地址	值
0X030C	0x0011
0x033C	0x0001
0X0311	0x0000
0x0313	0x06E3
0x033A	0x579C
0x0404	0x0000
0x033D	0x8110
0x031B	0x0048
0x001F	0x4000

- **电缆长度优化模式**

该模式能够提供不超过 150 米的电缆长度。表 6-6 展示了通过 MDC/MDIO 接口进行编程所需要的各类寄存器配置。

表 6-6. 电缆长度优化模式配置 (150 米电缆长度)

寄存器地址	值
0x0416	0x1F30
0x040D	0x000D
0x0429	0x0200
0x030B	0x0BC0
0X030C	0x0011
0x033C	0x0001
0X0311	0x0000
0x0313	0x06E3
0x033A	0x579C
0x0404	0x0080
0x033D	0x8110
0x031B	0x0048
0x001F	0x4000

- **支持节能以太网功能的电缆长度优化模式**

DP83825I 默认禁用节能以太网 (EEE) 功能。对于节能以太网，必须通过寄存器编程启用。表 6-7 展示了通过 MDC/MDIO 接口进行编程所需要的各类寄存器配置

表 6-7. EEE 的配置

寄存器地址	值
0x0416	0x1F30
0x040D	0x000d
0x0429	0x0200
0x030B	0x0BC0
0x30C	0x0011

表 6-7. EEE 的配置 (续)

寄存器地址	值
0x33C	0x0001
0x0311	0x0000
0x0313	0x06E3
0x033A	0x579C
0x0404	0x0080
0x0130	0x4750
0x0123	0x0800
0x030F	0x0400
0x04D4	0x6633
0x4D5	0x027F
0x4D6	0x01B0
0x4D7	0x01B0
0x031F	0xFC36
0x031C	0x1103
0x0101	0x0882
0x010A	0x2010
0x04CE	0x00FF
0x04CD	0xA5A5
0x0308	0x0982
0x04CF	0x231D
0x04D0	0x0F8F
0x033E	0x861E
0x04D1	0x00C2
0x04D2	0x215B
0x033D	0x8110
0x031B	0x0048
0x001F	0x4000

6.5 编程

DP83825I 不仅提供了用于编程与状态的 IEEE 定义寄存器组，还提供了一个额外的能够用于配置 IEEE 寄存器不支持的其他功能的寄存器组。

6.5.1 Strap 配置

DP83825 使用很多功能引脚作为配置 (strap) 选项，以便将器件置于特定的运行模式。上电或硬复位时会对这些引脚的值进行采样。在软件复位期间，内部将根据上电或硬复位时采样的值重新加载配置 (strap) 选项。配置 (strap) 选项引脚分配定义如下。对于器件的配置，可通过搭接引脚或管理寄存器接口完成。可利用上拉电阻器或下拉电阻器的建议值，设置搭接引脚输入与电源的电压比，以便选择其中一种可选模式。MAC 接口引脚必须支持 3.3V 与 1.8V 的 I/O 电压。由于搭接输入是在该等引脚上实现的，因此搭接也必须支持 3.3V 与 1.8V 电源，具体取决于 I/O 选择的电压。所有配置 (strap) 引脚都有两级。

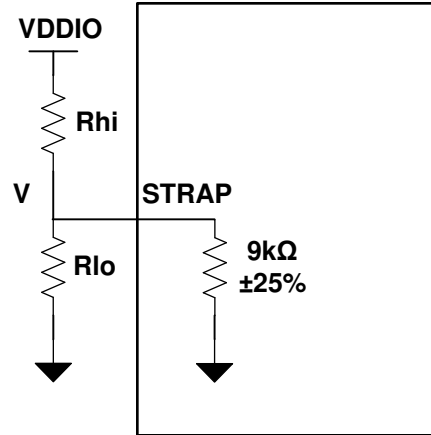


图 6-7. 配置 (Strap) 电路

表 6-8. 2 级 Strap 配置电阻比

模式	推荐的电阻器	
	Rhi (kΩ)	Rlo (kΩ)
0	断开	2.49
1	2.49	断开

6.5.1.1 PHY 地址配置 (strap)

表 6-9. PHY 地址配置 (strap) 表

引脚名称	Strap 配置名称	引脚号	默认值	PHY_ADD0
RX_D0	PhyAdd[0] ⁽¹⁾	18	0	模式 0
				模式 1
CRS_DV	PhyAdd[1] ⁽¹⁾	20	0	PHY_ADD1
				模式 0
				模式 1

(1) PhyAdd[1:0] 通过引脚 18 与引脚 20 上的两个搭接确定，分别转换为第 [0] 位与第 [1] 位。

表 6-10. RMII MAC 模式配置 (Strap) 表

引脚名称	Strap 配置名称	引脚号	默认值	0	1
RX_D1	主设备/从设备	17	0	RMII 主模式	RMII 从模式
				0	引脚 20 配置为 CRS_DV
50MHzOut/LED2	RX_DV_En	2	0	1	引脚 20 配置为 RX_DV (用于 RMII 中继器模式)

表 6-11. Auto_Neg 搭接表

引脚名称	Strap 配置名称	引脚号	默认值	0	1
RX_ER	A-MDIX	22	0	自动 MDIX 使能	自动 MDIX 禁用
				0	启用自动协商功能
LED0	ANeg_Dis	4	0	1	自动协商禁用。强制模式 100M 启用

6.6 器件寄存器

表 6-12 列出了器件寄存器的存储器映射寄存器。表 6-12 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 6-12. 器件寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	BMCR_Register		转到
1h	BMSR_Register		转到
2h	PHYIDR1_Register		转到
3h	PHYIDR2_Register		转到
4h	ANAR_Register		转到
5h	ALNPAR_Register		转到
6h	ANER_Register		转到
7h	ANNPTR_Register		转到
8h	ANLNPTR_Register		转到
9h	CR1_Register		转到
Ah	CR2_Register		转到
Bh	CR3_Register		转到
Ch	Register_12		转到
Dh	REGCR_Register		转到
Eh	ADDAR_Register		转到
Fh	FLDS_Register		转到
10h	PHYSTS_Register		转到
11h	PHYSCR_Register		转到
12h	MISR1_Register		转到
13h	MISR2_Register		转到
14h	FCSCR_Register		转到
15h	RECR_Register		转到
16h	BISCR_Register		转到
17h	RCSR_Register		转到
18h	LEDCR_Register		转到
19h	PHYCR_Register		转到
1Ah	10BTSCR_Register		转到
1Bh	BICSR1_Register		转到
1Ch	BICSR2_Register		转到
1Eh	CDCR_Register		转到
1Fh	PHYRCR_Register		转到
25h	MLEDCA_Register		转到
27h	COMPT_Regsiter		转到
101h	Register_101		转到
10Ah	Register_10a		转到
123h	Register_123		转到
130h	Register_130		转到
170h	CDSCR_Register		转到
171h	CDSCR2_Register		转到
172h	TDR_172_Register		转到
173h	CDSCR3_Register		转到

表 6-12. 器件寄存器 (续)

偏移	首字母缩写词	寄存器名称	部分
174h	TDR_174_Register		转到
175h	TDR_175_Register		转到
176h	TDR_176_Register		转到
177h	CDSCR4_Register		转到
178h	TDR_178_Register		转到
180h	CDLRR1_Register		转到
181h	CDLRR2_Register		转到
182h	CDLRR3_Register		转到
183h	CDLRR4_Register		转到
184h	CDLRR5_Register		转到
185h	CDLAR1_Register		转到
186h	CDLAR2_Register		转到
187h	CDLAR3_Register		转到
188h	CDLAR4_Register		转到
189h	CDLAR5_Register		转到
18Ah	CDLAR6_Register		转到
302h	IO_CFG_Register		转到
305h	IO_CFG_2_Register		转到
308h	SPARE_OUT		转到
30Bh	DAC_CFG_0		转到
30Ch	DAC_CFG_1		转到
30Fh	DSP_CFG_0		转到
311h	DSP_CFG_2		转到
313h	DSP_CFG_4		转到
31Ch	DSP_CFG_13		转到
31Fh	DSP_CFG_16		转到
33Ch	DSP_CFG_25		转到
33Eh	DSP_CFG_27		转到
404h	ANA_LD_PRG_SL_Register		转到
40Dh	ANA_RX10BT_CTRL_Register		转到
416h	Register_416		转到
429h	Register_429		转到
456h	GENCFG_Register		转到
460h	LEDCFG_Register		转到
461h	IOCTRL_Register		转到
467h	SOR1_Register		转到
468h	SOR2_Register		转到
469h	Register_0x469_Register		转到
4A0h	RXFCFG_Register		转到
4A1h	RXFS_Register		转到
4A2h	RXFPMD1_Register		转到
4A3h	RXFPMD2_Register		转到
4A4h	RXFPMD3_Register		转到
4CDh	Register_0x4cd		转到
4CEh	Register_0x4ce		转到

表 6-12. 器件寄存器 (续)

偏移	首字母缩写词	寄存器名称	部分
4CFh	Register_0x4cf		转到
4D0h	EEECFG2_Register		转到
4D1h	EEECFG3_Register		转到
4D2h	Register_0x4d2		转到
4D4h	Register_0x4d4		转到
4D5h	DSP_100M_STEP_2_Register		转到
4D6h	DSP_100M_STEP_3_Register		转到
4D7h	DSP_100M_STEP_4_Register		转到
1000h	MMD3_PCS_CTRL_1_Register		转到
1001h	MMD3_PCS_STATUS_1		转到
1014h	MMD3_EEE_CAPABILITY_Register		转到
1016h	MMD3_WAKE_ERR_CNT_Register		转到
203Ch	MMD7_EEE_ADVERTISEMENT_Register		转到
203Dh	MMD7_EEE_LP_ABILITY_Register		转到

复杂的位访问类型经过编码可适应小型表单元。表 6-13 展示了适用于此部分中访问类型的代码。

表 6-13. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

6.6.1 BMCR_Register (偏移 = 0h) [复位 = 3100h]

表 6-14 展示了 BMCR_Register。

返回到[汇总表](#)。

表 6-14. BMCR_Register 字段说明

位	字段	类型	复位	说明
15	复位	W	0h	PHY 软件复位：向该位写入 1，会将 PHY PCS 寄存器复位。复位操作完成后，该位会自动清零。不会清除 PHY 供应商特定寄存器。 0h = 正常运行 1h = 启动软件复位/复位进行中
14	MII_Loopback	R/W	0h	MII 环回：MII 环回模式激活后，MII TXD 上的传输数据会在内部环回至 MII RXD。适用于唯一可用的 RMII 接口。还需设置以下附加位：将 BISCRA 0x0016[4:0] 配置为 0b00100 (对于 100Base-TX)，将 BISCRA 0x0016[4:0] 配置为 00001b (对于 10Base-Te) 0h = 正常运行 1h = MII 环回使能
13	Speed_Selection	R/W	1h	速度选择：禁用自动协商时 (寄存器 0x0000 第 [12] 位 = 0)，写入该位，可选择端口速度。 0h = 10Mbps 1h = 100Mbps

表 6-14. BMCR_Register 字段说明 (续)

位	字段	类型	复位	说明
12	Auto-Negotiation_Enable	R/W	1h	自动协商使能： 0h = 禁用自动协商 - 第 [8] 位与第 [13] 位，确定端口速度与双工模式 1h = 使能自动协商 - 设置该位后，会忽略寄存器第 [8] 位与第 [13] 位
11	IEEE_Power_Down	R/W	0h	断电：设置该位后，PHY 会断电。该断电条件下，仅使能寄存器访问功能。为控制断电机制，该位与 INT/PWDN_N 引脚的输入进行“或”运算。当低电平有效 INT/PWDN_N 置位时，会设置该位。 0h = 正常运行 1h = IEEE 断电
10	Isolate	R/W	0h	隔离： 0h = 正常运行 1h = 将端口与 MII 隔离 (串行管理接口除外)。在 RMI 主模式下，这还会禁用 50MHz 时钟
9	Restart_Auto-Negotiation	R/W	0h	重启自动协商：如果禁用自动协商功能 (第 [12] 位 = 0)，则忽略第 [9] 位。该位为自清零位，启动自动协商以前，该位返回值为 1，使能后，该位自动清除。管理实体清除该位不会影响自动协商过程运行。 0h = 正常运行 1h = 重启自动协商功能，重新启动自动协商过程
8	Duplex_Mode	R/W	1h	双工模式：禁用自动协商功能后，可通过写入该位的方式，选择端口双工能力。 0h = 半双工 1h = 全双工
7	Collision_Test	R/W	0h	碰撞测试：设置该位后，COL 信号会在 512 位时间内响应 TX_EN 置位。COL 信号会在 4 个比特时间内取消置位，以便响应 TX_EN 取消置位。 0h = 正常运行 1h = 使能 COL 信号测试
6-0	RESERVED	R	0h	保留

6.6.2 BMSR_Register (偏移 = 1h) [复位 = 7849h]

表 6-15 展示了 BMSR_Register。

返回到[汇总表](#)。

表 6-15. BMSR_Register 字段说明

位	字段	类型	复位	说明
15	100Base-T4	R	0h	支持 100Base-T4：该协议不可用。始终读为 0。
14	100Base-TX_Full-Duplex	R	1h	支持 100Base-TX 全双工： 0h = 器件无法执行全双工 100Base-TX 1h = 器件能够执行全双工 100Base-TX
13	100Base-TX_Half-Duplex	R	1h	支持 100Base-TX 半双工： 0h = 器件无法执行半双工 100Base-TX 1h = 器件能够执行半双工 100Base-TX
12	10Base-T_Full-Duplex	R	1h	支持 10Base-T 全双工： 0h = 器件无法执行全双工 10Base-T 1h = 器件能够执行全双工 10Base-T
11	10Base-T_Half-Duplex	R	1h	支持 10Base-T 半双工： 0h = 器件无法执行半双工 10Base-T 1h = 器件能够执行半双工 10Base-T
10-7	RESERVED	R	0h	保留

表 6-15. BMSR_Register 字段说明 (续)

位	字段	类型	复位	说明
6	SMI_Preamble_Suppression	R	1h	支持前导码抑制：如果将该位设置为 1，则仅在复位、操作码无效或转换无效以后需要一次 32 位的前导码。器件要求两次事务之间至少要有 500ns 的间隙，随后为一个 MDC 上升沿并且 MDIO=1，然后才开始下一次事务。 0h = 器件无法在前导码抑制情况下执行管理事务 1h = 器件能够在前导码抑制情况下执行管理事务
5	Auto-Negotiation_Complete	R	0h	自动协商完成： 0h = 自动协商过程未完成 (仍在进行、已禁用或复位) 1h = 自动协商过程已完成
4	Remote_Fault	R	0h	远程故障：远端故障指示或链路伙伴发送的远程故障通知。该位会在读取或复位时被清除。 0h = 未检测到远程故障情况 1h = 检测到远程故障情况
3	Auto-Negotiation_Ability	R	1h	自动协商能力： 0h = 器件无法执行自动协商 1h = 器件能够执行自动协商
2	Link_Status	R	0h	链路状态： 0h = 未建立链路 1h = 已建立有效链路 (适用于 10Mbps 或 100Mbps 操作)
1	Jabber_Detect	R	0h	Jabber 检测： 0h = 未检测到 Jabber 条件。该位仅对 10Base-T 操作有意义。 1h = 检测到 Jabber 条件
0	Extended_Capability	R	1h	扩展功能 0h = 仅基本寄存器组功能 1h = 扩展寄存器功能

6.6.3 PHYIDR1_Register (偏移 = 2h) [复位 = 2000h]

表 6-16 展示了 PHYIDR1_Register。

返回到[汇总表](#)。

表 6-16. PHYIDR1_Register 字段说明

位	字段	类型	复位	说明
15-0	Organizationally_Unique_Identifier_Bits_21:6	R	2000h	PHY 标识符寄存器 #1

6.6.4 PHYIDR2_Register (偏移 = 3h) [复位 = A140h]

表 6-17 展示了 PHYIDR2_Register。

返回到[汇总表](#)。

表 6-17. PHYIDR2_Register 字段说明

位	字段	类型	复位	说明
15-10	Organizationally_Unique_Identifier_Bits_5:0	R	28h	PHY 标识符寄存器 #2
9-4	Model_Number	R	14h	供应商型号：六位供应商型号 (映射自第 [9] 位至第 [4] 位)
3-0	Revision_Number	R	0h	型号版本号：四位供应商型号版本号 (映射自第 [3:0] 位)。对于所有主要器件更改，该字段都会递增。

6.6.5 ANAR_Register (偏移 = 4h) [复位 = 01E1h]

表 6-18 展示了 ANAR_Register。

返回到汇总表。

表 6-18. ANAR_Register 字段说明

位	字段	类型	复位	说明
15	Next_Page	R/W	0h	下一页指示： 0h = 不需要进行下一页传送 1h = 需要进行下一页传送
14	RESERVED	R	0h	保留
13	Remote_Fault	R/W	0h	远程故障： 0h = 未检测到远程故障 1h = 广播该器件检测到远程故障。注：DP83825 不支持远程故障。 应用程序不应设置该位
12	RESERVED	R	0h	保留
11	Asymmetric_Pause	R/W	0h	全双工链路的非对称暂停支持： 0h = 不广播非对称暂停能力 1h = 广播非对称暂停能力
10	Pause	R/W	0h	全双工链路暂停支持： 0h = 不广播暂停能力 1h = 广播暂停能力
9	100Base-T4	R	0h	100Base-T4 支持： 0h = 不广播 100Base-T4 能力 1h = 广播 100Base-T4 能力
8	100Base-TX_Full-Duplex	R/W	1h	100Base-TX 全双工支持：强制模式下，数值并不重要 0h = 不广播 100Base-TX 全双工能力 强制模式下，数值并不重要 1h = 广播 100Base-TX 全双工能力
7	100Base-TX_Half-Duplex	R/W	1h	100Base-TX 半双工支持：强制模式下，数值并不重要 0h = 不广播 100Base-TX 半双工能力 强制模式下，数值并不重要 1h = 广播 100Base-TX 半双工能力
6	10Base-T_Full-Duplex	R/W	1h	10Base-T 全双工支持：强制模式下，数值并不重要 0h = 不广播 10Base-T 全双工能力 强制模式下，数值并不重要 1h = 广播 10Base-T 全双工能力
5	10Base-T_Half-Duplex	R/W	1h	10Base-T 半双工支持：强制模式下，数值并不重要 0h = 不广播 10Base-T 半双工能力 强制模式下，数值并不重要 1h = 广播 10Base-T 半双工能力
4-0	Selector_Field	R/W	1h	协议选择位：技术选择器字段 (IEEE802.3u <00001>)

6.6.6 ALNPAR_Register (偏移 = 5h) [复位 = 0000h]

表 6-19 展示了 ALNPAR_Register。

返回到汇总表。

表 6-19. ALNPAR_Register 字段说明

位	字段	类型	复位	说明
15	Next_Page	R	0h	下一页指示： 0h = 链路伙伴不需要进行下一页传送 1h = 链路伙伴需要进行下一页传送
14	响应	R	0h	确认： 0h = 链路伙伴未应答接收链路码字 1h = 链路伙伴应答接收链路码字

表 6-19. ALNPAR_Register 字段说明 (续)

位	字段	类型	复位	说明
13	Remote_Fault	R	0h	远程故障： 0h = 链路伙伴不广播远程故障事件检测 1h = 链路伙伴广播远程故障事件检测
12	RESERVED	R	0h	保留
11	Asymmetric_Pause	R	0h	非对称暂停： 0h = 链路伙伴不广播非对称暂停能力 1h = 链路伙伴广播非对称暂停能力
10	Pause	R	0h	暂停： 0h = 链路伙伴不广播暂停能力 1h = 链路伙伴广播暂停能力
9	100Base-T4	R	0h	100Base-T4 支持： 0h = 链路伙伴不广播 100Base-T4 能力 1h = 链路伙伴广播 100Base-T4 能力
8	100Base-TX_Full-Duplex	R	0h	100Base-TX 全双工支持： 0h = 链路伙伴不广播 100Base-TX 全双工能力 1h = 链路伙伴广播 100Base-TX 全双工能力
7	100Base-TX_Half-Duplex	R	0h	100Base-TX 半双工支持： 0h = 链路伙伴不广播 100Base-TX 半双工能力 1h = 链路伙伴广播 100Base-TX 半双工能力
6	10Base-T_Full-Duplex	R	0h	10Base-T 全双工支持： 0h = 链路伙伴不广播 10Base-T 全双工能力 1h = 链路伙伴广播 10Base-T 全双工能力
5	10Base-T_Half-Duplex	R	0h	10Base-T 半双工支持： 0h = 链路伙伴不广播 10Base-T 半双工能力 1h = 链路伙伴广播 10Base-T 半双工能力
4-0	Selector_Field	R	0h	协议选择位：技术选择器字段 (IEEE802.3 <00001>)

6.6.7 ANER_Register (偏移 = 6h) [复位 = 0004h]

表 6-20 展示了 ANER_Register。

返回到汇总表。

表 6-20. ANER_Register 字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	保留
4	Parallel_Detection_Fault	R	0h	并行检测故障： 0h = 未检测到故障 1h = 并行检测过程中检测到故障
3	Link_Partner_Next_Page_Able	R	0h	链接伙伴下一页能力： 0h = 链路伙伴无法交换下一页 1h = 链路伙伴能够交换下一页
2	Local_Device_Next_Page_Able	R	1h	下一页能力： 0h = 本地器件无法交换下一页 1h = 本地器件能够交换下一页
1	Page_Received	R	0h	接收链路码字页： 0h = 尚未收到新页面 1h = 已收到新页面
0	Link_Partner_Auto-Negotiation_Able	R	0h	链路伙伴自动协商能力： 0h = 链路伙伴不支持自动协商 1h = 链路伙伴支持自动协商

6.6.8 ANNPTR_Register (偏移 = 7h) [复位 = 2001h]

表 6-21 展示了 ANNPTR_Register。

返回到[汇总表](#)。

表 6-21. ANNPTR_Register 字段说明

位	字段	类型	复位	说明
15	Next_Page	R/W	0h	下一页指示： 0h = 不广播希望发送更多后续页 1h = 广播希望发送更多后续页
14	RESERVED	R	0h	保留
13	Message_Page	R/W	1h	消息页： 0h = 当前页为未格式化页面 1h = 当前页为消息页面
12	Acknowledge_2	R/W	0h	Acknowledge2：下一页功能利用 Acknowledge2 表示本地器件有能力接收消息。 0h = 不符合消息 1h = 符合消息
11	切换	R	0h	切换：切换用于自动协商中的仲裁功能，以便在下一页交换期间与链路伙伴同步。该位数值始终与之前交换的链路码字中的切换位相反。 0h = 先前传输的链路码字中的切换位的值为 1 1h = 先前传输的链路码字中的切换位的值为 0
10-0	代码	R/W	1h	该字段表示下一页传输的代码字段。如果设置了“消息页”位（寄存器第 [13] 位），则按照 IEEE 802.3u 附件 28C 的定义，将代码解释为“消息页面”。反之，将代码解释为非格式化页面，具体解释视应用而定。该代码默认值表示 IEEE 802.3u 附件 28C 中定义的空页面。

6.6.9 ANLNPTR_Register (偏移 = 8h) [复位 = 0000h]

表 6-22 展示了 ANLNPTR_Register。

返回到[汇总表](#)。

表 6-22. ANLNPTR_Register 字段说明

位	字段	类型	复位	说明
15	Next_Page	R	0h	下一页指示： 0h = 不广播希望发送更多后续页 1h = 广播希望发送更多后续页
14	响应	R	0h	确认： 0h = 链路伙伴未应答接收链路码字 1h = 链路伙伴应答接收链路码字
13	Message_Page	R	0h	消息页： 0h = 当前页为未格式化页面 1h = 当前页为消息页面
12	Acknowledge_2	R	0h	Acknowledge2：下一页功能利用 Acknowledge2 表示本地器件有能力接收消息。 0h = 不符合消息 1h = 符合消息
11	切换	R	0h	切换：切换用于自动协商中的仲裁功能，以便在下一页交换期间与链路伙伴同步。该位数值始终与之前交换的链路码字中的切换位相反。 0h = 先前传输的链路码字中的切换位的值为 1 1h = 先前传输的链路码字中的切换位的值为 0

表 6-22. ANLNPTR_Register 字段说明 (续)

位	字段	类型	复位	说明
10-0	消息/未格式化字段	R	0h	该字段表示下一页传输的代码字段。如果设置了“消息页”位(该寄存器地 13 位),则按照 IEEE 802.3u 附件 28C 的定义,将代码解释为“消息页面”。反之,将代码解释为非格式化页面,具体解释视应用而定。该代码默认值表示 IEEE 802.3u 附件 28C 中定义的空页面。

6.6.10 CR1_Register (偏移 = 9h) [复位 = 0000h]

表 6-23 展示了 CR1_Register。

返回到[汇总表](#)。

表 6-23. CR1_Register 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	TDR_Auto-Run	R/W	0h	链路断开时 TDR 自动运行 0h = 禁用自动执行 TDR 1h = 使能在链路断开事件以后执行 TDR 程序
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	robust_Auto_MDIX	R/W	0h	强大的自动 MDIX: 如果链路伙伴被配置为正常自动 MDIX 不支持的操作模式,则强大的自动 MDIX 允许 MDI/MDIX 解析并且防止死锁。 0h = 禁用自动 MDIX 1h = 使能稳健的自动 MDIX
4	RESERVED	R	0h	保留
3-2	RESERVED	R	0h	保留
1	Fast_RXDV_Detection	R/W	0h	快速 RXDV 检测: 0h = 禁用快速 RX_DV 检测。PHY 在正常模式下运行。检测到 /JK/ 后将 RX_DV 置为有效。 1h = 仅在检测到 /J/ 符号时使能接收数据包上的 RX_DV 高电平。如果没有出现连续的 /K/, 则生成 RX_ER。
0	RESERVED	R	0h	保留

6.6.11 CR2_Register (偏移 = Ah) [复位 = 0100h]

表 6-24 展示了 CR2_Register。

返回到[汇总表](#)。

表 6-24. CR2_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13-7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	Extended_Full-Duplex_Ability	R/W	0h	扩展全双工能力: 0h = 禁用扩展全双工能力。根据 IEEE 规范,确定在全双工模式下工作还是在半双工模式下工作 1h = 在强制 100Base-TX 下与链路伙伴一起工作时使能全双工。当 PHY 设置为“自动协商”或“强制 100Base-TX”,并且链路伙伴在“强制 100Base-TX”模式下运行时,链路始终为全双工模式。

表 6-24. CR2_Register 字段说明 (续)

位	字段	类型	复位	说明
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RX_ER_During_IDLE	R/W	0h	在空闲状态期间, 检测到接收符号错误: 0h = 禁用在“空闲”状态期间检测“接收符号”错误 1h = 启用在“空闲”状态期间检测“接收符号”错误
1	Odd-Nibble_Detection_Disable	R/W	0h	传输错误检测: 0h = 使能在奇半字节边界上检测 TX_EN 是否无效。这种情况下, TX_EN 会被额外延长一个 TX_CLK 周期, 并且其行为就好像在该额外周期中置位了 TX_ER 一样 1h = 禁用在奇半字节边界中检测传输错误
0	RESERVED	R	0h	保留

6.6.12 CR3_Register (偏移 = Bh) [复位 = 0000h]

表 6-25 展示了 CR3_Register。

返回到[汇总表](#)。

表 6-25. CR3_Register 字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	Descrambler_Fast_Link_Down_Mode	R/W	0h	解码器快速链路丢弃: 该选项可在第 [3:0] 位中与其他快速链路断开模式并行使用。 0h = 在解码器链路丢失时不丢弃链路 1h = 在解码器链路丢失时丢弃链路
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	Polarity_Swap	R/W	0h	极性交换: 端口 MirRr 功能: 要启用端口 mirRring, 请将该位与第 [5] 位设置为高电平。 1h = 两对极性相反: TD+ 与 TD-; RD+ 与 RD- 0h = 正常极性
5	MDI/MDIX_Swap	R/W	0h	MDI/MDIX 交换: 端口 MirRr 功能: 要启用端口 mirRring, 请将该位与第 [6] 位设置为高电平。 0h = MDI 对正常 (在 RD 对上接收, 在 TD 对上发送) 1h = 交换 MDI 对 (在 TD 对上接收, 在 RD 对上发送)
4	RESERVED	R	0h	保留
3-0	Fast_Link_Down_Mode	R/W	0h	快速链路断开模式: a) 第 3 位根据 MII 接口的 RX 错误计数丢弃链路。当达到 10us 间隔内发生 32 次 RX 错误的预定义次数时, 链路将会被丢弃。 b) 第 2 位会根据 MLT3 错误计数 (违反 DSP 输出中的 MLT3 编码) 丢弃链路。当达到 10us 间隔内发生 20 次 MLT3 错误的预定义次数时, 链路将会被丢弃。 c) 第 1 位根据低 SNR 阈值丢弃链路。当达到 10us 间隔内发生 20 次阈值交叉的预定义次数时, 链路将会被丢弃。 d) 第 0 位根据信号/能量损失指示丢弃链路。当能量检测器显示存在能量损失时, 链路会被丢弃。典型的反应时间为 10us。 快速链路断开功能是全部 5 个选项 (第 [10] 位与第 [3:0] 位) 的“或”运算, 设计人员可使能该等条件的任意组合。

6.6.13 Register_12 (偏移 = Ch) [复位 = 0000h]

表 6-26 展示了 Register_12。

返回到[汇总表](#)。

表 6-26. Register_12 字段说明

位	字段	类型	复位	说明
15	Link_Quality_interrupt	RC	0h	链路质量指示中断
14	energy_detect_interrupt	RC	0h	能量检测指示中断
13	link_interrupt	RC	0h	链路状态中断
12	speed_interrupt	RC	0h	速度状态中断
11	duplex_interrupt	RC	0h	双工中断
10	auto_negotiation_comple te_interrupt	RC	0h	自动协商中断
9	false_carrier_half_full_inte rrupt	RC	0h	虚假载波中断
8	rhf_interrupt	RC	0h	rhf 中断
7	Link_Quality_interrupt_en able	R/W	0h	链路质量指示中断使能
6	energy_detect_interrupt_e nable	R/W	0h	能量检测指示中断使能
5	link_interrupt_enable	R/W	0h	链路状态中断使能
4	speed_interrupt_enable	R/W	0h	速度状态中断使能
3	duplex_interrupt_enable	R/W	0h	双工中断使能
2	auto_negotiation_comple te_interrupt_enable	R/W	0h	自动协商中断使能
1	false_carrier_half_full_inte rrupt_enable	R/W	0h	虚假载波中断使能
0	rhf_interrupt_enable	R/W	0h	rhf 中断使能

6.6.14 REGCR_Register (偏移 = Dh) [复位 = 0000h]

表 6-27 展示了 REGCR_Register。

返回到[汇总表](#)。

表 6-27. REGCR_Register 字段说明

位	字段	类型	复位	说明
15-14	Extended_Register_Co mmand	R/W	0h	扩展寄存器命令： 0h = 地址 1h = 数据，无后增量 2h = 数据，读写后增量 3h = 数据，仅写入后增量
13-5	RESERVED	R	0h	保留
4-0	DEVAD	R/W	0h	器件地址：第 [4:0] 位为器件地址 DEVAD，可将 ADDAR 寄存器 0x000E 任何访问引至适当的 MMD。具体来说，DP83825 在访问寄存器 0x04D1 及以下时采用供应商特定 DEVAD [4:0] = “11111”。对于 MMD3 访问，DEVAD[4:0] = “00011”。对于 MMD7 访问，DEVAD[4:0] = “00111”。对于通过寄存器 REGCR 与 ADDAR 进行的所有访问，必须采用 MMD、MMD3 或 MMD7 的 DEVAD。其他 DEVAD 的事务都会被忽略。

6.6.15 ADDAR_Register (偏移 = Eh) [复位 = 0000h]

表 6-28 展示了 ADDAR_Register。

返回到[汇总表](#)。

表 6-28. ADDAR_Register 字段说明

位	字段	类型	复位	说明
15-0	地址/数据	R/W	0h	如果 REGCR 寄存器第 [15:14] 位 = “00”，则保存 MMD DEVAD 的地址寄存器，否则保存 MMD DEVAD 的数据。

6.6.16 FLDS_Register (偏移 = Fh) [复位 = 0000h]

表 6-29 展示了 FLDS_Register。

返回到[汇总表](#)。

表 6-29. FLDS_Register 字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8-4	Fast_Link_Down_Status	R	0h	快速链路断开状态：如果每次激活给定的快速链路中断模式并且导致链路中断（假设已使用该等模式），则将状态寄存器锁存为高电平 1h = 信号/能量损失 2h = SNR 级别 4h = MLT3 错误 8h = RX 错误 10h = 解码器损失同步
3-0	RESERVED	R	0h	保留

6.6.17 PHYSTS_Register (偏移 = 10h) [复位 = 0000h]

表 6-30 展示了 PHYSTS_Register。

返回到[汇总表](#)。

表 6-30. PHYSTS_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	MDI/MDIX_Mode	R	0h	MDI/MDIX 模式状态： 0h = MDI 对正常（在 RD 对上接收，在 TD 对上发送） 1h = MDI 对交换（在 TD 对上接收，在 RD 对上发送）
13	Receive_error_Latch	R	0h	接收错误锁存：读取 RECR 寄存器后，会清除该位 0h = 未发生接收错误事件 1h = 自上次读取 RXERCNT 寄存器 (0x0015) 以来已发生接收错误事件
12	Polarity_Status	R	0h	极性状态：该位是 10BTSCR 寄存器 (0x001A) 第 [4] 位的副本。读取 10BTSCR 寄存器时，会清空该位，但不会在读取 PHYSTS 寄存器时清除该位。 0h = 检测到正向极性 1h = 检测到反向极性
11	False_Carrier_Sense_Latch	R	0h	虚假载波感测锁存：读取 FCSR 寄存器后，会清除该位。 0h = 未发生虚假载波事件 1h = 自上次读取 FCSR 寄存器 (0x0014) 以来已发生虚假载波事件
10	Signal_Detect	R	0h	信号检测：来自 PMD 的高电平有效 100Base-TX 无条件信号检测指示
9	Descrambler_Lock	R	0h	解码器锁：来自 PMD 的高电平有效 100Base-TX 解码器 无条件信号检测指示

表 6-30. PHYSTS_Register 字段说明 (续)

位	字段	类型	复位	说明
8	Page_Received	R	0h	接收链路码字页：该位为 ANER 寄存器中“页接受”（第 [1] 位）的副本，会在读取 ANER 寄存器 (0x0006) 时清零。 0h = 尚未收到链路码字页 1h = 已收到新的链路码字页
7	MII_Interrupt	R	0h	MII 中断挂起：可通过读取 MISR 寄存器 (0x0012) 的方式确定中断源。读取 MISR 时，会清除该中断位指示。 0h = 没有中断待处理 1h = 表示存在待处理内部中断
6	Remote_Fault	R	0h	远程故障：读取 BMSR 寄存器 (0x0001) 或通过复位清除。 1h = 检测到远程故障情况。故障标准：链路伙伴通过自动协商发出远程故障通知 0h = 未检测到远程故障情况
5	Jabber_Detect	R	0h	Jabber 检测：该位仅用于 10Mbps 运行。该位为 BMSR 寄存器 (0x0001) 中的 Jabber 检测位的副本，读取 PHYSTS 寄存器时不会清零。 0h = 未检测到 Jabber 1h = 检测到 Jabber 条件
4	Auto-Negotiation_Status	R	0h	自动协商状态： 0h = 自动协商未完成 1h = 自动协商已完成
3	MII_Loopback_Status	R	0h	MII 环回状态： 0h = 正常运行 1h = 环回使能
2	Duplex_Status	R	0h	双工状态： 0h = 半双工模式 1h = 全双工模式
1	Speed_Status	R	0h	速度状态： 0h = 100Mbps 模式 1h = 10Mbps 模式
0	Link_Status	R	0h	链路状态：该位为 BMSR 寄存器 (地址：0x0001) 中“链路状态”位的副本，读取 PHYSTS 寄存器时不会清零。 0h = 未建立链路 1h = 已建立有效链路 (适用于 10Mbps 或 100Mbps)

6.6.18 PHYSCR_Register (偏移 = 11h) [复位 = 0108h]

表 6-31 展示了 PHYSCR_Register。

返回到[汇总表](#)。

表 6-31. PHYSCR_Register 字段说明

位	字段	类型	复位	说明
15	Disable_PLL	R/W	0h	禁用 PLL：注：只能在 IEEE 省电模式下禁用时钟电路。 0h = 正常运行 1h = 禁用内部时钟电路
14	Power_Save_Mode_Enable	R/W	0h	使能节电模式： 0h = 正常运行 1h = 使能节电模式
13-12	Power_Save_Modes	R/W	0h	节电模式： 0h = 正常运行模式。PHY 功能完全正常 1h = 保留 2h = 主动睡眠，低功耗主动节电模式，关闭除 SMI 与能量检测功能以外的所有内部电路。该模式下，PHY 每 1.4 秒会发送一次 NLP，以便唤醒链路伙伴。检测到链路伙伴时，会自动加电。

表 6-31. PHYSCR_Register 字段说明 (续)

位	字段	类型	复位	说明
11	Scrambler_Bypass	R/W	0h	扰频器旁路： 0h = 禁用扰频器旁路 1h = 使能扰频器旁路
10	RESERVED	R	0h	保留
9-8	Loopback_FIFO_Depth	R/W	1h	远端环回 FIFO 深度：该 FIFO 用于将 RX (接收) 时钟速率调整为 TX 时钟频率。对于 FIFO 深度，需要根据预期的最大数据包大小与时钟精度设置。默认值设置为 5 个半字节。 0h = 4 个半字节 FIFO 1h = 5 个半字节 FIFO 2h = 6 个半字节 FIFO 3h = 8 个半字节 FIFO
7-5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	Interrupt_Polarity	R/W	1h	中断极性： 0h = 稳定状态 (正常运行) 为 0 逻辑值，中断期间为 1 逻辑值 1h = 稳定状态 (正常运行) 为 1 逻辑值，中断期间为 0 逻辑值
2	Test_Interrupt	R/W	0h	测试中断：强制 PHY 产生中断，以便进行中断测试。只要该位保持置位，就会继续产生中断。 0h = 不产生中断 1h = 产生中断
1	Interrupt_Enable	R/W	0h	中断使能：使能中断取决于 MISR 寄存器 (0x0012) 中的事件使能。 0h = 禁用基于事件的中断 1h = 使能基于事件的中断
0	Interrupt_Output_Enable	R/W	0h	中断输出使能：将 INTR/PWRDN 引脚配置为输出，通过 INTR/PWRDN 引脚使能低电平有效中断事件。 0h = INTR/PWRDN 为断电引脚 1h = INTR/PWRDN 为中断输出

6.6.19 MISR1_Register (偏移 = 12h) [复位 = 0000h]

表 6-32 展示了 MISR1_Register。

返回到[汇总表](#)。

表 6-32. MISR1_Register 字段说明

位	字段	类型	复位	说明
15	Link_Quality_Interrupt	R	0h	链路质量状态中断的变化： 0h = 链路质量良好 1h = 链路开启时改变链路质量
14	Energy_Detect_Interrupt	R	0h	能量检测状态中断的变化： 0h = 未检测到能量变化 1h = 检测到能量变化
13	Link_Status_Changed_Interrupt	R	0h	链路状态中断的变化： 0h = 链路状态无变化 1h = 存在待处理的链路状态中断变化
12	Speed_Changed_Interrupt	R	0h	速度状态中断的变化： 0h = 速度状态无变化 1h = 存在待处理的速度状态中断变化
11	Duplex_Mode_Changed_Interrupt	R	0h	双工状态中断的变化： 0h = 双工状态无变化 1h = 存在待处理的双工状态中断变化

表 6-32. MISR1_Register 字段说明 (续)

位	字段	类型	复位	说明
10	Auto-Negotiation_Completed_Interrupt	R	0h	自动协商完成中断： 0h = 不存在待处理的自动协商完成事件 1h = 存在待处理的自动协商完成事件
9	False_Carrier_Counter_Half-Full_Interrupt	R	0h	虚假载波计数器半满中断： 0h = 不存在待处理的虚假载波半满事件 1h = 虚假载波计数器 (寄存器 FCSCR, 地址: 0x0014) 超过半满中断, 等待处理
8	Receive_error_Counter_Half-Full_Interrupt	R	0h	接收器错误计数器半满中断： 0h = 不存在待处理的接收错误半满事件 1h = 接收错误计数器 (寄存器 RECR, 地址: 0x0015) 超过半满中断, 等待处理
7	Link_Quality_Interrupt_Enable	R/W	0h	使能链路质量变化时中断
6	Energy_Detect_Interrupt_Enable	R/W	0h	使能量检测变化时中断
5	Link_Status_Changed_Enable	R/W	0h	使能链路状态变化时中断
4	Speed_Changed_Interrupt_Enable	R/W	0h	使能速度状态变化时中断
3	Duplex_Mode_Changed_Interrupt_Enable	R/W	0h	使能双工状态变化时中断
2	Auto-Negotiation_Completed_Enable	R/W	0h	使能发生自动协商完成事件时中断
1	False_Carrier_HF_Enable	R/W	0h	使能载波计数器寄存器半满事件时中断
0	Receive_error_HF_Enable	R/W	0h	使能接收错误计数器寄存器半满事件时中断

6.6.20 MISR2_Register (偏移 = 13h) [复位 = 0000h]

表 6-33 展示了 MISR2_Register。

返回到汇总表。

表 6-33. MISR2_Register 字段说明

位	字段	类型	复位	说明
15	EEE_error_Interrupt	R	0h	节能以太网错误中断： 0h = 未发生节能以太网错误 1h = 已发生节能以太网错误
14	Auto-Negotiation_error_Interrupt	R	0h	自动协商错误中断： 0h = 不存在待处理的自动协商错误事件 1h = 存在待处理的自动协商错误
13	Page_Received_Interrupt	R	0h	页接收器中断： 0h = 尚未收到页面 1h = 已收页面
12	Loopback_FIFO_OF/UF_Event_Interrupt	R	0h	环回 FIFO 上溢/下溢事件中断： 0h = 不存在待处理的 FIFO 上溢/下溢事件 1h = 存在待处理的 FIFO 上溢/下溢事件
11	MDI_CRssover_Change_Interrupt	R	0h	MDI/MDIX CRssover 状态变化中断： 0h = 未发生 MDI 交叉状态变化 1h = 存在待处理的 MDI 交叉状态变化中断
10	Sleep_Mode_Interrupt	R	0h	睡眠模式事件中断： 0h = 不存在待处理的睡眠模式事件 1h = 存在待处理的睡眠模式事件

表 6-33. MISR2_Register 字段说明 (续)

位	字段	类型	复位	说明
9	Inverted_Polarity_Interrupt_ /_WoL_Packet_Received_I nterrupt	R	0h	反向极性中断/局域网唤醒数据包接收中断： 0h = 不存在待处理的反向极性事件/未收到局域网唤醒数据包 1h = 存在待处理的反向极性事件/收到局域网唤醒数据包
8	Jabber_Detect_Interrupt	R	0h	Jabber 检测事件中断： 0h = 不存在待处理的 Jabber 检测事件 1h = 存在待处理的 Jabber 检测事件
7	EEE_error_Interrupt_Enab le	R/W	0h	使能发生节能以太网错误时中断
6	Auto- Negotiation_error_Interrup t_Enable	R/W	0h	使能发生自动协商错误事件时中断
5	Page_Received_Interrupt_ Enable	R/W	0h	使能发生页接收事件时中断
4	Loopback_FIFO_OF/ UF_Enable	R/W	0h	使能发生环回 FIFO 上溢/下溢事件时中断
3	MDI_CRssover_Change_ Enable	R/W	0h	使能 MDI/X 状态发生变化时中断
2	Sleep_Mode_Event_Enabl e	R/W	0h	使能发生睡眠模式事件时中断
1	Polarity_Changed_ /_WoL_Packet_Enable	R/W	0h	使能极性状态发生变化时中断
0	Jabber_Detect_Enable	R/W	0h	使能发生 Jabber 检测事件时中断

6.6.21 FCSCR_Register (偏移 = 14h) [复位 = 0000h]

表 6-34 展示了 FCSCR_Register。

返回到[汇总表](#)。

表 6-34. FCSCR_Register 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	False_Carrier_Event_Cou nter	R	0h	虚假载波事件计数器：该 8 位计数器会在发生每个虚假载波事件时递增。当达到最大计数 (FFh) 时，该计数器停止计数。当计数器超过半满 (7Fh) 时，生成一个中断事件。该计数器会在读取时清零。

6.6.22 RECR_Register (偏移 = 15h) [复位 = 0000h]

表 6-35 展示了 RECR_Register。

返回到[汇总表](#)。

表 6-35. RECR_Register 字段说明

位	字段	类型	复位	说明
15-0	Receive_error_Counter	R	0h	RX_ER 计数器：当出现一个有效载波（仅当 RXDV 被置位情况下），并且至少出现一个无效数据符号时，每检测到一个接收错误，该 16 位计数器就会递增一次。RX_ER 计数器在 MII 环回模式下不计数。当达到最大计数 (FFh) 时，该计数器停止计数。当计数器超过半满 (7Fh) 时，生成一个中断事件。该计数器会在读取时清零。

6.6.23 BISCR_Register (偏移 = 16h) [复位 = 0100h]

表 6-36 展示了 BISCRC_Register。

返回到[汇总表](#)。

表 6-36. BISCRC_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	BIST_error_Counter_Mode	R/W	0h	BIST 错误计数器模式： 0h = 单次模式，当 BIST 错误计数器达到最大值时，PRBS 校验器停止计数。 1h = 连续模式，当 BIST 错误计数器达到最大值时，会产生一个脉冲，计数器会从零开始计数。
13	PRBS_Checker_Config	R/W	0h	PRBS 校验器配置：第 [13:12] 位 0h = PRBS 生成器与校验器均被禁用 1h = PRBS 生成器使能，根据寄存器 0x001C 中的相应配置发送具有常量数据的单个数据包。校验器已禁用 2h = PRBS 生成器已禁用。PRBS 校验器使能 3h = PRBS 生成器与校验器均已使能。PRBS 根据寄存器 0x001C 中相应配置生成连续数据包
12	Packet_Generation_Enable	R/W	0h	数据包生成使能：第 [13:12] 位 0h = PRBS 生成器与校验器均被禁用 1h = PRBS 生成器使能，根据寄存器 0x001C 中的相应配置发送具有常量数据的单个数据包。校验器已禁用 2h = PRBS 生成器已禁用。PRBS 校验器使能 3h = PRBS 生成器与校验器均已使能。PRBS 根据寄存器 0x001C 中相应配置生成连续数据包
11	PRBS_Checker_Lock/ Sync	R	0h	PRBS 校验器锁定/同步指示： 0h = PRBS 校验器未锁定 1h = PRBS 校验器已锁定并且与接收到的比特流同步
10	PRBS_Checker_Sync_Loss	R	0h	PRBS 校验器同步丢失指示： 0h = PRBS 校验器未丢失同步 1h = PRBS 校验器已丢失同步
9	Packet_Generator_Status	R	0h	数据包生成状态指示： 0h = 数据包生成器已关闭 1h = 数据包生成器处于运行状态并且生成数据包
8	Power_Mode	R	1h	睡眠模式指示： 0h = 表示 PHY 处于主动睡眠模式 1h = 表示 PHY 处于正常功率模式
7	RESERVED	R	0h	保留
6	Transmit_in_MII_Loopback	R/W	0h	在 MII 环回模式下发送数据 (仅在 100Mbps 时有效) 0h = 不向 MII 环回中的线路发送数据 1h = 使能从 MAC 发送在 TX 引脚上收到的数据，与 MII 环回到 RX 引脚并行。对于该位，只能在 MII 环回模式下设置 - 设置 BMCR 寄存器 (0x0000) 第 [14] 位
5	RESERVED	R	0h	保留
4-0	Loopback_Mode	R/W	0h	环回模式选择：PHY 提供了可用于测试与验证 PHY 中各个功能块的多个环回选项。使能环回模式后，可以对 DP83825 数字与模拟数据路径进行电路内测试 1h = PCS 输入环回 (仅用于 10Base-Te) 2h = PCS 输出环回 4h = 数字环回 (仅用于 100Base-TX) 8h = 模拟环回 (需要 100Ω 终端) 10h = 反向环回

6.6.24 RCSR_Register (偏移 = 17h) [复位 = 0061h]

表 6-37 展示了 RCSR_Register。

返回到[汇总表](#)。

表 6-37. RCSR_Register 字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RMII_TX_Clock_Shift	R/W	0h	RMII TX 时钟移位：只适用于 RMII 从模式 0h = 已禁用发送路径内部时钟移位 1h = 已使能发送路径内部时钟移位
7	RMII_Clock_Select	R/W	0h	RMII 基准时钟选择：通过配置（主模式/从模式），确定时钟基准要求。 0h = 25MHz 时钟基准（晶体或 CMOS 级振荡器） 1h = 50MHz 时钟基准（CMOS 级振荡器）
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RMII_Revision_Select	R/W	0h	RMII 版本选择： 0h = (RMII 版本号：1.2) CRS_DV 会在数据包末尾切换，以便指示 CRS 无效 1h = (RMII 版本号：1.0) 在发送最终数据以前，CRS_DV 保持置位状态。CRS_DV 不会在数据包末尾切换
3	RMII_Overflow_Status	RC	0h	RX FIFO 上溢状态： 0h = 正常 1h = 检测到上溢
2	RMII_Underflow_Status	RC	0h	RX FIFO 下溢状态： 0h = 正常 1h = 检测到下溢
1-0	Receive_Elasticity_Buffer_Size	R/W	1h	接收弹性缓冲器大小：该字段控制接收弹性缓冲器，允许在 50MHz RMII 时钟与恢复数据之间存在频率变化容差。以下值指示了单个数据包的容差（以位为单位）。最小设置允许在 ±50ppm 的精度下使用标准以太网帧大小。如需获取更大的频率容差，可按比例调整数据包长度（对于 ±100ppm）（数据包长度除以 2）。 0h = 14 位容差（不超过 16800 字节的数据包） 1h = 2 位容差（不超过 2400 字节的数据包） 2h = 6 位容差（不超过 7200 字节的数据包） 3h = 10 位容差（不超过 12000 字节的数据包）

6.6.25 LEDCR_Register (偏移 = 18h) [复位 = 0400h]

表 6-38 展示了 LEDCR_Register。

返回到[汇总表](#)。

表 6-38. LEDCR_Register 字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留

表 6-38. LEDCR_Register 字段说明 (续)

位	字段	类型	复位	说明
10-9	Blink_Rate	R/W	2h	LED 闪烁速率 (开/关持续时间) : 0h = 20Hz (50ms) 1h = 10Hz (100ms) 2h = 5Hz (200ms) 3h = 2Hz (500ms)
8	RESERVED	R	0h	保留
7	LED_Link_Polarity	R/W	0h	LED 链路极性设置：通过该引脚的搭接配置值定义的链路 LED 极性。该寄存器允许覆盖该搭接值。 0h = 低电平有效极性设置 1h = 高电平有效极性设置
6-5	RESERVED	R	0h	保留
4	Drive_Link_LED	R/W	0h	驱动链路 LED 选择： 0h = 正常运行 1h = 将开/关位 [1] 的值驱动至 LED_0 输出引脚
3-2	RESERVED	R	0h	保留
1	Link_LED_ON/ OFF_Setting	R/W	0h	在链路 LED 输出上强制设置的值
0	RESERVED	R	0h	保留

6.6.26 PHYCR_Register (偏移 = 19h) [复位 = 8000h]

表 6-39 展示了 PHYCR_Register。

返回到[汇总表](#)。

表 6-39. PHYCR_Register 字段说明

位	字段	类型	复位	说明
15	Auto_MDI/X_Enable	R/W	1h	使能自动 MDIX : 0h = 禁用自动协商自动 MDIX 功能 1h = 使能自动协商自动 MDIX 功能
14	Force_MDI/X	R/W	0h	强制 MDIX : 0h = 正常运行 (在 RD 对上接收, 在 TD 对上发送) 1h = 强制 MDI 对连接 cRss (在 TD 对上接收, 在 RD 对上发送)
13	Pause_RX_Status	R	0h	暂停接收协商状态：表示可以 MAC 使能暂停接收。根据 ANAR 寄存器中第 [11:10] 位与 ANLPAR 寄存器设置中第 [11:10] 位。根据 IEEE 802.3 附件 28B 表 28B-3 “暂停解析”，仅当自动协商最大公分母为全双工技术时，才应使能该功能。
12	Pause_TX_Status	R	0h	暂停发送协商状态：表示可以 MAC 使能暂停。根据 ANAR 寄存器中第 [11:10] 位与 ANLPAR 寄存器设置中第 [11:10] 位。根据 IEEE 802.3 附件 28B 表 28B-3 “暂停解析”，仅当自动协商最大公分母为全双工技术时，才能使能该功能。
11	MII_Link_Status	R	0h	MII 链路状态： 0h = 没有活动的 100Base-TX 全双工链路，通过自动协商建立 1h = 存在活动的 100Base-TX 全双工链路，并且通过自动协商建立
10-8	RESERVED	R	0h	保留
7	Bypass_LED_Stretching	R/W	0h	旁路 LED 延展：将该位设置为“1”，可绕过 LED 延展，LED 反映内部值。 0h = 正常 LED 操作 1h = 旁路 LED 延展
6	RESERVED	R	0h	保留
5	LED_Configuration	R/W	0h	
4-0	PHY_Address	R	0h	PHY 地址

6.6.27 10BTSCR_Register (偏移 = 1Ah) [复位 = 0000h]

表 6-40 展示了 10BTSCR_Register。

返回到[汇总表](#)。

表 6-40. 10BTSCR_Register 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	Receiver_Threshold_Enable	R/W	0h	下限接收器阈值使能： 0h = 正常 10Base-T 操作 1h = 使能 10Base-T 较低接收器阈值，以便允许使用更长的电缆进行操作
12-9	静噪	R/W	0h	静噪配置：用于设置 10Base-T 接收器峰值静噪“开”阈值。如下图所示，从 200mV 至 600mV，阶跃大小为 50mV，存在一些重叠： 0h = 200mV 1h = 250mV 2h = 300mV 3h = 350mV 4h = 400mV 5h = 450mV 6h = 500mV 7h = 550mV 8h = 600mV
8	RESERVED	R	0h	保留
7	NLP_Disable	R/W	0h	NLP 传输控制： 0h = 使能 NLP 传输 1h = 禁用 NLP 传输
6-5	RESERVED	R	0h	保留
4	Polarity_Status	R	0h	极性状态：该位是 PHYSTS 寄存器 (0x0010) 第 [12] 位的副本。读取 10BTSCR 寄存器时，会清空两位，但不会在读取 PHYSTS 寄存器时清除该位。 0h = 检测到正向极性 1h = 检测到反向极性
3-1	RESERVED	R	0h	保留
0	Jabber_Disable	R/W	0h	禁用 Jabber：注意：该功能仅适用于 10Base-Te 运行。 0h = Jabber 功能已使能 1h = Jabber 功能已禁用

6.6.28 BICSR1_Register (偏移 = 1Bh) [复位 = 007Dh]

表 6-41 展示了 BICSR1_Register。

返回到[汇总表](#)。

表 6-41. BICSR1_Register 字段说明

位	字段	类型	复位	说明
15-8	BIST_error_Count	R	0h	BIST 错误计数：保存 PRBS 校验器收到的错误位数。该寄存器的值被锁定，写入写入第 [15] 位时清空相应至。当 BIST 错误计数器模式被设置为“0”时，计数在 0xFF 时停止（参阅寄存器 0x0016）注：向第 [15] 位写入“1”，会锁定计数器数值，以便进行连续读取操作，并且清空 BIST 错误计数器。
7-0	BIST_IPG_Length	R/W	7Dh	BIST IPG 长度：数据包间间隙 (IPG) 长度定义 BIST 生成的任意 2 个连续数据包之间的间隙大小（单位：字节）。默认值为 0x7D（等于 125 字节*4 = 500 字节）。为了获得实际的 IPG 长度，二进制值应乘以 4

6.6.29 BICSR2_Register (偏移 = 1Ch) [复位 = 05EEh]

表 6-42 展示了 BICSR2_Register。

返回到[汇总表](#)。

表 6-42. BICSR2_Register 字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10-0	BIST_Packet_Length	R/W	5EEh	BIST 数据包长度：生成的 BIST 数据包的长度。该寄存器的数值确定了由 BIST 生成的每个数据包的大小（单位：字节）。默认值为 0x5DC，等于 1500 字节。

6.6.30 CDCR_Register (偏移 = 1Eh) [复位 = 0000h]

表 6-43 展示了 CDCR_Register。

返回到[汇总表](#)。

表 6-43. CDCR_Register 字段说明

位	字段	类型	复位	说明
15	Cable_Diagnostic_Start	R/W	0h	电缆诊断过程开始：诊断完成指示位触发后，将会清除诊断开始位。 0h = 电缆诊断已禁用 1h = 开始电缆测量
14	cfg_rescal_en	R/W	0h	电阻器校准开始
13-2	RESERVED	R	0h	保留
1	Cable_Diagnostic_Status	R	0h	电缆诊断过程完成： 0h = 尚未完成电缆诊断 1h = 表示电缆测量过程已完成
0	Cable_Diagnostic_Test_Fail	R	0h	电缆诊断过程失败： 0h = 尚未完成电缆诊断 1h = 指示电缆测量过程失败

6.6.31 PHYRCR_Register (偏移 = 1Fh) [复位 = 0000h]

表 6-44 展示了 PHYRCR_Register。

返回到[汇总表](#)。

表 6-44. PHYRCR_Register 字段说明

位	字段	类型	复位	说明
15	Software_Hard_Reset	R/W	0h	软件硬复位： 0h = 正常运行 1h = 复位 PHY。该位可自行清除，与硬件复位引脚具有相同效果。
14	Digital_reset	R/W	0h	软件重启： 0h = 正常运行 1h = 重启 PHY。该位可自行清除，并且能够将除寄存器以外的所有 PHY 电路复位。
13	RESERVED	R	0h	保留
12-0	RESERVED	R	0h	保留

6.6.32 MLEDCR_Register (偏移 = 25h) [复位 = 0041h]

表 6-45 展示了 MLEDCR_Register。

返回到[汇总表](#)。

表 6-45. MLEDCR_Register 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9	MLED_Polarity_Swap	R/W	0h	MLED 极性交换：MLED 的极性取决于 COL 引脚的路由配置与引脚配置。如果引脚搭接为上拉电阻，则极性为低电平有效。如果引脚搭接为下拉电阻，则极性为高电平有效。
8-7	RESERVED	R	0h	保留
6-3	LED_0_Configuration	R/W	8h	MLED 配置： 0h = 链路正常 1h = RX/TX 活动 2h = TX 活动 3h = RX 活动 4h = 冲突 5h = 速度 (对于 100BASE-TX 较高) 6h = 速度 (对于 10BASE-T 较高) 7h = 全双工 8h = 链路正常/进行 TX/RX 活动时闪烁 9h = 有源拉伸信号 Ah = MII 链路 (100BT+FD) Bh = LPI 模式 (节能以太网) Ch = TX/RX MII 错误 Dh = 链路丢失 (在读取寄存器 0x0001 以前，保持点亮状态) Eh = PRBS 错误闪烁 (对于单次错误，保持点亮状态，直至计数器清零为止) Fh = 保留
2-1	RESERVED	R	0h	保留
0	cfg_mled_en	R/W	1h	MLED 路由至 LED_0： 0h = 链路状态路由至 LED_0 1h = MLED 路由至 LED_0

6.6.33 COMPT_Regsiter 寄存器 (偏移 = 27h) [复位 = 0000h]

表 6-46 展示了 COMPT_Regsiter。

返回到[汇总表](#)。

表 6-46. COMPT_Regsiter 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留

表 6-46. COMPT_Regsiter 寄存器字段说明 (续)

位	字段	类型	复位	说明
3-0	Compliance_Test_Configuration	R/W	0h	<p>合规性测试配置选择： 寄存器 0x0027 中第 [4] 位 = 1，使能 10Base-T 测试模式 寄存器 0x0428 中第 [4] 位 = 1，使能 100Base-TX 测试模式 第 [3:0] 位选择 10Base-T 测试模式，如下所示：</p> <p>0000 = 单个 NLP 0001 = 单个脉冲 1 0010 = 单个脉冲 0 0011 = 重复脉冲 1 0100 = 重复脉冲 0 0101 = 前导码 (重复“10”) 0110 = 单个脉冲 1 后跟 TP_IDLE 0111 = 单个脉冲 0 后跟 TP_IDLE 1000 = 重复“1001”序列 1001 = 随机 10Base-T 数据 1010 = TP_IDLE_00 1011 = TP_IDLE_01 1100 = TP_IDLE_10 1101 = TP_IDLE_11</p> <p>100Base-TX 测试模式由{寄存器 0x0428 第 [5] 位与寄存器 0x0027 第 [3:0] 位确定}。该等位确定了“1”后面的 0 的个数。 0,0001 = “1”后面跟随一个“0” 0,0010 = “1”后面跟随两个“0” 0,0011 = “1”后面跟随三个“0” 0,0100 = “1”后面跟随四个“0” 0,0101 = “1”后面跟随五个“0” 0,0110 = “1”后面跟随六个“0” 0,0111 = “1”后面跟随七个“0” ... 1,1111 = “1”后面跟三十一个“0” 0,0000 = 清除移位寄存器</p> <p>注 1：要重新配置 100Base-TX 测试模式，就必须将寄存器 0x0428 第 [4] 位清零，然后复位为“1”，以便配置新模式。 注 2：执行 100Base-TX 或 10Base-T 测试模式时，必须利用基本模式控制寄存器 (BMCR) (地址：0x0000) 强制获得该速度。</p>

6.6.34 Register_101 (偏移 = 101h) [复位 = 2082h]

表 6-47 展示了 Register_101。

返回到[汇总表](#)。

表 6-47. Register_101 字段说明

位	字段	类型	复位	说明
15-8	cfg_energy_lost_th_norma l	R/W	20h	DSP_ENERGY_THR_VAL 寄存器
7	cfg_dfe_freeze	R/W	1h	DSP_FRZ_CTRL_REGISTER
6-5	RESERVED	R	0h	保留
4	cfg_seq_wd_off	R/W	0h	WD_TIMER_CTRL 寄存器
3-1	cfg_ss_bad_mse_tc_sel	R/W	1h	DSP_100M_MSE_TIMER_VAL
0	cfg_use_nrg_det_le_only_ as_int	R/W	0h	DSP_100M_CTRL 寄存器

6.6.35 Register_10a (偏移 = 10Ah) [复位 = 2040h]

表 6-48 展示了 Register_10a。

返回到[汇总表](#)。

表 6-48. Register_10a 字段说明

位	字段	类型	复位	说明
15-8	cfg_energy_window_len_normal	R/W	20h	DSP_100M_ENERGY_VAL 寄存器
7-0	cfg_energy_on_th_normal	R/W	40h	DSP_ENERGY_THR_VAL 寄存器

6.6.36 Register_123 (偏移 = 123h) [复位 = 051Ch]

表 6-49 展示了 Register_123。

返回到[汇总表](#)。

表 6-49. Register_123 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-0	cfg_100m_mse_good2_th	R/W	51Ch	循环收敛检查的 MSE 阈值

6.6.37 Register_130 (偏移 = 130h) [复位 = 4F28h]

表 6-50 展示了 Register_130。

返回到[汇总表](#)。

表 6-50. Register_130 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-12	cfg_100m_retrain_tc_sel	R/W	4h	增益重校准计时器
11	cfg_retrain_cagc_bypass	R/W	1h	使能增益重校准
10	cfg_retrain_cagc_gear	R/W	1h	增益重校准步进选择
9	cfg_energy_lost_usec	R/W	1h	能量损失触发选择
8	cfg_energy_lost_clear_sel	R/W	1h	能量损失清除选择
7-0	cfg_seq_wd_sel	R/W	28h	WD 计时器计数选择

6.6.38 CDSCR_Register (偏移 = 170h) [复位 = 0C12h]

表 6-51 展示了 CDSCR_Register。

返回到[汇总表](#)。

表 6-51. CDSCR_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	Cable_Diagnostic_CRss_Disable	R/W	0h	CRss TDR 诊断模式： 0h = TDR 在 0x170 [13] 配置的传输通道以外的通道上查找反射 1h = TDR 在与 0x170 [13] 配置的传输通道相同的通道上查找反射
13	cfg_tdr_chan_sel	R/W	0h	TDR TX 通道选择： 0h = 选择通道 A 作为传输通道。 1h = 选择通道 B 作为传输通道。
12	cfg_tdr_dc_rem_no_init	R/W	0h	为了确保 DC 去除模块在 TDR 以前不被复位，并且 DC 去除对 TDR 反射有效

表 6-51. CDSCR_Register 字段说明 (续)

位	字段	类型	复位	说明
11	RESERVED	R	0h	保留
10-8	Cable_Diagnostic_Average_Cycles	R/W	4h	平均 TDR 周期数： 0h = 1 个 TDR 周期 1h = 2 个 TDR 周期 2h = 4 个 TDR 周期 3h = 8 个 TDR 周期 4h = 16 个 TDR 周期 5h = 32 个 TDR 周期 6h = 64 个 TDR 周期 7h = 保留
7	RESERVED	R	0h	保留
6-4	cfg_tdr_seg_num	R/W	1h	选择要执行 TDR 电缆段 - 000b = 保留 001b = 0m 至 10m 010b = 10m 至 20m 011b = 20m 至 40m 100b = 40m 至 80m 101b = 80m 及以上 110b = 保留 111b = 保留
3-0	RESERVED	R	0h	保留

6.6.39 CDSCR2_Register (偏移 = 171h) [复位 = C850h]

表 6-52 展示了 CDSCR2_Register。

返回到[汇总表](#)。

表 6-52. CDSCR2_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.40 TDR_172_Register (偏移 = 172h) [复位 = 0000h]

表 6-53 展示了 TDR_172_Register。

返回到[汇总表](#)。

表 6-53. TDR_172_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.41 CDSCR3_Register (偏移 = 173h) [复位 = 1304h]

表 6-54 展示了 CDSCR3_Register。

返回到[汇总表](#)。

表 6-54. CDSCR3_Register 字段说明

位	字段	类型	复位	说明
15-8	cfg_tdr_seg_duration	R/W	13h	为 TDR 所选区段的持续时间，计算方法为 - (Length_in_meters*2*5.2) / 8，对于分段 #1，为 8'hD；对于分段 #2，为 8'hD；对于分段 #3，为 8'h1A；对于分段 #4，为 8'h34；对于分段 #5，为 8'h8F
7-0	cfg_tdr_initial_skip	R/W	4h	在配置的分段开始以前避免采样的次数 - 对于分段 #1，为 8'h7；对于分段 #2，为 8'h14；对于分段 #3，为 8'h21；对于分段 #4，为 8'h3B；对于分段 #5，为 8'h6F

6.6.42 TDR_174_Register (偏移 = 174h) [复位 = 0000h]

表 6-55 展示了 TDR_174_Register。

返回到[汇总表](#)。

表 6-55. TDR_174_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.43 TDR_175_Register (偏移 = 175h) [复位 = 1004h]

表 6-56 展示了 TDR_175_Register。

返回到[汇总表](#)。

表 6-56. TDR_175_Register 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13-11	cfg_tdr_sdw_avg_loc	R/W	2h	TDR 阴影平均位置 - 对于分段 #1, 为 3'h2; 对于分段 #2, 为 3'h2; 对于分段 #3, 为 3'h2; 对于分段 #4, 为 3'h2; 对于分段 #5, 为 3'h2
10-5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3-0	cfg_tdr_fwd_shadow	R/W	4h	所配置区段的 foR/Ward 阴影长度 (避免故障峰阴影被视作另一个故障峰) - 对于区段 #1, 为 4'h4; 对于区段 #2, 为 4'h4; 对于区段 #3, 为 4'h5; 对于区段 #4, 为 4'h8; 对于区段 #5, 为 4'h8

6.6.44 TDR_176_Register (偏移 = 176h) [复位 = 0005h]

表 6-57 展示了 TDR_176_Register。

返回到[汇总表](#)。

表 6-57. TDR_176_Register 字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	保留
4-0	cfg_tdr_p_loc_thresh_seg	R/W	5h	

6.6.45 CDSCR4_Register (偏移 = 177h) [复位 = 1E00h]

表 6-58 展示了 CDSCR4_Register。

返回到[汇总表](#)。

表 6-58. CDSCR4_Register 字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12-8	Short_Cables_Threshold	R/W	1Eh	用于补偿短电缆中的 StRng 反射的 TH
7-0	RESERVED	R	0h	保留

6.6.46 TDR_178_Register (偏移 = 178h) [复位 = 0002h]

表 6-59 展示了 TDR_178_Register。

返回到[汇总表](#)。

表 6-59. TDR_178_Register 字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	保留
2-0	cfg_tdr_tx_pulse_width_seg	R/W	2h	区段的 TDR TX 脉冲宽度 - 对于分段 #1, 为 3'h2; 对于分段 #2, 为 3'h2; 对于分段 #3, 为 3'h2; 对于分段 #4, 为 3'h2; 对于分段 #5, 为 3'h6

6.6.47 CDLRR1_Register (偏移 = 180h) [复位 = 0000h]

表 6-60 展示了 CDLRR1_Register。

返回到[汇总表](#)。

表 6-60. CDLRR1_Register 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	TD_Peak_Location_1	R	0h	TDR 机制在传输通道 (TD) 上发现的第一个峰值的位置。该等位的值需要转换为距 PHY 的距离。

6.6.48 CDLRR2_Register (偏移 = 181h) [复位 = 0000h]

表 6-61 展示了 CDLRR2_Register。

返回到[汇总表](#)。

表 6-61. CDLRR2_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.49 CDLRR3_Register (偏移 = 182h) [复位 = 0000h]

表 6-62 展示了 CDLRR3_Register。

返回到[汇总表](#)。

表 6-62. CDLRR3_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.50 CDLRR4_Register (偏移 = 183h) [复位 = 0000h]

表 6-63 展示了 CDLRR4_Register。

返回到[汇总表](#)。

表 6-63. CDLRR4_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.51 CDLRR5_Register (偏移 = 184h) [复位 = 0000h]

表 6-64 展示了 CDLRR5_Register。

返回到[汇总表](#)。

表 6-64. CDLRR5_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.52 CDLAR1_Register (偏移 = 185h) [复位 = 0000h]

表 6-65 展示了 CDLAR1_Register。

返回到[汇总表](#)。

表 6-65. CDLAR1_Register 字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R	0h	保留
6-0	TD_Peak_Amplitude_1	R	0h	TDR 机制在传输通道 (TD) 上发现的第一个峰的振幅。该等位的值会转化为电缆故障和/或干扰类型。

6.6.53 CDLAR2_Register (偏移 = 186h) [复位 = 0000h]

表 6-66 展示了 CDLAR2_Register。

返回到[汇总表](#)。

表 6-66. CDLAR2_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.54 CDLAR3_Register (偏移 = 187h) [复位 = 0000h]

表 6-67 展示了 CDLAR3_Register。

返回到[汇总表](#)。

表 6-67. CDLAR3_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.55 CDLAR4_Register (偏移 = 188h) [复位 = 0000h]

表 6-68 展示了 CDLAR4_Register。

返回到[汇总表](#)。

表 6-68. CDLAR4_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.56 CDLAR5_Register (偏移 = 189h) [复位 = 0000h]

表 6-69 展示了 CDLAR5_Register。

返回到[汇总表](#)。

表 6-69. CDLAR5_Register 字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	保留

6.6.57 CDLAR6_Register (偏移 = 18Ah) [复位 = 0000h]

表 6-70 展示了 CDLAR6_Register。

返回到[汇总表](#)。

表 6-70. CDLAR6_Register 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	TD_Peak_Polarity_1	R	0h	TDR 机制在传输通道 (TD) 上发现的第一个峰值的极性。
10-6	RESERVED	R	0h	保留
5	CRss_Detect_on_TD	R	0h	在 TD 上检测到 CRss 反射。指示 TD 与 TD 之间的短路
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1-0	RESERVED	R	0h	保留

6.6.58 IO_CFG_Register (偏移 = 302h) [复位 = 0000h]

表 6-71 展示了 IO_CFG_Register。

返回到[汇总表](#)。

表 6-71. IO_CFG_Register 字段说明

位	字段	类型	复位	说明
15-14	MaC_Impedance_control	R/W	0h	MAC 阻抗控制：MAC 接口阻抗控制可设置数字引脚的串联端接。 0h = 50 Ω 终止电流 1h = 25 Ω 终止电流
13	RESERVED	R	0h	保留
12-9	RESERVED	R	0h	保留
8	CRS_DV/RX_DV	R/W	0h	在 RMII 模式下有效。将引脚 20 (CRS_DV) 配置为 RX_DV 或 CRS_DV (RX_DV + CRS) 0h = CRS_DV 1h = RX_DV
7	RESERVED	R	0h	保留
6	cfg_clkout25m_off	R/W	0h	该位应通过应用程序设置，以便降低电流消耗 0h = CLKOUT25 可用 1h = LED_1_GPIO 可用
5-0	RESERVED	R	0h	保留

6.6.59 IO_CFG_2_Register (偏移 = 305h) [复位 = 0008h]

表 6-72 展示了 IO_CFG_2_Register。

返回到[汇总表](#)。

表 6-72. IO_CFG_2_Register 字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	保留
5-3	RESERVED	R	0h	保留
2-0	Pin2_GPIO_Configuration	R/W	0h	GPIO 配置： 0h = clkout50m (仅在主模式下) 1h = LED_2 2h = WoL 3h = 0 4h = MDINT 5h = 0 6h = 1 7h = 0

6.6.60 SPARE_OUT 寄存器 (偏移 = 308h) [复位 = 0002h]

表 6-73 展示了 SPARE_OUT。

返回到[汇总表](#)。

表 6-73. SPARE_OUT 寄存器字段说明

位	字段	类型	复位	说明
15-1	spare_out	R/W	1h	模拟备用位 第 1 位 - 与 1'b1 连接, 作为修订版 ID 第 2 位 - cfg_rmii_rx_clk_sel 第 4 位 - 当 rx_is_dis 为高电平时, 冻结所有回路 第 5 位: 在 LPI_WAKE 状态下, 绕过 MSE 校验器 第 6 位 - 进入 LPI_FREEZE 以前, 在 STEADY_STATE 状态下使能冻结 第 7 位: 为 LPI 冻结周期使能基于计数器的冻结机制 第 8 位: 在 LPI 刷新周期 期间, 为基于计数器的冻结选择 176us/192us 的计时器 第 10 位 - 在 LPI_WAIT 中冻结 fagc 第 11 位 - 在 LPI_WAIT 中冻结 ffe 第 12 位 - 在 LPI_WAIT 中冻结 dfe 第 13 位 - 在 LPI_WAIT 中冻结 kp 环路 第 14 位 - 在 LPI_WAIT 中冻结 kf 环路 第 15 位 - 在 LPI_WAIT 中冻结直 流去除模块
0	cfg_clkout_25m_off_status	R	0h	该位仅适用于 DP83825。并且只有 R 0h = CLKOUT25 可用 1h = LED_1_GPIO 可用, 并且通过 digpad3_3_gpio_ctrl 控制

6.6.61 DAC_CFG_0 寄存器 (偏移 = 30Bh) [复位 = 0C00h]

表 6-74 展示了 DAC_CFG_0。

返回到[汇总表](#)。

表 6-74. DAC_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11-6	cfg_dac_minus_one_val	R/W	30h	为 mlt3 编码数据 (-1) 提供 LD 数据
5-0	cfg_dac_zero_val	R/W	0h	为 mlt3 编码数据 (0) 提供 LD 数据

6.6.62 DAC_CFG_1 寄存器 (偏移 = 30Ch) [复位 = 0020h]

表 6-75 展示了 DAC_CFG_1。

返回到[汇总表](#)。

表 6-75. DAC_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	保留
5-0	cfg_dac_plus_one_val	R/W	20h	为 ml3 编码数据 (+1) 提供 LD 数据

6.6.63 DSP_CFG_0 寄存器 (偏移 = 30Fh) [复位 = 0464h]

表 6-76 展示了 DSP_CFG_0。

返回到[汇总表](#)。

表 6-76. DSP_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10-8	cfg_100m_ffe1_tc_sel	R/W	4h	FFE_1 状态计时器
7	cfg_ffe1_freeze	R/W	0h	在 FFE_1 状态下, 冻结 FFE 选项。1 ->冻结。
6	cfg_ffe2_freeze	R/W	1h	在 FFE_2 状态下, 冻结 FFE 选项。1 ->冻结。
5	cfg_ffe3_freeze	R/W	1h	在 FFE_3 状态下, 冻结 FFE 选项。1 ->冻结。
4-2	cfg_deq_thr_check_en	R/W	1h	在 DEQ 扫描期间, 使能不同的度量检查位。 cfg_deq_thr_check_en[0] -> 使能 DFE Coeff thr 检查。 cfg_deq_thr_check_en[1] -> 使能 MSE thr 检查。 cfg_deq_thr_check_en[2] -> 使能 pre-cursor value thr 检查。
1	cfg_tloop_freqacc_clr_deq_sweep	R/W	0h	在 DEQ 扫频迭代期间, 重新初始化 tloop 频率精度的选项。
0	cfg_dfe_reset_deqsweep	R/W	0h	在 DEQ 扫频迭代期间, 重置 DFE Coeff 的选项。

6.6.64 DSP_CFG_2 寄存器 (偏移 = 311h) [复位 = 01FCh]

表 6-77 展示了 DSP_CFG_2。

返回到[汇总表](#)。

表 6-77. DSP_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15-14	cfg_cagc_gain_mapping_sel	R/W	0h	通过 CAGC, 选择不同的 BPF、PGA 增益组合。0 ->默认选项。其他选项为 1 和 2。(只有 3 个选项)
13	cfg_deq_coeff_sel	R/W	0h	均衡模式控制寄存器 0h = 前标较小的系数。 1h = 表 2 (LS) 中的 DEQ 系数
12-9	RESERVED	R	0h	保留
8-1	cfg_deq_coeff_0_val_1	R/W	FEh	电缆长度小于 75 米时的均衡强制系数 0 值
0	RESERVED	R	0h	保留

6.6.65 DSP_CFG_4 寄存器 (偏移 = 313h) [复位 = 06F8h]

表 6-78 展示了 DSP_CFG_4。

返回到[汇总表](#)。

表 6-78. DSP_CFG_4 寄存器字段说明

位	字段	类型	复位	说明
15-8	cfg_deq_coeff_0_val_4	R/W	6h	电缆长度大于 130 米时的均衡强制系数 0 值

表 6-78. DSP_CFG_4 寄存器字段说明 (续)

位	字段	类型	复位	说明
7-0	cfg_deq_coeff_1_val_1	R/W	F8h	电缆长度小于 75 米时的均衡强制系数 1 值

6.6.66 DSP_CFG_13 寄存器 (偏移 = 31Ch) [复位 = 1101h]

表 6-79 展示了 DSP_CFG_13。

返回到[汇总表](#)。

表 6-79. DSP_CFG_13 寄存器字段说明

位	字段	类型	复位	说明
15	cfg_kp_force_en	R/W	0h	使能强制计时环路 pRp 臂增益
14	cfg_kf_force_en	R/W	0h	使能强制计时环路积分臂增益
13-11	cfg_kp_force_val	R/W	2h	强制计时环路 pRp 臂增益的值
10-7	cfg_kf_force_val	R/W	2h	强制计时环路积分臂增益的值
6	cfg_kp_freeze_en	R/W	0h	使能冻结 pRp 臂
5	cfg_kp_freeze_val	R/W	0h	冻结 pRp 臂的值。 0h = 解冻 1h = 冻结；
4	cfg_kf_freeze_en	R/W	0h	使能冻结积分臂
3	cfg_kf_freeze_val	R/W	0h	冻结整体臂的值。 0h = 解冻 1h = 冻结
2	cfg_pd_pol	R/W	0h	TED 极性反转
1	cfg_energy_det_in_sel	R/W	0h	用于选择能量计算输入的选项。 0h = Slicer 输入 (默认值) 1h = ADC 输出 (无直流)
0	cfg_compute_pre_cursor_metric_en	R/W	1h	使能前导码度量计算

6.6.67 DSP_CFG_16 寄存器 (偏移 = 31Fh) [复位 = FC36h]

表 6-80 展示了 DSP_CFG_16。

返回到[汇总表](#)。

表 6-80. DSP_CFG_16 寄存器字段说明

位	字段	类型	复位	说明
15-11	cfg_100m_frz_frz	R/W	1Fh	在序列状态下冻结命令：LPI_FREEZE，由 gRups 提供：[4] FFE [3] Tloop_Kf [2] Tloop_Kp [1] dfe [0] Fagc,ffe,mse
10-6	cfg_100m_wake_frz	R/W	10h	在序列状态下冻结命令：LPI_Wake，由 gRups 提供：[4] FFE [3] Tloop_Kf [2] Tloop_Kp [1] dfe [0] Fagc,ffe,mse
5-1	cfg_100m_flush_frz	R/W	1Bh	在序列状态下冻结命令：LPI_Wake，由 gRups 提供：[4] FFE [3] Tloop_Kf [2] Tloop_Kp [1] dfe [0] Fagc,ffe,mse
0	RESERVED	R	0h	保留

6.6.68 DSP_CFG_25 寄存器 (偏移 = 33Ch) [复位 = EC00h]

表 6-81 展示了 DSP_CFG_25。

返回到[汇总表](#)。

表 6-81. DSP_CFG_25 寄存器字段说明

位	字段	类型	复位	说明
15-8	deq_coeff_1	R	ECh	保留
7	RESERVED	R	0h	保留
6-0	cfg_deq_coeff_force	R/W	0h	EQUALIZATION_FRC_CTRL 寄存器

6.6.69 DSP_CFG_27 寄存器 (偏移 = 33Eh) [复位 = 261Eh]

表 6-82 展示了 DSP_CFG_27。

返回到[汇总表](#)。

表 6-82. DSP_CFG_27 寄存器字段说明

位	字段	类型	复位	说明
15	cfg_wait_lpi_el_dis	R/W	0h	EEE_WAKE_CTRL 寄存器
14-13	cfg_dfe_coeff_lim_sel	R/W	1h	使能 dfe 系数最大限值限制
12-8	cfg_dfe_coeff_lim_val	R/W	6h	dfe 系数限制值
7	cfg_wait_lpi_ed_dis	R	0h	EEE_WAKE_CTRL 寄存器
6	cfg_mse_th_scaled_en	R/W	0h	使能基于 PGA 增益的 mse 阈值缩放，以便进行 DEQ 扫描
5	cfg_dfe_th_scaled_en	R/W	0h	使能基于 PGA 增益的 dfe 阈值缩放，以便进行 DEQ 扫描
4-0	cfg_dfe_mse_th_offset	R/W	1Eh	用于缩放 mse 与 dfe 阈值的 PGA 衰减级别偏移

6.6.70 ANA_LD_PRG_SL_Register (偏移 = 404h) [复位 = 0080h]

表 6-83 展示了 ANA_LD_PRG_SL_Register。

返回到[汇总表](#)。

表 6-83. ANA_LD_PRG_SL_Register 字段说明

位	字段	类型	复位	说明
15-0	ld_pRg_sl	R/W	80h	<15:12> ld_bias <11:8> cm_control : 用于更改输出共模的调试模式 <7:5> iq_control : ld 功耗 - 000:12.7mA; 100:15.7mA; 111:19.5mA <4:0> unused <0>ld_burnin_mode

6.6.71 ANA_RX10BT_CTRL_Register (偏移 = 40Dh) [复位 = 0000h]

表 6-84 展示了 ANA_RX10BT_CTRL_Register。

返回到[汇总表](#)。

表 6-84. ANA_RX10BT_CTRL_Register 字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	保留
4-0	rx10bt_comp_sl	R/W	0h	10B-T 电流增益，适用于正负两种情况，从 200mV 到 575mV，步长为 25mV。PG1.1 更改：第 3 位内部反转

6.6.72 Register_416 (偏移 = 416h) [复位 = 083Ch]

表 6-85 展示了 Register_416。

返回到[汇总表](#)。

表 6-85. Register_416 字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	hpf_cal_force_ctrl	R/W	0h	ANA RX 路径控制寄存器
11-8	hpf_cal_sl	R/W	8h	保留
7	hpf_gain_force_ctrl	R/W	0h	ANA RX 路径控制寄存器
6	RESERVED	R	0h	保留
5-4	hpf_gain_sl	R/W	3h	ANA RX 路径控制寄存器
3-2	RESERVED	R	0h	保留
1	hpf_en_force_ctrl	R/W	0h	ANA RX 路径控制寄存器
0	hpf_en_sl	R/W	0h	ANA RX 路径控制寄存器

6.6.73 Register_429 (偏移 = 429h) [复位 = 0000h]

表 6-86 展示了 Register_429。

返回到[汇总表](#)。

表 6-86. Register_429 字段说明

位	字段	类型	复位	说明
15-8	top_pRg_vbgbyr_control	R/W	0h	IVBGR_CTRL 寄存器
7-0	RESERVED	R	0h	保留

6.6.74 GENCFG_Register (偏移 = 456h) [复位 = 0008h]

表 6-87 展示了 GENCFG_Register。

返回到[汇总表](#)。

表 6-87. GENCFG_Register 字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留
3	Min_IPG_Enable	R/W	1h	最小 IPG 使能： 0h = IPG 设置为 0.20μs 1h = 使能最小包间距 (IPG 设置为 120ns，而非 0.20μs)
2-0	RESERVED	R	0h	保留

6.6.75 LEDCFG_Register (偏移 = 460h) [复位 = 0515h]

表 6-88 展示了 LEDCFG_Register。

返回到[汇总表](#)。

表 6-88. LEDCFG_Register 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11-8	RESERVED	R	0h	保留

表 6-88. LEDCFG_Register 字段说明 (续)

位	字段	类型	复位	说明
7-4	LED_2_control	R/W	1h	LED_2 控制：选择 LED_2 的源。 0h = 链路正常 1h = RX/TX 活动 2h = TX 活动 3h = RX 活动 4h = 冲突 5h = 速度 (对于 100BASE-TX 较高) 6h = 速度 (对于 10BASE-T 较高) 7h = 全双工 8h = 链路正常/进行 TX/RX 活动时闪烁 9h = 有源拉伸信号 Ah = MII 链路 (100BT+FD) Bh = LPI 模式 (节能以太网) Ch = TX/RX MII 错误 Dh = 链路丢失 (在读取寄存器 0x0001 以前, 保持点亮状态) Eh = PRBS 错误闪烁 (对于单次错误, 保持点亮状态, 直至计数器清零为止) Fh = 保留
3-0	RESERVED	R	0h	保留

6.6.76 IOCTRL_Register (偏移 = 461h) [复位 = 0010h]

表 6-89 展示了 IOCTRL_Register。

返回到[汇总表](#)。

表 6-89. IOCTRL_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13-12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10-7	RESERVED	R	0h	保留
6-5	RESERVED	R	0h	保留
4-0	RESERVED	R	0h	保留

6.6.77 SOR1_Register (偏移 = 467h) [复位 = 0533h]

表 6-90 展示了 SOR1_Register。

返回到[汇总表](#)。

表 6-90. SOR1_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	CRS_DV/RX_DV	R	0h	保留
13	CFG_PHY_AD_1	R	0h	PHY 地址 [1] 的锁存值
12	CFG_PHY_AD_0	R	0h	PHY 地址 [0] 的锁存值
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留

表 6-90. SOR1_Register 字段说明 (续)

位	字段	类型	复位	说明
8	CFG_AMDIX	R	1h	1 = 自动 MDI 0 = 手动 MDI
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	CFG_RMII_Master/Slave	R	0h	0 = RMII 主模式 : XI 处 25MHz 时钟基准 1 = RMII 从模式 : XI 处 50MHz 时钟基准
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	Autonegotiation_enable	R	1h	1 : 自动协商使能 0 : 自动协商禁用

6.6.78 SOR2_Register (偏移 = 468h) [复位 = 1290h]

表 6-91 展示了 SOR2_Register。

返回到[汇总表](#)。

表 6-91. SOR2_Register 字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	CRS_DV_vs_RX_DV	R	0h	
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	CFG_LED_LINK_POL	R	1h	1 = LED_LINK 为高电平有效 0 = LED_LINK 为低电平有效
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

6.6.79 Register_0x469_Register (偏移 = 469h) [复位 = 0040h]

表 6-92 展示了 Register_0x469_Register。

返回到[汇总表](#)。

表 6-92. Register_0x469_Register 字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留

表 6-92. Register_0x469_Register 字段说明 (续)

位	字段	类型	复位	说明
6	led_2_polarity	R/W	1h	led 2 极性 0h = 低电平有效 1h = 高电平有效
5	led_2_drv_val	R/W	0h	led 2 驱动值
4	led_2_drv_en	R/W	0h	led 2 驱动使能 0h = 正常运行 1h = 驱动 LED 极性
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

6.6.80 RXFCFG_Register (偏移 = 4A0h) [复位 = 1081h]

表 6-93 展示了 RXFCFG_Register。

返回到[汇总表](#)。

表 6-93. RXFCFG_Register 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	CRC_Gate	R/W	1h	CRC 门：如果魔术包具有坏的 CRC，那么使能时没有指示（状态、中断、GPIO）。 0h = 坏的 CRC 不会阻止魔术包或模式指示 1h = 坏的 CRC 会阻止魔术包或模式指示
11	WoL_Level_Change_Indication_Clear	W	0h	局域网唤醒电平变化指示清除：如果为电平变化模式设置了局域网唤醒指示，则写入后该位会清除电平。 0h = 清除
10-9	WoL_Pulse_Indication_Select	R/W	0h	局域网唤醒脉冲指示选择：仅当局域网唤醒指示设置为脉冲模式时有效。 0h = 8 个时钟周期 (125MHz 时钟) 1h = 16 个时钟周期 2h = 32 个时钟周期 3h = 64 个时钟周期
8	WoL_Indication_Select	R/W	0h	局域网唤醒指示选择： 0h = 脉冲模式 1h = 电平变化模式
7	WoL_Enable	R/W	1h	局域网唤醒使能： 0h = 正常运行 1h = 使能局域网唤醒 (WoL)
6	Bit_Mask_Flag	R/W	0h	位屏蔽标志
5	Secure-ON_Enable	R/W	0h	使能魔术包安全密码
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	WoL_Magic_Packet_Enable	R/W	1h	使能接收魔术包后中断

6.6.81 RXFS_Register (偏移 = 4A1h) [复位 = 1000h]

表 6-94 展示了 RXFS_Register。

返回到[汇总表](#)。

表 6-94. RXFS_Register 字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	WoL_Interrupt_Source	R/W	1h	局域网唤醒中断源：寄存器 0x0013 第 [1] 位的中断源。使能局域网唤醒时，该位自动设置为局域网唤醒中断。 0h = 数据极性中断 1h = 局域网唤醒中断
11-8	RESERVED	R	0h	保留
7	SFD_error	RC	0h	SFD 错误： 0h = 无 SFD 错误 1h = 包含 SFD 错误的数据包（没有第 [13] 位寄存器 0x04A0 中指示的 SFD 字节）
6	Bad_CRC	RC	0h	坏的 CRC： 0h = 未收到坏的 CRC 1h = 收到坏的 CRC
5	Secure-On_Hack_Flag	RC	0h	安全开机破解标志： 0h = 有效的安全开机密码 1h = 在魔术包中检测到无效密码
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	WoL_Magic_Packet_Status	RC	0h	局域网唤醒魔术包状态：

6.6.82 RXFPMD1_Register (偏移 = 4A2h) [复位 = 0000h]

表 6-95 展示了 RXFPMD1_Register。

返回到[汇总表](#)。

表 6-95. RXFPMD1_Register 字段说明

位	字段	类型	复位	说明
15-8	MAC_Destination_Addresses_Byte_4	R/W	0h	匹配数据：配置为 MAC 目标地址
7-0	MAC_Destination_Addresses_Byte_5__MSB	R/W	0h	匹配数据：配置为 MAC 目标地址

6.6.83 RXFPMD2_Register (偏移 = 4A3h) [复位 = 0000h]

表 6-96 展示了 RXFPMD2_Register。

返回到[汇总表](#)。

表 6-96. RXFPMD2_Register 字段说明

位	字段	类型	复位	说明
15-8	MAC_Destination_Addresses_Byte_2	R/W	0h	匹配数据：配置为 MAC 目标地址

表 6-96. RXPMD2_Register 字段说明 (续)

位	字段	类型	复位	说明
7-0	MAC_Destination_Addresses_Byte_3	R/W	0h	匹配数据：配置为 MAC 目标地址

6.6.84 RXPMD3_Register (偏移 = 4A4h) [复位 = 0000h]

表 6-97 展示了 RXPMD3_Register。

返回到[汇总表](#)。

表 6-97. RXPMD3_Register 字段说明

位	字段	类型	复位	说明
15-8	MAC_Destination_Addresses_Byte_0	R/W	0h	匹配数据：配置为 MAC 目标地址
7-0	MAC_Destination_Addresses_Byte_1	R/W	0h	匹配数据：配置为 MAC 目标地址

6.6.85 Register_0x4cd (偏移 = 4CDh) [复位 = 0408h]

表 6-98 展示了 Register_0x4cd。

返回到[汇总表](#)。

表 6-98. Register_0x4cd 字段说明

位	字段	类型	复位	说明
15-8	cfg_lpi_energy_lost_th	R/W	4h	CFG_EEE_ENERGY_CTRL 寄存器
7-0	cfg_lpi_energy_on_th	R/W	8h	CFG_EEE_ENERGY_CTRL 寄存器

6.6.86 Register_0x4ce (偏移 = 4CEh) [复位 = 0012h]

表 6-99 展示了 Register_0x4ce。

返回到[汇总表](#)。

表 6-99. Register_0x4ce 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	cfg_lpi_energy_window_len	R/W	12h	CFG_EEE_ENERGY_CTRL 寄存器

6.6.87 Register_0x4cf (偏移 = 4CFh) [复位 = 261Dh]

表 6-100 展示了 Register_0x4cf。

返回到[汇总表](#)。

表 6-100. Register_0x4cf 字段说明

位	字段	类型	复位	说明
15-12	cfg_sd_on_win_len	R/W	2h	EEE_WAKE_CTRL 寄存器
11-8	cfg_100m_tloop_kf_step_ss	R/W	6h	DSP100M_TLOOP_CTRL 寄存器
7-4	cfg_sd_on_thr_100m	R/W	1h	保留

表 6-100. Register_0x4cf 字段说明 (续)

位	字段	类型	复位	说明
3	cfg_100m_use_sd_en	R/W	1h	保留
2	cfg_sd_cnt_level	R/W	1h	保留
1	cfg_en_zc_cnt	R/W	0h	保留
0	cfg_en_cmp_cnt	R/W	1h	保留

6.6.88 EEECFG2_Register (偏移 = 4D0h) [复位 = 0302h]

表 6-101 展示了 EEECFG2_Register。

返回到汇总表。

表 6-101. EEECFG2_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13-7	RESERVED	R	0h	保留
6-5	RESERVED	R	0h	保留
4-0	RESERVED	R	0h	保留

6.6.89 EEECFG3_Register (偏移 = 4D1h) [复位 = 018Bh]

表 6-102 展示了 EEECFG3_Register。

返回到汇总表。

表 6-102. EEECFG3_Register 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-13	Force_EEE_Enable	R/W	0h	强制 EEE : 注意 : 两个链路伙伴都需要配置为强制节能以太网。 0h = 节能以太网强制模式关闭 1h = Reserved0 2h = Reserved1 3h = 节能以太网强制 LPI 使能
12	Force_LPI_Request_TX	R/W	0h	强制 LPI 请求 TX : 应在将第 [14:13] 位设置为“节能以太网强制 LPI”以后设置该位。 0h = 正常运行 1h = 使能发送时强制 LPI 请求
11	RESERVED	R	0h	保留
10	cfg_dis_lpi_bypass_rvrs_l oop	R/W	0h	节能以太网配置寄存器 3
9	cfg_dis_lpi_bypass_fifo	R/W	0h	节能以太网配置寄存器 3
8	cfg_100m_en_lpi_wake_fa llback	R/W	1h	节能以太网配置寄存器 3
7-4	cfg_lpi_mse_timer_tc_val	R/W	8h	节能以太网配置寄存器 3
3	EEE_Capabilities_Bypass	R/W	1h	节能以太网广播选项 : 允许自动协商期间的节能以太网广播由寄存器 0x04D1 第 [0] 位 (而非下一页寄存器 (MMD7 中的寄存器 0x003C 与寄存器 0x003D)) 确定。 0h = 第 [0] 位决定节能以太网自动协商功能 1h = MMD3 与 MMD7 中的寄存器决定节能以太网自动协商功能

表 6-102. EEECFG3_Register 字段说明 (续)

位	字段	类型	复位	说明
2	EEE_Next_Page_Disable	R/W	0h	节能以太网下一页禁用： 0h = 节能以太网下一页接收已使能 1h = 节能以太网下一页接收已禁用
1	EEE_RX_Path_Shutdown	R/W	1h	节能以太网 RX 路径关断： 0h = 在 LPI_Quiet 期间，模拟 RX 路径处于活动状态 1h = 在 LPI_Quiet 时，使能关闭模拟 RX 路径
0	EEE_Capabilities_Enable	R	1h	禁用节能以太网功能 0h = PHY 支持节能以太网功能，自动协商根据 MMD7 中的寄存器 0x003C 与寄存器 0x003D 协商为节能以太网模式。 1h = PHY 不支持节能以太网（忽略 MMD3 中的寄存器 0x0014、MMD7 中的寄存器 0x003C 与寄存器 0x003D）

6.6.90 Register_0x4d2 (偏移 = 4D2h) [复位 = 354Ah]

表 6-103 展示了 Register_0x4d2。

返回到汇总表。

表 6-103. Register_0x4d2 字段说明

位	字段	类型	复位	说明
15-14	cfg_flush_ph_shift_updn	R/W	0h	PI_CTRL 寄存器
13	cfg_ph_shift_toggle_en	R/W	1h	PI_CTRL 寄存器
12	cfg_fast_slave_wake_100	R/W	1h	DSP_100M_EEE_LINK 控制寄存器
11	cfg_dis_dscr_100_tout	R/W	0h	DSP_100M_EEE_LINK 控制寄存器
10	cfg_lpi_pre_flush_en	R/W	1h	DSP_EEE_SEQ 控制寄存器
9-5	cfg_100m_rx_lpi_ts_timer	R/W	Ah	DSP_100M_EEE_LINK 控制寄存器
4-0	cfg_100m_rx_lpi_link_fail	R/W	Ah	DSP_100M_EEE_LINK 控制寄存器

6.6.91 Register_0x4d4 (偏移 = 4D4h) [复位 = 6633h]

表 6-104 展示了 Register_0x4d4。

返回到汇总表。

表 6-104. Register_0x4d4 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-12	cfg_100m_tloop_kp_step_1	R/W	6h	DSP_100M_STEP_1_Register
11	RESERVED	R	0h	保留
10-8	cfg_100m_tloop_kp_step_0	R/W	6h	DSP_100M_STEP_0_Register
7	RESERVED	R	0h	保留
6-4	cfg_100m_tloop_kf_step_1	R/W	3h	DSP_100M_STEP_1_Register
3	RESERVED	R	0h	保留
2-0	cfg_100m_tloop_kf_step_0	R/W	3h	DSP_100M_STEP_0_Register

6.6.92 DSP_100M_STEP_2_Register (偏移 = 4D5h) [复位 = 02F1h]

表 6-105 展示了 DSP_100M_STEP_2_Register。

返回到[汇总表](#)。

表 6-105. DSP_100M_STEP_2_Register 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-7	cfg_100m_tloop_kp_step_2	R/W	5h	DSP_100M_STEP_2 寄存器
6-4	cfg_100m_tloop_kf_step_2	R/W	7h	DSP_100M_STEP_2 寄存器
3-2	cfg_100m_mse_step_2	R/W	0h	DSP_100M_STEP_2 寄存器
1	cfg_100m_dfe_step_2	R/W	0h	DSP_100M_STEP_2 寄存器
0	cfg_100m_fagc_step_2	R/W	1h	DSP_100M_STEP_2 寄存器

6.6.93 DSP_100M_STEP_3_Register (偏移 = 4D6h) [复位 = 0171h]

表 6-106 展示了 DSP_100M_STEP_3_Register。

返回到[汇总表](#)。

表 6-106. DSP_100M_STEP_3_Register 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-7	cfg_100m_tloop_kp_step_3	R/W	2h	DSP_100M_STEP_3 寄存器
6-4	cfg_100m_tloop_kf_step_3	R/W	7h	DSP_100M_STEP_3 寄存器
3-2	cfg_100m_mse_step_3	R/W	0h	DSP_100M_STEP_3 寄存器
1	cfg_100m_dfe_step_3	R/W	0h	DSP_100M_STEP_3 寄存器
0	cfg_100m_fagc_step_3	R/W	1h	DSP_100M_STEP_3 寄存器

6.6.94 DSP_100M_STEP_4_Register (偏移 = 4D7h) [复位 = 0171h]

表 6-107 展示了 DSP_100M_STEP_4_Register。

返回到[汇总表](#)。

表 6-107. DSP_100M_STEP_4_Register 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-7	cfg_100m_tloop_kp_step_4	R/W	2h	DSP_100M_STEP_4 寄存器
6-4	cfg_100m_tloop_kf_step_4	R/W	7h	DSP_100M_STEP_4 寄存器
3-2	cfg_100m_mse_step_4	R/W	0h	DSP_100M_STEP_4 寄存器
1	cfg_100m_dfe_step_4	R/W	0h	DSP_100M_STEP_4 寄存器
0	cfg_100m_fagc_step_4	R/W	1h	DSP_100M_STEP_4 寄存器

6.6.95 MMD3_PCS_CTRL_1_Register (偏移 = 1000h) [复位 = 4000h]

表 6-108 展示了 MMD3_PCS_CTRL_1_Register。

返回到[汇总表](#)。

表 6-108. MMD3_PCS_CTRL_1_Register 字段说明

位	字段	类型	复位	说明
15	PCS_Reset	R/W	0h	PCS 复位：复位会清除 MMD3、MMD7 以及 PCS 寄存器。复位不会清除供应商特定寄存器 (DEVAD = 31)。 0h = 正常运行 1h = MMD3、MMD7 以及 PCS 寄存器的软复位
14-11	RESERVED	R	0h	保留
10	RX_Clock_Stoppable	R/W	0h	RX 时钟可停止： 0h = 接收时钟不可停止 1h = 在 LPI 期间接收时钟可停止
9-0	RESERVED	R	0h	保留

6.6.96 MMD3_PCS_STATUS_1 寄存器 (偏移 = 1001h) [复位 = 0040h]

表 6-109 展示了 MMD3_PCS_STATUS_1。

返回到[汇总表](#)。

表 6-109. MMD3_PCS_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	TX_LPI_Received	R	0h	TX LPI 已收到： 0h = 未收到 LPI 1h = TX PCS 已收到 LPI
10	RX_LPI_Received	R	0h	RX LPI 已收到： 0h = 未收到 LPI 1h = RX PCS 已收到 LPI
9	TX_LPI_Indication	R	0h	TX LPI 指示： 0h = TX PCS 当前未收到 LPI 1h = TX PCS 当前正在接收 LPI
8	RX_LPI_Indication	R	0h	RX LPI 指示： 0h = RX PCS 当前未收到 LPI 1h = RX PCS 当前正在接收 LPI
7	RESERVED	R	0h	保留
6	TX_Clock_Stoppable	R	1h	TX 时钟可停止： 0h = TX 时钟不可停止 1h = MAC 可以在 LPI 期间停止时钟
5-0	RESERVED	R	0h	保留

6.6.97 MMD3_EEE_CAPABILITY_Register (偏移 = 1014h) [复位 = 0002h]

表 6-110 展示了 MMD3_EEE_CAPABILITY_Register。

返回到[汇总表](#)。

表 6-110. MMD3_EEE_CAPABILITY_Register 字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	保留

表 6-110. MMD3_EEE_CAPABILITY_Register 字段说明 (续)

位	字段	类型	复位	说明
2	EEE_1Gbps_Enable	R	0h	节能以太网 1Gbps 使能： 0h = 1000Base-T 不支持节能以太网 1h = 1000Base-T 支持节能以太网
1	EEE_100Mbps_Enable	R	1h	使能节能以太网 100Mbps： 0h = 100Base-TX 不支持节能以太网 1h = 100Base-TX 支持节能以太网
0	RESERVED	R	0h	保留

6.6.98 MMD3_WAKE_ERR_CNT_Register (偏移 = 1016h) [复位 = 0000h]

表 6-111 展示了 MMD3_WAKE_ERR_CNT_Register。

返回到[汇总表](#)。

表 6-111. MMD3_WAKE_ERR_CNT_Register 字段说明

位	字段	类型	复位	说明
15-0	EEE_Wake_error_Counter	R	0h	节能以太网唤醒错误计数器：该寄存器对唤醒时间故障进行计数，PHY 未能在特定的 PHY 类型所需时间以内完成正常的唤醒序列。该计数器会在读取后清零，并且在溢出情况下保持全 1 状态。PCS 复位也会清除该寄存器

6.6.99 MMD7_EEE_ADVERTISEMENT_Register (偏移 = 203Ch) [复位 = 0000h]

表 6-112 展示了 MMD7_EEE_ADVERTISEMENT_Register。

返回到[汇总表](#)。

表 6-112. MMD7_EEE_ADVERTISEMENT_Register 字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	Advertise_100Base-TX_EEE	R/W	0h	广播 100Base-TX 节能以太网： 0h = 未广播节能以太网 1h = 为 100Base-TX 广播节能以太网
0	RESERVED	R	0h	保留

6.6.100 MMD7_EEE_LP_ABILITY_Register (偏移 = 203Dh) [复位 = 0000h]

表 6-113 展示了 MMD7_EEE_LP_ABILITY_Register。

返回到[汇总表](#)。

表 6-113. MMD7_EEE_LP_ABILITY_Register 字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	Link_Partner_EEE_Capability	R	0h	链路伙伴节能以太网功能： 0h = 链路伙伴没有为 100Base-TX 广播节能以太网功能 1h = 链路伙伴为 100Base-TX 广播节能以太网功能
0	RESERVED	R	0h	保留

7 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户必须验证并测试其设计实现，以确认系统功能正常。

7.1 应用信息

DP83825I 是一款单端口 10/100Mbps 以太网 PHY。DP83825I 支持通过 RMII 连接以太网 MAC。对于与以太网介质的连接，通过 IEEE 802.3 定义的介质相关接口进行。

将该器件用于以太网应用时，必须满足特定要求，才能够正常运行。以下各小节旨在帮助选择合适的元件并完成所需的电路连接。

7.2 典型应用

图 7-1 展示了 DP83825I 的典型应用。

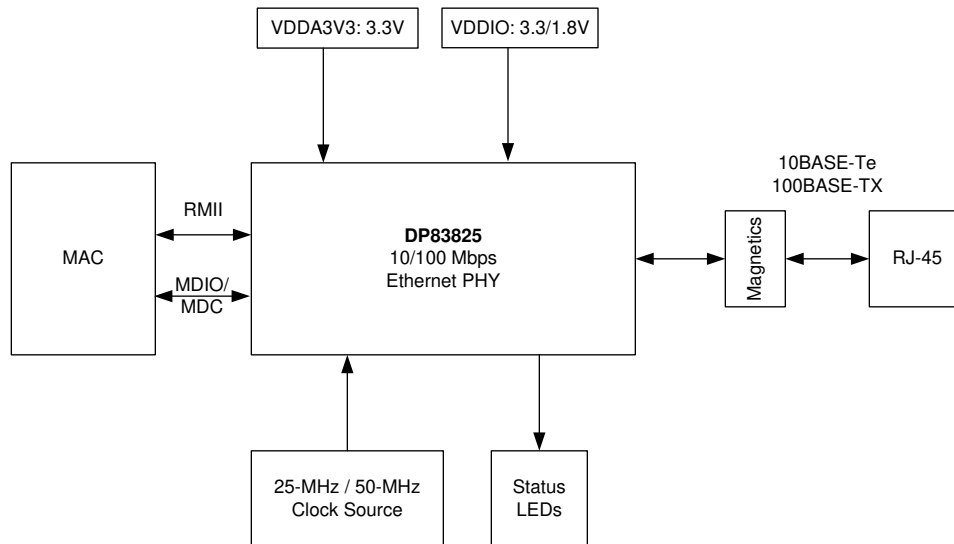


图 7-1. DP83825I 典型应用

7.2.1 设计要求

DP83825I 在 TPI 操作模式下 (100BASE-TX 或 10BASE-Te) 的设计要求为：

1. AVD 电源 = 3.3V
2. VDDIO 电源 = 3.3V 或 1.8V
3. 基准时钟输入 = 25MHz 或 50MHz (RMII 从模式)

7.2.1.1 时钟要求

DP83825I 支持外部 CMOS 级振荡器源或带有外部晶体的内部振荡器。

7.2.1.1.1 振荡器

如果采用外部时钟源，那么 XI 必须连接至时钟源，XO 必须保持悬空状态。振荡器的幅度必须为 VDDIO 的额定电压。

7.2.1.1.2 晶体

如果利用晶振运行，建议使用 25MHz 的并联谐振 20pF 负载晶体。晶体谐振器电路的典型连接图如下所示。注：负载电容值因晶体供应商而异。请咨询供应商，了解推荐的负载。对于串联电阻值，应根据晶体驱动电平进行调整。如需了解更多详细信息，可参阅《德州仪器 (TI) 以太网物理层收发器所用晶振的选择与规格》应用报告 (SNLA290)。

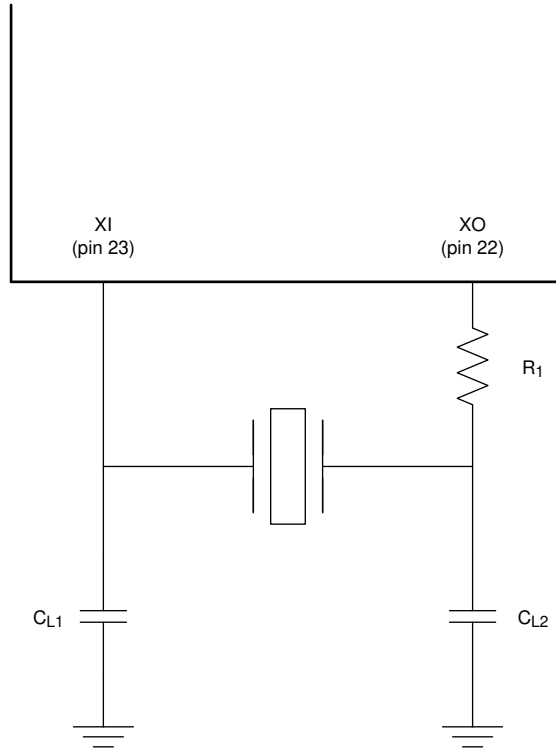


图 7-2. 晶体振荡器电路

表 7-1. 25MHz 晶体规格

参数	测试条件	最小值	典型值	最大值	单位
频率		25			MHz
频率容差	包括工作温度、老化等因素	-50		50	ppm
负载电容			15	40	pF
ESR				50	Ω

7.2.2 详细设计过程

媒体独立接口 RMII 能够将 DP83825I 与媒体访问控制器 (MAC) 连接起来。实际上，MAC 可以是一个分立器件，也可以集成到微处理器、CPU、FPGA 或 ASIC 之中。介质相关接口 (MDI) 能够将 DP83825I 连接到以太网网络变压器，或在与光纤收发器连接时连接至交流隔离电容器。

7.2.2.1 RMII 布局指南

1. 请记住，RMII 信号为单端信号。
2. 布线必须以 50Ω 阻抗接地。
3. 尽可能缩短布线长度。德州仪器 (TI) 建议将布线长度保持在二至六英寸之间。

7.2.2.2 MDI 布局指南

1. 请记住，MDI 信号为差分信号。

2. 必须以 $50\ \Omega$ 的接地阻抗与 $100\ \Omega$ 的差分控制阻抗布线。
3. 将 MDI 布线至同一层的变压器上。
4. 使用金属屏蔽 RJ-45 连接器，并且以电气方式，将屏蔽层连接至机箱接地。
5. 避免将电源或接地点规划在磁性元件下方。
6. 请勿让电路接地平面与机箱接地平面重叠。通过在平面之间留出间隙的方式，将机箱接地变为隔离岛，以便确保机箱接地与电路接地相隔离。建议在机箱接地与电路接地之间连接一个 1206 (大小) 电容器，避免金属悬空。由于空气间隙非常小，小于 805 (尺寸) 的电容器能够产生拱形静电放电路径。

7.2.2.3 TPI 网络电路

图 7-3 为推荐的 10/100Mbps 的双绞线接口网络电路。如果 PCB 和元件特性发生变化，则需要测试应用，以验证电路是否满足预期应用的要求。

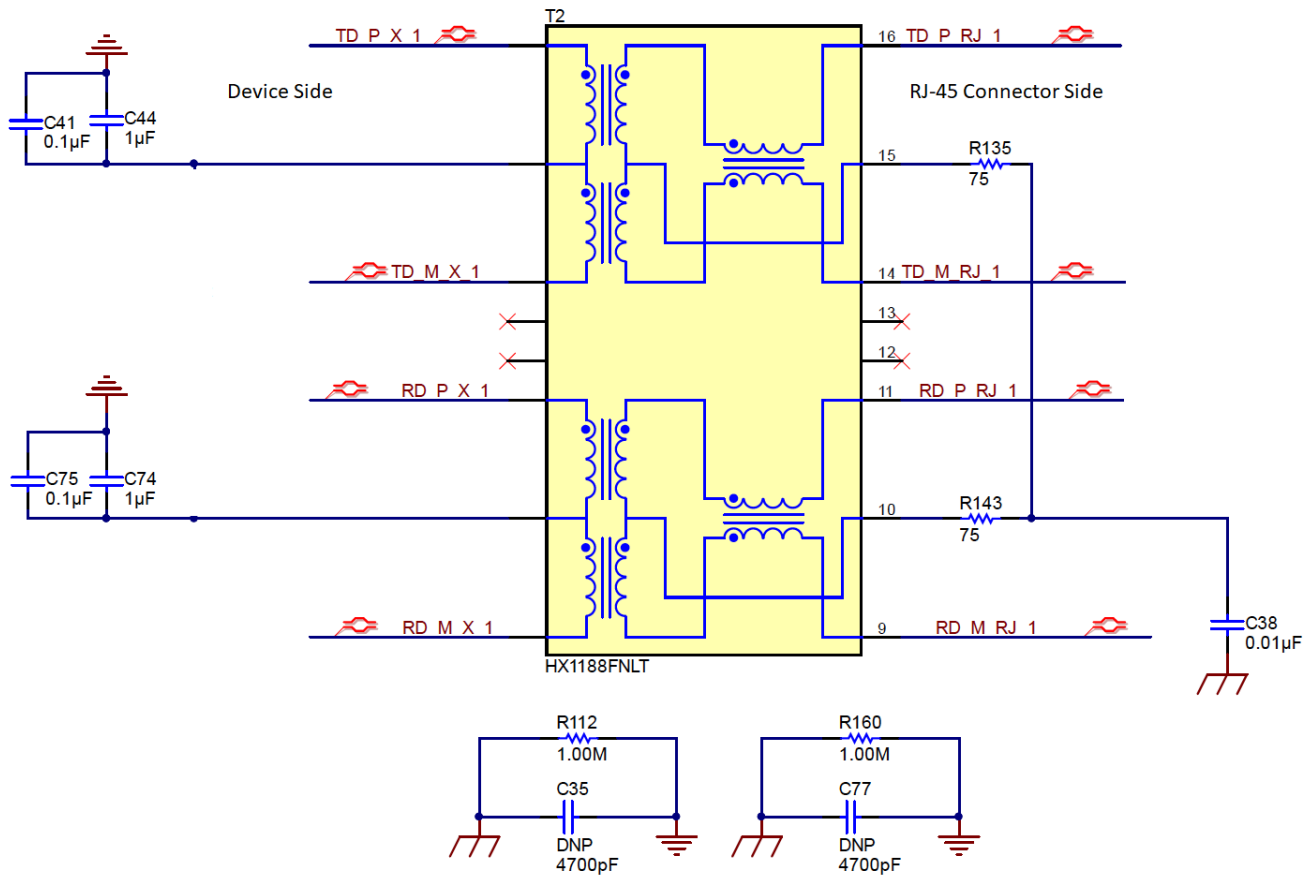


图 7-3. TPI 网络电路

7.2.2.4 VOD 配置

寄存器 DAC_CFG_0 (0x30B) 与 DAC_CFG_1 (0x30C) 也用作 VOD 控制寄存器。如 [VOD 配置说明](#) 中所示。

表 7-2. VOD 配置说明

VoD 变化	0x30B	0x30C
150%	0x0A00	0x0018
143.75%	0x0A40	0x0017
137.50%	0x0A80	0x0016
131.25%	0x0AC0	0x0015
125%	0x0B00	0x0014
118.75%	0x0B40	0x0013
112.50%	0x0B80	0x0012
106.25%	0x0BC0	0x0011
100%	0x0C00	0x0010

表 7-2. VOD 配置说明 (续)

VoD 变化	0x30B	0x30C
93.75%	0x0C40	0x000F
87.50%	0x0C80	0x000E
81.25%	0x0CC0	0x000D
75%	0x0D00	0x000C
68.75%	0x0D40	0x000B
62.50%	0x0D80	0x000A
56.25%	0x0DC0	0x0009
50%	0x00E0	0x0008

表 7-3. VOD 微调

VOD 变化	0x30E
+2.5%	Offset_2
+1.25%	Offset_1
默认值 (从 0x30B 0x30C 开始)	Offset_0
+1.25%	Offset_-1
-2.5%	Offset_-2

寄存器 0x30E 用于以 1.25% 的增量，微调 VOD 值，使其与通过寄存器 0x30B 与 0x30C 选择的原始值相差不超过 $\pm 2.5\%$ 。

要计算 Offset_X：

1. 读取寄存器 0x333。请注意，该值因单位而异
2. $A = 0x333[15:11]$ 转换为十进制
3. $B = 0x333[10:6]$ 转换为十进制
4. $C = 8 - A + B$ 。该变量将值限制在 0 和 15 之间。如果计算出的 C 超出范围，则变量 C 必须四舍五入为最接近的范围。如果 C 计算结果为 -2，则将 C 设置为等于 0
5. $D(x) = C + x$ ，其中 x 的值通过寄存器 0x30E 列确定
6. $Offset_x = [2D(x) + 1] \times 2048$ ；转换为十六进制

首先，可以将 RBIAS 更改为 $6.34k\Omega$ ，将 VoD 设置为 -8%，以便进一步提高裕度。

7.3 电源相关建议

DP83825I 能够在 3.3V 或 1.8V 的 I/O 电源电压以及 3.3V 模拟电源电压下工作。VDDIO 完全斜升后，DP83825I 需要 VDDA3V3。更多详细信息，可参阅 [节 5.7](#)。如果客户电路板无法进行电源时序控制，就需要在当电源 VDDA3V3 与 VDDIO 电源都斜升时，在引脚 5 上进行外部复位 (RST_N)。

[图 7-4](#) 为建议的电源去耦合网络。

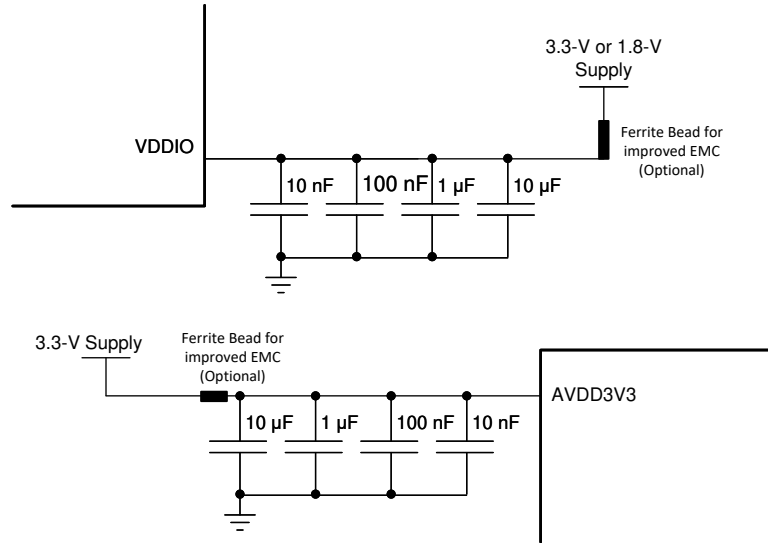


图 7-4. DP83825I 电源去耦合建议

7.4 布局

7.4.1 布局指南

7.4.1.1 信号布线

PCB 布线存在损耗，如果导线过长，会导致信号质量降低。布线必须尽可能短。除非另有说明，否则所有信号布线必须为 $50\ \Omega$ 单端阻抗。差分布线必须为 $100\ \Omega$ 差分阻抗。请务必确保阻抗始终可控。阻抗不连续性会产生反射，进而导致发射与信号完整性问题。对于所有信号布线（特别是差分信号对），必须避免出现残桩。

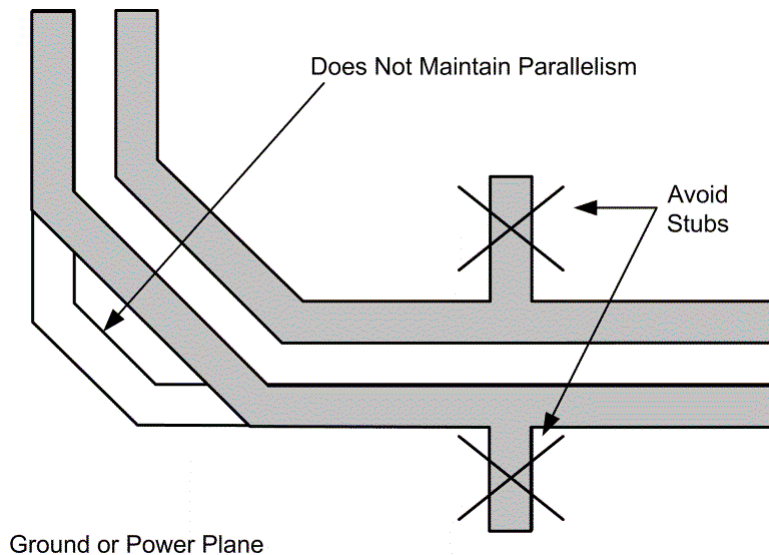


图 7-5. 差分信号布线

在差分对内，布线必须相互平行，长度匹配。长度匹配能够最大限度减小延迟差异，避免增加共模噪声与发射。长度匹配对 MAC 接口连接也很重要。对于所有 RMII 发送信号布线，长度必须相互匹配，对于所有 RMII 接收信号布线，长度也必须相互匹配。

信号路径布线不得存在交叉或过孔情形。过孔会导致阻抗不连续情形发生，必须最大限度减少过孔情形。在同一层布线差分信号对。不同层的信号之间至少要有一个返回路径平面，否则不得存在交叉情形。差分对之间必须始

始终保持恒定的耦合距离。为提高便利性和效率，TI 建议首先布线关键信号（即 MDI 差分对、基准时钟和 MAC IF 布线）。

7.4.1.2 返回路径

一般情况下，在所有 MDI 信号布线下都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。无论如何，必须避免信号布线之间的返回路径中断。穿过分离平面的信号不仅可能导致返回路径电流不可预测，还可能影响信号质量，导致发射问题。

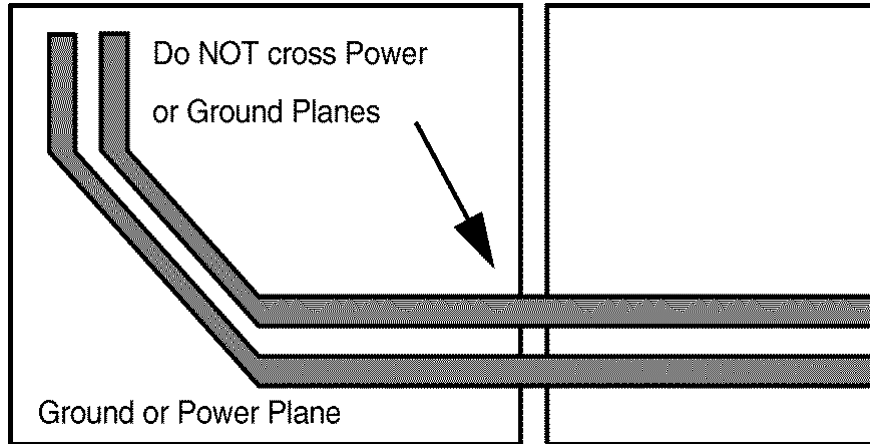


图 7-6. 差分信号对和平面交叉

7.4.1.3 变压器布局

确保变压器下方没有金属层。变压器会将噪声注入下方金属，从而影响系统的性能。参阅 图 7-3。

7.4.1.3.1 变压器推荐

已利用 DP83825IEVM，通过 DP83825I，对以下磁性元件进行了检测。

表 7-4. 推荐的变压器

制造商	器件型号
Pulse Electronics	HX1188NL
	HX1198FNL
	HX1188FNL

表 7-5. 变压器电气规范

参数	测试条件	典型值	单位
匝数比	±2%	1:1	-
插入损耗	1 - 100MHz	-1	dB
回波损耗	1 - 30MHz	-16	dB
	30 - 60MHz	-10	dB
	60 - 80MHz	-7.5	dB
差共模抑制比	1	-61	dB
	50MHz	-33	dB
	150MHz	-25	dB
串扰	30MHz	-45	dB
	60MHz	-39	dB
隔离	HPOT	1500	Vrms

7.4.1.4 电容直流阻断

为了满足无变压器网络应用的运行要求，必须使用图 7-7 中原理图所示的以下设计。

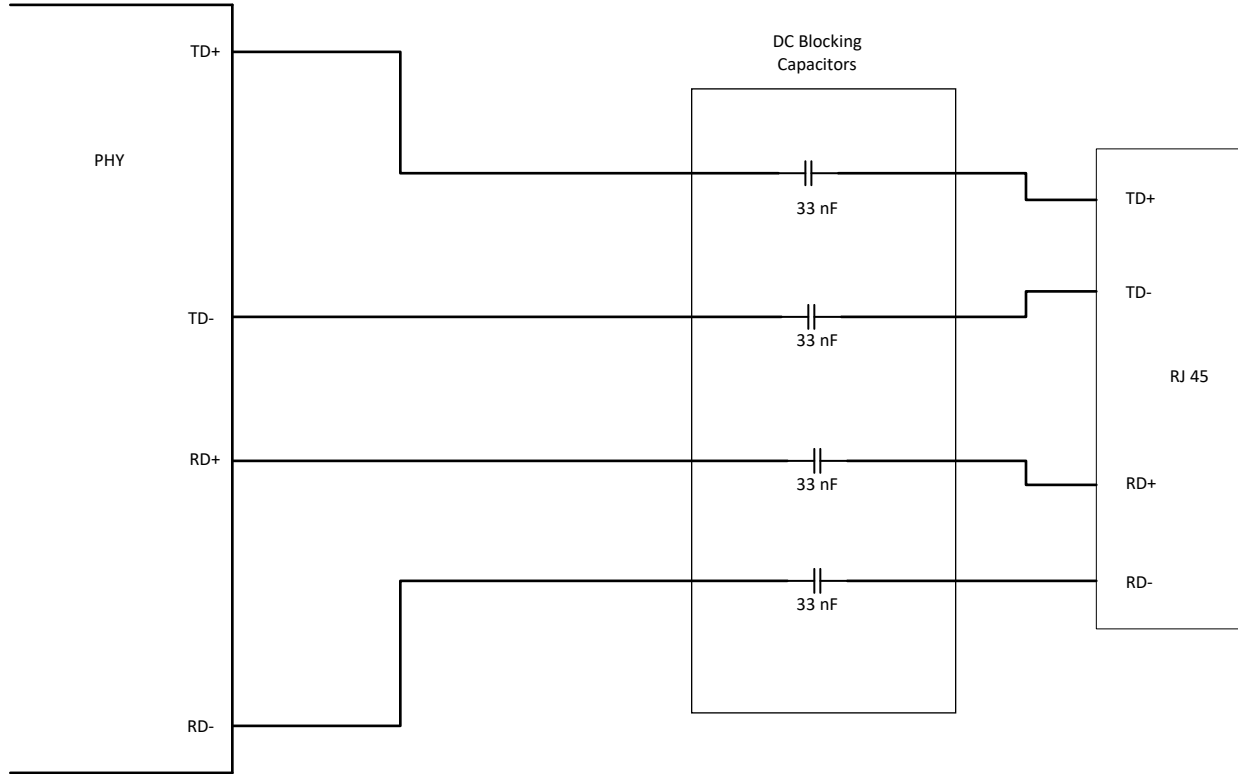


图 7-7. 无变压器直流阻断配置

7.4.1.5 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

7.4.1.6 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，必须尽可能使用六层 PCB。

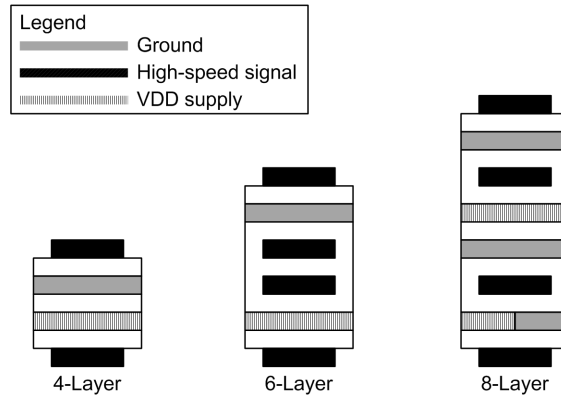


图 7-8. 建议的层堆叠

7.4.2 布局示例

如需了解布局的更多相关信息，可参阅 DP83825EVM。

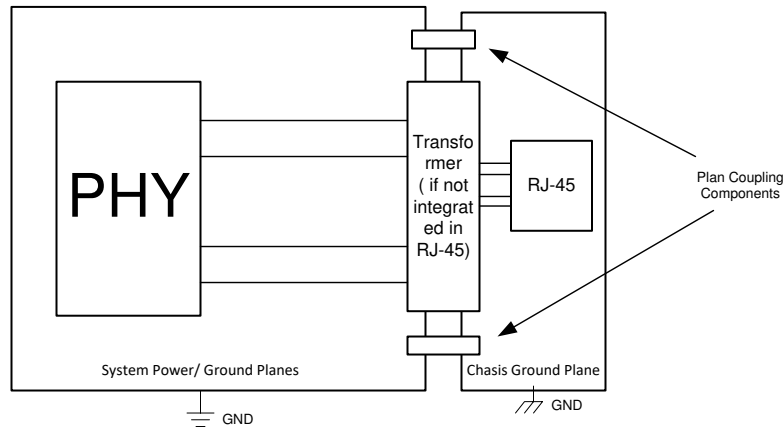


图 7-9. 布局示例

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

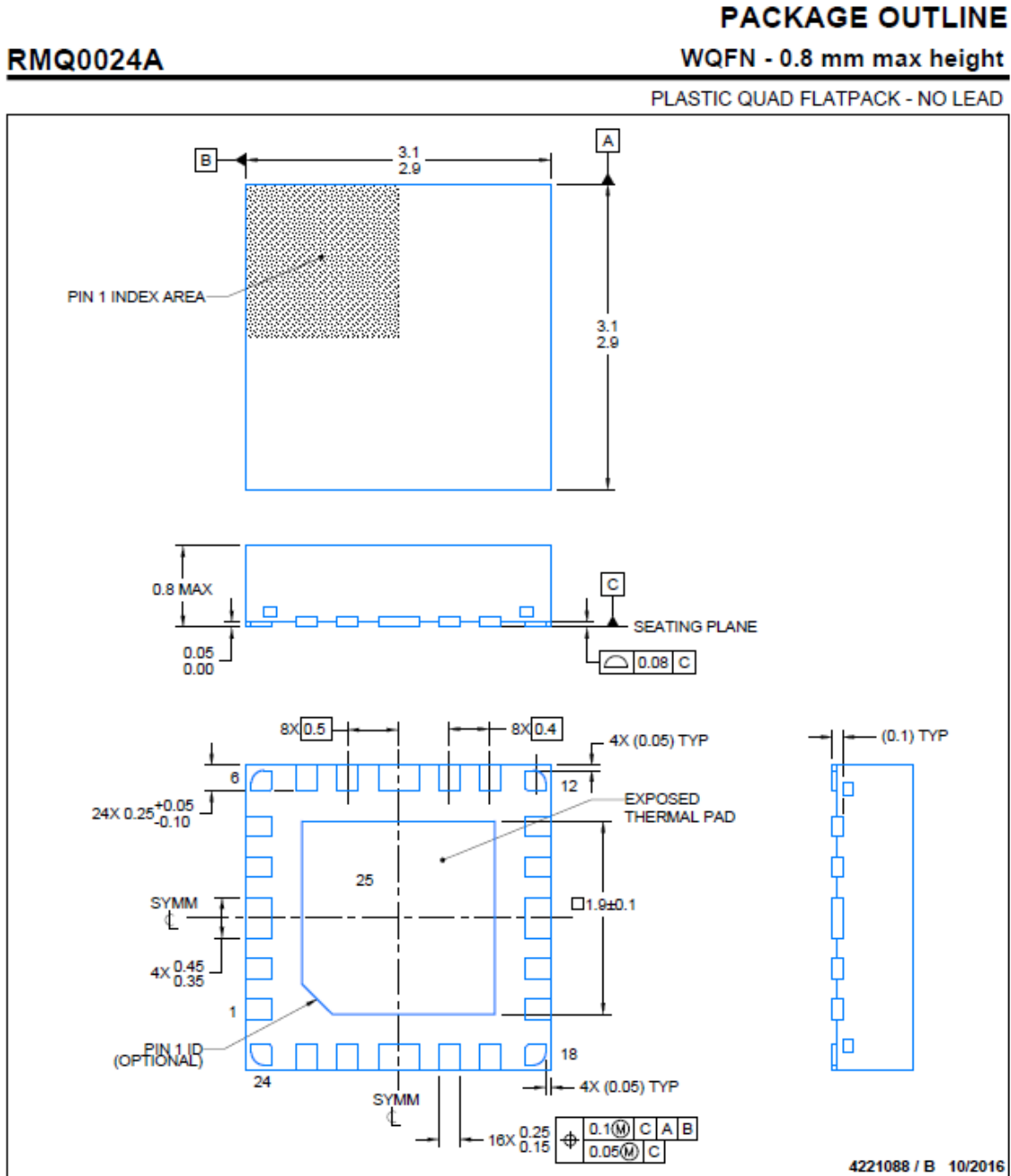
注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (August 2019) to Revision B (January 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更改了引脚功能表中 RST_N 的保持时间.....	3
• 在“上电时序 (T2)”项下，更改了上电时序，将 VDDIO 置于 AVDD 以前.....	10
• 在“上电时序”项下，增加了 T2 的最短时间 (0ms).....	10
• 将“RMII 主机模式/从机模式”改为“RMII 发送/接收”，以便更好地反映时序图.....	10
• 增加了在时钟不稳定情况下按住复位的时间.....	12
• 更改了 图 6-2 和 图 6-3	23
• 清晰起见，修改了“扩展寄存器访问”部分.....	27
• 更改了 表 6-5 、 表 6-6 与 表 6-7 ，以便将写入地址 0x001F 调整为最后一步.....	36
• 翻转了寄存器 0x17 (第 2 位与第 3 位) 与 0x4D1 (第 0 位与第 3 位) 的位值.....	39
• 增加了“VOD 配置”部分.....	87
• 增加了“电容阻断”部分.....	93

Changes from Revision * (December 2018) to Revision A (August 2019)	Page
• 将器件状态从“预告信息”更改为：量产数据.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

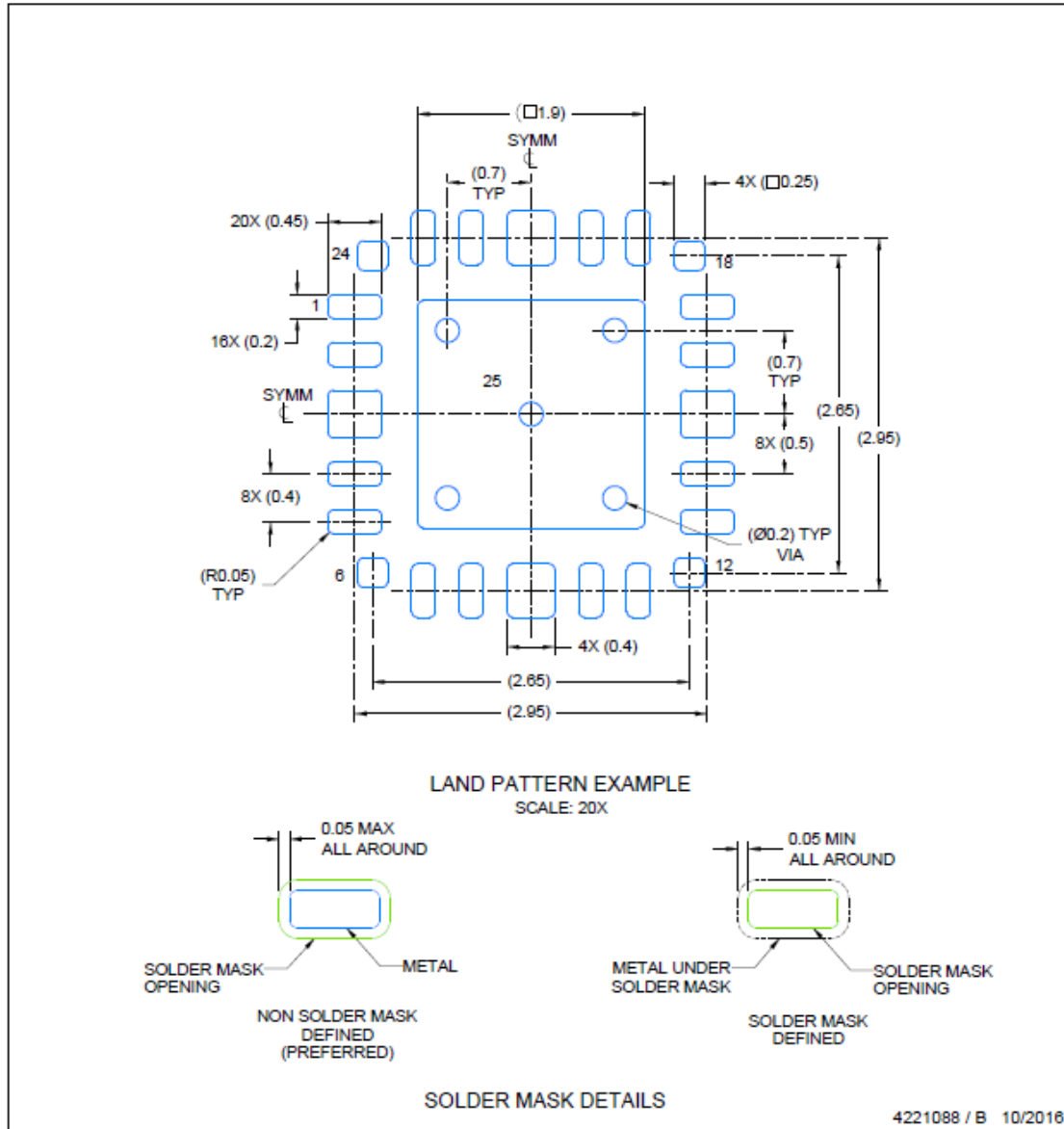
图 10-1. DP83825I 封装图

EXAMPLE BOARD LAYOUT

RMQ0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

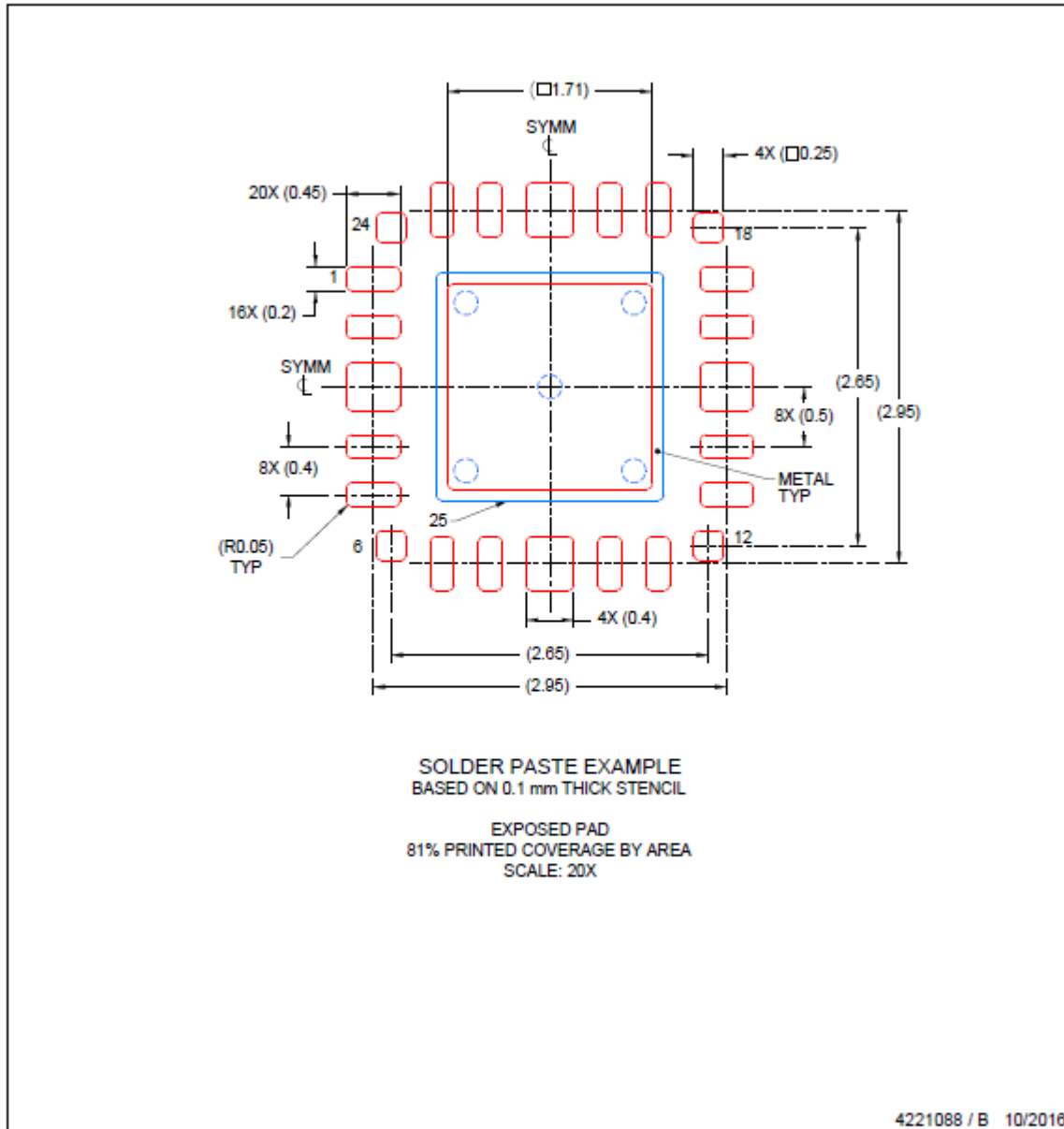
图 10-2. DP83825I 封装图

EXAMPLE STENCIL DESIGN

RMQ0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

图 10-3. DP83825I 封装图

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83825IRMQR	Active	Production	WQFN (RMQ) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQR.A	Active	Production	WQFN (RMQ) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQRG4	Active	Production	WQFN (RMQ) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQRG4.A	Active	Production	WQFN (RMQ) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQT	Active	Production	WQFN (RMQ) 24	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I
DP83825IRMQT.A	Active	Production	WQFN (RMQ) 24	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	825I

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83825IRMQR	WQFN	RMQ	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DP83825IRMQRG4	WQFN	RMQ	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DP83825IRMQT	WQFN	RMQ	24	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

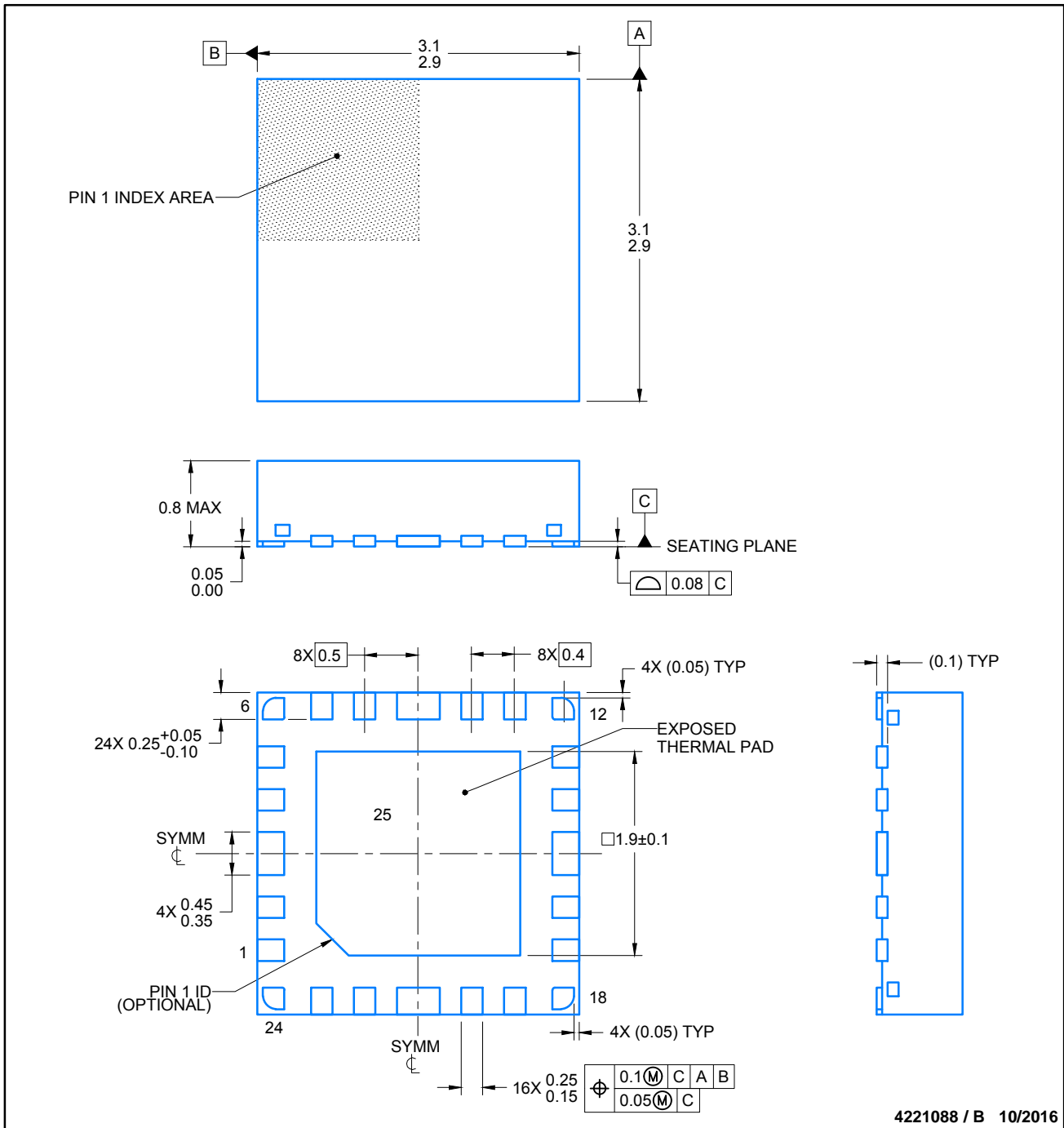
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83825IRMQR	WQFN	RMQ	24	3000	367.0	367.0	35.0
DP83825IRMQRG4	WQFN	RMQ	24	3000	367.0	367.0	35.0
DP83825IRMQT	WQFN	RMQ	24	250	210.0	185.0	35.0

RMQ0024A

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

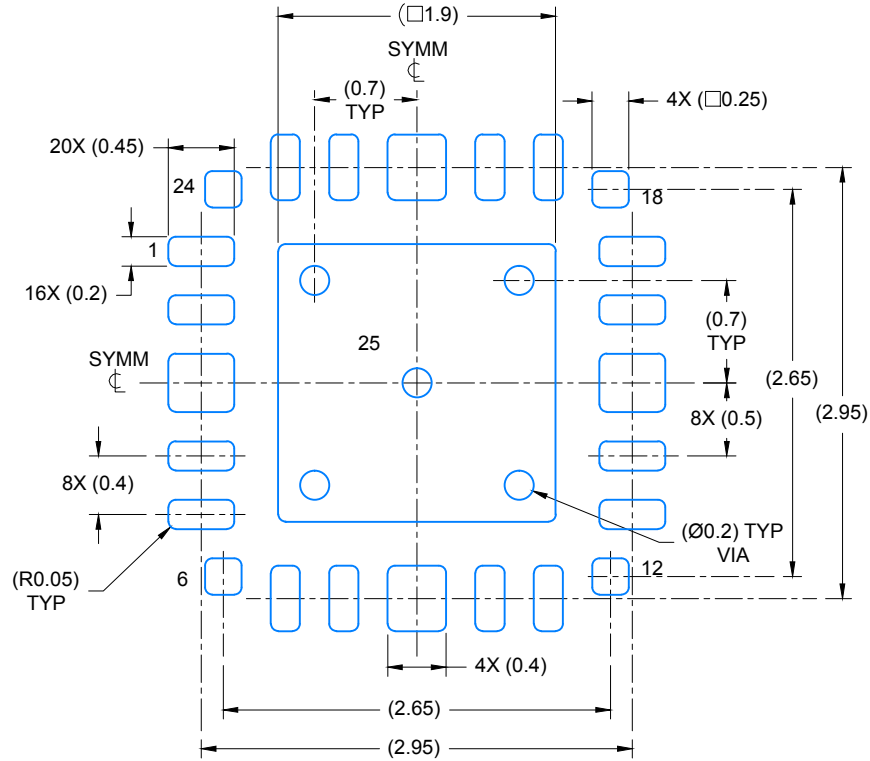
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

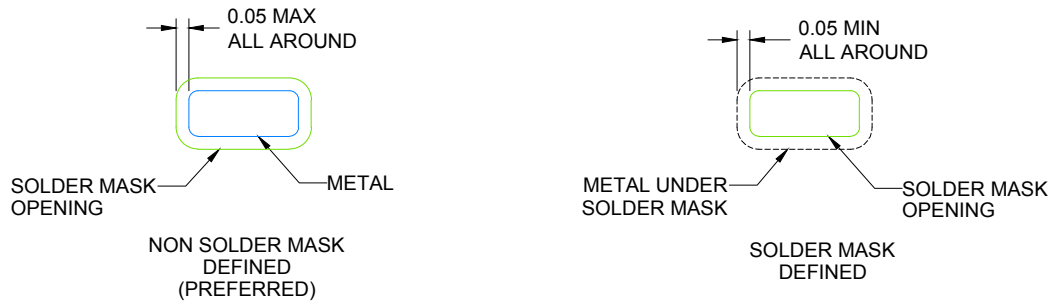
RMQ0024A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 20X



SOLDER MASK DETAILS

4221088 / B 10/2016

NOTES: (continued)

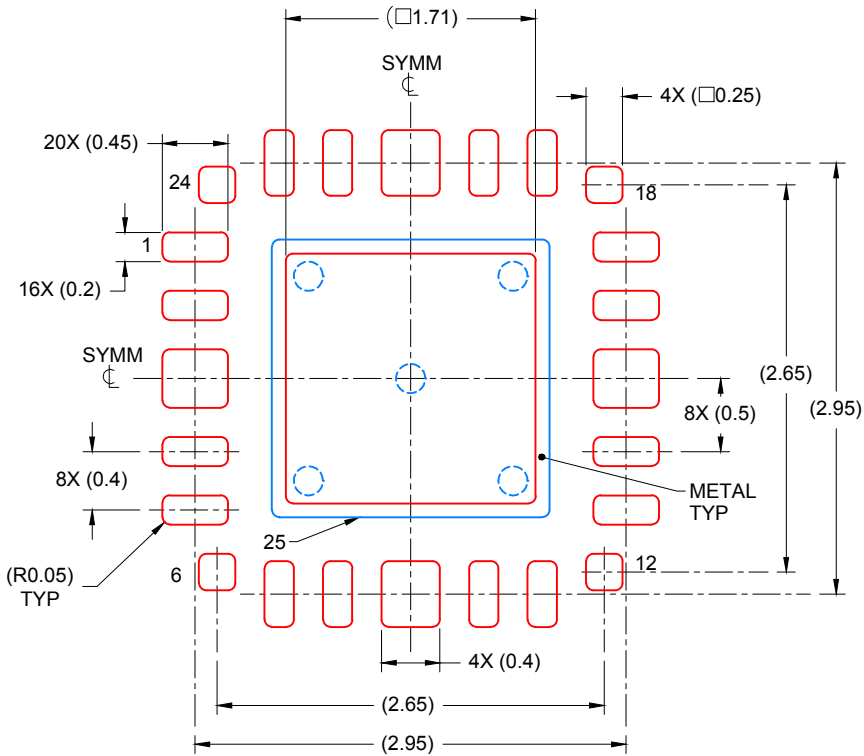
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

WQFN - 0.8 mm max height

RMQ0024A

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
 81% PRINTED COVERAGE BY AREA
 SCALE: 20X

4221088 / B 10/2016

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月