

DP83TD510E 超低功耗 802.3cg 10Base-T1L 10M 单线对以太网 PHY

1 特性

- 更长的电缆长度
 - 对于 1V p2p, 支持超过 2000 米的电缆长度
 - 对于 2.4V p2p, 支持超过 2000 米的电缆长度
- 超低功耗
 - 1V 点对点模式下为 38mW
 - 2.4V 点对点模式下为 82mW
- 符合 IEEE 802.3cg 10Base-T1L 标准
- IEC 61000-4-4 EFT : 5KHz、100KHz 下为 ± 4 KV
- IEC61000-4-5 浪涌 ± 2 KV @ 1,2/50us、8/20us
- IEC 61000-4-2 接触放电 ± 4 KV、 ± 8 KV 空气放电
- CISPR22 B 类辐射发射
- 实现本质安全的外部 MDI 终端
- MAC 接口 :
 - MII 模式
 - RMII 主/从模式
 - RGMII 模式
 - 低功耗 5MHz RMII 主模式
 - 适用于范围扩展器的 RMII 背对背模式
- 电源
 - 可由一个 3.3V 单电源供电
 - 双电源供电可实现超低功耗
- I/O 电压 : 1.8V、2.5V 或 3.3V
- 诊断工具套件
 - 电缆开路和短路检测
 - 信号质量指示器 (SQI) 可检测电缆是否老化
 - 活动链路电缆诊断 (ALCD)
- 时钟输出 : 25MHz、50MHz (RMII 主模式)
- 在 MDI 引脚上提供 ± 6 kV HBM ESD 保护
- 工作温度范围 : -40°C 至 105°C
- 封装 : 5mm x 5mm , 32 引脚, 间距为 0.5mm

2 应用

- 过程自动化
 - 现场发送器和开关
- 楼宇自动化
 - HVAC 控制器
 - 升降机和自动扶梯
 - 防火安全
- 工厂自动化和控制

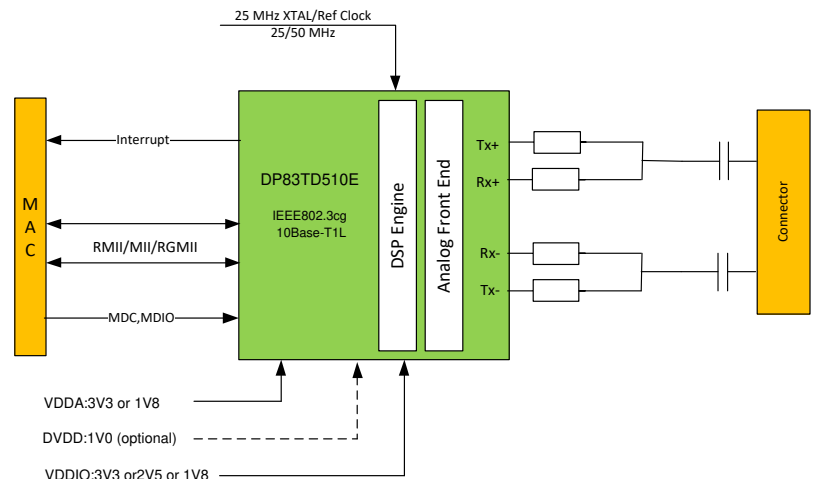
3 说明

DP83TD510E 是一款符合 IEEE 802.3cg 10Base-T1L 规范的超低功耗以太网物理层收发器。PHY 具有超低噪声的耦合接收器架构, 可实现更长的电缆长度和超低功耗。DP83TD510E 具有外部 MDI 终端, 可满足本质安全要求。该器件通过 MII、简化 MII (RMII)、RGMII 和 RMII 低功耗 5MHz 主器件模式与 MAC 层相连。该器件还支持 RMII 背对背模式, 适用于需要将电缆长度扩展到 2000 米以上的应用。该器件支持 25MHz 参考时钟输出, 为系统上的其他模块提供时钟。为便于设计或调试, DP83TD510E 提供了集成电缆诊断工具以及内置自检和环回功能。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
DP83TD510E	QFN (32)	5.00mm × 5.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



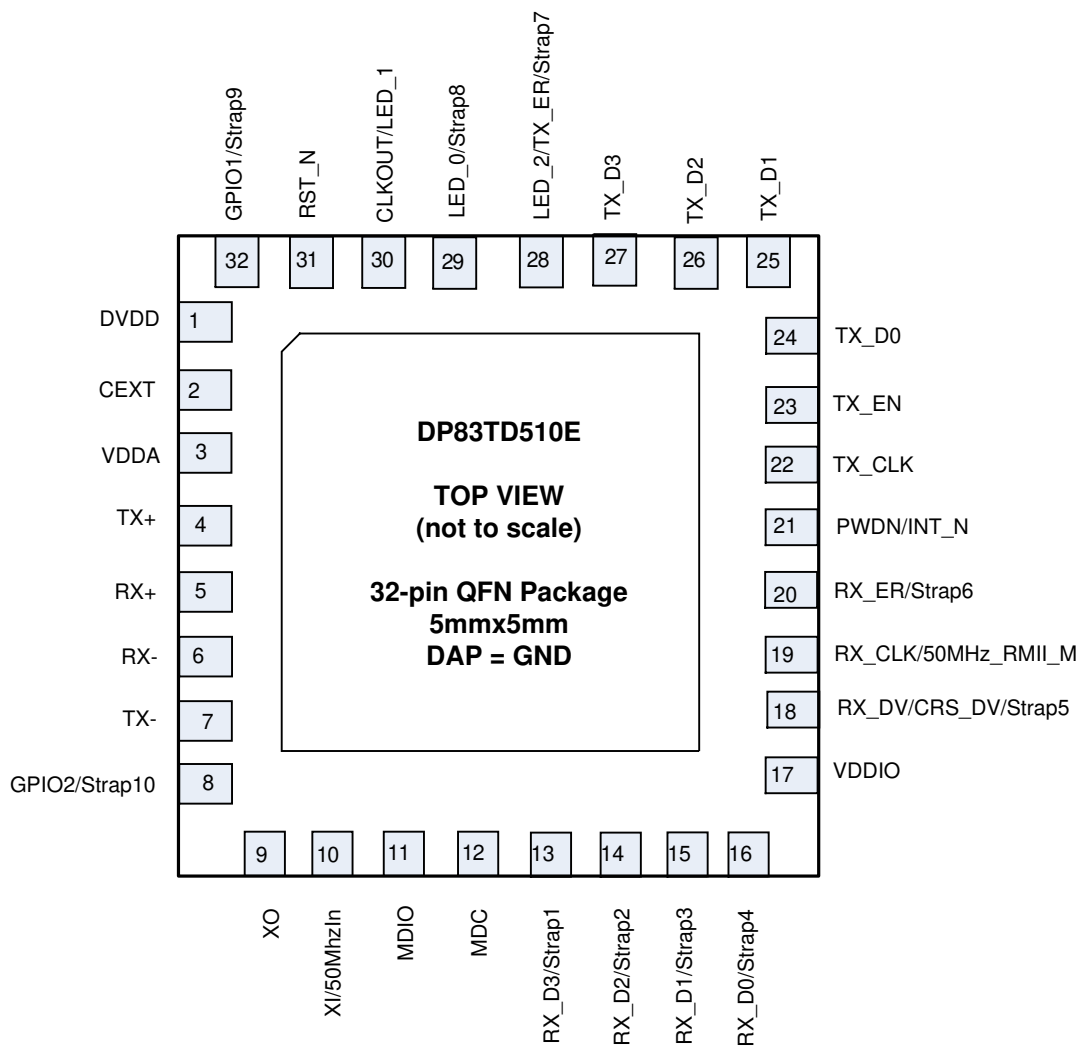
DP83TD510E 应用图表



内容

1 特性	1	6.4 器件功能模式.....	33
2 应用	1	6.5 编程.....	35
3 说明	1	6.6 MMD 寄存器地址映射.....	35
4 引脚配置和功能	3	6.7 DP83TD510E 寄存器.....	37
引脚功能.....	4	7 应用和实施	74
5 规格	7	7.1 应用信息.....	74
5.1 绝对最大额定值.....	7	7.2 典型应用.....	74
5.2 ESD 等级.....	7	7.3 电源相关建议.....	77
5.3 建议运行条件.....	7	7.4 布局.....	79
5.4 热性能信息.....	8	8 器件和文档支持	83
5.5 电气特性.....	8	8.1 器件支持.....	83
5.6 时序要求.....	13	8.2 支持资源.....	83
5.7 时序图.....	16	8.3 商标.....	83
6 详细说明	19	8.4 静电放电警告.....	83
6.1 概述.....	19	8.5 术语表.....	83
6.2 功能方框图.....	20	9 修订历史记录	83
6.3 特性说明.....	20	10 机械、封装和可订购信息	84

4 引脚配置和功能



Copyright © 2020, Texas Instruments Incorporated

图 4-1. RMQ 封装 32 引脚 VQFN 顶视图

引脚功能

引脚		类型	说明
名称	编号		
DVDD	1	A	数字电源 1.0V - 对于单电源供电：将该引脚与 CEXT (引脚 2) 短接 - 可选 (双电源供电)：连接外部 1.0V 电源以实现超低功耗 请参阅“应用”部分中的电源连接图
CEXT	2	A)	用于内部 LDO 的外部电容器 - 对于单电源供电：连接 0.01 μF 电容器并将其与引脚 1 短接 - 对于双电源供电，请保持未连接状态 请参阅“应用”部分中的电源连接图
VDDA	3	A	提供 3.3V 电压以支持 2.4V p2p 和 1V p2p 模式。 提供 1.8V 电压以仅支持 1V p2p 模式。 提供的电压将反映在自动协商基础页的位 13 中，从而能够支持 2.4V p2p 或 1V p2p。 当选择 3.3V 时，0x20E，位 13 = 1。 当选择 1.8V 时，0x20E，位 13 = 0。 确保适当选择 Strap7 “Reach Selection” strap，以请求自动协商页中的输出电压电平。
TX+	4	A	TX+、TX-：差分发送输出 (PMD)：根据为 PHY 选择的配置以及与链路伙伴的自动协商，这些差分输出配置为 2.4V p2p 或 1V p2p 模式。
RX+	5	A	Rx+、Rx-：根据为 PHY 选择的配置，这些差分输入会自动配置为接受 2.4V p2p 或 1V p2p 模式。
RX-	6	A	
TX-	7	A	TX+、TX-：差分发送输出 (PMD)：根据为 PHY 选择的配置以及与链路伙伴的自动协商，这些差分输出配置为 2.4V p2p 或 1V p2p 模式。
GPIO2	8	Strap	GPIO：该引脚可以通过寄存器配置来配置为多种配置。它具有强制的 PU 或 PD 配置 (strap)。请参阅配置 (Strap) 部分以了解详细信息。
XO	9	A	晶体输出：基准时钟输出。XO 引脚仅用于晶振。CMOS 电平振荡器与 XI 相连时，该引脚应悬空。
XI/50MHzIn	10	A	晶体/振荡器输入时钟 MII、RMII 主模式：25MHz $\pm$ 50ppm 容差晶体或振荡器时钟 RMII 从模式：50MHz $\pm$ 50ppm 容差 CMOS 级振荡器时钟
MDIO	11		管理数据 I/O：可由管理站或 PHY 提供的双向管理数据信号。该引脚需要 2.2k Ω - 4.0k Ω 的外部拉电阻。
MDC	12		管理数据时钟：MDIO 串行管理输入/输出数据的同步时钟。该时钟可以与 MAC 发送和接收时钟异步。最大时钟速率为 1.75MHz。
RX_D3	13	Strap	接收数据：对电缆上接收的符号进行解码并呈现到这些引脚上 (与 RX_CLK 的上升沿同步)。 当 RX_DV 被置为有效时，这些符号包含有效数据。在 MII 模式下会接收半字节 RX_D[3:0]。 在 RMII 模式下会接收 2 位 RX_D[1:0]。
RX_D2	14	Strap	
RX_D1	15	Strap	
RX_D0	16	Strap	
VDDIO	17	电源	I/O 电源：3.3V/2.5V/1.8V。如需了解去耦电容器要求，请参阅“应用”部分中的电源连接图。
RX_DV/ CRS_DV	18	Strap	接收数据有效：该引脚表示 MII 模式的 RX_D[3:0] 上和 RMII 模式的 RX_D[1:0] 上存在有效数据。在 RMII 模式下，该引脚用作 CRS_DV，并整合了 RMII 载波和接收数据有效指示功能。 该引脚可配置为 RX_DV 以使用 strap 或寄存器配置来启用 RMII 中继器模式。 RGMII 模式：RGMII 接收控制：RX_CTRL 将接收数据有效信号与接收错误信号组合在一起。 RX_DV 在 RX_CLK 的上升沿出现，RX_ER 在 RX_CLK 的下降沿出现。

引脚		类型	说明
名称	编号		
RX_CLK/ 50MHz_RMII _M	19		MII 接收时钟：MII 接收时钟在速度为 10Mbps 时提供 2.5MHz 基准时钟，该时钟源自接收的数据流。 在 RMII 主模式下，这将提供 50MHz 基准时钟。在 RMII 从模式下，该引脚未被使用，仍然为输入/PD。 RGMII 接收时钟：RGMII 接收时钟在速度为 10Mbps 时提供 2.5MHz 基准时钟，该时钟源自接收数据流。
RX_ER	20	Strap	接收错误：该引脚指示在 MII 和 RMII 模式下接收到的数据包中检测到错误符号。在 MII 模式下，RX_ER 与 RX_CLK 的上升沿同步置为高电平。在 RMII 模式下，RX_ER 与基准时钟的上升沿同步置为高电平。对于每个接收错误，包括空闲期间的错误，RX_ERR 均被置为高电平。在 RGMII 模式下未使用。
PWDN/INT	21		断电（默认）/中断：该引脚的默认功能是断电。要将该引脚配置为中断，需要访问寄存器。在断电功能中，该引脚上的低电平有效信号会将器件置于断电模式。如果该引脚配置为中断引脚，则会在发生中断条件时将该引脚置位为低电平。该引脚具有带弱内部上拉电阻 (9.5k Ω) 的开漏输出。某些应用可能需要外部 PU 电阻。
TX_CLK	22		MII 发送时钟：MII 发送时钟在速度为 10Mbps 时提供 2.5MHz 基准时钟。 在 RMII 模式中未使用。 RGMII 发送时钟：该时钟从 MAC 层提供给 PHY。以 10Mbps 速度运行时，该时钟必须为 2.5MHz。
TX_EN	23		发送使能：TX_EN 出现在 TX_CLK 的上升沿。TX_EN 表示在 MII 模式下的 TX_D[3:0] 上和 RMII 模式下的 TX_D[1:0] 上存在有效数据输入。TX_EN 是高电平有效信号。 RGMII 发送控制：TX_CTRL 将发送使能和发送错误信号组合在一起。TX_EN 在 TX_CLK 的上升沿出现，TX_ER 在 TX_CLK 的下降沿出现。
TX_D0	24		发送数据：在 MII 模式下，从 MAC 接收的发送数据半字节与 TX_CLK 的上升沿同步。在 RMII 主模式下，TX_D[0,1] 与器件的 CLKOUT50M 输出同步 在 RMII 从模式下，TX_D[0,1] 与基准时钟的上升沿同步
TX_D1	25		
TX_D2	26		
TX_D3	27		
LED_2/ TX_ER	28	Strap	默认情况下，该引脚用作 LED_2。该引脚也可以配置为 GPIO 或 TX_ER。当链路协商为 10M（短距离）时，LED 亮起。否则，LED 保持熄灭。
LED_0	29	Strap	LED：活动指示 LED 除了指示链路状态外，还指示发送和接收活动。当链路正常时，LED 亮起。当发送器或接收器处于活动状态时，LED 将闪烁。通过寄存器配置，该引脚还可用作 GPIO。
CLKOUT/ LED_1	30		该引脚默认提供 25MHz 的基准 CLKOUT 为板上的其他模块计时。可以使用 strap 或寄存器配置将该引脚配置为用作 LED_1。当链路协商为 10M（长距离）时，LED 亮起。否则，LED 将保持熄灭。当配置为 CLK_OUT 时，基准时钟不受复位的影响。
RST_N	31		RST_N：该引脚是低电平有效复位输入。将该引脚置位为低电平至少 25 μ s，可强制执行复位过程。启动复位会引起对配置 (strap) 引脚的重新扫描，并将 PHY 的所有内部寄存器复位为默认值。
GPIO1	32	Strap	通用输入或输出。

表 4-1. 各种状态下的内部 PU/PD

引脚编号	引脚名称	复位状态	活动状态 (MII 模式)	活动状态 (RMII 主模 式)	活动状态 (RMII 从模 式)	活动状态 (RGMII 模式)
1	DVDD	A	A	A	A	A
2	CEXT	A	A	A	A	A)
3	VDDA	A	A	A	A	A)
4	TX+	A	A	A	A	A)
5	RX+	A	A	A	A	A)
6	RX-	A	A	A	A	A)

表 4-1. 各种状态下的内部 PU/PD (续)

引脚编号	引脚名称	复位状态	活动状态 (MII 模式)	活动状态 (RMII 主模式)	活动状态 (RMII 从模式)	活动状态 (RGMII 模式)
7	TX-	A	A	A	A	A)
8	GPIO2	I、PD	I、PD	I、PD	I、PD	I、PD
9	XO	A	A	A	A	A)
10	XI/50MHzIn	A	A	A	A	A)
11	MDIO	IO	IO	IO	IO	IO
12	MDC	I	I	I	I	I
13	RX_D3	I、PD	O、高阻态	I、PD	I、PD	O、高阻态
14	RX_D2	I、PD	O、高阻态	I、PD	I、PD	O、高阻态
15	RX_D1	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态
16	RX_D0	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态
17	VDDIO	A	A	A	A	A)
18	RX_DV/ CRS_DV	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态
19	RX_CLK/ 50MHz)RMII_M	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态
20	RX_ER	I、PD	O、高阻态	O、高阻态	O、高阻态	I、PD
21	PWDN/INT	I、 PU-9.5K Ω /漏极开路	I、 PU-9.5K Ω /漏极开路	I、PU-9.5K Ω /漏极开路	I、PU-9.5K Ω /漏极开路	I、PU-9.5K Ω /漏极开路
22	TX_CLK	I、PD	O、高阻态	I、PD	I、PD	I、PD
23	TX_EN	I、PD	I、PD	I、PD	I、PD	I、PD
24	TX_D0	I、PD	I、PD	I、PD	I、PD	I、PD
25	TX_D1	I、PD	I、PD	I、PD	I、PD	I、PD
26	TX_D2	I、PD	I、PD	I、PD	I、PD	I、PD
27	TX_D3	I、PD	I、PD	I、PD	I、PD	I、PD
28	LED_2/ TX_ER	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态
29	LED_0	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态
30	CLKOUT/ LED_1	I、PD (仅在 POR 时)	O、高阻态	O、高阻态	O、高阻态	O、高阻态
31	RST_N	I、PU	I、PU	I、PU	I、PU	I、PU
32	GPIO1	I、PD	O、高阻态	O、高阻态	O、高阻态	O、高阻态

下面的定义规定了每个引脚的 I/O 单元的功能性。(a) 类型：I - 输入 (b) 类型：O - 输出 (c) 类型：I/O - 输入/输出 (d) 类型 OD - 漏极开路 (e) 类型：PD、PU - 内部下拉/上拉 (g) 类型 HI-Z：悬空 (h) 类型：A - 模拟

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数		最小值	最大值	单位
电源电压	DVDD 1.0	-0.3	1.4	V
	VDDA 1.8	-0.3	4	V
	VDDA 3.3	-0.3	4	V
	VDDIO (3.3)	-0.3	4	V
	VDDIO (2.5)	-0.3	3	V
	VDDIO (1.8)	-0.3	2.1	V
引脚	MDI (Tx+, Tx-, Rx+, Rx-)	-0.3	4	V
引脚	TX_D[0:3]、RX_D[0:3]、TX_CLK、RX_CLK、TX_EN、RX_DV、RX_ER、MDIO、MDC、LED0、LED1、LED2	-0.3	VDDIO + 0.3	V
引脚	INT/PWDN、RESET	-0.3	VDDIO + 0.3	V
引脚	XI 振荡器输入	-0.3	VDDIO+0.3	V

(1) 超出绝对最大额定值下列出的压力可能会对器件造成损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

参数				值	单位
V _(ESD)	V(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	除 MDI 外的所有引脚	+/-2000	V
V _(ESD)	V(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	MDI 引脚	+/-6000	V
V _(ESD)	V(ESD) 静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	所有引脚	+/-1000	V

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。如果具备必要的预防措施，则可以在低于 500V HBM 时进行生产。
- (2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。如果具备必要的预防措施，则可以在低于 250V CDM 时进行生产。列为 ±500V 的引脚实际上可能具有更高的性能。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	标称值	最大值	单位
DVDD 1.0	数字电源	0.90	1.0	1.1	V
VDDA 1.8	模拟电源	1.62	1.8	1.98	V
VDDA 3.3	模拟电源	3.0	3.3	3.6	V
VDDIO	数字电源电压，以 1.8V 运行	1.62	1.8	1.98	V
	数字电源电压，以 2.5V 运行	2.25	2.5	2.75	
	数字电源电压，以 3.3V 运行	3.0	3.3	3.6	
T _A	运行环境温度	-40		105	°C

5.4 热性能信息

热指标 ⁽¹⁾		32 引脚 QFN	单位
$R_{\theta JA}$	结至环境热阻	52	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	42	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	10	°C/W
$R_{\theta JB}$	结至电路板热阻	30	°C/W
Ψ_{JT}	结至顶部特征参数	2	°C/W
Ψ_{JB}	结至电路板特征参数	30	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
IEEE Tx 一致性 (10BaseT1L 外部终端)						
1V p2p	Vod : 输出差分电压		0.85	1.0	1.05	V
2.4V p2p	Vod : 输出差分电压		2.04	2.4	2.56	V

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
功耗（双模拟电源，1V p2p 模式）						
	DVDD1.0	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		3.5	7.5	mA
	AVDD1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		16	21.5	mA
	DVDD1.0	复位			6	mA
	AVDD1.8	复位			5	mA
	DVDD1.0	IEEE 断电			5	mA
	AVDD1.8	IEEE 断电			5	mA
功耗（双模拟电源，2.4V p2p 模式）						
	DVDD1.0	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		3.5	7	mA
	AVDD3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		22	32	mA
	AVDD3.3	复位			5	mA
功耗（单模拟电源，1v p2p，200 米）						
温度：-40 至 105°C	AVDD3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		19	26	mA
温度：-40 至 105°C	AVDD1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		19	26.5	mA
功耗（单模拟电源，2.4Vp2p，1000 米）						
温度：-40 至 105°C	AVDD3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		26	38	mA
功耗 VDDIO（MII 接口）						
	VDDIO1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		2.75	4	mA

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
VDDIO2.5	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		4	5	mA
VDDIO3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		5	7	mA
功耗 VDDIO (RMII 主接口)					
VDDIO1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		9.5	12	mA
VDDIO2.5	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		12.5	17	mA
VDDIO3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		16.5	22	mA
功耗 VDDIO (RMII 从接口)					
VDDIO1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		3	4	mA
VDDIO2.5	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		4	5	mA
VDDIO3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		5.5	7	mA
功耗 VDDIO (RMII 主模式 5MHz)					
VDDIO1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		3.5	4.5	mA
VDDIO2.5	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		4.5	5	mA

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
	VDDIO3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		6	8	mA
功耗 VDDIO (RGMII 接口)						
	VDDIO1.8	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		3	4	mA
	VDDIO2.5	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		4	5.5	mA
	VDDIO3.3	典型值：100% 流量，随机大小：64 至 1512 字节，随机内容，温度：25°C 最大：100% 流量，随机大小：64 至 1512 字节，随机内容，跨进程，电压和温度范围		5.5	7.5	mA
功耗 (低功耗模式)						
温度: -40 至 105°C	VDDIO1.8	复位			3	mA
	VDDIO2.5	复位			5	mA
	VDDIO3.3	复位			7	mA
温度: -40 至 105°C	VDDIO1.8	IEEE 断电			3	mA
	VDDIO2.5	IEEE 断电			4	mA
	VDDIO3.3	IEEE 断电			5	mA
自举直流特性 (2 级)						
V _{IH_3v3}	高电平自举阈值：3V3		1.3			V
V _{IL_3v3}	低电平自举阈值：3V3			0.6		V
V _{IH_2v5}	高电平自举阈值：2V5		1.3			V
V _{IL_2v5}	低电平自举阈值：2V5			0.6		V
V _{IH_1v8}	高电平自举阈值：1V8		1.3			V
V _{IL_1v8}	低电平自举阈值：1V8			0.6		V

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
IO 特性						
V _{IH}	高电平输入电压	VDDIO = 3.3V ±10%	2			V
V _{IL}	低电平输入电压	VDDIO = 3.3V ±10%			0.8	V
V _{OH}	高电平输出电压	I _{OH} = -2mA、VDDIO = 3.3V ±10%	2.4			V
V _{OL}	低电平输出电压	I _{OL} = 2mA、VDDIO = 3.3V ±10%			0.4	V
V _{IH}	高电平输入电压	VDDIO = 2.5V ±10%	1.7			V
V _{IL}	低电平输入电压	VDDIO = 2.5V ±10%			0.7	V
V _{OH}	高电平输出电压	I _{OH} = -2mA、VDDIO = 2.5V ±10%	2			V
V _{OL}	低电平输出电压	I _{OL} = 2mA、VDDIO = 2.5V ±10%			0.4	V
V _{IH}	高电平输入电压	VDDIO = 1.8V ±10%	0.65*V _{DIO}			V
V _{IL}	低电平输入电压	VDDIO = 1.8V ±10%			0.35*V _{DIO}	V
V _{OH}	高电平输出电压	I _{OH} = -2mA、VDDIO = 1.8V ±10%	VDDIO-0.45			V
V _{OL}	低电平输出电压	I _{OL} = 2mA、VDDIO = 1.8V ±10%			0.45	V
I _{IH}	输入高电流	T _A = -40°C 至 105°C，VIN=VDDIO	-15		15	μA
I _{IL}	输入低电流	T _A = -40°C 至 105°C，VIN=GND	-10		10	μA
R _{pulldn}	内部下拉电阻			9	11.5	kΩ
R _{pullup}	内部上拉电阻器			9	11.5	kΩ
XI V _{IH}	高电平输入电压		1.2			V
XI V _{IL}	低电平输入电压				0.6	V
C _{IN}	输入电容 XI			1		pF
C _{IN}	输入电容输入引脚 (TX_D[3:0]、TX_EN、TX_CLK、MDC)			5		pF
C _{OUT}	输出电容 XO			1		pF
C _{OUT}	输出电容输出引脚			5		pF
R _{series}	集成 MAC 串联终端电阻器	RX_D[3:0]、RX_ER、RX_DV、RX_CLK		50		Ω
	LED 驱动强度			8		mA
	GPIO 驱动强度			8		mA

(1) 由生产测试、特性或设计确保

5.6 时序要求

(1)

参数		测试条件	最小值	标称值	最大值	单位
上电时序 (单电源和双电源模式)						
T1	电源斜坡延迟偏移: 适用于所有电源 (DVDD、VDDA、VDDIO)	第一个电源斜坡到最后一个电源斜坡			200	ms
T2	最后一次电源上电到复位完成且 SMI 就绪: 用于寄存器访问的前导码前上电稳定时间				60	ms
T4	电源斜坡速率: 适用于所有电源 (DVDD、VDDA、VDDIO)	(20% 至 80%)	0.2		40	ms
	上电至搭接锁存: 硬件配置引脚转换为输出驱动器				60	ms
	电源斜坡前 DVDD、VDDA、VDDIO 上的基座电压				0.3	V
复位时序						
T1	复位脉冲宽度: 能够复位的最小复位脉冲宽度		10			us
T2	重置为 SMI 就绪: 用于寄存器访问的前导码前复位后稳定时间				30	us
	重置为搭接锁存: 硬件配置引脚转换为输出驱动器				1050	ns
	复位为 10Base-T1L 自动协商信令				9000	us
	重置为 RMII 主时钟				35	us
MII 10M 时序						
T1	TX_CLK 高电平/低电平时间		190	200	210	ns
T2	TX_D[3:0], TX_ER、TX_EN 设置为 TX_CLK		25			ns
T3	TX_D[3:0], 来自 TX_CLK 的 TX_ER、TX_EN 保持		0			ns
T1	RX_CLK 高电平/低电平时间		160	200	240	ns
T2	RX_D[3:0], 从 RX_CLK 上升的 RX_ER、RX_DV 延迟		100		300	ns
RGMII 输出时序 (10M)						
T _{skewT}	数据到时钟输出偏斜 (非延迟模式)	5pF 负载	-2		2	ns
T _{skewT} (delay)	数据到时钟输出偏斜 (集成延迟模式)	5pF 负载	40			ns
T _{cyc}	时钟周期时长		-360	400	440	ns
	占空比		45	50	55	%
	上升/下降时间 (20% 至 80%)				3	ns
RGMII 输入时序 (10M)						
T _{skewR}	TX 数据到时钟输入偏斜 (集成延迟模式)		-4		4	ns
T _{setupR}	TX 数据到时钟输入设置 (非延迟模式)		40			ns
T _{holdR}	TX 时钟到数据输入保持 (非延迟模式)		40			ns
RMII 主模式时序						
T1	RMII 主时钟周期			20		ns
	RMII 主时钟占空比		35		65	%
T2	TX_D[1:0], TX_ER、TX_EN 设置至 RMII 主时钟	25pF 负载	4			ns
T3	TX_D[1:0], 来自 RMII 主时钟的 TX_ER、TX_EN 保持	25pF 负载	2			ns
T4	RX_D[1:0], 来自 RMII 主时钟上升沿的 RX_ER、CRS_DV 延迟	25pF 负载	4	10	14	ns
RMII 从模式时序						
T1	输入基准时钟周期			20		ns
	基准时钟占空比		35		65	%
T2	TX_D[1:0]、TX_ER、TX_EN 设置, 到 XI 时钟上升		4			ns
T3	TX_D[1:0]、TX_ER、TX_EN 保持, 从 XI 时钟上升		2			ns

(1)

参数		测试条件	最小值	标称值	最大值	单位
T4	RX_D[1:0]、RX_ER、CRS_DV 延迟，从 XI 时钟上升		4		14	ns
RMII 主模式时序 (5MHz)						
	频率			5		MHz
	占空比		40		60	%
T2	TX_D[3:0]、TX_ER、TX_EN 设置，到主时钟		10			ns
T3	TX_D[3:0]、TX_ER、TX_EN 保持，从主时钟		10			ns
T4	RX_D[3:0]、RX_ER、RX_DV 延迟，从 5MHz 时钟		50	100	150	ns
SMI 时序						
T1	MDC 至 MDIO (输出) 延迟时间		0		10	ns
T2	MDIO (输入) 至 MDC 建立时间		10			ns
T3	MDIO (输入) 至 MDC 保持时间		10			ns
T4	MDC 频率			1	1.75	MHz

(1)

参数		测试条件	最小值	标称值	最大值	单位
输出时钟时序 (25MHz 时钟输出)						
	频率 (PPM)		-100		100	-
	占空比		40		60	%
	上升时间				5000	ps
	下降时间				5000	ps
	抖动 (RMS - 长期)				40	ps
	频率			25		MHz
	RefCLK 到时钟输出延迟				3000	ps
输出时钟 50MHz 时序						
	频率 (PPM)		-50		50	ppm
	占空比		35		65	%
	上升时间				5000	ps
	下降时间				5000	ps
	抖动 (长期 10,000 周期)				650	ps
25MHz 输入时钟容差						
	频率容限		-100		+100	ppm
	抖动容差 (RMS)				40	ps
	上升/下降时间 (10%-90%)				8	ns
	抖动容差 (累积)				500	ps
	占空比		40		60	%
50MHz 输入时钟容差						
	频率容限		-100		+100	ppm
	抖动容差 (RMS)				40	ps
	上升/下降时间 (10%-90%)				4	ns
	抖动容差 (累积)				250	ps
	占空比		40		60	%
发送延迟时序						
铜	RGMII 到 Cu (10M) : TX_CTRL 置位的上升沿 TX_CLK 到 MDI 上的 SSD 符号				3000	ns
铜	MII 到 Cu (10M) : 在 MDI 上设置 TX_EN 至 SSD 符号的上升沿 TX_CLK				750	ns
Tx_RMII	TX_EN 置位的从模式 RMII 上升沿 XI 时钟到 MDI 上的 SSD 符号 (10M)				2800	ns
Tx_RMII	TX_EN 置位的主模式 RMII 上升沿时钟到 MDI 上的 SSD 符号 (10M)				2800	ns
接收延迟时序						
铜	Cu 到 RGMII (10M) : MDI 上的 SSD 符号到 RX_CTRL 置位的 RX_CLK 上升沿				5000	ns
铜	Cu 到 MII (10M) : MDI 上的 SSD 符号到 RX_DV 置位的 RX_CLK 上升沿				5100	ns
Rx_RMII	MDI 上的 SSD 符号到 CRS_DV 置位的 XI 时钟从模式 RMII 上升沿 (10M)				5700	ns

(1)

参数		测试条件	最小值	标称值	最大值	单位
Rx_RMII	MDI 上的 SSD 符号到 CRS_DV 置位的主时钟主模式 RMII 上升沿 (10M)				5800	ns

(1) 由生产测试、特性或设计确保

5.7 时序图

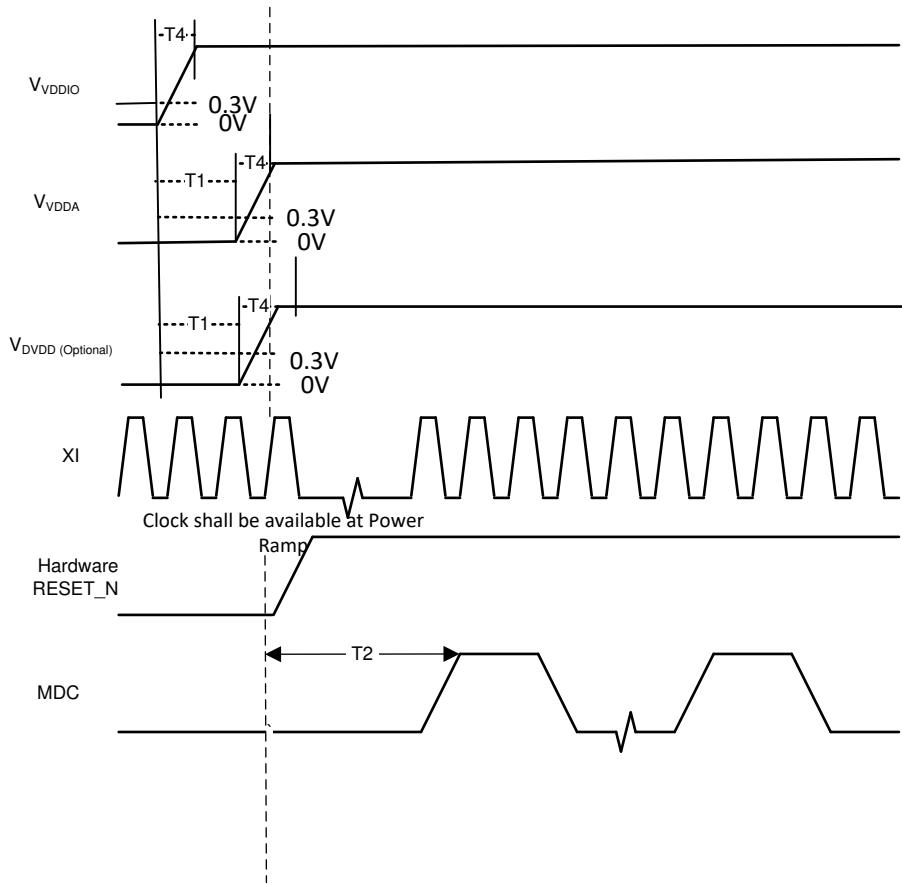


图 5-1. 上电时序

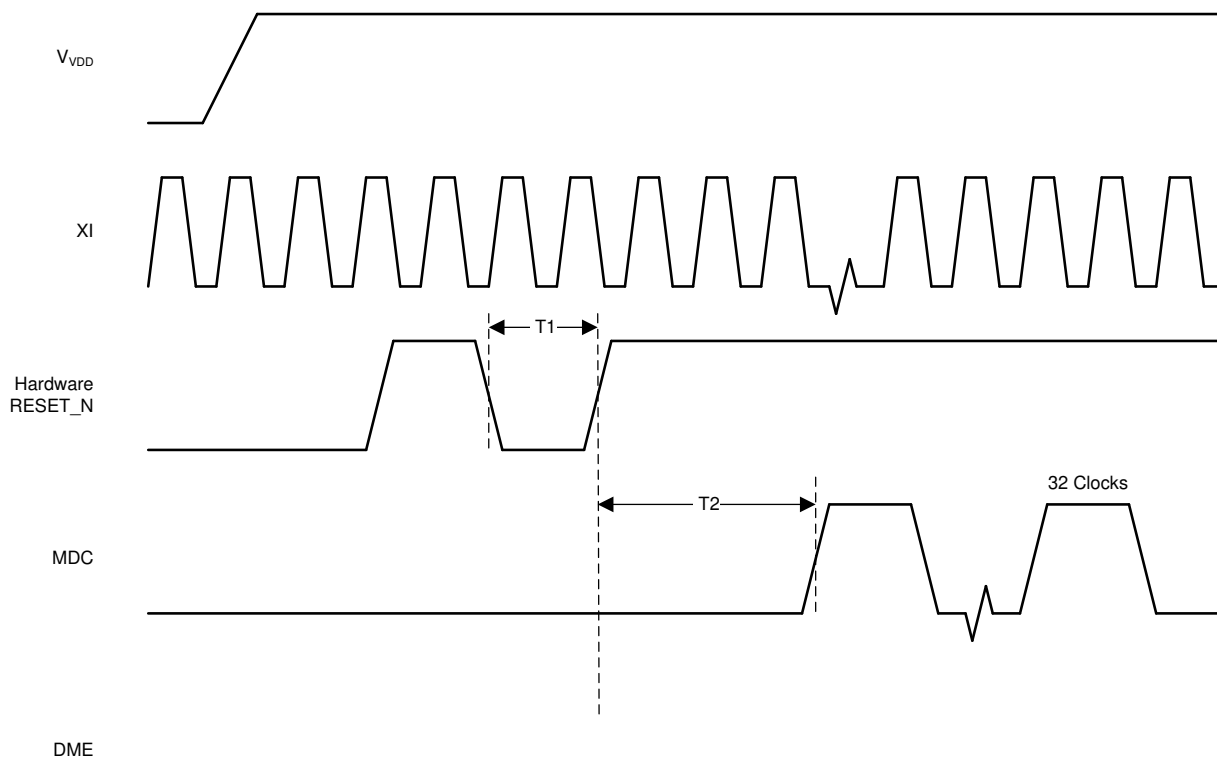


图 5-2. 复位时序

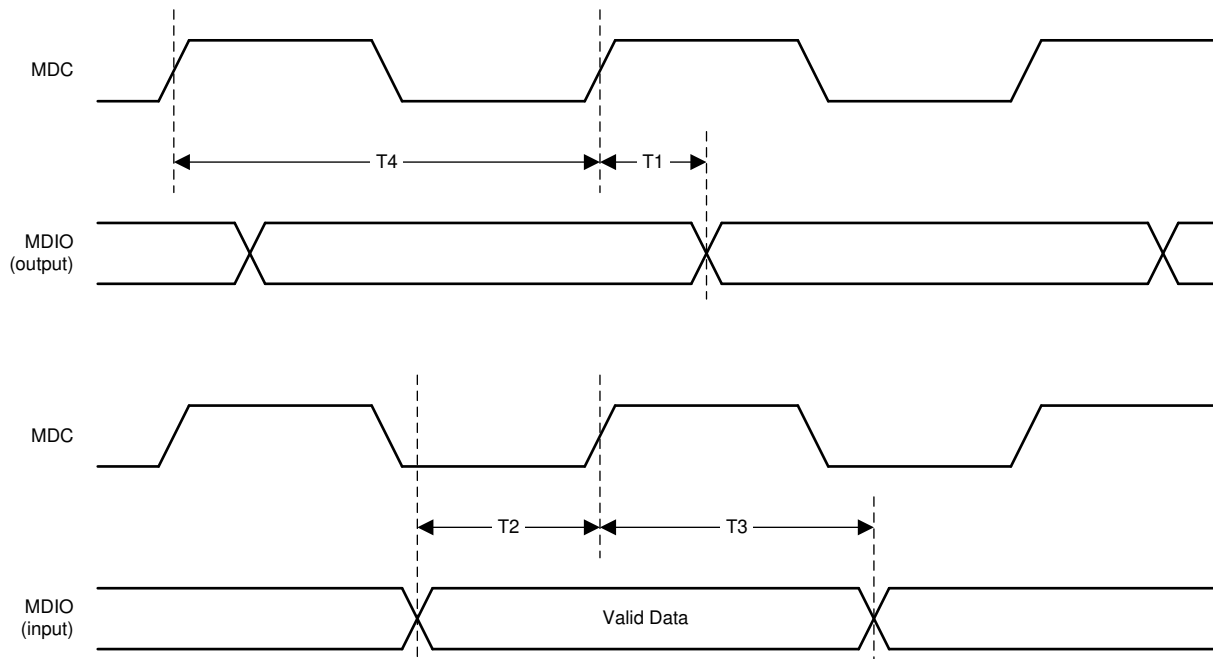


图 5-3. 串行管理时序

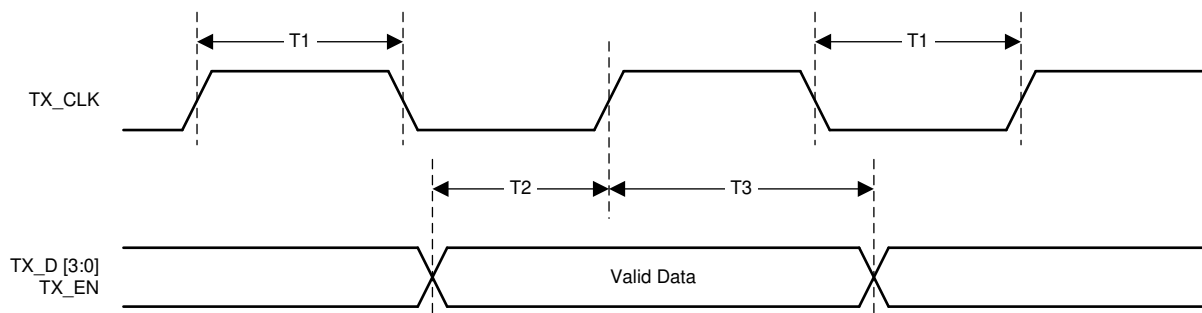


图 5-4. 10Mbps MII 发送时序

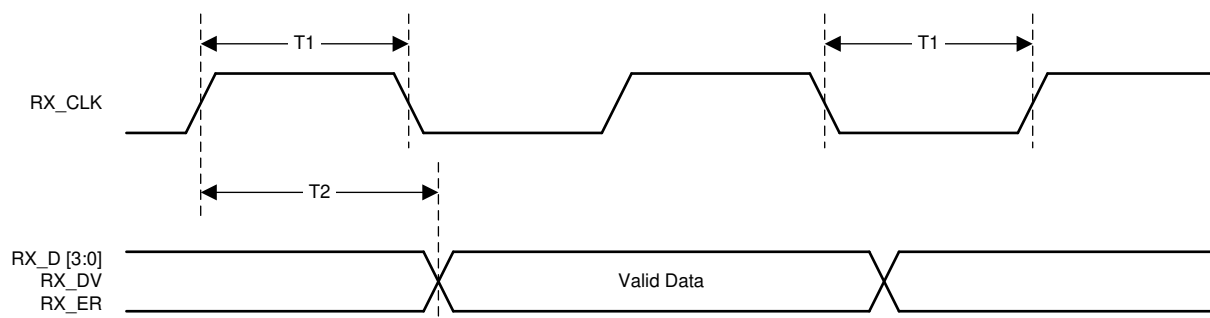


图 5-5. 10Mbps MII 接收时序

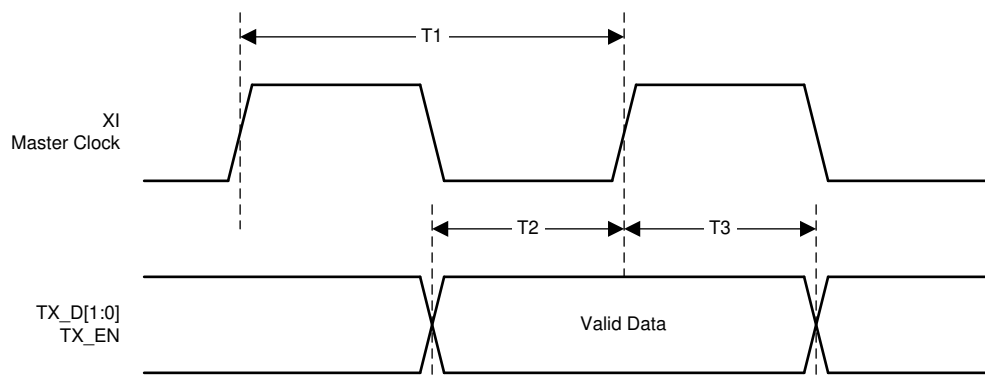


图 5-6. RMII 发送时序

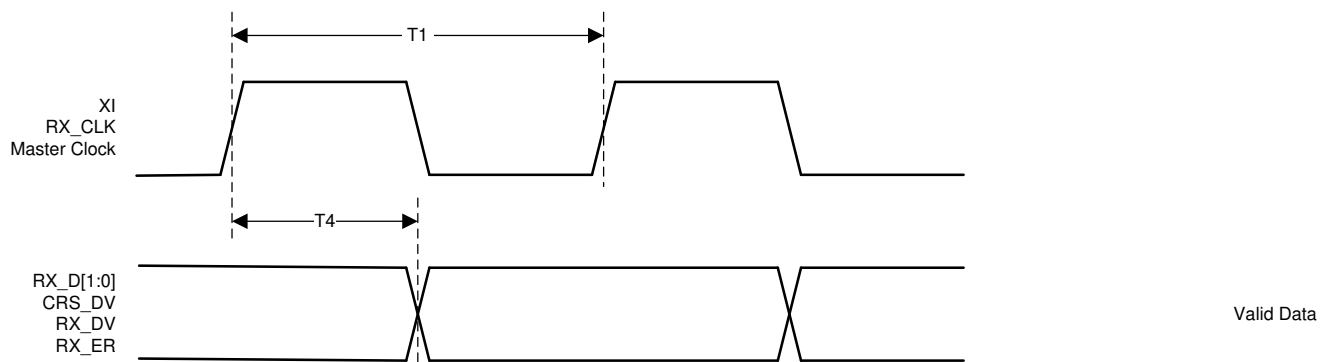


图 5-7. RMII 接收时序

6 详细说明

6.1 概述

DP83TD510E 是一款符合 IEEE 802.3cg 10BaseT1L 标准的物理层收发器。PHY 使用低噪声耦合信号处理接收器架构来提供更长的电缆距离和超低功耗。该器件支持 IEEE 802.3cg 10Base-T1L 规范定义的 2.4V p2p 和 1V p2p 电压模式。该器件支持多个 MAC 接口 (MII、简化媒体独立接口 (RMII)、RGMII 和低功耗简化 MII)，可直接连接到介质访问控制器 (MAC)。该器件还支持背靠背 RMII 模式和非托管模式下的 RGMII，从而提供范围扩展和中继器功能。

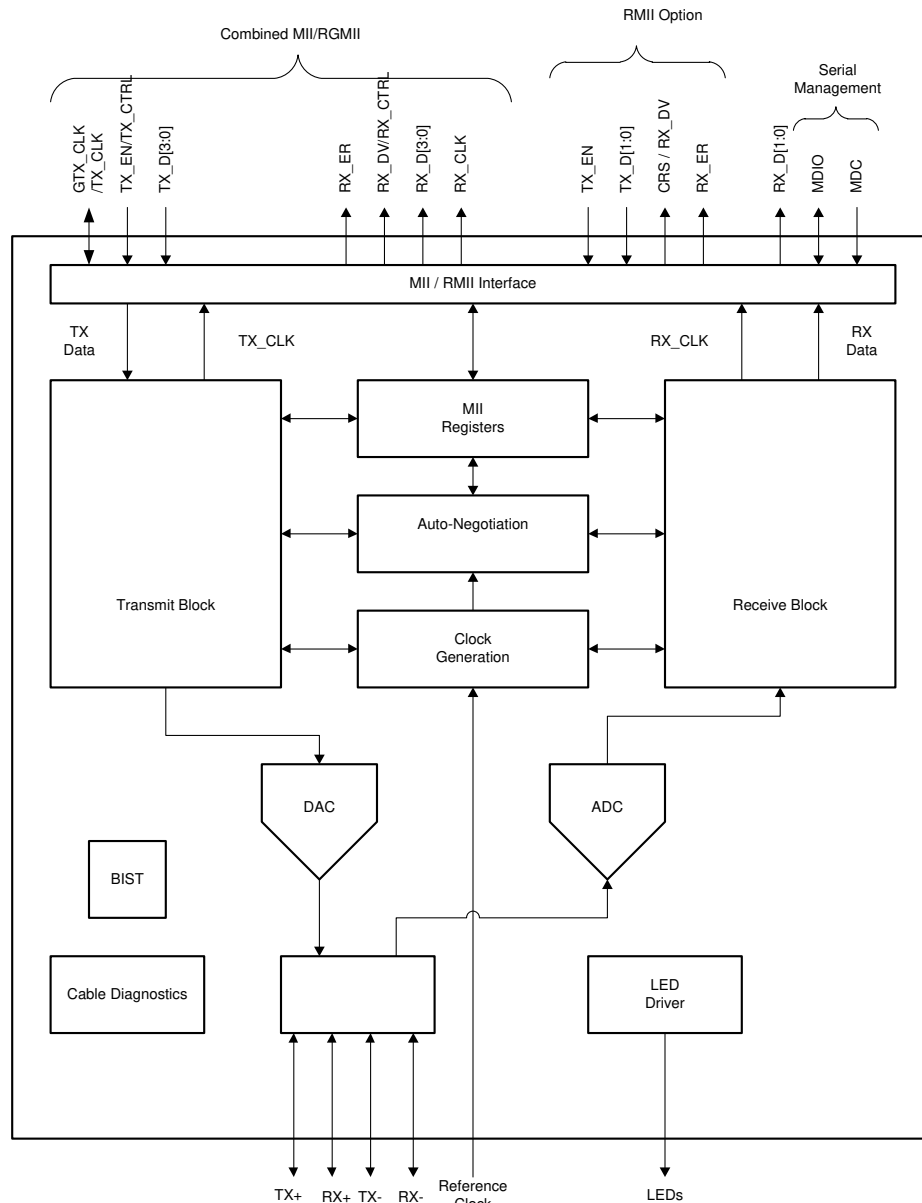
该器件设计为采用 3.3V 单电源供电，并集成了 LDO 以提供内部模块所需的电压轨。该器件可以选择从外部提供数字电源以实现超低功耗。该器件允许使用 I/O 电压接口提供 3.3V、2.5V 或 1.8V 电压。DP83TD510E 内的自动电源配置允许使用 VDDIO 电源的任意组合，无需额外的配置设置。

DP83TD510E 设计用于本质安全的以太网高级物理层 (APL) 系统。Ethernet-APL 是一种基于 IEEE 802.3cg 10BASE-T1L 标准的以太网规范，旨在简化具有本质安全要求的过程自动化系统中的以太网实现。

本质安全的 Ethernet-APL 系统 (尤其是设计用于可能发生爆炸的危险环境的系统) 的一个关键设计考虑因素是能够在系统故障情况下降低以太网 PHY 功率等级和温度。DP83TD510E 支持外部终端电阻，在现场变送器等远距离过程自动化应用中使用，可降低浪涌电流并保持较低的工作温度。DP83TD510E 支持 IEEE 802.3cg 规范附录 A 中定义的外部终端配置。PHY 使用创新型混合接收器进行设计，可自行调整以实现外部终端。对于非本质安全应用，DP83TD510E 提供简化的外部终端配置，只需极少的外部无源器件。

DP83TD510E 诊断工具包括 TDR (时域反射法)、ALCD (活动链路电缆诊断)、SQI (信号质量指标)、多个环回接口和集成 PRBS 数据包发生器，简化了开发过程中的调试和现场故障情况检测。

6.2 功能方框图



Copyright © 2019, Texas Instruments Incorporated

6.3 特性说明

6.3.1 自动协商 (速度选择)

自动协商功能提供了一种在链路段两端之间交换配置信息的机制。DP83TD510E 支持 IEEE 802.3cg 10BaseT1L 规范中定义的低速模式 (LSM) 的自动协商。自动协商功能可确保根据链路伙伴和本地器件的广播能力选择最高通用速度。DP83TD510E (默认) 可广播 2.4V p2p 和 1V p2p 功能。该器件提供基于硬件配置 (strap) 或寄存器的配置, 以便仅广播 1V p2p 功能。请参阅配置 (strap) 部分以了解详细信息。

6.3.2 中继器模式

DP83TD510E 提供一个启用中继器模式功能以扩展电缆范围的选项。两个 DP83TD510E 可在背对背模式下连接, 无需任何外部配置。通过提供的硬件配置 (strap) 可以将 RMII 接口的 CRS_DV 引脚连接到 RX_DV 引脚以实现背靠背运行。请参阅 [RMII 中继器模式](#) 了解如何进行 RMII 引脚连接以便在 DP83TD510E 上启用中继器模式,

并参阅表 7-9 了解 RX_DV 配置 (strap) 设置。DP83TD510E RGMII MAC 模式也可用于中继器模式。使用 RGMII MAC 时，MAC 接口时钟以 2.5MHz 运行，功耗更低，信号完整性得到改善。

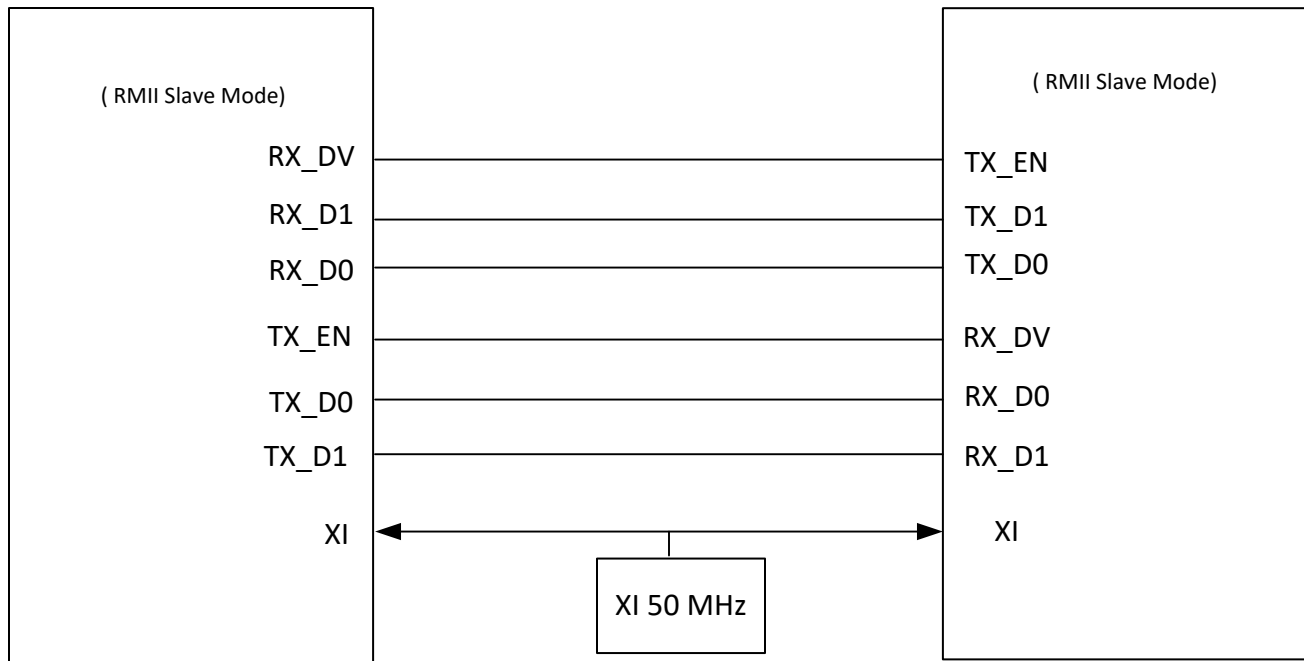


图 6-1. RGMII 中继器模式

6.3.3 介质转换器

DP83TD510E 允许使用 strap 配置来实现介质转换 (单线对以太网转换为标准 10BASE-T_e CAT5_e) 功能 (无需外部 MCU 编程)。DP83TD510E 可连接到 10BASE-T_e PHY (例如: DP83822、DP83826I)，以将介质从单线对以太网转换为标准以太网 (CAT5_e)。RGMII 或 RGMII MAC 接口可用于执行介质转换。请参阅下图所示的连接方式。使用 RGMII MAC 时，MAC 接口时钟以 2.5MHz 运行，功耗更低，信号完整性得到改善。如果所选的介质转换模式需要 RX_DV，请参阅表 6-11 以了解相应的配置 (strap) 设置。

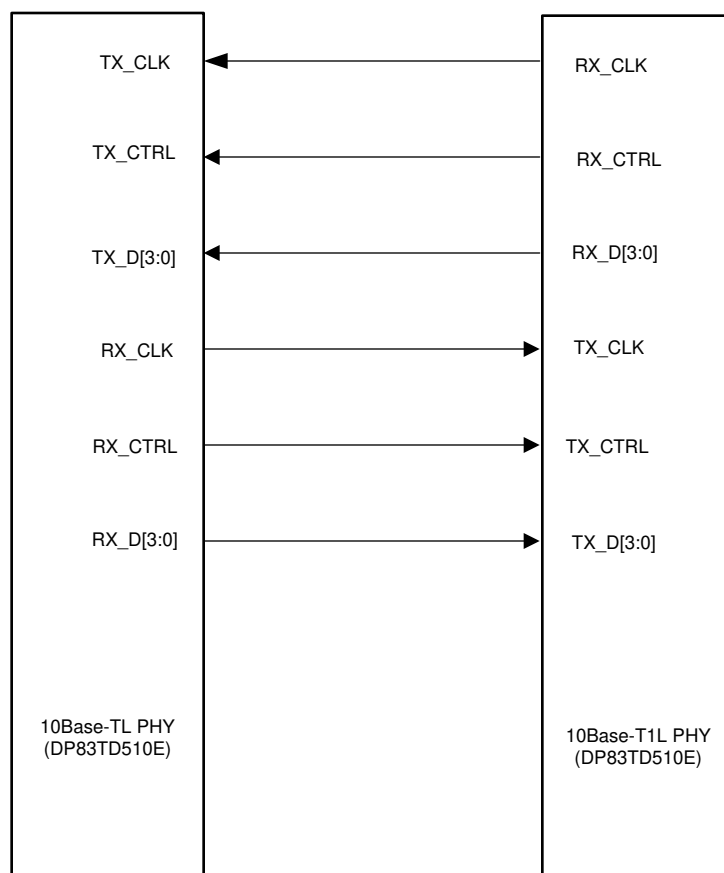


图 6-2. 使用 RGMII MAC 接口的介质转换器

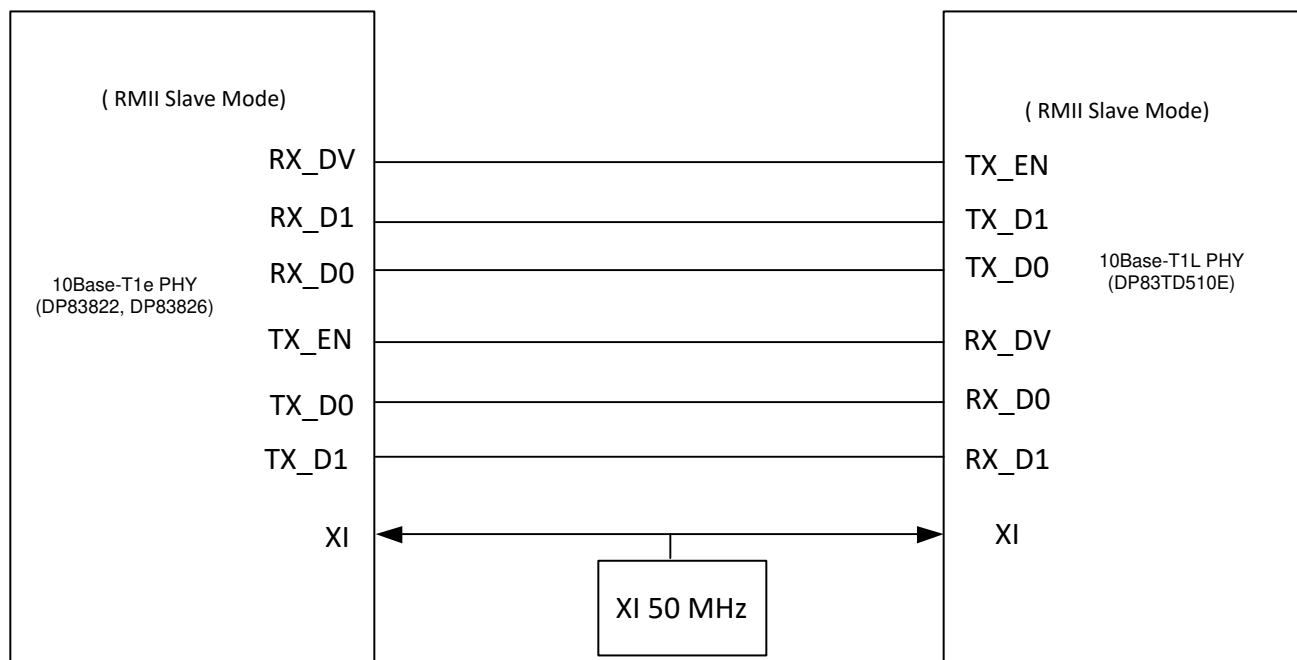


图 6-3. 使用 RMII MAC 接口的介质转换器

6.3.4 时钟输出

DP83TD510E 具有多个时钟输出配置选项。外部晶体或 CMOS 级振荡器为内部 PHY 基准时钟提供激励。本地基准时钟用作器件内所有时钟的中央时钟源。

所有时钟配置选项均由 IO MUX GPIO 控制寄存器启用。

DP83TD510E 支持的时钟选项包括：

- MAC IF 时钟
- XI 时钟
- 自由运行的时钟
- 恢复时钟

6.3.5 媒体独立接口 (MII)

媒体独立接口是一个同步 4 位宽半字节数据接口，用于将 PHY 连接到 MAC。MII 完全符合 IEEE 802.3-2002 第 22 条。

表 6-1 中汇总了 MII 信号。

表 6-1. MII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
发送和接收信号	TX_EN
	RX_DV

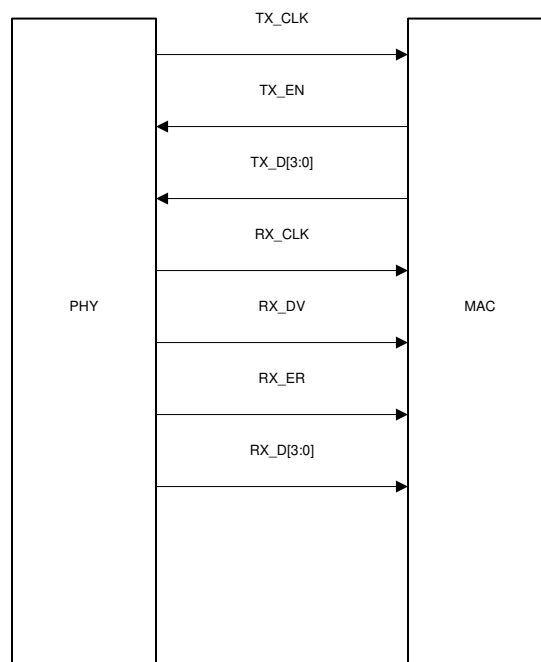


图 6-4. MII 信号

此外，MII 接口还包括载波侦听信号 (CRS) 以及冲突检测信号 (COL)。CRS 信号置位以指示数据的接收或发送。COL 信号置位可指示在半双工模式中，当发送和接收操作同时发生时会发生冲突。

6.3.6 简化媒体独立接口 (RMII)

DP83TD510E 采用了 RMII 规范 v1.2 中指定的简化媒体独立接口 (RMII)。该接口旨在为第 22 条中指定的 IEEE 802.3 MII 提供一种引脚数更少的替代方案。从架构上讲, RMII 规范在 MII 的任一侧提供了一个额外的调节层,但在没有 MII 的情况下可实现。DP83TD510E 提供两种类型的 RMII 工作模式: RMII 从模式和 RMII 主模式。在 RMII 主工作模式下, DP83TD510E 由连接到 XI 引脚的 25MHz CMOS 级振荡器或连接在 XI 和 XO 引脚上的 25MHz 晶体供电。从 DP83TD510E 引用的 50MHz 输出时钟可连接到 MAC。在 RMII 从工作模式下, DP83TD510E 由连接到 XI 引脚的 50MHz CMOS 级振荡器供电,并且与 MAC 共用同一个时钟。或者,在 RMII 从工作模式下, PHY 可以通过主机 MAC 提供的 50MHz 时钟运行。

RMII 规范具有以下特性:

- 单一时钟基准,从 PHY 到 MAC,或从外部源同时馈送至 MAC 和 PHY
- 独立的 2 位宽发送和接收数据路径
- 使用与 MII 接口相同的 CMOS 信号电平

在此模式下,针对发送和接收路径使用内部 50MHz 参考时钟,每个时钟周期的数据传输为 2 位。

表 6-2 中汇总了 RMII 信号。

表 6-2. RMII 信号

功能	引脚
接收数据线	TX_D[1:0]
发送数据线	RX_D[1:0]
接收控制信号	TX_EN
发送控制信号	CRS_DV

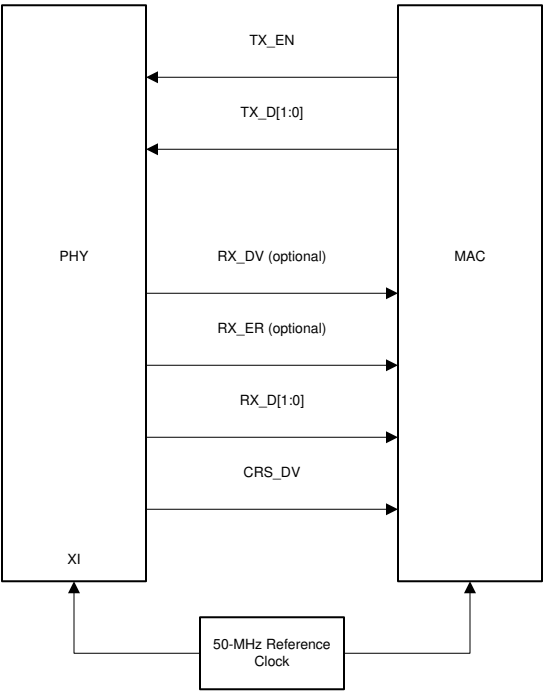


图 6-5. RMII 从信令

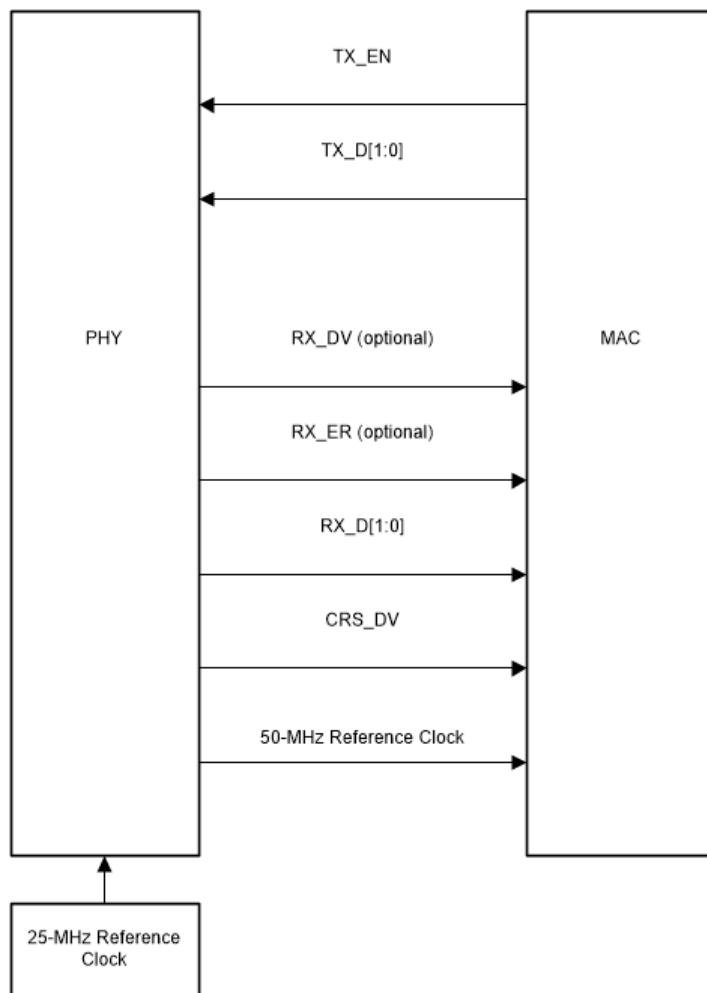


图 6-6. RMII 主信令

TX_D[1:0] 上的数据以 XI 引脚上的时钟边沿为基准锁存在 PHY 上。在 RMII 从模式下，RX_D[1:0] 上的数据以 XI 引脚上的相同时钟边沿为基准锁存在 MAC 上。对于 RMII 主模式，数据被锁存于 PHY 的 CLKOUT50M 输出。

此外，CRX_DV 可被配置为 RX_DV 信号。它可以通过一种更简单的方法恢复接收数据，而无需将 RX_DV 与 CRS_DV 指示分开。

6.3.7 RMII 低功耗 5MHz 模式

DP83TD510E 支持一种称为低功耗 RMII 主模式的新 MAC 模式。该接口类似于 RMII 主模式，但运行频率为 5MHz，因此可以节省功耗。DP83TD510E 提供 5MHz 时钟输出，数据采样到该时钟。在该模式下，应用可以使用与 RMII 相同的引脚映射。如需了解该模式的时序要求，请参考时序要求 - RMII 主模式时序 (5MHz)。要启用该模式，请写入寄存器 0x17[6] = '1'。

6.3.8 RGMII 接口

DP83TD510E 提供符合 RGMII 2.0 版简化千兆位媒体独立接口 (RGMII) 定义的 RGMII MAC 接口。RGMII 旨在减少连接 MAC 和 PHY 所需的引脚数。为实现这一目标，将对控制信号进行多路复用。时钟的上升沿和下降沿都用于对发送和接收路径中的控制信号引脚进行采样。对于 10Mbps 运行，RX_CLK 和 TX_CLK 都以 2.5MHz 运行。与 RGMII 1000M 接口规范相比，时序规范更为宽松。如需了解此模式的时序规范，请参阅时序部分。

表 6-3. RGMII 信号

函数	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
发送和接收时钟	TX_CLK
	RX_CLK
发送和接收信号	TX_CTRL
	RX_CTRL

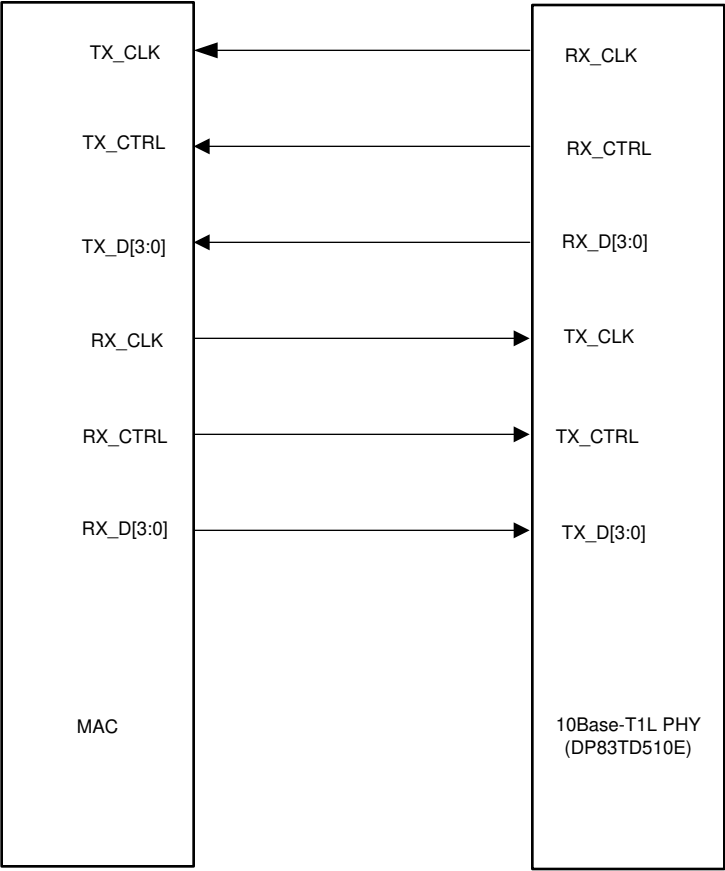


图 6-7. RGMII 信号

6.3.9 串行管理接口

串行管理接口支持访问 DP83TD510E 内部寄存器空间，从而获得状态信息和配置。SMI 符合 IEEE 802.3 第 22 条和第 45 条款。所实现的寄存器组包括 IEEE 802.3 所需的寄存器和其他几个寄存器，能够提高 DP83TD510E 的可见性和可控性。

SMI 包括管理时钟 (MDC) 和管理输入/输出数据引脚 (MDIO)。MDC 由外部管理实体 (也称为站 (STA)) 提供，可在 1.75MHz 的最大时钟速率下运行。MDC 不应持续运行，在总线空闲时可由外部管理实体关闭。

MDIO 由外部管理实体和 PHY 提供。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要上拉电阻 (2.2k Ω)，可在 IDLE 和转换期间将 MDIO 拉高。

最多 16 个 PHY 可共用一条公共 SMI 总线。为了区分 PHY，在上电或硬件复位期间，DP83TD510E 通过锁存 Phy_Address[3:0] 配置引脚来确定其地址。

管理实体在上电或硬件复位后的第一个周期内不得启动 SMI 事务，而是应等待上电和复位完成。如需了解上电和复位时间，请参阅时序部分。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg_addr 字段，因此允许直接访问 32 个 16 位寄存器 (包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器)。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读取事务期间发生资源争夺，在转换的第一位期间，没有器件可主动驱动 MDIO 信号。定址 DP83TD510E 在第二个转换位时以零驱动 MDIO，并在此之后以所需数据驱动。

对于写入事务，站管理实体会将数据写入定址 DP83TD510E，因而无需 MDIO 转换。转换时间由管理实体通过插入 <10> 来填充。

应在 <idle> 期间提供时钟以完成事务。

表 6-4. SMI 协议

SMI 协议	<idle><start><op code><PHY address><reg addr><turnaround><data><idle>
读取操作	<idle><01><10><AAAA><RRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入操作	<idle><01><01><AAAA><RRRR><10><XXXX XXXX XXXX XXXX><idle>

6.3.10 扩展寄存器空间访问

DP83TD510E 的 SMI 功能支持使用寄存器 REGCR (0x0D) 和 ADDAR (0x0E) 以及 IEEE 802.3ah 草案第 22 条所定义的 MDIO 管理器件 (MMD) 间接方法对扩展寄存器组进行读写访问，从而访问第 45 条所定义的扩展寄存器组。

标准寄存器组 MDIO 寄存器 0 至 31 通过正常直接 MDIO 访问或间接方法访问，但寄存器 REGCR (0x0D) 和 ADDAR (0x0E) 除外，仅使用正常 MDIO 事务访问该寄存器。SMI 功能会忽略对这些寄存器的间接访问。

表 6-5. REGCR DEVAD 函数

REGCR[15:14]	函数
00	通过访问寄存器 ADDAR 可修改扩展寄存器“设置地址”寄存器。为访问扩展寄存器组中的任何寄存器，该地址寄存器应始终处于初始化状态。
01	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。
10	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，读取和写入操作都会使地址寄存器中的值递增。
11	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，仅写入访问会使地址寄存器中的值递增。对于读取访问，地址寄存器中的值保持不变。

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。这些描述使用器件地址进行常规 MMD 寄存器访问 (DEVAD[4:0] = 11111)。

6.3.10.1 读取 (无后增量) 操作

如需读取扩展寄存器组中的寄存器：

指令	示例：读取 0x0170
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F (数据, 无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

随后读取寄存器 ADDAR (第 4 步)，继续读取由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

6.3.10.2 读取 (有后增量) 操作

在读取操作之后，若要读取扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：读取寄存器 0x0170 和 0x0171
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F (数据, 读取和写入时的后增量函数字段 = 10, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

指令	示例：读取寄存器 0x0170 和 0x0171
5.随后读取寄存器 ADDAR (第 4 步)，读取由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。	读取寄存器 0x0E

第 4 步读取寄存器 0x0170，由于启用了后增量，因此第 5 步读取寄存器 0x0171。

6.3.10.3 写入 (无后增量) 操作

如需在扩展寄存器组中写入寄存器：

指令	示例：设置寄存器 0x0170 = 0C50
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR (0x0D)。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR (0x0E)。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F (数据，无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50

随后写入寄存器 ADDAR (第 4 步)，继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

6.3.10.4 写入 (有后增量) 操作

在写入操作之后，若要写入扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：设置寄存器 0x0170 = 0C50 和寄存器 0x0171 = 0x0011
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.从寄存器 ADDAR 中写入寄存器地址。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F (数据，读取和写入时的后增量函数字段 = 10, DEVAD = 31) 或值 0xC01F (数据，写入时的后增量函数字段 = 11, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50
5.随后写入寄存器 ADDAR (第 4 步)，写入由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。	将寄存器 0x0E 写入值 0x0011

第 4 步写入寄存器 0x0170 至 0x0C50，由于启用了后增量，因此第 5 步写入寄存器 0x0171 至 0x0011。

6.3.11 环回模式

DP83TD510E 中提供多个环回选项，可用于测试和验证 PHY 中的各种功能块。启用环回模式后，可以对数字和模拟数据路径进行电路内测试。DP83TD510E 可配置为任何一种近端环回模式，也可配置为远端（反向）环回模式。MII 环回是使用控制寄存器（BMCR，地址 0x0000）进行配置的。所有其他环回模式均通过 BIST 控制寄存器（BISCR，地址 0x0016）启用。

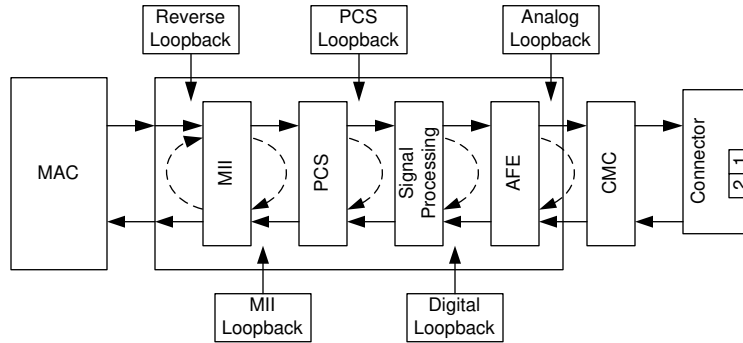


图 6-8. 环回测试模式

6.3.11.1 MII 环回

MII 环回是穿过 PHY 的最浅环路。这是一种用于验证 MAC 和 PHY 之间的通信的测试模式。当处于 MII 环回模式时，从 TX 路径上连接的 MAC 发送的数据在 DP83TD510E 内部环回至 RX 引脚，在此处可由 MAC 进行检查。

6.3.11.2 PCS 环回

PCS 环回发生在 PHY 的 PCS 层。使用 PCS 环回时不执行信号处理。

6.3.11.3 数字环回

数字环回包括整个数字发送和接收路径。数据在模拟电路之前环回。

通过设置 BISCR 中的位 [2] 和寄存器配置 0x0883[0] = 0x1 来启用数字环回。

6.3.11.4 模拟环回

模拟信号可以在模拟前端之后环回。

6.3.11.5 远端（反向）环回

远端（反向）环回是一种特殊的测试模式，允许与链路伙伴进行 PHY 测试。在此模式下，从链路伙伴接收的数据通过 PHY 的接收器传递，在 MAC 接口上环回，然后发送回链路伙伴。在反向环回模式下，来自 MAC 的所有数据信号都将被忽略。

如需了解详细过程，请参阅 DP83TD510 电缆诊断应用手册 SNLA364。

6.3.12 BIST 配置

DP83TD510E 包含内部 PRBS 内置自检 (BIST) 电路，可适应电路内测试和诊断。BIST 电路可用于测试发送和接收数据路径的完整性。可以使用两个内部环回（数字或模拟）来执行 BIST。BIST 采用真实数据包和数据包间间隙 (IPG) 格式来模拟线路上的假随机数据传输场景。BIST 可实现对数据包长度和 IPG 的完全控制。

如需了解详细过程，请参阅 DP83TD510 电缆诊断应用手册 SNLA364。

6.3.13 电缆诊断

随着以太网设备的大量部署，对可靠、全面和用户友好型电缆诊断工具的需求比以往任何时候都更加强烈。所部署的电缆、拓扑结构和连接器种类繁多，因此需要以非侵入的方式识别和报告电缆故障。DP83TD510E 在其电缆诊断工具套件中提供了 TDR (时域反射法)、SQI (信号质量指标) 和 ALCD (活动链路电缆诊断) 功能。

6.3.13.1 TDR

DP83TD510E 使用时域反射法 (TDR) 来确定电缆、连接器和终端的质量，还可以估算电缆长度。可以诊断的一些可能的问题包括开路、短路、电缆阻抗不匹配、连接器不良、端接不匹配、跨接故障、交叉短路以及电缆上的任何其他不连续性。

DP83TD510E 沿着所连接电缆的两个线对中的每一个线对发送已知幅度 (1V) 的测试脉冲。发送的信号继续沿电缆传输，并在每根电缆上遇到缺陷、故障、连接器和电缆本身的末端时进行反射。发送脉冲后，DP83TD510E 会测量所有这些反射脉冲的返回时间和幅度。这项技术能够以 $\pm 1\text{m}$ 的精度测量非端接电缆 (开路或短路)、不连续性 (连接器不良) 和端接错误电缆的距离和幅度 (阻抗)。

对于所有的 TDR 测量，到达时间和物理距离之间的转换由外部主机通过少量计算 (例如乘法、加法和查询表) 来完成。主机必须知道电缆的预期传播延迟，该延迟取决于电缆的类别 (例如 CAT5、CAT5e 或 CAT6) 等因素。

以下情况下允许进行 TDR 测量：

- 当链路伙伴断开时 - 在另一侧拔下电缆
- 链路伙伴已连接但保持“静默” (例如，在断电模式下)
- 当链路故障或断开时，TDR 可能自动激活

下表总结了与 TDR 过程相关的 TDR 控制和结果寄存器位功能：

表 6-6. TDR 寄存器汇总

寄存器名称	寄存器地址	寄存器功能	说明
TDR_CFG	0x1E	手动 TDR 启动 [15] 和 TDR 完成状态 [1:0]	手动启动和监控 TDR
TDR_CFG2	0x301	TDR 扫描索引配置	为内部测量公式配置常数
FAULT_CFG1	0x303	TDR 故障偏移和抽头索引配置	为内部测量公式配置常数
TDR_Fault_Status	0x30C	位 [9:0] 存储故障位置 (以米为单位)，位 [11] 存储故障检测状态，位 [10] 存储该故障的符号	将 [9:0] 转换为故障位置的十进制数 (以米为单位)
			检测到故障 [11] = '1' 未检测到故障 [11] = '0'
			开路故障 [10] = '1' 短路故障 [10] = '0'

更多有关将这些寄存器用于 TDR 过程的详细信息，请参阅电缆诊断应用手册 [SNLA364](#)。

ALCD (活动链路电缆诊断)

虽然 TDR 提供了一种在建立链路之前测量系统电缆长度的方法，但活动链路电缆诊断 (ALCD) 允许 PHY 在与其链路伙伴建立活动链路期间确定电缆长度。它使用无源数字信号处理以及预定义的电缆参数，可实现超高精度的电缆长度估算。可将估算的电缆长度与电缆的物理长度进行交叉验证，从而确定电缆特性是否存在偏差，并了解 PHY 在电缆老化时的表现。

需要注意的是，在单线对以太网应用中，电缆特性的差异比标准以太网应用 (其中主要使用 CAT5、CAT5E、CAT6 电缆) 更大。因此，DP83TD510E 生成的 ALCD 测量信息可以与特定电缆模型的参数相结合，生成更准确的电缆长度估算值。请参阅 DP83TD510E 电缆诊断应用手册 [SNLA364](#)。

SQI (信号质量指标)

虽然 TDR 可以提供有关电缆故障发生和位置的信息，但对链路质量进行实时监测可以在故障发生前提供有价值的信息。DP83TD510E 为应用提供实时信噪比监测。

电缆质量、连接器触点和周围环境都会影响整体通道质量。信号质量指标 (SQI) 可用于洞察应用组件在发货前的物理连接情况，系统在嘈杂环境和抗扰度测试中的链路质量，或产品老化过程中的运行状况和寿命趋势。

只要建立工作链路，DP83TD510E 即可通过定期测量 SNR 来监测链路质量。PHY 测量 PAM3 切片器从其切片输出接收的信号中的累积均方误差 (MSE)。信号质量监测功能在 PHY 的后台自动运行。如需了解详细的 SQI 测量过程，请参阅 DP83TD510E 电缆诊断应用手册 [SNLA364](#)。

6.3.13.2 快速链路断开功能

DP83TD510E 包括高级链路断开功能，可支持各种实时应用。链路断开机制是可配置的，并包含可实现极快链路丢弃反应时间的增强模式。

DP83TD510E 支持增强型链路丢弃机制，也称为快速链路丢弃 (FLD)，可缩短用于确定链路的观察窗口。确定链路状态的方法有多种，可以根据用户偏好启用或禁用。可以使用寄存器配置在软件中启用快速链路丢弃功能。可以使用控制寄存器 3 (CR3，地址 0x000B) 来配置 FLD。位 [3:0] 和位 [10] 允许启用各种 FLD 条件。当发生链路丢弃时，可以从快速链路断开状态寄存器 (FLDS，地址 0x000F) 读取特定故障条件的指示。

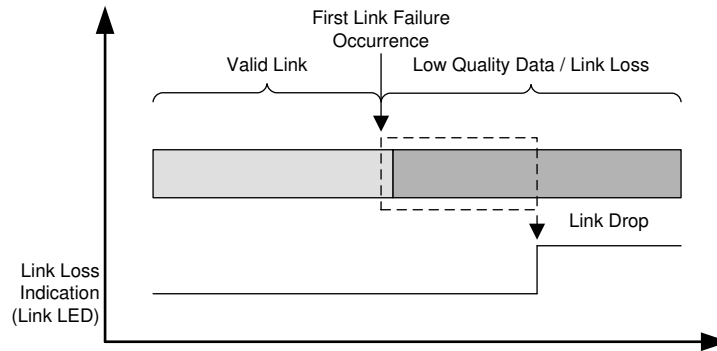


图 6-9. 快速链路断开

快速链路断开标准包括：

- RX 错误计数 - 当 10 μ s 窗口内发生预定义数量的 32 个 RX_ER 时，链路将被丢弃。
- MLT3 错误计数 - 当 10 μ s 窗口内发生预定义数量的 20 个 MLT3 错误时，链路将被丢弃。
- 低 SNR 阈值 - 当 10 μ s 窗口内发生预定义数量的 20 次阈值交叉时，链路将被丢弃。
- 信号/能量损失 - 当能量检测器指示能量损失时，链路将被丢弃。

快速链路断开功能允许单独使用这些选项中的每一个或以任何组合方式使用。

备注

由于这种模式可以实现极快的反应时间，因此更容易遇到临时链路质量较差的情况。

6.4 器件功能模式

DP83TD510E 可用于 MII 模式、RMII 主模式、RMII 从模式和 RGMII 模式。请参阅“RMII”部分的连接图。

6.4.1 Strap 配置

DP83TD510E 使用很多功能引脚作为配置 (strap) 选项，以便将器件置于特定的运行模式。上电或硬复位时会对这些引脚的值进行采样。在软件复位期间，内部将根据上电或硬复位时采样的值重新加载配置 (strap) 选项。配置 (strap) 选项引脚分配定义如下。可通过配置 (strap) 引脚或管理寄存器接口来完成器件配置。可以使用具有推荐阻值的一个上拉电阻或下拉电阻来设置配置 (strap) 引脚输入与电源的电压比以选择一种可选模式。MAC 接口引脚必须支持 3.3V、2.5V 和 1.8V 的 I/O 电压。由于在这些引脚上实现了配置 (strap) 输入，因此这些配置 (strap) 还必须支持在 3.3V、2.5V 和 1.8V 电源下运行，具体取决于 I/O 选择的电压。所有配置 (strap) 引脚都有两级。

PHY 提供内部 PU 或 PD 电阻以用于默认 strap 配置，无需外部电阻。仅当需要更改默认配置时，才需要 strap 的外部电阻。

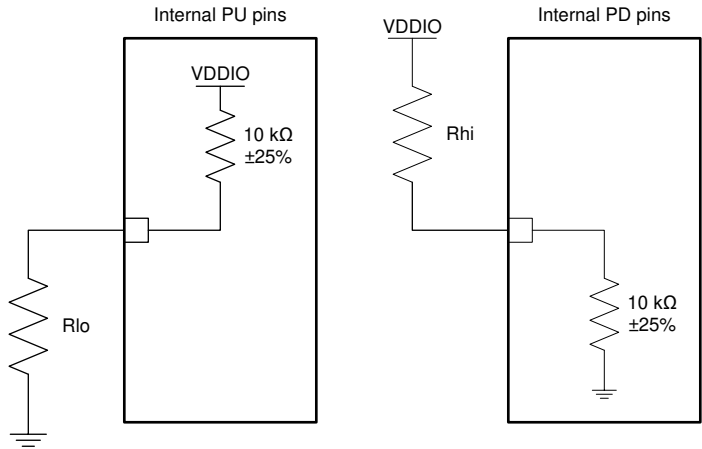


图 6-10. 配置 (Strap) 电路

表 6-7. 2 级 Strap 配置电阻比

模式	理想电阻	
	Rhi (k Ω)	Rlo (k Ω)
0	断开	2.49
1	2.49	断开

6.4.1.1 PHY 地址搭接

表 6-8. PHY 地址配置 (strap) 表

引脚名称	搭接名称	引脚数	默认值		
GPIO1	Strap9	32	0		PHY_ADD0
				模式 0	0
				模式 1	1
RX_ERR	Strap6	20	0		PHY_ADD1
				模式 0	0
				模式 1	1
RX_D0	Strap4	16	0		PHY_ADD2
				模式 0	0
				模式 1	1
RX_D3	Strap1	13	0		PHY_ADD3
				模式 0	0
				模式 1	1

PHY 地址配置 (strap) 是引脚 13、16、20 和 32 上的 4 位配置 (strap)。应分别读作 [3:2:1:0]。默认 PHY 地址为 0000。

表 6-9. 范围选择配置 (Strap)

引脚名称	搭接名称	引脚数	默认值		
LED_2	Strap7	28	0	0	此配置 (Strap) 定义了 PHY 在自动协商期间请求的电压电平, 反映在 0x20E 的位 12 中。使用强制模式来建立链路期间, 该配置 (strap) 控制输出电压并反映在 0x18F6 的位 12 中。 0 : 2.4V 和 1V p2p
				1	1 : 1V p2p

表 6-10. MAC 模式配置 (Strap) 表

引脚名称	搭接名称	引脚数	默认值	Strap8	Strap3	
RX_D1	Strap3	15	0	0	0	MII (默认值)
				0	1	RMII 主模式
LED_0	Strap8	29	0	1	0	RGMII
				1	1	RMII 从模式

表 6-11. RMII MAC 模式配置 (Strap) 表

引脚名称	搭接名称	引脚数	默认值		
RX_D2	Strap2	14	0	0	引脚 18 配置为 CRS_DV (默认, 用于介质转换模式)
				1	引脚 18 配置为 RX_DV (用于 RMII 中继器或介质转换模式)

表 6-12. 终端选择

引脚名称	搭接名称	引脚数	默认值		
GPIO2	Strap10	8	强制 PU/PD	0	具有 50 Ω 分接电阻的接收器 (推荐)
				1	分接电阻小于 40 Ω 的接收器

表 6-13. 时钟输出/LED_1

引脚名称	搭接名称	引脚数	默认值		
RX_DV/CRS_DV	Strap5	18	0	0	时钟输出 25M (默认值)
				1	LED1

6.5 编程

DP83TD510E 为编程和状态提供了 IEEE 定义的寄存器组。此外, 还提供了额外的寄存器组来配置 IEEE 寄存器不支持的其他功能。

6.6 MMD 寄存器地址映射

表 6-14. MMD 寄存器映射地址表

寄存器地址范围	MMD	示例用法
0x1000 至 0x18F8	0x1	MMD=0x1, 地址=0x08F8
0x3000 至 0x38E7	0x3	MMD=0x3, 地址=0x08E7
0x200 至 0x20F	0x7	MMD=07, 地址=0x20F
0x0000 至 0x0130、0x0300-0x0E01	0x1F	MMD=0x1F, 地址=0x0000

表 6-15. 寄存器访问汇总

寄存器字段	寄存器访问方法
MMD1 字段 0x0000 - 0x0130 0x0300 - 0x0E01	直接访问 (0x0000 - 0x0130)
	间接访问, MMD1F = '11111' 示例: 如需读取无后增量 MMD1F 字段中的寄存器 0x300 第 1) 步: 将 0x1F 写入寄存器 0xD 第 2) 步: 将 0x300 写入寄存器 0xE 第 3) 步: 将 0x401F 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE (0x0300 - 0x0E01)

表 6-15. 寄存器访问汇总 (续)

寄存器字段	寄存器访问方法
MMD1 字段 0x1000 - 0x18F8	间接访问, MMD1F = '00001' 示例: 如需读取无后增量 MMD1 字段中的寄存器 0x18F6 第 1) 步: 将 0x1 写入寄存器 0xD 第 2) 步: 将 0x18F6 写入寄存器 0xE 第 3) 步: 将 0x4001 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE
MMD3 字段 0x3000 - 0x38E7	间接访问, MMD3 = '00011' 示例: 如需读取无后增量 MMD3 字段中的寄存器 0x3000 第 1) 步: 将 0x3 写入寄存器 0xD 第 2) 步: 将 0x3000 写入寄存器 0xE 第 3) 步: 将 0x4003 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE
MMD7 字段 0x200 - 0x20F	间接访问, MMD7 = '00111' 示例: 如需读取无后增量 MMD7 字段中的寄存器 0x200 第 1) 步: 将 0x7 写入寄存器 0xD 第 2) 步: 将 0x200 写入寄存器 0xE 第 3) 步: 将 0x4007 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE

6.7 DP83TD510E 寄存器

表 6-16 列出了 DP83TD510E 寄存器。表 6-16 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

DP83TD51010BaseT1L

表 6-16. DP83TD510E 寄存器

地址	首字母缩写	寄存器名称	部分
0x0	MII_REG_0		查找
0x2	MII_REG_2		查找
0x3	MII_REG_3		查找
0x10	PHY_STS		查找
0x11	GEN_CFG		查找
0x12	INTERRUPT_REG_1		查找
0x13	INTERRUPT_REG_2		查找
0x15	RX_ERR_CNT		查找
0x16	BISCR		查找
0x17	MAC_CFG_1		查找
0x18	MAC_CFG_2		查找
0x19	SOR_PHYAD		查找
0x1E	TDR_CFG		查找
0x119	PRBS_CFG_1		查找
0x11A	PRBS_CFG_2		查找
0x11B	PRBS_CFG_3		查找
0x11C	PRBS_STATUS_1		查找
0x11D	PRBS_STATUS_2		查找
0x11E	PRBS_STATUS_3		查找
0x11F	PRBS_STATUS_4		查找
0x120	PRBS_STATUS_5		查找
0x121	PRBS_STATUS_6		查找
0x122	PRBS_STATUS_7		查找
0x123	PRBS_CFG_4		查找
0x124	PRBS_CFG_5		查找
0x125	PRBS_CFG_6		查找
0x126	PRBS_CFG_7		查找
0x127	PRBS_CFG_8		查找
0x128	PRBS_CFG_9		查找
0x129	PRBS_CFG_10		查找
0x12A	CRC_STATUS		查找
0x12B	PKT_STAT_1		查找
0x12C	PKT_STAT_2		查找
0x12D	PKT_STAT_3		查找
0x12E	PKT_STAT_4		查找
0x12F	PKT_STAT_5		查找
0x130	PKT_STAT_6		查找
0x200	AN_CONTROL		查找
0x201	AN_STATUS		查找
0x202	AN_ADV_1		查找

表 6-16. DP83TD510E 寄存器 (续)

地址	首字母缩写	寄存器名称	部分
0x203	AN_ADV_2		查找
0x204	AN_ADV_3		查找
0x205	AN_LP_ADV_1		查找
0x206	AN_LP_ADV_2		查找
0x207	AN_LP_ADV_3		查找
0x208	AN_NP_ADV_1		查找
0x209	AN_NP_ADV_2		查找
0x20A	AN_NP_ADV_3		查找
0x20B	AN_LP_NP_ADV_1		查找
0x20C	AN_LP_NP_ADV_2		查找
0x20D	AN_LP_NP_ADV_3		查找
0x20E	AN_CTRL_10BT1		查找
0x20F	AN_STATUS_10BT1		查找
0x300	TDR_CFG1		查找
0x301	TDR_CFG2		查找
0x302	TDR_CFG3		查找
0x303	FAULT_CFG1		查找
0x304	FAULT_CFG2		查找
0x305	FAULT_STAT1		查找
0x306	FAULT_STAT2		查找
0x307	FAULT_STAT3		查找
0x308	FAULT_STAT4		查找
0x309	FAULT_STAT5		查找
0x30A	FAULT_STAT6		查找
0x420	CHIP_SOR_0		查找
0x460	LEDS_CFG_1		查找
0x461	IO_MUX_CFG		查找
0x462	IO_MUX_GPIO_CTRL_1		查找
0x463	IO_MUX_GPIO_CTRL_2		查找
0x467	CHIP_SOR_1		查找
0x468	CHIP_SOR_2		查找
0x469	LEDS_CFG_2		查找
0x60C	AN_STAT_1		查找
0x872	dsp_reg_72		查找
0x88D	dsp_reg_8d		查找
0x88E	dsp_reg_8e		查找
0x88F	dsp_reg_8f		查找
0x890	dsp_reg_90		查找
0x891	dsp_reg_91		查找
0x892	dsp_reg_92		查找
0x898	dsp_reg_98		查找
0x899	dsp_reg_99		查找
0x89A	dsp_reg_9a		查找
0x89B	dsp_reg_9b		查找
0x89C	dsp_reg_9c		查找

表 6-16. DP83TD510E 寄存器 (续)

地址	首字母缩写	寄存器名称	部分
0x89D	dsp_reg_9d		查找
0x8E9	dsp_reg_e9		查找
0x8EA	dsp_reg_ea		查找
0x8EB	dsp_reg_eb		查找
0x8EC	dsp_reg_ec		查找
0x8ED	dsp_reg_ed		查找
0x8EE	dsp_reg_ee		查找
0xA9D	alcd_metric		查找
0xA9F	alcd_status		查找
0xE01	SCAN_2		查找
0x1000	PAM_PMD_CTRL_1		查找
0x1007	PMA_PMD_CTRL_2		查找
0x100B	PMA_PMD_EXTENDED_ABILITY_2		查找
0x1012	PMA_PMD_EXTENDED_ABILITY		查找
0x1834	PMA_PMD_CTRL		查找
0x18F6	PMA_CTRL		查找
0x18F7	PMA_STATUS		查找
0x18F8	TEST_MODE_CTRL		查找
0x3000	PCS_CTRL		查找
0x38E6	PCS_CTRL_2		查找
0x38E7	PCS_STATUS		转到

复杂的位访问类型经过编码可适应小型表单元。表 6-17 展示了适用于此部分中访问类型的代码。

表 6-17. DP83TD510E 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W0C	W 0C	写入 0 表示清除
W0S	W 0S	写入 0 表示设置
WMC	W	写入
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

6.7.1 MII_REG_0 寄存器 (地址 = 0x0) [复位 = 0x0]

表 6-18 中显示了 MII_REG_0。

返回到[汇总表](#)。

表 6-18. MII_REG_0 寄存器字段说明

位	字段	类型	复位	说明
15	mii_reset	R/WSC	0x0	1b = 数字输入复位和所有 MII 寄存器 (0x0 - 0xF) 以及中断状态均复位为默认值 0b = 无复位
14	回送	R/WMC	0x0	1b = MII 环回 0b = 无 MII 环回
13	保留	R	0x0	保留
12	保留	R	0x0	保留
11	power_down	R/WMC	0x0	1b = 通过寄存器或引脚断电 0b = 正常模式
10	隔离	R/WMC	0x0	1b = 隔离模式 0b = 正常模式
9	RESERVED	R	0x0	保留
8	保留	R	0x0	保留
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	unidirectional_ability	R	0x0	保留
4-0	RESERVED	R	0x0	

6.7.2 MII_REG_2 寄存器 (地址 = 0x2) [复位 = 0x2000]

表 6-19 中显示了 MII_REG_2。

返回到[汇总表](#)。

表 6-19. MII_REG_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	oui_21_16	R	0x2000	

6.7.3 MII_REG_3 寄存器 (地址 = 0x3) [复位 = 0x181]

表 6-20 中显示了 MII_REG_3。

返回到[汇总表](#)。

表 6-20. MII_REG_3 寄存器字段说明

位	字段	类型	复位	说明
15-10	oui_5_0	R	0x0	
9-5	model_number	R	0xC	型号
4-0	revision_number	R	0x1	器件修订版本号

6.7.4 PHY_STS 寄存器 (地址 = 0x10) [复位 = 0x0]

表 6-21 中显示了 PHY_STS。

返回到[汇总表](#)。

表 6-21. PHY_STS 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	

表 6-21. PHY_STS 寄存器字段说明 (续)

位	字段	类型	复位	说明
7	mii_interrupt	R/W0C	0x0	1b = 已设置中断引脚 0b = 未设置中断引脚
6-1	RESERVED	R	0x0	
0	link_status	R	0x0	1b = 链路接通 0b = 链路断开

6.7.5 GEN_CFG 寄存器 (地址 = 0x11) [复位 = 0x2A]

表 6-22 中显示了 GEN_CFG。

返回到[汇总表](#)。

表 6-22. GEN_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	保留
14	RESERVED	R	0x0	保留
13-12	RESERVED	R	0x0	保留
11	channel_debug_mode	读/写	0x0	
10	debug_mode	读/写	0x0	减少仿真时间
9-7	RESERVED	R	0x0	
6-5	tx_fifo_depth	读/写	0x1	RMII TX FIFO 深度 00b = 4 个半字节 01b = 5 个半字节 10b = 6 个半字节 11b = 8 个半字节
4	RESERVED	R	0x0	
3	int_polarity	读/写	0x1	1b = 中断引脚为低电平有效 0b = 中断引脚为高电平有效
2	force_interrupt	读/写	0x0	强制中断引脚处于有效状态
1	int_en	读/写	0x1	1b = 启用中断 0b = 禁用中断
0	int_oe	读/写	0x0	1b = MDINT_PWDN 是中断引脚 0b = MDINT_PWDN 是断电引脚

6.7.6 INTERRUPT_REG_1 寄存器 (地址 = 0x12) [复位 = 0x0]

表 6-23 中显示了 INTERRUPT_REG_1。

返回到[汇总表](#)。

表 6-23. INTERRUPT_REG_1 寄存器字段说明

位	字段	类型	复位	说明
15	rhf_int	R	0x0	RX 错误计数器半满中断状态 注意：锁存为高电平直至读取
14	RESERVED	R	0x0	
13	link_int	R	0x0	链路状态更改中断状态 注意：锁存为高电平直至清除
12	保留	R	0x0	保留
11	esd_int	R	0x0	ESD 中断状态 注意：锁存为高电平直至清除

表 6-23. INTERRUPT_REG_1 寄存器字段说明 (续)

位	字段	类型	复位	说明
10-8	保留	R	0x0	
7	rhf_int_en	读/写	0x0	1b = 启用 RX_ERR_CNT 半满中断 0b = 禁用 RX_ERR_CNT 半满中断
6	RESERVED	R	0x0	
5	link_int_en	读/写	0x0	1b = 启用链路状态更改中断 0b = 禁用链路状态更改中断
4	RESERVED	R	0x0	保留
3	esd_int_en	读/写	0x0	1b = 启用 ESD 中断 0b = 禁用 ESD 中断
2-0	RESERVED	R	0x0	

6.7.7 INTERRUPT_REG_2 寄存器 (地址 = 0x13) [复位 = 0x0]

表 6-24 中显示了 INTERRUPT_REG_2。

返回到[汇总表](#)。

表 6-24. INTERRUPT_REG_2 寄存器字段说明

位	字段	类型	复位	说明
15-14	保留	R	0x0	
13	page_int	R	0x0	ANEG 页接收到的中断状态 注意：锁存为高电平直至清除
12-10	RESERVED	R	0x0	
9	pol_int	R	0x0	极性更改中断状态 注意：锁存为高电平直至清除
8	保留	R	0x0	保留
7-6	RESERVED	R	0x0	
5	page_int_en	读/写	0x0	1b = 启用 ANEG 页接收到的中断 0b = 禁用 ANEG 页接收到的中断
4-2	RESERVED	R	0x0	
1	pol_int_en	读/写	0x0	1b = 启用极性更改中断 0b = 禁用极性更改中断
0	RESERVED	R/W	0x0	保留

6.7.8 RX_ERR_CNT 寄存器 (地址 = 0x15) [复位 = 0x0]

表 6-25 中显示了 RX_ERR_CNT。

返回到[汇总表](#)。

表 6-25. RX_ERR_CNT 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_err_cnt	R	0x0	对 RX_ERR 进行计数，在最大值时饱和 注意：读取时被清零

6.7.9 BISCRC 寄存器 (地址 = 0x16) [复位 = 0x100]

表 6-26 中显示了 BISCRC。

返回到[汇总表](#)。

表 6-26. BISCR 寄存器字段说明

位	字段	类型	复位	说明
15-9	保留	R	0x0	
8	core_pwr_mode	R	0x1	1b = 内核处于正常功率模式 0b = 内核处于断电/睡眠模式
7	RESERVED	R	0x0	
6-0	loopback_mode	读/写	0x0	0000001b = 保留 0000010b = PCS 环回 (Tx PAM3 至 Rx PAM3) 0000100b = 数字环回 0001000b = 模拟环回 0010000b = 反向环回 0100000b = 以反向环回方式发送到 MAC 1000000b = 以 MAC 环回方式发送到 MDI

6.7.10 MAC_CFG_1 寄存器 (地址 = 0x17) [复位 = 0x4001]

表 6-27 中显示了 MAC_CFG_1。

返回到[汇总表](#)。

表 6-27. MAC_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	cfg_rmii_dis_delayed_txd_en	读/写	0x0	保留
14	min_ipg_mode_en	读/写	0x1	
13	cfg_rmii_enh	读/写	0x0	
12	cfg_rgmii_rx_clk_shift_sel	读/写	0x0	1b = RGMII RX 时钟和数据移位 0b = RGMII RX 时钟和数据对齐
11	cfg_rgmii_tx_clk_shift_sel	读/写	0x0	1b = RGMII TX 时钟和数据移位 0b = RGMII TX 时钟和数据对齐
10	保留	R	0x0	
9	cfg_rgmii_en	读/写	0x0	1b = 启用 RGMII 0b = 禁用 RGMII
8	cfg_rmii_clk_shift_en	读/写	0x0	保留
7	cfg_xi_50	读/写	0x0	1b = XI 为 50MHz 0b = XI 为 25MHz
6	cfg_rmii_slow_mode	读/写	0x0	设置该位会从 RMII 50MHz 主模式改为 RMII 5MHz 主模式
5	cfg_rmii_mode	读/写	0x0	1b = RMII MAC 0b = MII MAC (应禁用 0x17[9])
4	cfg_rmii_rev1_0	读/写	0x0	1b = RMII rev1.0 (CRS_DV 将在数据包末尾切换以指示 CRS 无效) 0b = RMII rev1.2 (CRS_DV 将保持有效直到传输最终数据为止。 CRS_DV 不会在数据包末尾切换)
3	rmii_ovf_sts	R/W0C	0x0	RMII FIFO 上溢指示
2	rmii_unf_sts	R/W0C	0x0	RMII FIFO 下溢指示
1-0	cfg_rmii_elast_buf	读/写	0x1	RMII RX FIFO 00b = 14 位容差 (最大 16800 字节数据包) 01b = 2 位容差 (最大 2400 字节数据包) 10b = 6 位容差 (最大 7200 字节数据包) 11b = 10 位容差 (最大 12000 字节数据包)

6.7.11 MAC_CFG_2 寄存器 (地址 = 0x18) [复位 = 0x3]

表 6-28 中显示了 MAC_CFG_2。

返回到[汇总表](#)。

表 6-28. MAC_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11	cfg_inv_rx_clk	读/写	0x0	
10	cfg_rmii_crs_dv_sel	读/写	0x0	1b = 在 RMII 的 CRS_DV/RXDV 上发送 CRS 0b = 在 RMII 的 CRS_DV/RXDV 上发送 DV
9	rgmii_tx_af_empty_err	R	0x0	
8	rgmii_tx_af_full_err	R	0x0	
7-6	RESERVED	R	0x0	保留
5	inv_rgmii_rxd	读/写	0x0	将 3:0 交换为 0:3
4	inv_rgmii_txd	读/写	0x0	将 3:0 交换为 0:3
3	sup_tx_err_fd_rgmii	读/写	0x0	1b = TX_EN 未激活时以全双工模式抑制 TX_ERR (CEXT) 0b = 正常
2-0	cfg_rgmii_half_full_th	R/W	0x3	RGMII TX 同步 FIFO 半满阈值。 降低 RGMII 延迟的选项： 如果 MAC 和 PHY 采用相同的时钟源 (无 PPM)，我们可以将阈值从 2 降低到 1。

6.7.12 SOR_PHYAD 寄存器 (地址 = 0x19) [复位 = 0x0]

表 6-29 中显示了 SOR_PHYAD。

返回到[汇总表](#)。

表 6-29. SOR_PHYAD 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0x0	
4-0	SOR_PHYADDR	R	0x0	

6.7.13 TDR_CFG 寄存器 (地址 = 0x1E) [复位 = 0x0]

表 6-30 中显示了 TDR_CFG。

返回到[汇总表](#)。

表 6-30. TDR_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	tdr_start	R/WMC	0x0	启动 TDR 过程。需要进行以下额外的寄存器配置：0x0301 = 0x2403 0x0303 = 0x043E 0x030E = 0x2520 请参阅电缆诊断应用手册以了解详细过程
14	RESERVED	R	0x0	保留
13-2	RESERVED	R	0x0	
1	tdr_done	R	0x0	TDR 完成指示 (仅在 TDR 启动后有效)
0	tdr_fail	R	0x0	TDR 失败指示

6.7.14 PRBS_CFG_1 寄存器 (地址 = 0x119) [复位 = 0x574]

表 6-31 中显示了 PRBS_CFG_1。

返回到[汇总表](#)。

表 6-31. PRBS_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R	0x0	
12	send_pkt	R/WMC	0x0	允许生成带有固定/增量数据的 MAC 数据包, 具有 CRC (必须设置 pkt_gen_en, 必须清除 cfg_pkt_gen_prbs) 设置 pkt_done 后自动清除
11	保留	R	0x0	
10-8	cfg_prbs_chk_sel	R/W	0x5	000 : 校验器从 RGMII TX 接收 010 : 校验器从 RMII TX 接收 011 : 校验器从 MII TX 接收 101 : 校验器从 Cu RX 接收
7	RESERVED	R	0x0	
6-4	cfg_prbs_gen_sel	R/W	0x7	000 : PRBS 发送到 RGMII RX 010 : PRBS 发送到 RMII RX 011 : PRBS 发送到 MII RX 101 : PRBS 发送到 Cu TX
3	cfg_prbs_cnt_mode	读/写	0x0	1 = 连续模式, 当其中一个 PRBS 计数器达到最大值时, 产生脉冲且计数器再次从零开始计数 0 = 单一模式, 当其中一个 PRBS 计数器达到最大值时, PRBS 校验器停止计数。
2	cfg_prbs_chk_enable	读/写	0x1	启用 PRBS 校验器 XBAR (以接收数据) 需要启用才能使 RX 数据包计数器正常工作
1	cfg_pkt_gen_prbs	读/写	0x0	如果设置 : (1) 设置 pkt_gen_en 后, 将连续生成 PRBS 数据包 (3) 清除 pkt_gen_en 后, PRBS RX 校验器仍处于启用状态 如果清除 : (1) 设置 pkt_gen_en 后, 将生成非 PRBS 数据包 (3) 清除 pkt_gen_en 后, PRBS RX 校验器也将禁用
0	pkt_gen_en	读/写	0x0	1 = 启用数据包/PRBS 生成器 0 = 禁用数据包/PRBS 生成器

6.7.15 PRBS_CFG_2 寄存器 (地址 = 0x11A) [复位 = 0x5DC]

表 6-32 中显示了 PRBS_CFG_2。

返回到[汇总表](#)。

表 6-32. PRBS_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	cfg_pkt_len_prbs	R/W	0x5DC	PRBS 数据包的长度 (以字节为单位)。这包括 CRC、目标地址和源地址。

6.7.16 PRBS_CFG_3 寄存器 (地址 = 0x11B) [复位 = 0x7D]

表 6-33 中显示了 PRBS_CFG_3。

返回到[汇总表](#)。

表 6-33. PRBS_CFG_3 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R	0x0	
12	cfg_prbs_fix_patt_en	读/写	0x0	
11-8	cfg_prbs_fix_patt	读/写	0x0	
7-0	cfg_ipg_len	R/W	0x7D	数据包之间的数据包间间隔 (以字节为单位)

6.7.17 PRBS_STATUS_1 寄存器 (地址 = 0x11C) [复位 = 0x0]

表 6-34 中显示了 PRBS_STATUS_1。

返回到[汇总表](#)。

表 6-34. PRBS_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	prbs_byte_cnt	R	0x0	保存 PRBS 校验器接收的总字节数。 当写入寄存器 0x11F 位 [0] 或位 [1] 后, 此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时, 计数在 0xFFFF 停止

6.7.18 PRBS_STATUS_2 寄存器 (地址 = 0x11D) [复位 = 0x0]

表 6-35 中显示了 PRBS_STATUS_2。

返回到[汇总表](#)。

表 6-35. PRBS_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	prbs_pkt_cnt_15_0	R	0x0	PRBS 校验器接收的数据包总数的位 [15:0] 当写入寄存器 0x11F 位 [0] 或位 [1] 后, 此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时, 计数在 0xFFFFFFFF 停止

6.7.19 PRBS_STATUS_3 寄存器 (地址 = 0x11E) [复位 = 0x0]

表 6-36 中显示了 PRBS_STATUS_3。

返回到[汇总表](#)。

表 6-36. PRBS_STATUS_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	prbs_pkt_cnt_31_16	R	0x0	PRBS 校验器接收的数据包总数的位 [31:16] 当写入寄存器 0x11F 位 [0] 或位 [1] 后, 此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时, 计数在 0xFFFFFFFF 停止

6.7.20 PRBS_STATUS_4 寄存器 (地址 = 0x11F) [复位 = 0x0]

表 6-37 中显示了 PRBS_STATUS_4。

返回到[汇总表](#)。

表 6-37. PRBS_STATUS_4 寄存器字段说明

位	字段	类型	复位	说明
15-14	保留	R	0x0	

表 6-37. PRBS_STATUS_4 寄存器字段说明 (续)

位	字段	类型	复位	说明
13	prbs_sync_loss	R/W0C	0x0	1b = PRBS 已锁定 0b = PRBS 未解锁
12	pkt_done	R	0x0	在发送所有带有 CRC 的 MAC 数据包时设置
11	pkt_gen_busy	R	0x0	1 = 数据包生成器正在工作 0 = 数据包生成器未在工作
10	prbs_pkt_ov	R	0x0	如果设置, 则数据包计数器达到溢出 清除 PRBS 计数器 (通过设置 0x11f 的位 1 来完成) 后, 溢出也会随之清除
9	prbs_byte_ov	R	0x0	如果设置, 则字节计数器达到溢出 清除 PRBS 计数器 (通过设置 0x11f 的位 1 来完成) 后, 溢出也会随之清除
8	prbs_lock	R	0x0	1 = PRBS 校验器在接收到的字节流上被锁定 (同步) 0 = PRBS 校验器未锁定
7-0	prbs_err_cnt	R	0x0	保存 PRBS 校验器接收到的错误位数 当写入位 [0] 或位 [1] 时, 此寄存器中的值被锁定 当 PRBS 计数模式设置为零时, 计数在 0xFF 停止 注意: 写入位 0 会为 PRBS 计数器生成锁定信号。 写入位 1 会为 PRBS 计数器生成锁定和清除信号。

6.7.21 PRBS_STATUS_5 寄存器 (地址 = 0x120) [复位 = 0x0]

表 6-38 中显示了 PRBS_STATUS_5。

返回到[汇总表](#)。

表 6-38. PRBS_STATUS_5 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	prbs_err_ov_cnt	R	0x0	保存 PRBS 校验器接收的错误计数器溢出数。 当写入寄存器 0x11f 位 [0] 或位 [1] 后, 此寄存器中的值被锁定。计数器在 0xFF 停止。 注意: 当 PRBS 计数器在单一模式下工作时, 溢出计数器无效

6.7.22 PRBS_STATUS_6 寄存器 (地址 = 0x121) [复位 = 0x0]

表 6-39 中显示了 PRBS_STATUS_6。

返回到[汇总表](#)。

表 6-39. PRBS_STATUS_6 寄存器字段说明

位	字段	类型	复位	说明
15-0	pkt_err_cnt_15_0	R	0x0	PRBS 校验器接收的有错误数据包总数的位 [15:0] 当写入寄存器 0x11f 位 [0] 或位 [1] 后, 此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时, 计数在 0xFFFFFFFF 停止

6.7.23 PRBS_STATUS_7 寄存器 (地址 = 0x122) [复位 = 0x0]

表 6-40 中显示了 PRBS_STATUS_7。

返回到[汇总表](#)。

表 6-40. PRBS_STATUS_7 寄存器字段说明

位	字段	类型	复位	说明
15-0	pkt_err_cnt_31_16	R	0x0	PRBS 校验器接收的有错误数据包总数的位 [31:16] 当写入寄存器 0x11f 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 停止

6.7.24 PRBS_CFG_4 寄存器 (地址 = 0x123) [复位 = 0x0]

表 6-41 中显示了 PRBS_CFG_4。

返回到[汇总表](#)。

表 6-41. PRBS_CFG_4 寄存器字段说明

位	字段	类型	复位	说明
15-8	cfg_pkt_data	读/写	0x0	要在固定数据模式下发送的固定数据
7-6	cfg_pkt_mode	读/写	0x0	2'b00 - 增量 2'b01 - 固定 2'b1x - PRBS
5-3	cfg_pattern_vld_bytes	读/写	0x0	数据包中有效模式的字节数 (最大为 6)
2-0	cfg_pkt_cnt	读/写	0x0	000b = 1 个数据包 001b = 10 个数据包 010b = 100 个数据包 011b = 1000 个数据包 100b = 10000 个数据包 101b = 100000 个数据包 110b = 1000000 个数据包 111b = 连续数据包

6.7.25 PRBS_CFG_5 寄存器 (地址 = 0x124) [复位 = 0x0]

表 6-42 中显示了 PRBS_CFG_5。

返回到[汇总表](#)。

表 6-42. PRBS_CFG_5 寄存器字段说明

位	字段	类型	复位	说明
15-0	pattern_15_0	读/写	0x0	模式的位 15:0

6.7.26 PRBS_CFG_6 寄存器 (地址 = 0x125) [复位 = 0x0]

表 6-43 中显示了 PRBS_CFG_6。

返回到[汇总表](#)。

表 6-43. PRBS_CFG_6 寄存器字段说明

位	字段	类型	复位	说明
15-0	pattern_31_16	读/写	0x0	模式的位 31:16

6.7.27 PRBS_CFG_7 寄存器 (地址 = 0x126) [复位 = 0x0]

表 6-44 中显示了 PRBS_CFG_7。

返回到[汇总表](#)。

表 6-44. PRBS_CFG_7 寄存器字段说明

位	字段	类型	复位	说明
15-0	pattern_47_32	读/写	0x0	模式的位 47:32

6.7.28 PRBS_CFG_8 寄存器 (地址 = 0x127) [复位 = 0x0]

表 6-45 中显示了 PRBS_CFG_8。

返回到[汇总表](#)。

表 6-45. PRBS_CFG_8 寄存器字段说明

位	字段	类型	复位	说明
15-0	pmatch_data_15_0	读/写	0x0	完全匹配数据的位 15:0 - 用于 DA (目标地址) 匹配

6.7.29 PRBS_CFG_9 寄存器 (地址 = 0x128) [复位 = 0x0]

表 6-46 中显示了 PRBS_CFG_9。

返回到[汇总表](#)。

表 6-46. PRBS_CFG_9 寄存器字段说明

位	字段	类型	复位	说明
15-0	pmatch_data_31_16	读/写	0x0	完全匹配数据的位 31:16 - 用于 DA (目标地址) 匹配

6.7.30 PRBS_CFG_10 寄存器 (地址 = 0x129) [复位 = 0x0]

表 6-47 中显示了 PRBS_CFG_10。

返回到[汇总表](#)。

表 6-47. PRBS_CFG_10 寄存器字段说明

位	字段	类型	复位	说明
15-0	pmatch_data_47_32	读/写	0x0	完全匹配数据的位 47:32 - 用于 DA (目标地址) 匹配

6.7.31 CRC_STATUS 寄存器 (地址 = 0x12A) [复位 = 0x0]

表 6-48 中显示了 CRC_STATUS。

返回到[汇总表](#)。

表 6-48. CRC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0x0	
1	rx_bad_crc	R	0x0	Cu RX 上接收的数据包中的 CRC 错误指示
0	tx_bad_crc	R	0x0	Cu TX 上发送的数据包中的 CRC 错误指示

6.7.32 PKT_STAT_1 寄存器 (地址 = 0x12B) [复位 = 0x0]

表 6-49 中显示了 PKT_STAT_1。

返回到[汇总表](#)。

表 6-49. PKT_STAT_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	tx_pkt_cnt_15_0		0x0	TX 数据包计数器的低 16 位 注意：按顺序读取 0x12B、0x12C、0x12D 时，寄存器被清零

6.7.33 PKT_STAT_2 寄存器 (地址 = 0x12C) [复位 = 0x0]

表 6-50 中显示了 PKT_STAT_2。

返回到[汇总表](#)。

表 6-50. PKT_STAT_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	tx_pkt_cnt_31_16		0x0	TX 数据包计数器的高 16 位 注意：按顺序读取 0x12B、0x12C、0x12D 时，寄存器被清零

6.7.34 PKT_STAT_3 寄存器 (地址 = 0x12D) [复位 = 0x0]

表 6-51 中显示了 PKT_STAT_3。

返回到[汇总表](#)。

表 6-51. PKT_STAT_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	tx_err_pkt_cnt		0x0	有错误 (CRC 错误) 的 TX 数据包计数器 注意：按顺序读取 0x12B、0x12C、0x12D 时，寄存器被清零

6.7.35 PKT_STAT_4 寄存器 (地址 = 0x12E) [复位 = 0x0]

表 6-52 中显示了 PKT_STAT_4。

返回到[汇总表](#)。

表 6-52. PKT_STAT_4 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_pkt_cnt_15_0		0x0	RX 数据包计数器的低 16 位 注意：按顺序读取 0x12E、0x12F、0x130 时，寄存器被清零

6.7.36 PKT_STAT_5 寄存器 (地址 = 0x12F) [复位 = 0x0]

表 6-53 中显示了 PKT_STAT_5。

返回到[汇总表](#)。

表 6-53. PKT_STAT_5 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_pkt_cnt_31_16		0x0	RX 数据包计数器的高 16 位 注意：按顺序读取 0x12E、0x12F、0x130 时，寄存器被清零

6.7.37 PKT_STAT_6 寄存器 (地址 = 0x130) [复位 = 0x0]

表 6-54 中显示了 PKT_STAT_6。

返回到[汇总表](#)。

表 6-54. PKT_STAT_6 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_err_pkt_cnt		0x0	有错误 (CRC 错误) 的 RX 数据包计数器 注意：按顺序读取 0x12E、0x12F、0x130 时，寄存器被清零

6.7.38 AN_CONTROL 寄存器 (地址 = 0x200) [复位 = 0x1000]

[表 6-55](#) 中显示了 AN_CONTROL。

返回到[汇总表](#)。

表 6-55. AN_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
15	mr_main_reset	R	0x0	1 = AN 复位 0 = AN 正常运行 注意：位可自行清除
14-13	RESERVED	R	0x0	
12	mr_an_enable	读/写	0x1	1 = 启用自动协商过程 0 = 禁用自动协商过程
11-10	保留	R	0x0	
9	mr_restart_an	R/WSC	0x0	1 = 重新启动自动协商过程 0 = 自动协商正在进行、已禁用或不受支持
8-0	RESERVED	R	0x0	

6.7.39 AN_STATUS 寄存器 (地址 = 0x201) [复位 = 0x8]

[表 6-56](#) 中显示了 AN_STATUS。

返回到[汇总表](#)。

表 6-56. AN_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R	0x0	
6	mr_page_received	R/W0C	0x0	1 = 已接收到页 0 = 未接收到页
5	mr_an_complete	R	0x0	1 = 自动协商过程已完成 0 = 自动协商过程未完成
4	remote_fault	R/W0C	0x0	1 = 检测到远程故障情况 0 = 未检测到远程故障情况
3	mr_an_ability	R	0x1	1 = PHY 能够执行自动协商 0 = PHY 无法执行自动协商
2	link_status	R/W0S	0x0	1 = 链路接通 0 = 链路断开
1-0	RESERVED	R	0x0	

6.7.40 AN_ADV_1 寄存器 (地址 = 0x202) [复位 = 0x1]

[表 6-57](#) 中显示了 AN_ADV_1。

返回到[汇总表](#)。

表 6-57. AN_ADV_1 寄存器字段说明

位	字段	类型	复位	说明
15	mr_bp_np_ability	读/写	0x0	
14	mr_bp_ack	R	0x0	始终为 0
13	mr_bp_remote_fault	读/写	0x0	
12-5	mr_bp_12_5	读/写	0x0	位 12 - 强制主/从 位 11:10 - 暂停 位 9:5 - 回波随机数
4-0	selector_field	读/写	0x1	00001b = IEEE802.3

6.7.41 AN_ADV_2 寄存器 (地址 = 0x203) [复位 = 0x0]

[表 6-58](#) 中显示了 AN_ADV_2。

返回到[汇总表](#)。

表 6-58. AN_ADV_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_bp_31_16	读/写	0x0	位 20:16 - 发送的随机数 位 31:21 - A10 至 A0

6.7.42 AN_ADV_3 寄存器 (地址 = 0x204) [复位 = 0x0]

[表 6-59](#) 中显示了 AN_ADV_3。

返回到[汇总表](#)。

表 6-59. AN_ADV_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_bp_47_32	读/写	0x0	A26 至 A11

6.7.43 AN_LP_ADV_1 寄存器 (地址 = 0x205) [复位 = 0x0]

[表 6-60](#) 中显示了 AN_LP_ADV_1。

返回到[汇总表](#)。

表 6-60. AN_LP_ADV_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_lp_bp_15_0	R	0x0	LP 基础页 15:0

6.7.44 AN_LP_ADV_2 寄存器 (地址 = 0x206) [复位 = 0x0]

[表 6-61](#) 中显示了 AN_LP_ADV_2。

返回到[汇总表](#)。

表 6-61. AN_LP_ADV_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_lp_bp_31_16	R	0x0	LP 基础页 31:16

6.7.45 AN_LP_ADV_3 寄存器 (地址 = 0x207) [复位 = 0x0]

表 6-62 中显示了 AN_LP_ADV_3。

返回到[汇总表](#)。

表 6-62. AN_LP_ADV_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_lp_bp_47_32	R	0x0	LP 基础页 47:32

6.7.46 AN_NP_ADV_1 寄存器 (地址 = 0x208) [复位 = 0x0]

表 6-63 中显示了 AN_NP_ADV_1。

返回到[汇总表](#)。

表 6-63. AN_NP_ADV_1 寄存器字段说明

位	字段	类型	复位	说明
15	mr_np_np_ability	读/写	0x0	
14	RESERVED	R	0x0	
13	mr_np_message_page	读/写	0x0	
12	mr_np_ack2	读/写	0x0	
11	mr_np_toggle	R	0x0	
10-0	mr_np_msg_unform_code_field	读/写	0x0	预定义消息代码

6.7.47 AN_NP_ADV_2 寄存器 (地址 = 0x209) [复位 = 0x0]

表 6-64 中显示了 AN_NP_ADV_2。

返回到[汇总表](#)。

表 6-64. AN_NP_ADV_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_np_unform_code_field_1	读/写	0x0	

6.7.48 AN_NP_ADV_3 寄存器 (地址 = 0x20A) [复位 = 0x0]

表 6-65 中显示了 AN_NP_ADV_3。

返回到[汇总表](#)。

表 6-65. AN_NP_ADV_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_np_unform_code_field_2	读/写	0x0	

6.7.49 AN_LP_NP_ADV_1 寄存器 (地址 = 0x20B) [复位 = 0x0]

表 6-66 中显示了 AN_LP_NP_ADV_1。

返回到[汇总表](#)。

表 6-66. AN_LP_NP_ADV_1 寄存器字段说明

位	字段	类型	复位	说明
15	mr_lp_np_np_ability	R	0x0	
14	mr_lp_np_ack	R	0x0	
13	mr_lp_np_message_page	R	0x0	
12	mr_lp_np_ack2	R	0x0	
11	mr_lp_np_toggle	R	0x0	
10-0	mr_lp_np_msg_unform_code_field	R	0x0	预定义消息代码

6.7.50 AN_LP_NP_ADV_2 寄存器 (地址 = 0x20C) [复位 = 0x0]

表 6-67 中显示了 AN_LP_NP_ADV_2。

返回到[汇总表](#)。

表 6-67. AN_LP_NP_ADV_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_lp_np_unform_code_field_1	R	0x0	

6.7.51 AN_LP_NP_ADV_3 寄存器 (地址 = 0x20D) [复位 = 0x0]

表 6-68 中显示了 AN_LP_NP_ADV_3。

返回到[汇总表](#)。

表 6-68. AN_LP_NP_ADV_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_lp_np_unform_code_field_2	R	0x0	

6.7.52 AN_CTRL_10BT1 寄存器 (地址 = 0x20E) [复位 = 0xA000]

表 6-69 中显示了 AN_CTRL_10BT1。

返回到[汇总表](#)。

表 6-69. AN_CTRL_10BT1 寄存器字段说明

位	字段	类型	复位	说明
15	mr_10bt1_L_capability	读/写	0x1	1 = 将 PHY 广播为支持 10BASE-T1L 0 = 不将 PHY 广播为支持 10BASE-T1L
14	mr_ability_10bt1_L_eee	读/写	0x0	1 = 广播 10BASE-T1L PHY 具有 EEE 功能 0 = 不广播 10BASE-T1L PHY 具有 EEE 功能 (默认值)
13	mr_ability_10bt1_L_incr_tx_rx_lvl	读/写	0x1	1 = 广播 10BASE-T1L PHY 具有更高的发送/接收电平能力 0 = 不广播 10BASE-T1L PHY 具有更高的发送/接收电平能力 (默认值)
12	mr_10bt1_L_incr_tx_rx_lvl_rqst	读/写	0x0	1 = 请求 10BASE-T1L 具有更高的发送电平 0 = 不请求 10BASE-T1L 具有更高的发送电平 (默认值)
11-8	RESERVED	R	0x0	
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留

表 6-69. AN_CTRL_10BT1 寄存器字段说明 (续)

位	字段	类型	复位	说明
5-0	保留	R	0x0	

6.7.53 AN_STATUS_10BT1 寄存器 (地址 = 0x20F) [复位 = 0x0]

表 6-70 中显示了 AN_STATUS_10BT1。

返回到[汇总表](#)。

表 6-70. AN_STATUS_10BT1 寄存器字段说明

位	字段	类型	复位	说明
15	mr_lp_10bt1_L_capability	R	0x0	1 = 链路伙伴将 PHY 广播为支持 10BASE-T1L 0 = 链路伙伴不将 PHY 广播为支持 10BASE-T1L
14	mr_lp_ability_10bt1_L_eee	R	0x0	1 = 链路伙伴广播 10BASE-T1L PHY 具有 EEE 功能 0 = 链路伙伴不广播 10BASE-T1L PHY 具有 EEE 功能
13	mr_lp_ability_10bt1_L_incr_tx_rx_lvl	R	0x0	1 = 链路伙伴广播 10BASE-T1L PHY 具有更高的发送/接收电平能力 0 = 链路伙伴不广播 10BASE-T1L PHY 具有更高的发送/接收电平能力
12	mr_lp_10bt1_L_incr_tx_rx_lvl_rqst	R	0x0	1 = 链路伙伴请求 10BASE-T1L 链路伙伴具有更高的发送电平 0 = 链路伙伴不请求 10BASE-T1L 链路伙伴具有更高的发送电平
11-8	RESERVED	R	0x0	
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5-0	保留	R	0x0	

6.7.54 TDR_CFG1 寄存器 (地址 = 0x300) [复位 = 0x545]

表 6-71 中显示了 TDR_CFG1。

返回到[汇总表](#)。

表 6-71. TDR_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R	0x0	
12	cfg_tdr_tx_type	读/写	0x0	TDR 的发送电压电平 0 = 1V 1 = 2.4V
11-8	cfg_forward_shadow_2	R/W	0x5	段 2 的前向阴影
7-4	cfg_forward_shadow_1	R/W	0x4	段 1 的前向阴影
3-2	cfg_post_silence_time	读/写	0x1	TDR 后静默时间
1-0	cfg_pre_silence_time	读/写	0x1	TDR 前静默时间

6.7.55 TDR_CFG2 寄存器 (地址 = 0x301) [复位 = 0x2404]

表 6-72 中显示了 TDR_CFG2。

返回到[汇总表](#)。

表 6-72. TDR_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	

表 6-72. TDR_CFG2 寄存器字段说明 (续)

位	字段	类型	复位	说明
14-8	cfg_end_tap_index_1	R/W	0x24	段 1 的回波系数扫描的结束抽头索引
7	RESERVED	R	0x0	
6-0	cfg_start_tap_index_1	R/W	0x4	段 1 的回波系数扫描的起始抽头索引

6.7.56 TDR_CFG3 寄存器 (地址 = 0x302) [复位 = 0x3E80]

表 6-73 中显示了 TDR_CFG3。

返回到[汇总表](#)。

表 6-73. TDR_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15-0	cfg_tdr_tx_duration	R/W	0x3E80	TDR 发送持续时间 (以 usec 为单位)

6.7.57 FAULT_CFG1 寄存器 (地址 = 0x303) [复位 = 0x53E]

表 6-74 中显示了 FAULT_CFG1。

返回到[汇总表](#)。

表 6-74. FAULT_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	
14-8	cfg_tdr_fit_loc_offset_1	R/W	0x5	段 1 的动态峰值方程的抽头索引偏移
7-0	cfg_tdr_fit_init_1	R/W	0x3E	段 1 的动态峰值方程的偏移

6.7.58 FAULT_CFG2 寄存器 (地址 = 0x304) [复位 = 0xA]

表 6-75 中显示了 FAULT_CFG2。

返回到[汇总表](#)。

表 6-75. FAULT_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	cfg_tdr_fit_slope_1	读/写	0xA	段 1 的动态峰值方程斜率 (*16 值)

6.7.59 FAULT_STAT1 寄存器 (地址 = 0x305) [复位 = 0x0]

表 6-76 中显示了 FAULT_STAT1。

返回到[汇总表](#)。

表 6-76. FAULT_STAT1 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	
14-8	peaks_loc_1	R	0x0	第一个峰值的位置
7	RESERVED	R	0x0	
6-0	peaks_loc_0	R	0x0	第一个峰值的位置

6.7.60 FAULT_STAT2 寄存器 (地址 = 0x306) [复位 = 0x0]

表 6-77 中显示了 FAULT_STAT2。

返回到[汇总表](#)。

表 6-77. FAULT_STAT2 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	
14-8	peaks_loc_3	R	0x0	第一个峰值的位置
7	RESERVED	R	0x0	
6-0	peaks_loc_2	R	0x0	第一个峰值的位置

6.7.61 FAULT_STAT3 寄存器 (地址 = 0x307) [复位 = 0x0]

表 6-78 中显示了 FAULT_STAT3。

返回到[汇总表](#)。

表 6-78. FAULT_STAT3 寄存器字段说明

位	字段	类型	复位	说明
15-8	peaks_amp_0	R	0x0	第一个峰值的幅度
7	RESERVED	R	0x0	
6-0	peaks_loc_4	R	0x0	第一个峰值的位置

6.7.62 FAULT_STAT4 寄存器 (地址 = 0x308) [复位 = 0x0]

表 6-79 中显示了 FAULT_STAT4。

返回到[汇总表](#)。

表 6-79. FAULT_STAT4 寄存器字段说明

位	字段	类型	复位	说明
15-8	peaks_amp_2	R	0x0	第一个峰值的幅度
7-0	peaks_amp_1	R	0x0	第一个峰值的幅度

6.7.63 FAULT_STAT5 寄存器 (地址 = 0x309) [复位 = 0x0]

表 6-80 中显示了 FAULT_STAT5。

返回到[汇总表](#)。

表 6-80. FAULT_STAT5 寄存器字段说明

位	字段	类型	复位	说明
15-8	peaks_amp_4	R	0x0	第一个峰值的幅度
7-0	peaks_amp_3	R	0x0	第一个峰值的幅度

6.7.64 FAULT_STAT6 寄存器 (地址 = 0x30A) [复位 = 0x0]

表 6-81 中显示了 FAULT_STAT6。

返回到[汇总表](#)。

表 6-81. FAULT_STAT6 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0x0	
4	peaks_sign_4	R	0x0	第一个峰值的符号
3	peaks_sign_3	R	0x0	第一个峰值的符号
2	peaks_sign_2	R	0x0	第一个峰值的符号
1	peaks_sign_1	R	0x0	第一个峰值的符号
0	peaks_sign_0	R	0x0	第一个峰值的符号

6.7.65 CHIP_SOR_0 寄存器 (地址 = 0x420) [复位 = 0x0]

表 6-82 中显示了 CHIP_SOR_0。

返回到[汇总表](#)。

表 6-82. CHIP_SOR_0 寄存器字段说明

位	字段	类型	复位	说明
6	read_strap_term_sl	R	0x0	引脚 8 上的配置 (strap) 值
5-0	保留	R	0x0	

6.7.66 LEDS_CFG_1 寄存器 (地址 = 0x460) [复位 = 0x548]

表 6-83 中显示了 LEDS_CFG_1。

返回到[汇总表](#)。

表 6-83. LEDS_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	保留
14	leds_bypass_stretching	读/写	0x0	0 - 正常运行 1 - 绕过 LED 扩展
13-12	leds_blink_rate	读/写	0x0	00 = 20Hz (50ms) 01 = 10Hz (100ms) 10 = 5Hz (200ms) 11 = 2Hz (500ms)
11-8	led_2_option	R/W	0x5	控制 LED_2 源 (与位 3:0 相同)
7-4	led_1_option	R/W	0x4	控制 LED_1 源 (与位 3:0 相同)

表 6-83. LEDS_CFG_1 寄存器字段说明 (续)

位	字段	类型	复位	说明
3-0	led_0_option	R/W	0x8	控制 LED_0 源： 0x0 - 链路正常 0x1 - TX/RX 活动 0x2 - TX 活动 0x3 - RX 活动 0x4 - LR 0x5 - SR 0x6 - LED 速度：高 - 10Base-T 0x7 - 双工模式 0x8 - 链路 + 活动期间闪烁，具有扩展选项 0x9 - 活动期间闪烁，具有扩展选项 0xA - TX 活动期间闪烁，具有扩展选项 0xB - RX 活动期间闪烁，具有扩展选项 0xC - link_lost 0xD - PRBS 错误（出错时切换） 0xE - XMII TX/RX 错误，具有扩展选项

6.7.67 IO_MUX_CFG 寄存器 (地址 = 0x461) [复位 = 0x5]

表 6-84 中显示了 IO_MUX_CFG。

返回到[汇总表](#)。

表 6-84. IO_MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	io_oe_n_value	读/写	0x0	当 io_oe_n_force_ctrl='1' 时， 除 MDC、MDIO 和 RESET_N 之外，所有 IO 的方向均通过该位进行控制： 0 - 输出 1 - 输入
14	io_oe_n_force_ctrl	读/写	0x0	调试选项 - 启用强制所有 IO (除了 MDC、MDIO 和 RESET_N) 的方向。 如果设置，IO 方向由位 15 控制
13-12	pupd_value	读/写	0x0	当 pupd_force_cntl='1' 时， 上拉/下拉的值通过该寄存器进行控制
11	pupd_force_cntl	读/写	0x0	为“1”时：通过寄存器强制所有 PAD 上拉/下拉
10-6	RESERVED	R	0x0	保留
5-4	impedance_ctrl	读/写	0x0	MAC 接口 PAD 阻抗控制 该字段的位 0 是转换控制位。如果设置为“1”，则压摆率将更快（默认为 0）
3-2	mac_rx_impedance_ctrl	读/写	0x1	MAC 接口 PAD 阻抗控制 该字段的位 0 是转换控制位。如果设置为“1”，则压摆率将更快（默认为 0）
1-0	mac_tx_impedance_ctrl	读/写	0x1	MAC 接口 PAD 阻抗控制 该字段的位 0 是转换控制位。如果设置为“1”，则压摆率将更快（默认为 0）

6.7.68 IO_MUX_GPIO_CTRL_1 寄存器 (地址 = 0x462) [复位 = 0x0]

表 6-85 中显示了 IO_MUX_GPIO_CTRL_1。

返回到[汇总表](#)。

表 6-85. IO_MUX_GPIO_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	led_2_clk_div_2_en	读/写	0x0	如果 led_2_gpio 配置为 led_2_clk_source , 选择 led_2_clk_source 的时钟 2 分频
14-12	led_2_clk_source	读/写	0x0	如果 clk_out 多路复用为 LED_2 IO , 则该字段控制 clk_out 源 : 0 - XI 时钟 1 - LD 30MHz 时钟 (基于空闲/恢复的主/从模式) 2 - 30MHz ADC 时钟 (恢复) 3 - 空闲 60MHz 时钟 4 - 7.5MHz 时钟 (基于空闲/恢复的主/从模式) 5 - 25MHz 时钟到 PLL (XI 或 XI/2) 6 - 2.5MHz 时钟 (基于空闲/恢复的主/从模式)
11	led_2_clk_inv_en	读/写	0x0	如果 led_2_gpio 配置为 led_2_clk_source , 选择 led_2_clk_source 的时钟反相
10-8	led_2_gpio_ctrl	读/写	0x0	控制 LED_2 IO 的输出 : 0 - LED_2 1 - 时钟输出 2 - 中断 3 - 1'b0 4 - 保留 5 - 保留 6 - 常量 "0" 7 - 常量 "1"
7	led_0_clk_div_2_en	读/写	0x0	如果 led_0_gpio 配置为 led_0_clk_source , 选择 led_0_clk_source 的时钟 2 分频
6-4	led_0_clk_source	读/写	0x0	如果 clk_out 多路复用为 LED_0 IO , 则该字段控制 clk_out 源 : 0 - XI 时钟 1 - LD 30MHz 时钟 (基于空闲/恢复的主/从模式) 2 - 30MHz ADC 时钟 (恢复) 3 - 空闲 60MHz 时钟 4 - 7.5MHz 时钟 (基于空闲/恢复的主/从模式) 5 - 25MHz 时钟到 PLL (XI 或 XI/2) 6 - 2.5MHz 时钟 (基于空闲/恢复的主/从模式)
3	led_0_clk_inv_en	读/写	0x0	如果 led_0_gpio 配置为 led_0_clk_source , 选择 led_0_clk_source 的时钟反相
2-0	led_0_gpio_ctrl	读/写	0x0	控制 LED_0 IO 的输出 : 0 - LED_0 1 - 时钟输出 2 - 中断 3 - 1'b0 4 - 保留 5 - 保留 6 - 常量 "0" 7 - 常量 "1"

6.7.69 IO_MUX_GPIO_CTRL_2 寄存器 (地址 = 0x463) [复位 = 0x0]

表 6-86 中显示了 IO_MUX_GPIO_CTRL_2。

返回到[汇总表](#)。

表 6-86. IO_MUX_GPIO_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-13	gpio_clk_source	读/写	0x0	如果 clk_out 多路复用为 GPIO IO，则该字段控制 clk_out 源： 0 - XI 时钟 1 - LD 30MHz 时钟（基于空闲/恢复的主/从模式） 2 - 30MHz ADC 时钟（恢复） 3 - 空闲 60MHz 时钟 4 - 7.5MHz 时钟（基于空闲/恢复的主/从模式） 5 - 25MHz 时钟到 PLL（XI 或 XI/2） 6 - 2.5MHz 时钟（基于空闲/恢复的主/从模式）
12-10	gpio_ctrl	读/写	0x0	控制 GPIO IO 的输出： 0 - LED_1 1 - 时钟输出 2 - 中断 3 - 1'b0 4 - 保留 5 - 保留 6 - 常量“0” 7 - 常量“1”
9	cfg_tx_er_on_led2	读/写	0x0	1b = LED_2 用作 MII 的 TX_ER 引脚
8	clk_o_clk_div_2_en	读/写	0x0	如果 clk_out 配置为输出 clk_o_clk_source， 选择 clk_o_clk_source 的时钟 2 分频
7-4	clk_o_clk_source	读/写	0x0	如果 clk_out 多路复用为 CLK_O IO，则该字段控制 clk_out 源： 0 - XI 时钟 1 - LD 30MHz 时钟（基于空闲/恢复的主/从模式） 2 - 30MHz ADC 时钟（恢复） 3 - 空闲 60MHz 时钟 4 - 7.5MHz 时钟（基于空闲/恢复的主/从模式） 5 - 25MHz 时钟到 PLL（XI 或 XI/2） 6 - 2.5MHz 时钟（基于空闲/恢复的主/从模式） 8 - CLK25_50（RMII 为 50MHz，其他为 25MHz） 9 - RMII RX 50MHz 时钟 10 - RMII TX 50MHz 时钟 11 - MII RX 时钟 12 - RGMII RX 对齐时钟 13 - RGMII RX 移位时钟
3	clk_o_clk_inv_en	读/写	0x0	如果 clk_out 配置为输出 clk_o_clk_source， 选择 clk_o_clk_source 的时钟反相
2-0	clk_o_gpio_ctrl	读/写	0x0	控制 CLK_O IO 的输出： 0 - LED_1 1 - 时钟输出 2 - 中断 3 - 1'b0 4 - 保留 5 - 保留 6 - 常量“0” 7 - 常量“1”

6.7.70 CHIP_SOR_1 寄存器（地址 = 0x467）[复位 = 0x0]

表 6-87 中显示了 CHIP_SOR_1。

返回到[汇总表](#)。

表 6-87. CHIP_SOR_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	sor_15_0	R	0x0	SOR 矢量, 位 [15:0] : SOR[0] - RX_D3 SOR[1] - RX_D2 SOR[2] - RX_D1 SOR[3] - RX_D0 SOR[4] - CLK_OUT/LED_1 SOR[5] - RX_CTRL SOR[6] - RX_ER SOR[7] - LED_2 SOR[8] - LED_0 SOR[9] - GPIO

6.7.71 CHIP_SOR_2 寄存器 (地址 = 0x468) [复位 = 0x0]

表 6-88 中显示了 CHIP_SOR_2。

返回到[汇总表](#)。

表 6-88. CHIP_SOR_2 寄存器字段说明

位	字段	类型	复位	说明
15-4	保留	R	0x0	保留
3-0	sor_19_16	R	0x0	保留

6.7.72 LEDS_CFG_2 寄存器 (地址 = 0x469) [复位 = 0x0]

表 6-89 中显示了 LEDS_CFG_2。

返回到[汇总表](#)。

表 6-89. LEDS_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15-11	保留	R	0x0	保留
10	led_2_polarity	读/写	0x0	LED_2 极性 : 0 - 低电平有效 1 - 高电平有效
9	led_2_drv_val	读/写	0x0	如果设置了位 8, 则这是 LED_2 的值
8	led_2_drv_en	读/写	0x0	0 - LED_2 处于正常运行模式 1 - 驱动 LED_2 的值 (被驱动的值位 9)
7	RESERVED	R	0x0	保留
6	led_1_polarity	读/写	0x0	LED_1 极性 : 0 - 低电平有效 1 - 高电平有效
5	led_1_drv_val	读/写	0x0	如果设置了位 4, 则这是 LED_1 的值
4	led_1_drv_en	读/写	0x0	0 - LED_1 处于正常运行模式 1 - 驱动 LED_1 的值 (被驱动的值位 5)
3	RESERVED	R	0x0	保留
2	led_0_polarity	读/写	0x0	LED_0 极性 : 0 - 低电平有效 1 - 高电平有效
1	led_0_drv_val	读/写	0x0	如果设置了位 1, 则这是 LED_1 的值
0	led_0_drv_en	读/写	0x0	0 - LED_0 处于正常运行模式 1 - 驱动 LED_0 的值 (被驱动的值位 1)

6.7.73 AN_STAT_1 寄存器 (地址 = 0x60C) [复位 = 0x0]

表 6-90 中显示了 AN_STAT_1。

返回到[汇总表](#)。

表 6-90. AN_STAT_1 寄存器字段说明

位	字段	类型	复位	说明
15	master_slave_resol_fail	R	0x0	1b = 主从解析失败 0b = 主从解析成功
14-12	an_state	R	0x0	
11	保留	R	0x0	
10-8	hd_state	R	0x0	
7	RESERVED	R	0x0	
6-4	rx_state	R	0x0	
3-0	an_tx_state	R	0x0	

6.7.74 dsp_reg_72 寄存器 (地址 = 0x872) [复位 = 0x0]

表 6-91 中显示了 dsp_reg_72。

返回到[汇总表](#)。

表 6-91. dsp_reg_72 寄存器字段说明

位	字段	类型	复位	说明
15-10	保留	R	0x0	
9-0	mse_sqi	R	0x0	SQI : 接收器平均均方值

6.7.75 dsp_reg_8d 寄存器 (地址 = 0x88D) [复位 = 0x14]

表 6-92 中显示了 dsp_reg_8d。

返回到[汇总表](#)。

表 6-92. dsp_reg_8d 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_2p4_metric_step 1	R/W	0x14	2p4V 模式下 0m 的 ALCD 基准指标

6.7.76 dsp_reg_8e 寄存器 (地址 = 0x88E) [复位 = 0x1D]

表 6-93 中显示了 dsp_reg_8e。

返回到[汇总表](#)。

表 6-93. dsp_reg_8e 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_2p4_metric_step 2	R/W	0x1D	2p4V 模式下 200m 的 ALCD 基准指标

6.7.77 dsp_reg_8f 寄存器 (地址 = 0x88F) [复位 = 0x24]

表 6-94 中显示了 dsp_reg_8f。

返回到[汇总表](#)。

表 6-94. dsp_reg_8f 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_2p4_metric_step 3	R/W	0x24	2p4V 模式下 400m 的 ALCD 基准指标

6.7.78 dsp_reg_90 寄存器 (地址 = 0x890) [复位 = 0x35]

表 6-95 中显示了 dsp_reg_90。

返回到[汇总表](#)。

表 6-95. dsp_reg_90 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_2p4_metric_step 4	R/W	0x35	2p4V 模式下 600m 的 ALCD 基准指标

6.7.79 dsp_reg_91 寄存器 (地址 = 0x891) [复位 = 0x43]

表 6-96 中显示了 dsp_reg_91。

返回到[汇总表](#)。

表 6-96. dsp_reg_91 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_2p4_metric_step 5	R/W	0x43	2p4V 模式下 800m 的 ALCD 基准指标

6.7.80 dsp_reg_92 寄存器 (地址 = 0x892) [复位 = 0x60]

表 6-97 中显示了 dsp_reg_92。

返回到[汇总表](#)。

表 6-97. dsp_reg_92 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_2p4_metric_step 6	R/W	0x60	2p4V 模式下 1000m 的 ALCD 基准指标

6.7.81 dsp_reg_98 寄存器 (地址 = 0x898) [复位 = 0x2E]

表 6-98 中显示了 dsp_reg_98。

返回到[汇总表](#)。

表 6-98. dsp_reg_98 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_1p0_metric_step 1	R/W	0x2E	1p0V 模式下 0m 的 ALCD 基准指标

6.7.82 dsp_reg_99 寄存器 (地址 = 0x899) [复位 = 0x41]

表 6-99 中显示了 dsp_reg_99。

返回到[汇总表](#)。

表 6-99. dsp_reg_99 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_1p0_metric_step 2	R/W	0x41	1p0V 模式下 200m 的 ALCD 基准指标

6.7.83 dsp_reg_9a 寄存器 (地址 = 0x89A) [复位 = 0x58]

表 6-100 中显示了 dsp_reg_9a。

返回到[汇总表](#)。

表 6-100. dsp_reg_9a 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_1p0_metric_step 3	R/W	0x58	1p0V 模式下 400m 的 ALCD 基准指标

6.7.84 dsp_reg_9b 寄存器 (地址 = 0x89B) [复位 = 0x89]

表 6-101 中显示了 dsp_reg_9b。

返回到[汇总表](#)。

表 6-101. dsp_reg_9b 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_1p0_metric_step 4	R/W	0x89	1p0V 模式下 600m 的 ALCD 基准指标

6.7.85 dsp_reg_9c 寄存器 (地址 = 0x89C) [复位 = 0xB2]

表 6-102 中显示了 dsp_reg_9c。

返回到[汇总表](#)。

表 6-102. dsp_reg_9c 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_1p0_metric_step 5	R/W	0xB2	1p0V 模式下 800m 的 ALCD 基准指标

6.7.86 dsp_reg_9d 寄存器 (地址 = 0x89D) [复位 = 0x107]

表 6-103 中显示了 dsp_reg_9d。

返回到[汇总表](#)。

表 6-103. dsp_reg_9d 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11-0	cfg_alcd_1p0_metric_step 6	R/W	0x107	1p0V 模式下 1000m 的 ALCD 基准指标

6.7.87 dsp_reg_e9 寄存器 (地址 = 0x8E9) [复位 = 0x0]

表 6-104 中显示了 dsp_reg_e9。

返回到[汇总表](#)。

表 6-104. dsp_reg_e9 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	cfg_alcd_cable_0	读/写	0x0	

6.7.88 dsp_reg_ea 寄存器 (地址 = 0x8EA) [复位 = 0x19]

表 6-105 中显示了 dsp_reg_ea。

返回到[汇总表](#)。

表 6-105. dsp_reg_ea 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	cfg_alcd_cable_1	R/W	0x19	

6.7.89 dsp_reg_eb 寄存器 (地址 = 0x8EB) [复位 = 0x2F]

表 6-106 中显示了 dsp_reg_eb。

返回到[汇总表](#)。

表 6-106. dsp_reg_eb 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	cfg_alcd_cable_2	R/W	0x2F	

6.7.90 dsp_reg_ec 寄存器 (地址 = 0x8EC) [复位 = 0x51]

表 6-107 中显示了 dsp_reg_ec。

返回到[汇总表](#)。

表 6-107. dsp_reg_ec 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	

表 6-107. dsp_reg_ec 寄存器字段说明 (续)

位	字段	类型	复位	说明
7-0	cfg_alcd_cable_3	R/W	0x51	

6.7.91 dsp_reg_ed 寄存器 (地址 = 0x8ED) [复位 = 0x64]

表 6-108 中显示了 dsp_reg_ed。

返回到[汇总表](#)。

表 6-108. dsp_reg_ed 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	cfg_alcd_cable_4	R/W	0x64	

6.7.92 dsp_reg_ee 寄存器 (地址 = 0x8EE) [复位 = 0x7A]

表 6-109 中显示了 dsp_reg_ee。

返回到[汇总表](#)。

表 6-109. dsp_reg_ee 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0x0	
7-0	cfg_alcd_cable_5	R/W	0x7A	

6.7.93 alcd_metric 寄存器 (地址 = 0xA9D) [复位 = 0x0]

表 6-110 中显示了 alcd_metric。

返回到[汇总表](#)。

表 6-110. alcd_metric 寄存器字段说明

位	字段	类型	复位	说明
15-4	ALCD_Metric_Value	R	0x0	
3-0	RESERVED	R	0x0	保留

6.7.94 alcd_status 寄存器 (地址 = 0xA9F) [复位 = 0x0]

表 6-111 中显示了 alcd_status。

返回到[汇总表](#)。

表 6-111. alcd_status 寄存器字段说明

位	字段	类型	复位	说明
15	ALCD_Complete	R	0x0	0 : 正在处理, 1 : 完成
14-11	RESERVED	R	0x0	保留
10-0	ALCD_Cable_Length	R	0x0	以米为单位

6.7.95 SCAN_2 寄存器 (地址 = 0xE01) [复位 = 0x10]

表 6-112 中显示了 SCAN_2。

返回到[汇总表](#)。

表 6-112. SCAN_2 寄存器字段说明

位	字段	类型	复位	说明
15-9	保留	R	0x0	
8-4	scan_state_saf	R	0x1	
3	cfg_en_efuse_burn	R	0x0	在 EFUSE 模块的电源路径中启用开关 注意：通过在 0x0E00 中编程 0x0303 写入该位
2-0	RESERVED	R	0x0	

6.7.96 PAM_PMD_CTRL_1 寄存器 (地址 = 0x1000) [复位 = 0x0]

表 6-113 中显示了 PAM_PMD_CTRL_1。

返回到[汇总表](#)。

表 6-113. PAM_PMD_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	PMA_Reset	R	0x0	1b = PMA/PMD 复位 0b = 正常运行 注意：读取写入位，自行清除 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。请在使用地址时，从 [15:12] 中删除 0x1。
14-12	RESERVED	R	0x0	
11	cfg_low_power	R	0x0	1b = 低功耗模式 0b = 正常运行 注意：读取写入位 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
10-1	RESERVED	R	0x0	
0	PMA_loopback	R	0x0	1 = 启用环回模式 0 = 禁用环回模式 注意：读取写入位 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。请在使用地址时，从 [15:12] 中删除 0x1。

6.7.97 PMA_PMD_CTRL_2 寄存器 (地址 = 0x1007) [复位 = 0x3D]

表 6-114 中显示了 PMA_PMD_CTRL_2。

返回到[汇总表](#)。

表 6-114. PMA_PMD_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0x0	
5-0	cfg_pma_type_selection	R	0x3D	111101b = 为器件选择 BASE-T1 类型 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。请在使用地址时，从 [15:12] 中删除 0x1。

6.7.98 PMA_PMD_EXTENDED_ABILITY_2 寄存器 (地址 = 0x100B) [复位 = 0x800]

表 6-115 中显示了 PMA_PMD_EXTENDED_ABILITY_2。

返回到[汇总表](#)。

表 6-115. PMA_PMD_EXTENDED_ABILITY_2 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11	base_t1_extended_abilities	R	0x1	1b = PMA/PMD 具有寄存器中列出的 BASE-T1 扩展功能 1.18 0b = PMA/PMD 没有 BASE-T1 扩展功能 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
10-0	RESERVED	R	0x0	

6.7.99 PMA_PMD_EXTENDED_ABILITY 寄存器 (地址 = 0x1012) [复位 = 0x4]

表 6-116 中显示了 PMA_PMD_EXTENDED_ABILITY。

返回到[汇总表](#)。

表 6-116. PMA_PMD_EXTENDED_ABILITY 寄存器字段说明

位	字段	类型	复位	说明
15-4	保留	R	0x0	
3	RESERVED	R	0x0	保留
2	mr_10_base_t1l_ability	R	0x1	1b = PMA/PMD 能够执行 10BASE-T1L 0b = PMA/PMD 无法执行 10BASE-T1L 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
1	RESERVED	R	0x0	保留
0	RESERVED	R	0x0	保留

6.7.100 PMA_PMD_CTRL 寄存器 (地址 = 0x1834) [复位 = 0x4002]

表 6-117 中显示了 PMA_PMD_CTRL。

返回到[汇总表](#)。

表 6-117. PMA_PMD_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0x0	
14	cfg_master_slave_val	读/写	0x1	1b = 将 PHY 配置为主器件 0b = 将 PHY 配置为从器件 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
13-4	RESERVED	R	0x0	
3-0	cfg_type_selection	R	0x2	0000b = 保留 0001b = 保留 0010b = 10BASE-T1L 0011b = 保留 01xxb = 保留 1xxxb = 保留 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。

6.7.101 PMA_CTRL 寄存器 (地址 = 0x18F6) [复位 = 0x0]

表 6-118 中显示了 PMA_CTRL。

返回到[汇总表](#)。

表 6-118. PMA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	PMA_Reset	R	0x0	1 = PMA 复位 0 = 正常运行 注意：读取写入位，自行清除 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
14	cfg_transmit_disable	R	0x0	1 = 发送禁用 0 = 正常运行 注意：读取写入位 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
13	保留	R	0x0	
12	cfg_incr_tx_lvl	读/写	0x0	1 = 启用 2.4Vpp 工作模式 0 = 启用 1.0Vpp 工作模式 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
11	cfg_low_power	R	0x0	1 = 低功耗模式 0 = 正常运行 注意：读取写入位 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
10	cfg_eee_enable	读/写	0x0	1 = 启用 EEE 模式 0 = 禁用 EEE 模式 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
9-1	RESERVED	R	0x0	
0	PMA_loopback	R	0x0	1 = 启用环回模式 0 = 禁用环回模式 注意：读取写入位 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。

6.7.102 PMA_STATUS 寄存器 (地址 = 0x18F7) [复位 = 0x3000]

表 6-119 中显示了 PMA_STATUS。

返回到[汇总表](#)。

表 6-119. PMA_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-14	保留	R	0x0	
13	loopback_ability	R	0x1	1 = PHY 具有环回功能 0 = PHY 没有环回功能 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。
12	tx_lvl_incr_ability	R	0x1	1 = PHY 具有 2.4Vpp 工作模式功能 0 = PHY 不具有 2.4Vpp 工作模式功能 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时，从 [15:12] 中删除 0x1。

表 6-119. PMA_STATUS 寄存器字段说明 (续)

位	字段	类型	复位	说明
11	low_power_ability	R	0x0	1 = PMA 具有低功耗功能 0 = PMA 没有低功耗功能 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
10	eee_ability	R	0x0	1 = PHY 具有 EEE 功能 0 = PHY 没有 EEE 功能 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
9	receive_fault_ability	R	0x0	1 = PMA 能够检测接收路径上的故障条件 0 = PMA 无法检测接收路径上的故障条件 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
8-3	RESERVED	R	0x0	
2	receive_polarity	R	0x0	1 = 接收极性已反转 0 = 接收极性未反转 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
1	receive_fault	R/W0C	0x0	1 = 检测到故障条件 0 = 未检测到故障条件 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
0	receive_link_status	R/W0S	0x0	1 = PMA 接收链路接通 0 = PMA 接收链路断开 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。

6.7.103 TEST_MODE_CTRL 寄存器 (地址 = 0x18F8) [复位 = 0x0]

表 6-120 中显示了 TEST_MODE_CTRL。

返回到[汇总表](#)。

表 6-120. TEST_MODE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-13	cfg_test_mode	读/写	0x0	1xxb = 保留 011b = 测试模式 3 010b = 测试模式 2 001b = 测试模式 1 000b = 正常 (非测试) 运行 地址 [15:12] 中的前缀 0x1 用于区分。请在使用地址时, 从 [15:12] 中删除 0x1。
12-0	RESERVED	R	0x0	

6.7.104 PCS_CTRL 寄存器 (地址 = 0x3000) [复位 = 0x0]

表 6-121 中显示了 PCS_CTRL。

返回到[汇总表](#)。

表 6-121. PCS_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	PCS_Reset	R	0x0	1 = PCS 复位 0 = 正常运行 注意 - RW 位，自行清除位 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
14	mmd3_loopback	R	0x0	1 = 启用环回模式 0 = 禁用环回模式 注意 - RW 位 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
13-0	RESERVED	R	0x0	

6.7.105 PCS_CTRL_2 寄存器 (地址 = 0x38E6) [复位 = 0x0]

表 6-122 中显示了 PCS_CTRL_2。

返回到[汇总表](#)。

表 6-122. PCS_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15	PCS_Reset	R	0x0	1 = PCS 复位 0 = 正常运行 注意 - RW 位，自行清除位 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
14	mmd3_loopback	R	0x0	1 = 启用环回模式 0 = 禁用环回模式 注意 - RW 位 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
13-0	RESERVED	R	0x0	

6.7.106 PCS_STATUS 寄存器 (地址 = 0x38E7) [复位 = 0x0]

表 6-123 中显示了 PCS_STATUS。

返回到[汇总表](#)。

表 6-123. PCS_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0x0	
11	tx_lpi_received	R/W0C	0x0	1 = TX PCS 已接收到 LPI 0 = 未接收到 LPI 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
10	rx_lpi_received	R/W0C	0x0	1 = RX PCS 已接收到 LPI 0 = 未接收到 LPI 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
9	tx_lpi_indication	R	0x0	1 = TX PCS 当前正在接收 LPI 0 = PCS 当前未接收 LPI 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。

表 6-123. PCS_STATUS 寄存器字段说明 (续)

位	字段	类型	复位	说明
8	rx_lpi_indication	R	0x0	1 = RX PCS 当前正在接收 LPI 0 = PCS 当前未接收 LPI 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
7	故障[fault]	R/W0C	0x0	1 = 检测到故障条件 0 = 未检测到故障条件 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
6-3	RESERVED	R	0x0	
2	receive_link_status	R/W0S	0x0	1 = PCS 接收链路接通 0 = PCS 接收链路断开 地址 [15:12] 中的前缀 0x3 用于区分。请在使用地址时从 [15:12] 中删除 0x3。
1-0	RESERVED	R	0x0	

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

在以太网应用中使用该器件时，应满足正常运行要求。以下各小节旨在帮助选择合适的元件并完成所需的电路连接。

7.2 典型应用

图 7-1 显示了 DP83TD510E 的典型应用。

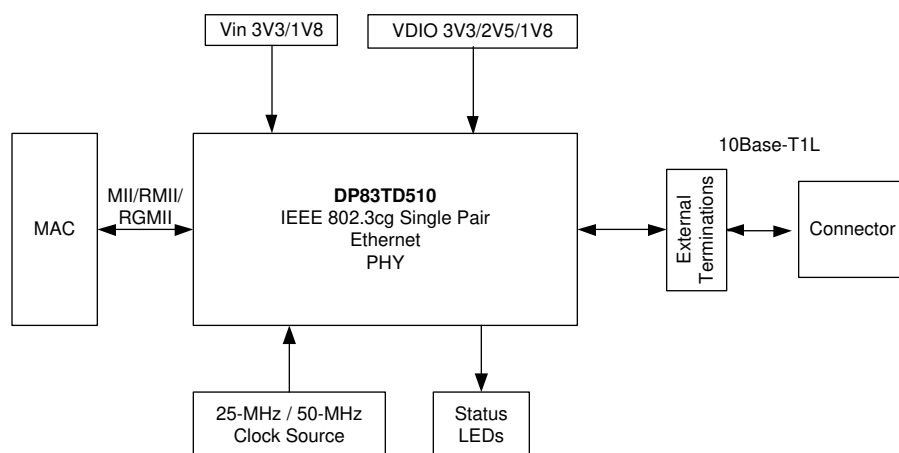


图 7-1. DP83TD510E 典型应用

7.2.1 终端电路

DP83TD510E 适用于本质安全应用和非本质安全应用。请根据应用需求选择合适的终端电路。可能需要根据应用需求对终端电路和无源值进行调整。请参阅“使用 IEEE 802.3cg 10BASET1L 以太网 PHY 扩大网络覆盖范围”以了解详细信息。

7.2.1.1 用于本质安全应用的终端电路

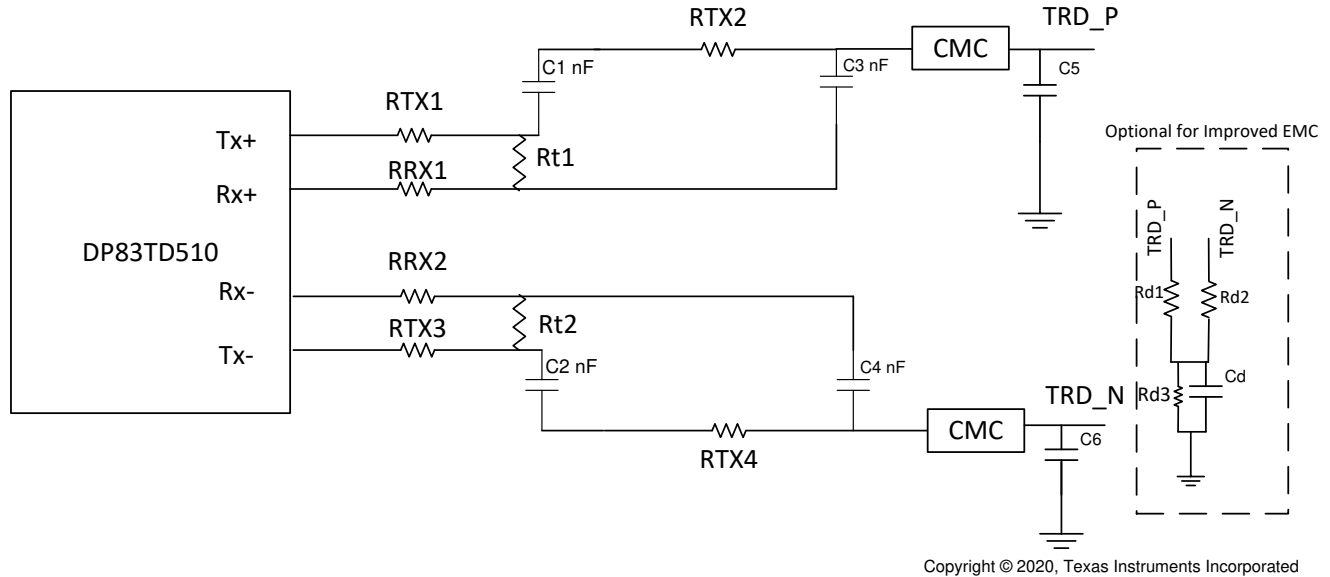


图 7-2. 用于本质安全应用的终端电路

表 7-1. 用于本质安全应用的终端电路元件值

应用	1v p2p 本质安全配置 1	1v p2p 本质安全配置 2
1 RTX1、RTX3	26.5	50
2 RTX2、RTX4 (Ω)	23.5	0
3 RRX1、RRX2 (Ω)	2K	2K
4 Rt1(Ω)	NC	0
5 Rt2(Ω)	NC	0
6 Rd1(Ω)	1K	1K
7 Rd2(Ω)	1K	1K
8 Rd3(Ω)	160K	160K
9 C1	230nF	230nF
10 C2	230nF	230nF
11 C3	5nF	NC
12 C4	5nF	NC
13 C5	100pF < C < 400pF (默认值: 100pF)	100pF < C < 400pF (默认值: 100pF)
14 C6	100pF < C < 400pF (默认值: 100pF)	100pF < C < 400pF (默认值: 100pF)
15 Cd	0.01μF	0.01μF

请确保发送器上的所有阻抗均应为 50 Ω。如果路径上的额外元件增加了阻抗，则应通过减小 Rtx1/Rtx3 来进行补偿。

在应用要求 R_{tx2}/R_{tx4} 为非零值并且使用 R_{t1}/R_{t2} 0 欧姆值的情况下，这将导致接收器接收到衰减的信号。请检查是否需要在 GPIO2 上启用 strap10。

7.2.1.2 用于电源耦合/去耦的元件范围

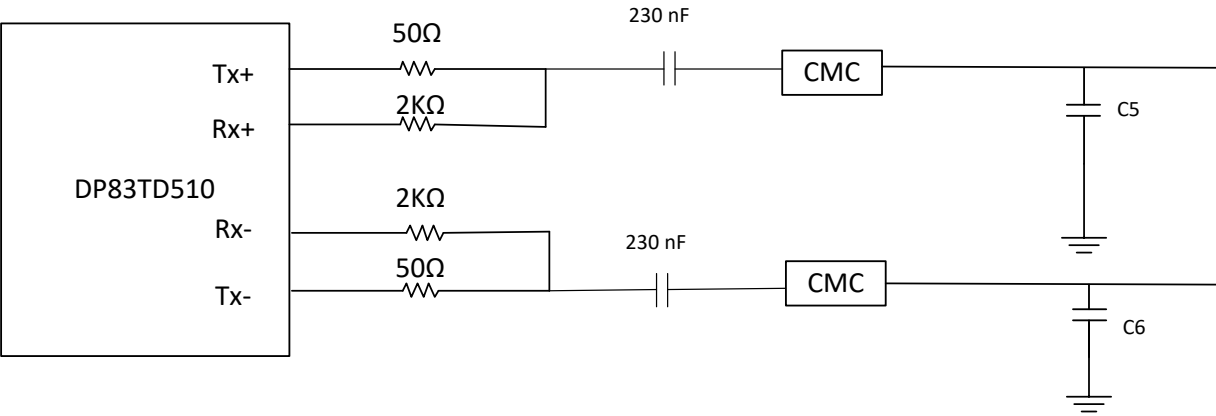
下表提供了电源/数据去耦网络的建议元件范围。

表 7-2. 用于电源耦合/去耦的建议元件范围

	元件	范围
1	MDI 线路之间的 ESD 二极管的电容器 (浪涌保护)	< 100pF (差分电容)
2	TVS 二极管的电容器 (MDI 线路对地) *	< 75pF
3	钳位二极管的电容器 (与功率耦合电感器并联)	< 50pF
4	功率耦合电感器	- 电感 $500\mu\text{H} < L < 1.5\text{mH}$ - 直流电阻 < 200mΩ
5	整流器二极管的电容器	< 50pF

7.2.1.3 用于非本质安全应用的终端电路

建议在非本质安全应用 (例如楼宇自动化、工厂自动化等应用) 中使用以下终端电路。



Copyright © 2020, Texas Instruments Incorporated

图 7-3. 用于非本质安全应用的终端电路

7.2.1.4 CMC 规格

表 7-3. CMC 规格

参数	范围
电感	450 μH - 2.2mH
漏电感	< 500nH
直流电阻	< 200m Ω

7.2.2 设计要求

DP83TD510E 的设计要求如下：

1. AVD 电源 = 3.3V
2. VDDIO 电源 = 3.3V 或 1.8V
3. 基准时钟输入 = 25MHz 或 50MHz (RMII 从模式)

7.2.2.1 时钟要求

DP83TD510E 支持外部 CMOS 级振荡器源或带有外部晶体的内部振荡器。

7.2.2.1.1 振荡器

如果使用外部时钟源，则 XI 应连接至时钟源，XO 应保持悬空。振荡器的幅度应为 VDDIO 的标称电压。

7.2.2.1.2 晶体

如果使用晶振运行，建议使用 25MHz 并联谐振 20pF 负载晶体。晶体谐振器电路的典型连接图如下所示。负载电容值因晶体供应商而异；请咨询供应商以了解建议的负载。

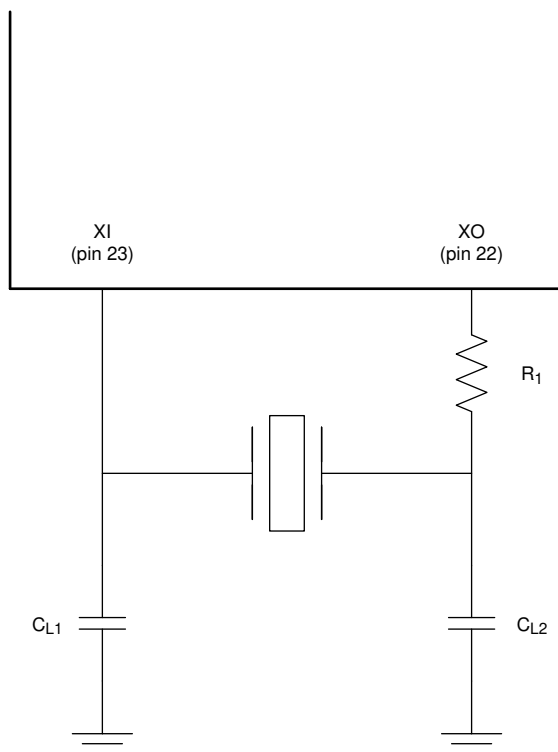


图 7-4. 晶体振荡器电路

表 7-4. 25MHz 晶体规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容限	包括所有参数 (温度、老化等)	-50		50	ppm
负载电容			15	30	pF
ESR			50	150	Ω

7.3 电源相关建议

DP83TD510E 能够采用单电源 3V3 运行。该器件支持在短距离 (1v p2p) 模式下由 1V8 的单电源供电运行。该器件还支持双电源供电以实现超低功耗。该器件还支持 VDDIO 在 3.3V、2.5V 或 1.8V 的电源电压下工作。PHY 能够自动检测 AVDD 和 VDDIO 的电源电平。

单电源运行：模拟电源应由 3.3V 或 1.8V 电压供电。3V3 的 AVDD 可以支持长距离 (2.4v p2p) 和短距离 (1v p2p) 模式。

请注意，对于 AVDD 1.8V，仅支持 1V p2p 的短电缆模式。

应配置适当的 **strap**，以确保“自动协商”发送 PHY 的正确功能。

建议电源去耦网络如下所示：

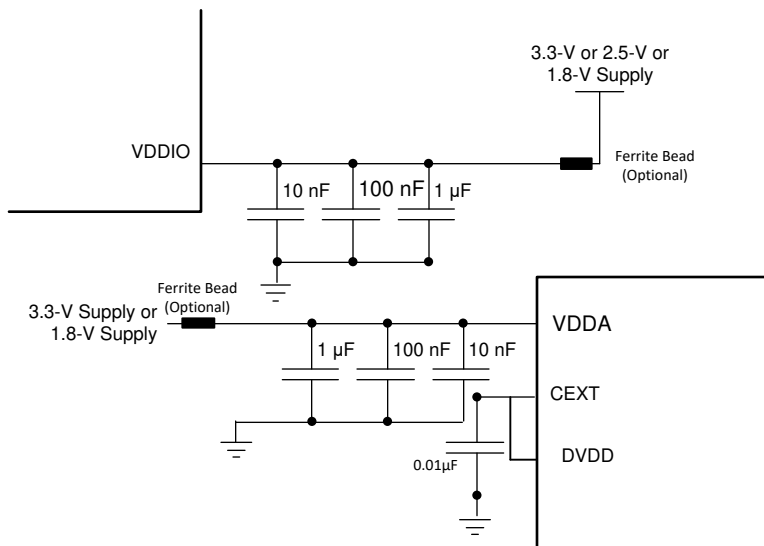


图 7-5. DP83TD510E 单电源去耦建议

对于双电源运行，应单独提供外部 1.0V 数字电压轨。这有助于进一步降低 DP83TD510E 的功耗。请参阅下面的双电源连接。

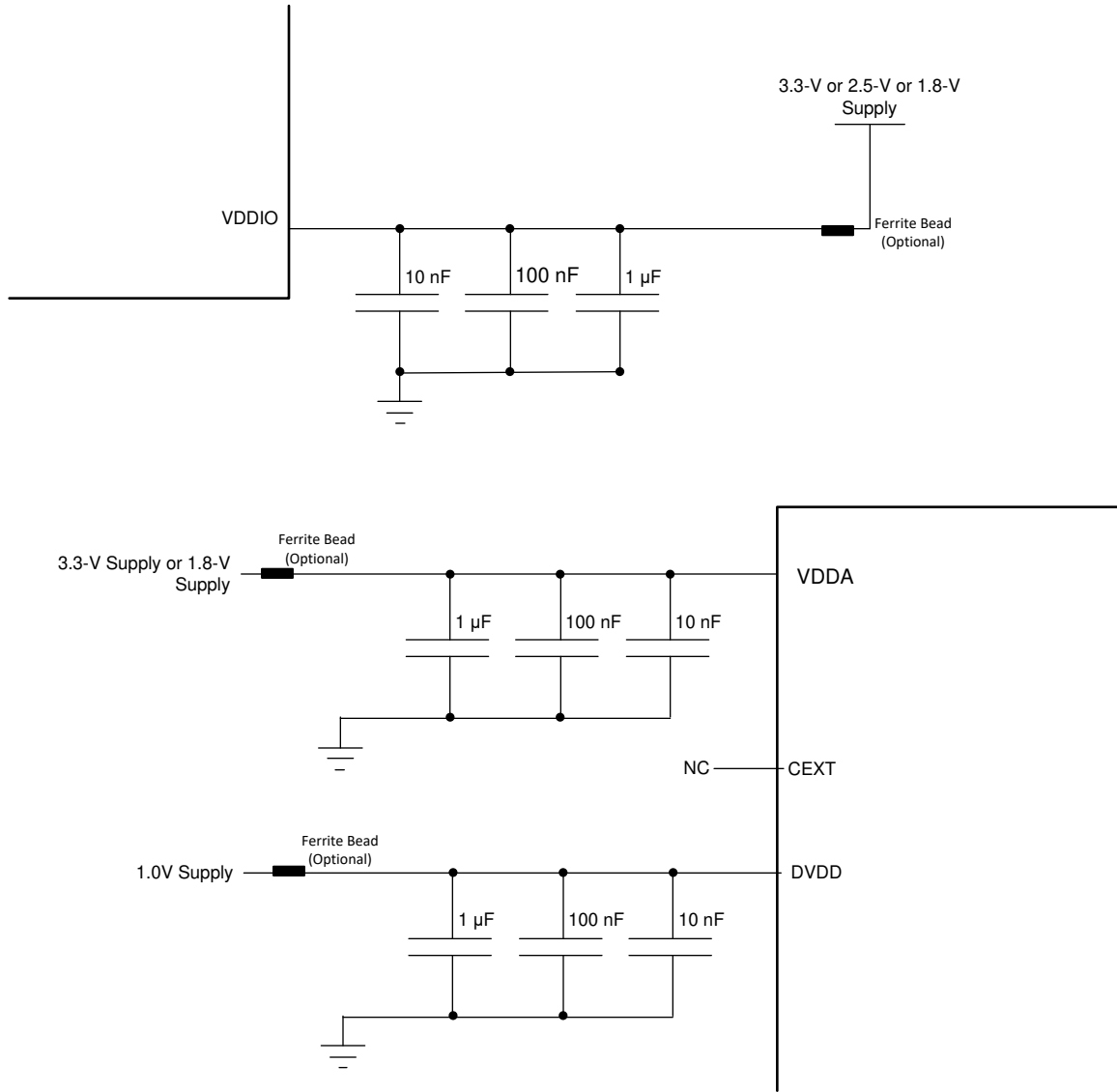


图 7-6. DP83TD510E 双电源去耦建议

7.4 布局

7.4.1 布局指南

7.4.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。应使迹线尽可能短。除非另有说明，否则所有信号布线都必须是 $50\ \Omega$ 单端阻抗。差分布线必须是 $100\ \Omega$ 差分阻抗。请务必确保阻抗始终可控。阻抗不连续性会产生反射，从而导致发射和信号完整性问题。所有信号布线，尤其是差分信号对，都应避免出现残桩。

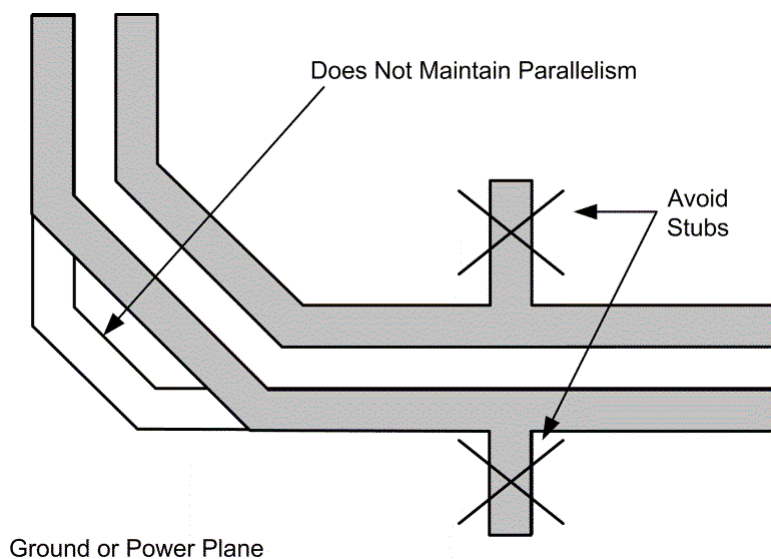


图 7-7. 差分信号布线

在差分对内，布线应相互平行且长度匹配。匹配的长度可充分减小延迟差异，避免增加共模噪声和发射。长度匹配对 **MAC** 接口连接也很重要。所有 **RMII** 发送信号布线的长度都应相互匹配，所有 **RMII** 接收信号布线的长度也应相互匹配。

理想情况下，信号路径布线上不应有交叉或过孔。过孔会导致阻抗不连续，应尽量减少过孔。在同一层布线差分信号对。不同层上的信号不应相互交叉，除非它们之间至少有一个返回路径平面。差分对之间应始终保持恒定耦合距离。为提高便利性和效率，**TI** 建议首先布线关键信号（即 **MDI** 差分对、基准时钟和 **MAC IF** 布线）。

7.4.1.2 返回路径

一般情况下，在所有 MDI 信号布线下都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。无论如何，都应避免信号布线之间的返回路径中断。穿过分离平面的信号可能会导致返回路径电流不可预测，还可能影响信号质量并导致发射问题。

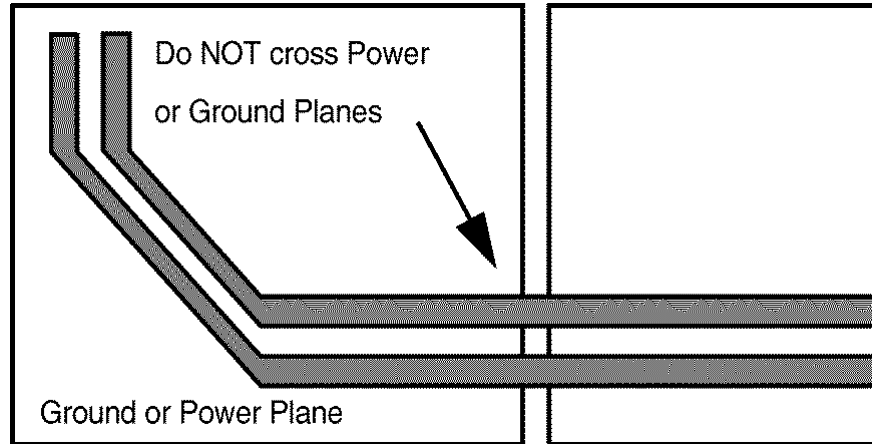


图 7-8. 差分信号对和平面交叉

7.4.1.3 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

7.4.1.4 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，应尽可能使用六层 PCB。

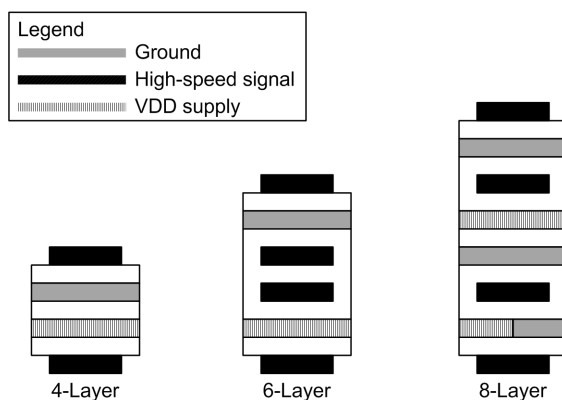


图 7-9. 建议的层堆叠

7.4.2 布局示例

有关布局的信息，请参阅 DP83TD510E EVM。

8 器件和文档支持

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

8.1 器件支持

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2020) to Revision D (December 2023)	Page
• 阐明了 RMII 低功耗/慢速模式的时序要求和启用方法.....	20
• 阐明了 RMII 中继器模式和介质转换模式的配置 (strap) 设置.....	20
• 添加了 MMD 访问背景和过程.....	20
• 阐明了 RX_D2 和 LED_2 配置 (strap) 说明.....	33
• 添加了扩展寄存器的寄存器访问汇总.....	35

Changes from Revision B (October 2020) to Revision C (December 2020)	Page
• 将销售状态从“预告信息”更改为“初始发行版”。	1

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

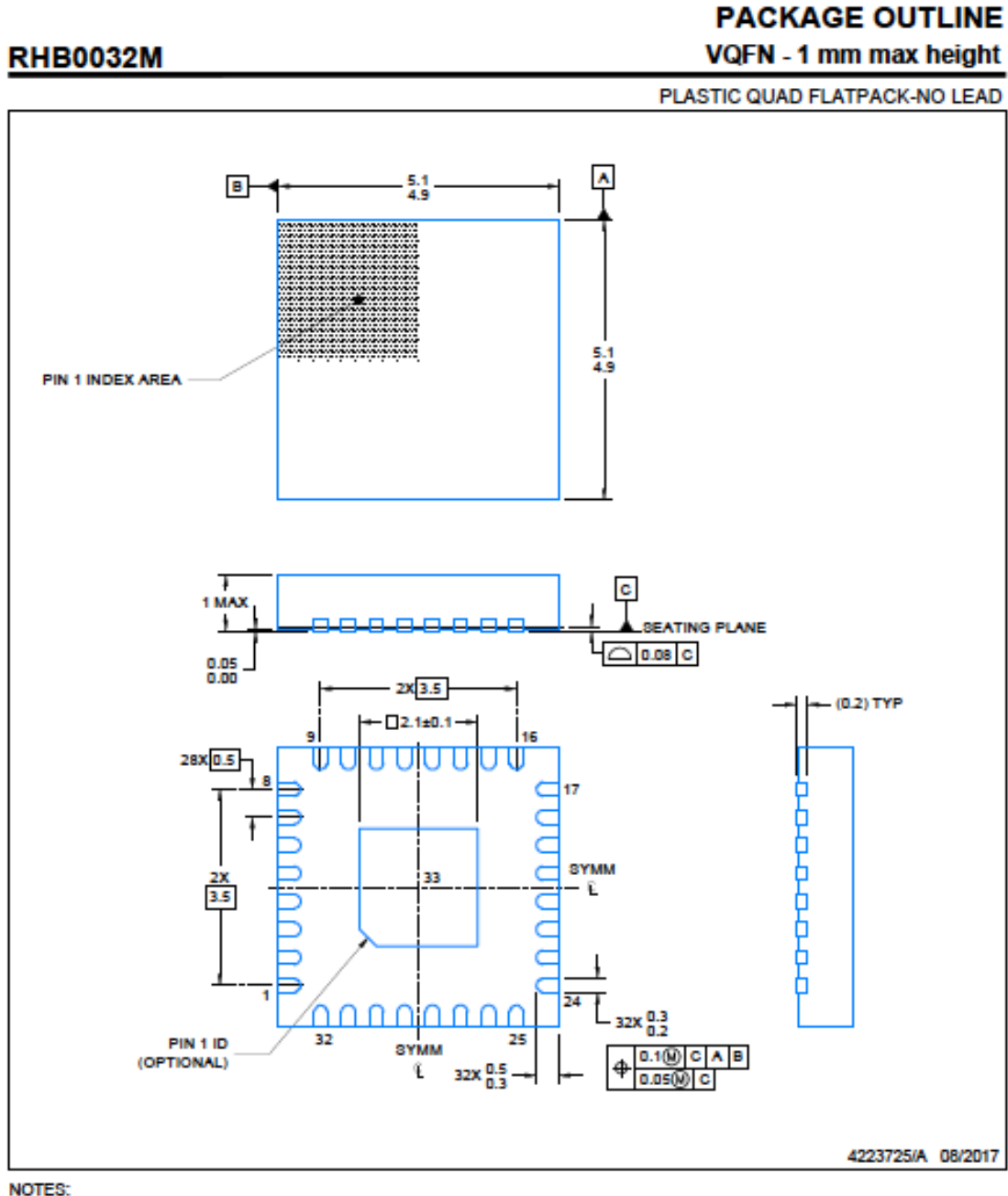
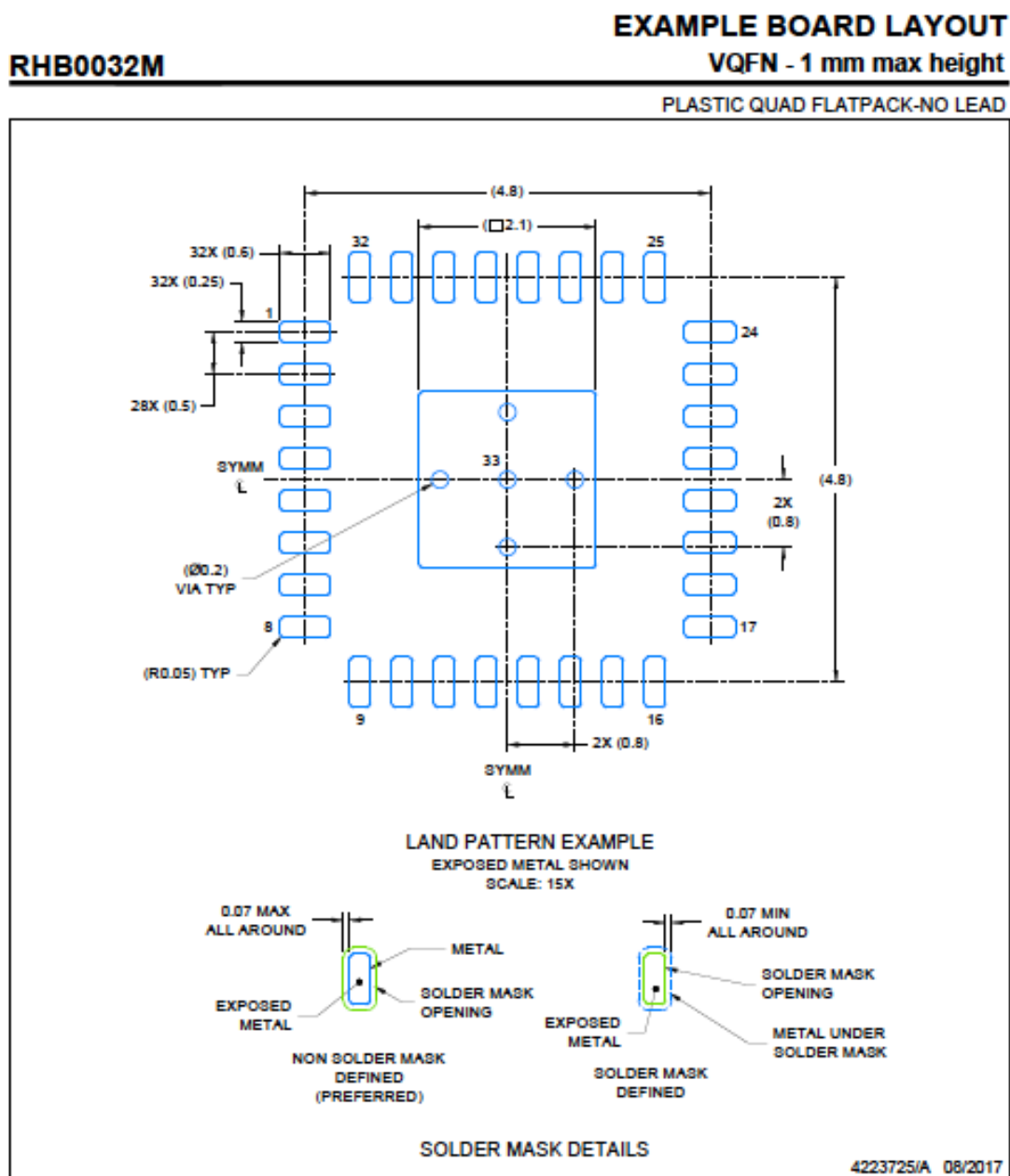


图 10-1. DP83TD510E 封装图



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

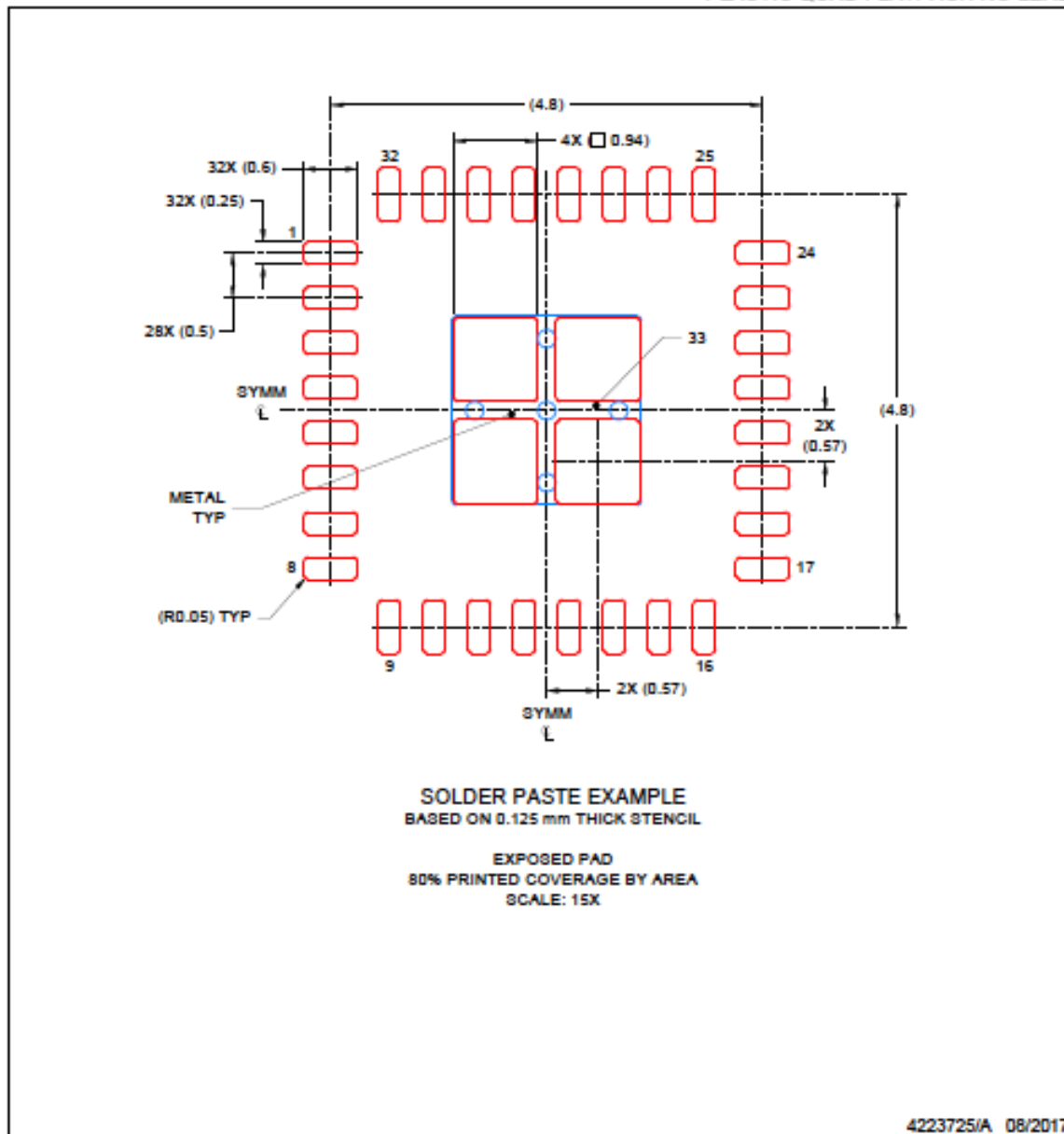
图 10-2. DP83TD510E 封装图

EXAMPLE STENCIL DESIGN

VQFN - 1 mm max height

RHB0032M

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

图 10-3. DP83TD510E 封装图

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83TD510ERHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	510E
DP83TD510ERHBR.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	510E
DP83TD510ERHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	510E
DP83TD510ERHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	510E

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

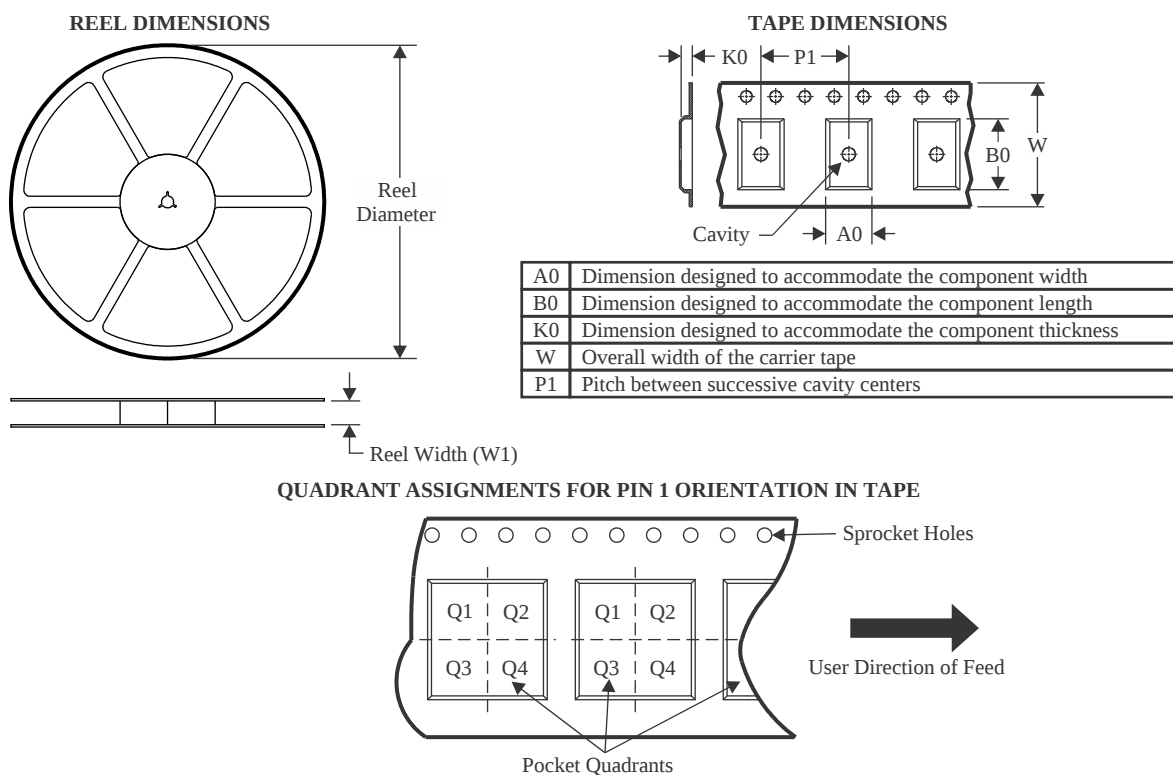
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

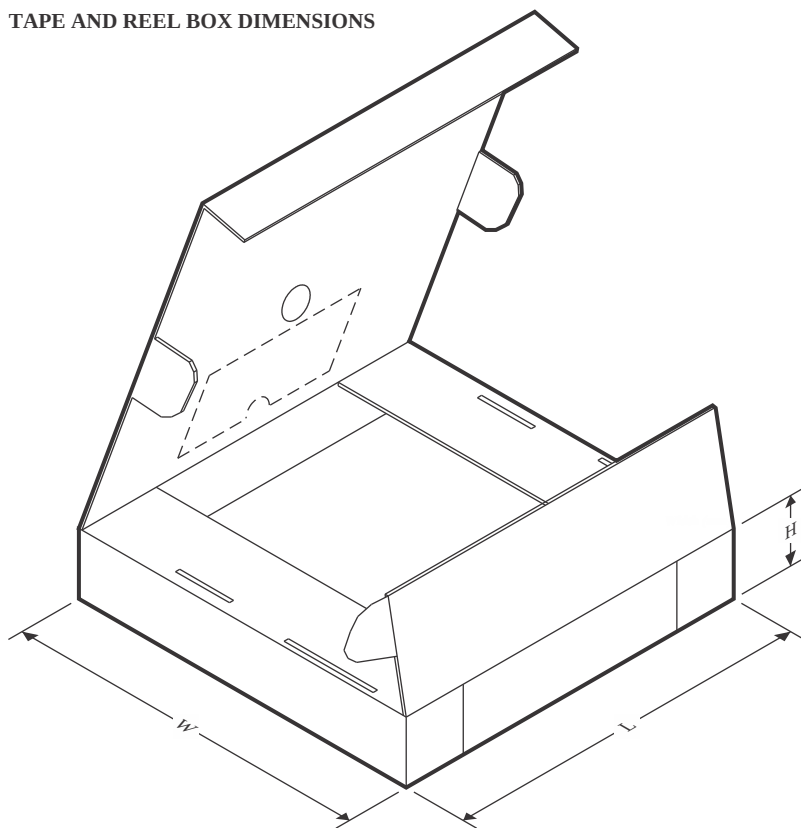
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83TD510ERHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83TD510ERHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83TD510ERHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
DP83TD510ERHBT	VQFN	RHB	32	250	210.0	185.0	35.0

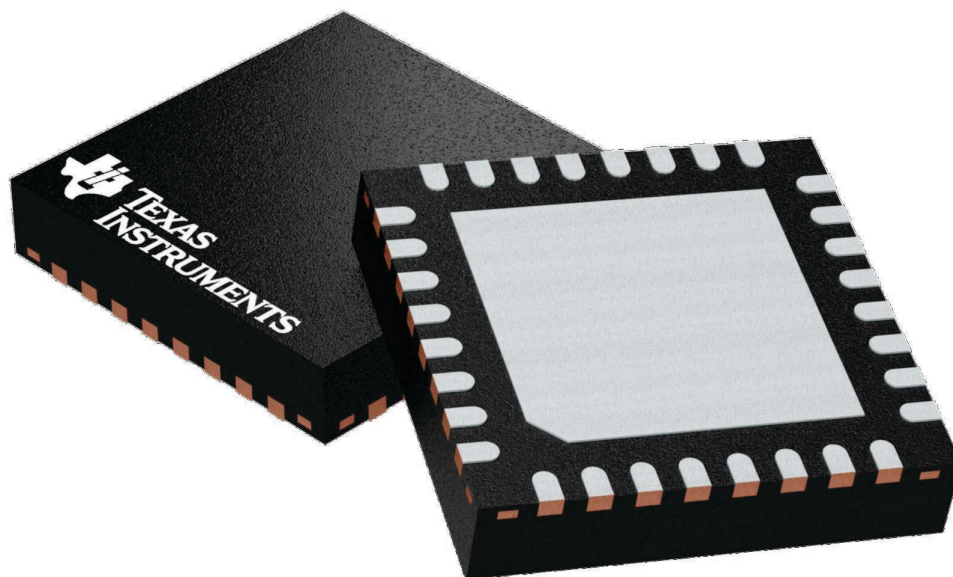
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

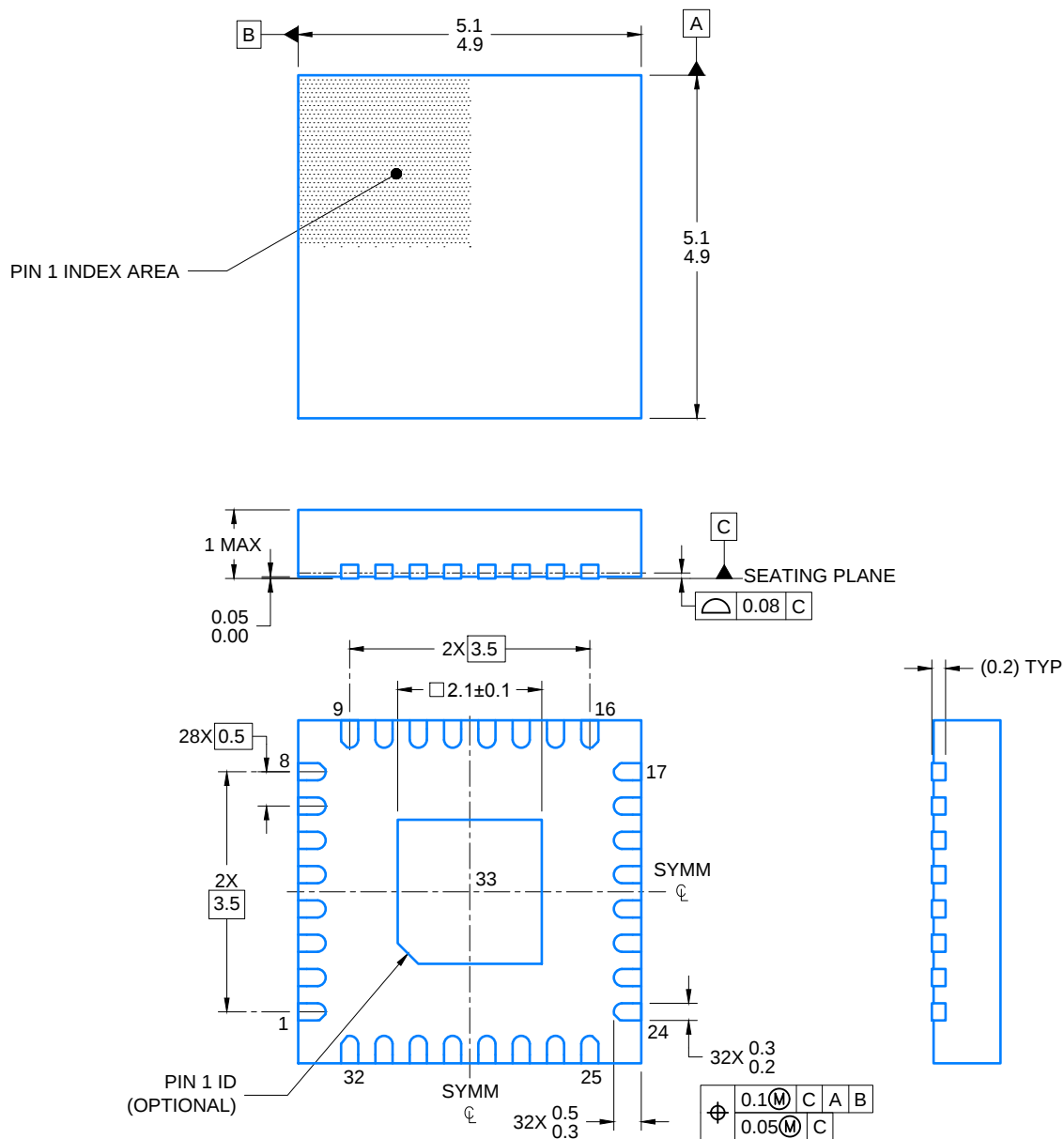
5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

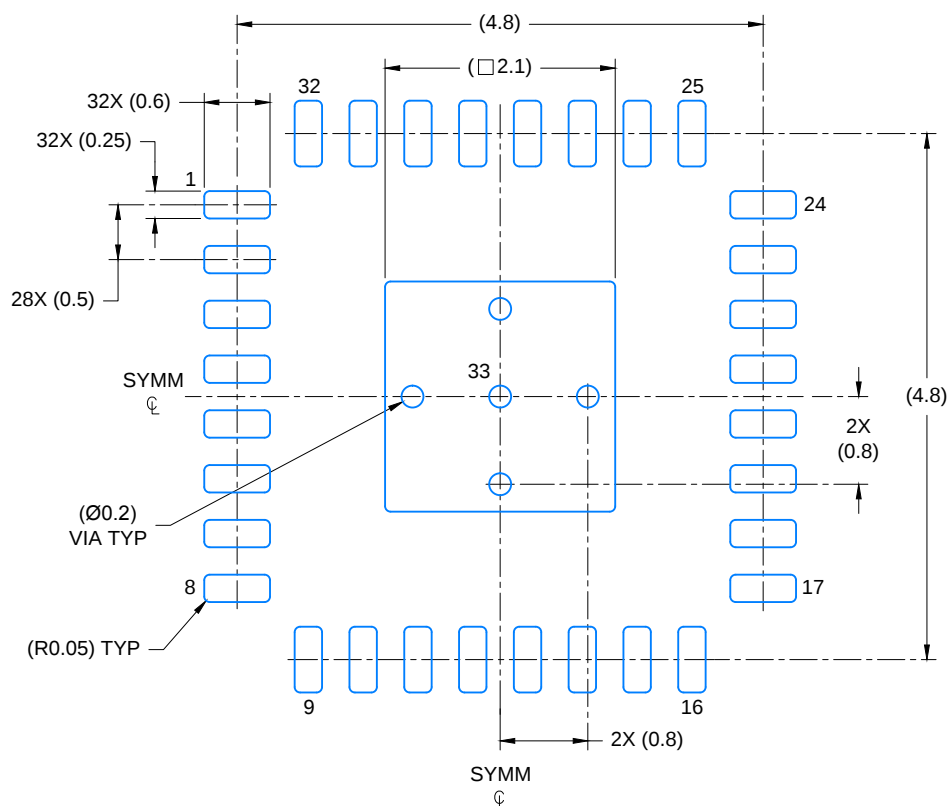
4224745/A



4223725/A 08/2017

NOTES:

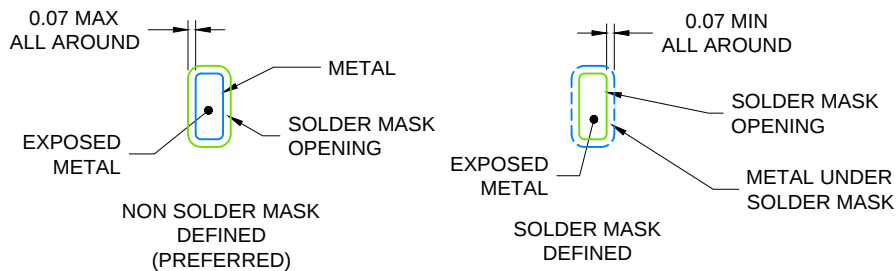
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 15X



SOLDER MASK DETAILS

4223725/A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

VQFN - 1 mm max height

The top view of the PCB layout shows a square board with overall dimensions of 4.8 inches by 4.8 inches. The layout is symmetrical about both horizontal and vertical centerlines, indicated by dashed lines labeled "SYMM".

- Dimensions:**
 - Total width: 4.8
 - Total height: 4.8
 - Distance from left edge to first row of components: 32X (0.6)
 - Distance between rows of components: 28X (0.5)
 - Distance from bottom edge to last row of components: 2X (0.57)
 - Distance from right edge to last column of components: 2X (0.57)
 - Distance from left edge to start of central area: 32X (0.25)
 - Distance between columns of components: 4X (0.94)
 - Distance from centerline to inner corner of central area: 2X (0.57)
- Component Placement:**
 - Top row: 32 components.
 - Bottom row: 9 components.
 - Left side: 8 components.
 - Right side: 24, 25, 17, and 16 components.
 - Central area: A 4x4 grid of components, with a note indicating "4X (0.94)".
 - A specific component in the central area is labeled "METAL TYP".
 - A dimension of "33" is shown for a specific feature in the central area.
 - A dimension of "1" is shown for a small gap or offset.
 - A dimension of "R(0.05) TYP" is shown for a rounded corner.

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月